



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2011년01월06일  
(11) 등록번호 10-1006436  
(24) 등록일자 2010년12월30일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2003-0081536

(22) 출원일자 2003년11월18일

심사청구일자 2008년11월18일

(65) 공개번호 10-2005-0047753

(43) 공개일자 2005년05월23일

(56) 선행기술조사문헌

KR1020000005852 A\*

KR1020030087682 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

박명재

경기도수원시팔달구영통동벽적골8  
단지주공아파트841동1804호

이영준

서울특별시동대문구답십리2동청솔우성아파트105  
동1606호

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 10 항

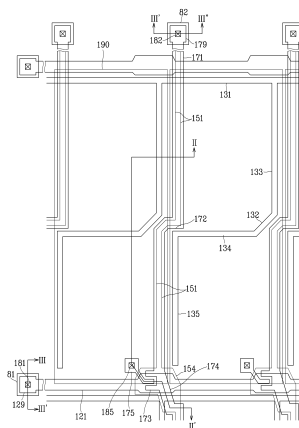
심사관 : 임동제

(54) 표시 장치용 박막 트랜지스터 표시판

(57) 요약

절연 기판 위에 게이트 전극을 포함하는 게이트선 및 유지 전극을 포함하는 유지 배선이 형성되어 있다. 이들을 덮는 게이트 절연막 상부에는 반도체층과 도핑된 비정질 규소의 저항성 접촉층을 형성되어 있다. 게이트 절연막의 상부에는 게이트선과 절연되어 교차하고 저항성 접촉층과 접하는 소스 전극을 가지며, 굴곡부를 통하여 이중의 선상으로 배치되어 있는 부분을 포함하는 데이터선과 소스 전극과 마주하는 드레인 전극이 형성되어 있다. 이들을 덮는 보호막의 상부에는 접촉구를 통하여 드레인 전극과 연결되어 있는 화소 전극이 형성되어 있다. 이 때, 데이터선의 일부는 이웃하는 화소의 화소 전극과 중첩되어 있다.

대표도 - 도1



(72) 발명자  
**박형준**  
서울특별시관악구신림2동127-17번지403호

**공항식**  
경기도수원시팔달구영통동신나무실신원아파트644  
동304호

---

**특허청구의 범위**

**청구항 1**

절연 기판,

상기 절연 기판 위에 형성되어 있으며 분리되어 있는 제1 신호선 및 제3 신호선,

상기 제1 신호선과 절연되어 교차하며, 굴곡부를 통하여 서로 다른 선상에 배치되어 있는 부분을 가지는 제2 신호선,

상기 제1 신호선 및 제2 신호선과 연결되어 있는 박막 트랜지스터,

상기 박막 트랜지스터와 연결되어 있는 화소 전극

을 포함하며,

상기 제2 신호선은 상기 굴곡부를 중심으로 반대편에 위치하는 부분이 서로 이웃하는 상기 화소 전극과 각각 중첩하고,

상기 제3 신호선은 상기 제3 신호선으로부터 상기 굴곡부를 향해서 뺀어 있으며 상기 제2 신호선과 평행한 제1 유지 전극, 상기 제1 유지 전극과 연결되어 있으며 상기 화소 전극을 가로 지르는 제2 유지 전극, 상기 제2 유지 전극과 연결되어 있으며 상기 제2 신호선과 평행한 제3 유지 전극을 포함하는 박막 트랜지스터 표시판.

**청구항 2**

제1항에서,

이웃하는 화소 전극은 각각 상기 굴곡부를 중심으로 반대편에 위치하는 상기 제2 신호선을 완전히 덮는 박막 트랜지스터 표시판.

**청구항 3**

제1항에서,

상기 화소 전극은 화소를 분할하는 복수의 절개부를 가지는 박막 트랜지스터 표시판.

**청구항 4**

절연 기판,

상기 절연 기판 위에 형성되어 있으며 게이트 전극을 포함하는 게이트선,

상기 게이트선과 같은 방향으로 뺀어 있는 유지 전극선,

상기 게이트선 위에 형성되어 있는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있는 반도체층,

상기 반도체층 위에 형성되어 저항성 접촉층,

상기 게이트선과 교차하며 상기 저항성 접촉층 위에 형성되어 있는 소스 전극을 포함하며, 굴곡부를 통하여 화소의 경계에서 서로 다른 선상에 배치되어 있는 부분을 포함하는 데이터선,

상기 저항성 접촉층 위에 형성되어 있으며 상기 소스 전극과 대향하는 드레인 전극,

상기 반도체층을 덮는 보호막,

상기 드레인 전극과 연결되어 있는 화소 전극

을 포함하며,

상기 데이터선은 상기 굴곡부를 중심으로 반대편에 위치하는 부분이 서로 이웃하는 화소 전극과 각각 중첩하고,

상기 유지 전극선은 상기 유지 전극선으로부터 상기 굴곡부를 향해서 뺀어 있으며 상기 데이터선과 평행한 제1 유지 전극, 상기 제1 유지 전극과 연결되어 있으며 상기 화소 전극을 가로 지르는 제2 유지 전극, 상기 제2 유

지 전극과 연결되어 있으며 상기 데이터선과 평행한 제3 유지 전극을 포함하는 박막 트랜지스터 표시판.

**청구항 5**

삭제

**청구항 6**

제4항에서,

상기 반도체층은 상기 데이터선의 하부까지 연장되어 있는 박막 트랜지스터 표시판.

**청구항 7**

제6항에서,

상기 데이터선 하부의 상기 반도체층은 상기 데이터선과 동일한 평면 모양을 가지는 박막 트랜지스터 표시판.

**청구항 8**

제4항에서,

이웃하는 화소 전극은 각각 상기 굴곡부를 중심으로 반대편에 위치하는 상기 데이터선을 완전히 덮는 박막 트랜지스터 표시판.

**청구항 9**

제4항에서,

상기 화소 전극은 상기 화소를 분할하는 복수의 절개부를 가지는 박막 트랜지스터 표시판.

**청구항 10**

제2항에서,

상기 화소 전극의 경계선은 상기 제2 신호선과 상기 제1 유지 전극 사이 및 상기 제2 신호선과 상기 제3 유지 전극 사이에 위치하는 박막 트랜지스터 표시판.

**청구항 11**

제8항에서,

상기 화소 전극의 경계선은 상기 데이터선과 상기 제1 유지 전극 사이 및 상기 데이터선과 상기 제3 유지 전극 사이에 위치하는 박막 트랜지스터 표시판.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

[0016] 본 발명은 액정 표시 장치용 박막 트랜지스터 표시판에 관한 것이다.

[0017] 액정 표시 장치는 일반적으로 공통 전극과 색필터(color filter) 등이 형성되어 있는 상부 표시판과 박막 트랜지스터와 화소 전극 등이 형성되어 있는 하부 표시판 사이에 액정 물질을 주입해 놓고 화소 전극과 공통 전극에 서로 다른 전압을 인가함으로써 전계를 형성하여 액정 분자들의 배열을 변경시키고, 이를 통해 빛의 투과율을 조절함으로써 화상을 표현하는 장치이다.

[0018] 이러한 액정 표시 장치용 표시판의 제조 방법에서는 마스크를 이용한 사진 식각 공정으로 패터닝하여 배선 또는 접촉구 등의 패턴을 형성하는데, 하나의 모 기관(mother)에는 여러 장의 표시 장치용 표시판이 만들어지며, 사진 식각 공정을 통하여 패턴을 완성한 다음에는 모 기관을 표시판으로 각각 분리한다.

[0019] 사진 식각 공정에서 마스크 크기보다 모 기관에서 패턴이 형성되는 액티브 영역(active area)이 큰 경우에 이 액티브 영역에 패턴을 형성하기 위해서는 액티브 영역을 분할하여 스텝 앤 리피트(step and repeat) 공정을 수행하는 분할 노광이 필요하다. 이 경우 실제의 슛은 마스크의 전이(shift), 회전(rotation), 비틀림(distortion) 등의 왜곡이 발생하기 때문에 슛 사이가 정확히 정렬되지 않아 슛 사이의 각 배선과 화소 전극 사이에 기생 용량의 차이가 생기거나 패턴 위치의 차이가 생기게 된다. 이러한 기생 용량의 차이와 패턴 위치의 차이는 각 영역의 전기적인 특성의 차이와 개구율의 차이를 초래하기 때문에, 결국 슛간의 경계 부분에서 화면 밝기의 차이를 초래하게 되어 스티치 불량 또는 플리커(flicker)등의 문제점을 야기한다.

**발명이 이루고자 하는 기술적 과제**

[0020] 본 발명이 이루고자 하는 기술적 과제는 스티치 불량 또는 플리커를 최소화할 수 있는 표시 장치용 박막 트랜지스터 표시판을 제공하는 것이다.

**발명의 구성 및 작용**

[0021] 이러한 과제를 해결하기 위하여 본 발명에서는 신호선이 이웃하는 화소의 화소 전극과 중첩되어 있다.

[0022] 더욱 상세하게, 본 발명의 실시예에 따른 박막 트랜지스터 표시판에는 절연 기관 위에 제1 신호선이 형성되어 있고, 제1 신호선과 절연되어 교차하여 화소를 정의하며, 굴곡부를 통하여 서로 다른 선상에 배치되어 있는 부분을 가지는 제2 신호선이 형성되어 있다. 각각의 화소마다 화소 전극이 형성되어 있고, 제1 신호선, 제2 신호선 및 화소 전극에 3단자가 각각 전기적으로 연결되어 있는 박막 트랜지스터가 형성되어 있다. 이때, 제2 신호선의 일부는 서로 이웃하는 화소의 화소 전극과 중첩되어 있다.

[0023] 데이터선의 일부는 이웃하는 화소의 화소 전극과 완전히 중첩하는 것이 바람직하며, 화소 전극은 적어도 둘 이상으로 화소를 분할하는 절개부를 가질 수 있다.

[0024] 본 발명의 다른 실시예에 따른 박막 트랜지스터 표시판에는 절연 기관 위에 게이트 전극을 포함하는 게이트선이 형성되어 있고, 게이트선 상부에는 게이트 절연막이 형성되어 있다. 게이트 절연막 위에 반도체층 및 저항성 접촉층이 형성되어 있다. 게이트 절연막 상부에는 게이트선과 교차하여 화소를 정의하고 적어도 일부가 저항성 접촉층 위에 형성되어 있는 소스 전극을 포함하며, 굴곡부를 통하여 화소의 경계에서 서로 다른 선상에 배치되어 있는 부분을 포함하는 데이터선과 적어도 일부가 저항성 접촉층 위에 형성되어 있으며 소스 전극과 대향하는 드레인 전극이 형성되어 있다. 반도체층을 덮는 보호막 상부에는 화소 전극이 형성되어 있는데, 이웃하는 화소의 화소 전극은 데이터선의 일부와 중첩한다.

[0025] 게이트선과 동일한 층에 위치하며, 화소 전극과 중첩하여 유지 용량을 형성하는 유지 전극 배선을 더 포함할 수 있으며, 반도체층은 데이터선의 하부까지 연장되어 있는 것이 바람직하다.

[0026] 데이터선 하부의 반도체층은 데이터선과 동일한 평면 모양을 가지는 것이 바람직하며, 데이터선의 일부는 이웃하는 화소의 화소 전극과 완전히 중첩하는 것이 바람직하며, 화소 전극은 적어도 둘 이상으로 화소를 분할하는 절개부를 가질 수 있다.

[0027] 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[0028] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

[0029] 그러면 도면을 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 구조에 대하여 설명한다.

[0030] 도 1은 본 발명의 제1 실시예에 따른 박막 트랜지스터 표시판의 구조를 도시한 배치도이고, 도 2는 도 1의 박막 트랜지스터 표시판을 II-II' 선을 따라 잘라 도시한 단면도이고, 도 3은 도 1의 박막 트랜지스터 표시판에서 III-III' 선을 따라 잘라 도시한 단면도이다.

[0031] 절연 기관(110) 위에 게이트 신호를 전달하는 복수의 게이트선(gate line)(121)이 형성되어 있다. 게이트선

(121)은 주로 가로 방향으로 뻗어 있으며, 각 게이트선(121)의 일부는 복수의 게이트 전극(gate electrode)(124)을 이룬다. 또한 각 게이트선의 다른 일부는 아래 방향으로 돌출하여 복수의 확장부(expansion)를 가질 수 있다.

- [0032] 또한, 게이트선(121)과 동일한 층에 게이트선(121)과 전기적으로 분리된 복수의 유지 전극선(131)이 가로 방향으로 뻗어 형성되어 있으며, 유지 전극선(131)에는 세로 방향으로 뻗은 제1 및 제2 유지 전극(133, 135)과 가로 방향으로 뻗어 있으며 화소의 양쪽 가장자리에 배치되어 있는 제1 유지 전극(133)과 제2 유지 전극(135)을 연결하는 제3 유지 전극(134, 132)이 연결되어 있다. 유지 전극 배선(131, 132, 133, 134, 135)은 이후의 화소 전극(190)과 중첩되어 유지 축전기를 이룬다. 유지 전극 배선(131, 132, 133, 135, 134)은 공통 전압 따위의 미리 정해진 전압을 외부로부터 인가 받으며, 화소 전극(190)과 게이트선(121)의 중첩으로 발생하는 유지 용량이 충분할 경우 유지 전극 배선(131, 132, 133, 134, 135)은 생략할 수도 있으며, 화소의 개구율을 극대화하기 위해 다양한 모양으로 변형될 수 있다.
- [0033] 게이트선(121)은 물리적 성질이 다른 두 개 이상의 막을 포함하는 것이 바람직하다. 하나의 도전막은 게이트 신호의 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열의 금속으로 이루어지며, 다른 도전막은 다른 물질, 특히 IZO(indium zinc oxide) 또는 ITO(indium tin oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴(Mo), 몰리브덴 합금[보기: 몰리브덴-텅스텐(MoW) 합금], 크롬(Cr) 등으로 이루어지는 것이 바람직하다. 조합의 예로는 크롬/알루미늄-네오디뮴(Nd) 합금을 들 수 있다. 게이트선(121) 및 유지 전극 배선(131, 132, 133, 134, 135)의 측면은 각각 경사져 있으며 그 경사각은 기판(110)의 표면에 대하여 약 30-80°이다.
- [0034] 게이트선(121) 및 유지 전극 배선(131, 132, 133, 134, 135) 위에는 질화 규소(SiNx) 따위로 이루어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.
- [0035] 게이트 절연막(140) 상부에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 등으로 이루어진 복수의 선형 반도체(151)가 형성되어 있다. 선형 반도체(151)는 주로 세로 방향으로 뻗어 있으며 이로부터 복수의 돌출부(extension)(154)가 게이트 전극(124)을 향하여 뻗어 나와 있다. 또한 선형 반도체(151)는 이후에 형성되는 데이터선(171)을 따라 형성되어 있으며, 게이트선(121)과 만나는 지점 부근에서 폭이 커져서 게이트선(121)의 넓은 면적을 덮고 있다.
- [0036] 반도체(151)의 상부에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 복수의 선형 및 섬형 저항성 접촉 부재(ohmic contact)(161, 165)가 형성되어 있다. 선형 접촉 부재(161)는 복수의 돌출부(163)를 가지고 있으며, 이 돌출부(163)와 섬형 접촉 부재(165)는 쌍을 이루어 반도체(151)의 돌출부(154) 위에 위치한다.
- [0037] 반도체(151)와 저항성 접촉 부재(161, 165)의 측면 역시 경사져 있으며 경사각은 30-80°이다.
- [0038] 저항 접촉 부재(161, 165) 및 게이트 절연막(140) 위에는 각각 복수의 데이터선(data line)(171)과 복수의 드레인 전극(drain electrode)(175)이 형성되어 있다.
- [0039] 데이터선(171)은 주로 세로 방향으로 뻗어 게이트선(121)과 교차하며 데이터 전압(data voltage)을 전달한다. 각 데이터선(171)에서 드레인 전극(175)을 향하여 뻗은 복수의 가지가 소스 전극(source electrode)(173)을 이룬다. 한 쌍의 소스 전극(173)과 드레인 전극(175)은 서로 분리되어 있으며 게이트 전극(123)에 대하여 서로 반대쪽에 위치한다. 게이트 전극(123), 소스 전극(173) 및 드레인 전극(175)은 반도체(151)의 돌출부(154)와 함께 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 돌출부(154)에 형성된다. 이때, 화소의 경계를 지나는 데이터선(171)은 굴곡부(172)를 통하여 이층의 선상에 배치되어 있는 부분을 포함하고 있어, 데이터선(171)의 일부는 해당하는 화소에 위치하며, 나머지 다른 일부는 이웃하는 화소에 위치한다.
- [0040] 데이터선(171) 및 드레인 전극(175) 또한 몰리브덴(Mo), 몰리브덴 합금, 크롬(Cr) 따위의 도전막과 그 위에 위치한 알루미늄 계열 금속인 도전막을 포함하는 것이 바람직하다.
- [0041] 데이터선(171) 및 드레인 전극(175)도 게이트선(121)과 마찬가지로 그 측면이 약 30-80°의 각도로 각각 경사져 있다.
- [0042] 저항성 접촉 부재(161, 165)는 그 하부의 반도체(151)와 그 상부의 데이터선(171) 및 드레인 전극(175) 사이에만 존재하며 접촉 저항을 낮추어 주는 역할을 한다. 선형 반도체(151)는 소스 전극(173)과 드레인 전극(175)

사이를 비롯하여 데이터선(171) 및 드레인 전극(175)에 가리지 않고 노출된 부분을 가지고 있으며, 대부분의 곳에서는 선형 반도체(151)의 폭이 데이터선(171)의 폭보다 작지만 앞서 설명했듯이 게이트선(121)과 만나는 부분에서 폭이 커져서 게이트선(121)과 데이터선(171) 사이의 절연을 강화한다.

- [0043] 데이터선(171) 및 드레인 전극(175)과 노출된 반도체(151) 부분의 위에는 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기 물질 또는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 등으로 이루어진 보호막(passivation layer)(180)이 형성되어 있다.
- [0044] 보호막(180)이 유기 물질로 이루어진 실시예에서는 데이터선(171)과 드레인 전극(175) 사이의 반도체(151)가 드러난 부분으로 보호막(180)의 유기 물질이 접하는 것을 방지하기 위해 보호막(180)은 유기막의 하부에 질화 규소 또는 산화 규소로 이루어진 절연막이 추가될 수 있다.
- [0045] 보호막(180)에는 드레인 전극(175), 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)을 각각 드러내는 복수의 접촉 구멍(contact hole)(185, 181, 182)이 형성되어 있다. 이와 같이, 보호막(180)이 게이트선(121) 및 데이터선(171)의 끝 부분(129, 179)을 드러내는 접촉 구멍(181, 182)을 가지는 실시예는 외부의 게이트 구동 회로 및 데이터 구동 회로를 이방성 도전막을 이용하여 게이트선(121) 및 데이터선(171)에 각각 연결하기 위해 데이터선(171)이 접촉부를 가지는 구조이며, 게이트선(121) 및 데이터선(171)의 각 끝 부분(179)은 필요에 따라 데이터선(171)보다 넓은 폭을 가질 수도 있다. 다른 실시예에서 게이트선(121) 및 데이터선(171)은 끝 부분에 접촉부를 가지지 않을 수 있는데, 이러한 구조에서는 기관의 상부에 직접 형성된 게이트 구동 회로 또는 데이터 구동 회로의 출력단에 게이트선(121) 및 데이터선(171)의 끝 부분이 직접 연결된다.
- [0046] 접촉 구멍(185, 181, 182)은 드레인 전극(175), 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)을 드러내는데, 접촉 구멍(185, 181, 182)에서는 이후에 형성되는 ITO 또는 IZO의 도전막과 접촉 특성을 확보하기 위해 알루미늄 계열의 도전막이 드러나지 않는 것이 바람직하다. 이때, 접촉 구멍(185, 181, 182)은 드레인 전극(175), 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)의 경계선이 드러날 수도 있다.
- [0047] 보호막(180) 위에는 IZO 또는 ITO로 이루어진 복수의 화소 전극(pixel electrode)(190) 및 복수의 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다.
- [0048] 화소 전극(190)은 접촉 구멍(185)을 통하여 드레인 전극(175)과 물리적·전기적으로 연결되어 드레인 전극(175)으로부터 데이터 전압을 인가 받는다.
- [0049] 데이터 전압이 인가된 화소 전극(190)은 공통 전압(common voltage)을 인가 받는 다른 표시관(도시하지 않음)의 공통 전극(도시하지 않음)과 함께 전기장을 생성함으로써 액정층의 액정 분자들을 재배열시킨다.
- [0050] 이때, 화소의 경계를 지나는 데이터선(171)은 굴곡되어 있어, 일부는 해당하는 화소의 화소 전극(190)과 중첩되어 있으며, 나머지 일부는 이웃하는 화소의 화소 전극(190)과 완전히 중첩되어 있다. 이러한 본 발명의 실시예에 따른 구조에서는 제조 공정시 박막 패틴이 형성되는 액티브 영역을 다수의 쏫으로 분할하여 스텝 앤 리피트 방식을 진행할 때, 마스크의 오정렬이 발생하더라도 서로 다른 쏫 영역의 화소 전극(190)과 데이터선(171) 사이에서 발생하는 기생 용량은 거의 일정하다. 따라서, 쏫간의 경계 부분에서 화면 밝기의 차이를 최소화할 수 있어 스티치 불량 또는 플리커(flicker)등이 발생하는 것을 방지할 수 있다.
- [0051] 이때, 도면에서 보는 바와 같이 이웃하는 화소의 화소 전극(190)은 데이터선(171)을 완전히 덮는 것이 바람직하며, 화소 전극(190)의 경계선은 데이터선(171)의 상부에 위치할 수도 있다.
- [0052] 앞서 설명한 것처럼, 화소 전극(190)과 공통 전극은 축전기[이하 “액정 축전기(liquid crystal capacitor)”라 함]를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지하는데, 전압 유지 능력을 강화하기 위하여 액정 축전기와 병렬로 연결된 다른 축전기를 두며 이를 “유지 축전기(storage electrode)”라 한다.
- [0053] 접촉 보조 부재(81, 82)는 접촉 구멍(181, 182)을 통하여 게이트선 및 데이터선의 각 끝 부분(129, 179)과 각각 연결된다. 접촉 보조 부재(81, 82)는 게이트선(121) 및 데이터선(171)의 각 끝 부분(179)과 구동 집적 회로와 같은 외부 장치와의 접촉성을 보완하고 이들을 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.
- [0054] 본 발명의 다른 실시예에 따르면 화소 전극(190)의 재료로 투명한 도전성 폴리머(polymer) 등을 사용하며, 반사형(reflective) 액정 표시 장치의 경우 불투명한 반사성 금속을 사용하여도 무방하다. 이때, 접촉 보조 부재

(81, 82)는 화소 전극(190)과 다른 물질, 특히 IZO 또는 ITO로 만들어질 수 있다.

- [0055] 한편, 이러한 본 발명에 따른 화소 구조는 제조 비용을 줄이기 위해 둘 이상의 박막을 중간 두께를 가지는 부분을 포함하는 감광막 패턴을 이용하여 패터닝한 박막 트랜지스터 표시판에도 동일하게 적용할 수 있으며, 박막 트랜지스터 표시판은 색 필터를 포함할 수 있다. 이에 대하여 도 4 및 도 5를 참조하여 상세하게 설명하기로 한다.
- [0056] 도 4는 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 5는 도 4에 도시한 박막 트랜지스터 표시판을 V-V' 선을 따라 잘라 도시한 단면도이다.
- [0057] 도 4 및 도 5에서 보는 바와 같이, 본 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 층상 구조는 대개 도 1 내지 도 3에 도시한 액정 표시 장치용 박막 트랜지스터 표시판의 층상 구조와 동일하다. 즉, 기판(110) 위에 복수의 게이트 전극(124)을 포함하는 복수의 게이트선(121)이 형성되어 있고, 그 위에 게이트 절연막(140), 복수의 돌출부(154)를 포함하는 복수의 선형 반도체(151), 복수의 돌출부(163)를 각각 포함하는 복수의 선형 저항성 접촉 부재(161) 및 복수의 섬형 저항성 접촉 부재(165)가 차례로 형성되어 있다. 저항성 접촉 부재(161, 165) 및 게이트 절연막(140) 위에는 복수의 소스 전극(153)을 포함하며, 굴곡부(172)를 가지는 복수의 데이터선(171), 복수의 드레인 전극(175)이 형성되어 있고 그 위에 보호막(180)이 형성되어 있다. 보호막(180) 및/또는 게이트 절연막(140)에는 복수의 접촉 구멍(182, 185)이 형성되어 있으며, 보호막(180) 위에는 복수의 화소 전극(190)과 복수의 접촉 보조 부재(82)가 형성되어 있다.
- [0058] 그러나 도 1 내지 도 3에 도시한 박막 트랜지스터 표시판과 달리, 반도체(151)는 박막 트랜지스터가 위치하는 돌출부(154)를 제외하면 데이터선(171), 드레인 전극(175) 및 그 하부의 저항성 접촉 부재(161, 165)와 실질적으로 동일한 평면 형태를 가지고 있다. 구체적으로는, 선형 반도체(151)는 데이터선(171) 및 드레인 전극(175)과 그 하부의 저항성 접촉 부재(161, 165)의 아래에 존재하는 부분 외에도 소스 전극(173)과 드레인 전극(175) 사이에 이들에 가리지 않고 노출된 부분을 가지고 있다.
- [0059] 또한, 게이트선(121)은 구동 회로와 연결하기 위한 접촉부를 가지고 있지 않은데, 이러한 실시예에서는 게이트 구동 회로가 박막 트랜지스터와 함께 기판(110)의 상부에 직접 형성되어 있으며, 게이트선(121)의 끝 부분은 게이트 구동 회로의 출력단에 직접 연결된다.  
  
또한, 보호막(180)의 하부의 화소 영역에는 드레인 전극(175)을 드러내는 개구부를 가지는 적, 녹, 청의 컬러 필터(230R, 230G, 230B)가 세로 방향으로 형성되어 있다. 여기서, 적, 녹, 청의 컬러 필터(230R, 230G, 230B)의 경계는 데이터선(171) 상부에서 일치할 수도 있으며, 도 5에서 보는 바와 같이 데이터선(171) 상부에서 서로 중첩되어 화소 영역 사이에서 누설되는 빛을 차단하는 기능을 가질 수 있으며, 게이트선 및 데이터선 각각의 끝 부분(125, 179)이 배치되어 있는 패드부에서는 형성되어 있지 않다.  
  
이때, 드레인 전극(175)을 드러내는 접촉 구멍(185)은 컬러 필터(230R, 230G, 230B)의 개구부 안쪽에 위치하는 것이 바람직하다.
- [0060] 한편, 화소 전극은 액정 분자를 분할 배향하기 위한 도메인 규제 수단을 가질 수도 있으며, 이러한 구조에 대하여 구체적으로 설명하기로 한다.
- [0061] 도 6은 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 7은 본 발명의 제3 실시예에 따른 액정 표시 장치용 배향 표시판의 배치도이고, 도 8은 본 발명의 제3 실시예에 따른 액정 표시 장치의 배치도이고, 도 9는 도 8의 액정 표시 장치를 IX-IX' 선을 따라 잘라 도시한 단면도이다.
- [0062] 본 발명의 제3 실시예에 따른 액정 표시 장치는 박막 트랜지스터 표시판(100)과 이와 마주보고 있는 대향 표시판(200) 및 박막 트랜지스터 표시판(100)과 대향 표시판(200) 사이에 주입되어 표시판에 수직으로 배향되어 있는 액정 분자(310)를 포함하는 액정층(300)으로 이루어진다. 이때, 박막 트랜지스터 표시판(200)과 대향 표시판(100)의 안쪽 면에는 각각 배향막(11, 21)이 형성되어 있는데, 이는 액정 분자(310)를 수직으로 배향하기 위한 수직 배향 특성을 가진다.
- [0063] 먼저, 박막 트랜지스터 표시판(100)은 다음과 같은 구성을 가진다.
- [0064] 유리등의 투명한 절연 물질로 이루어진 절연 기판(110) 위에 ITO(indium tin oxide)나 IZO(indium zinc oxide) 등의 투명한 도전 물질로 이루어져 있는 화소 전극(190)이 형성되어 있다. 이 때, 화소 전극(190)은 절개부(191, 192, 193, 194, 195, 196)를 가지며, 박막 트랜지스터는 주사 신호를 전달하는 게이트선(121)과 화상 신호를 전달하는 데이터선(171)에 각각 연결되어 주사 신호에 따라 화소 전극(190)에 인가되는 화상 신호를 온

(on)오프(off)한다. 절연 기관(110)의 아래 면에는 하부 편광판(12)이 부착되어 있다. 여기서, 화소 전극(190)은 반사형 액정 표시 장치인 경우 투명한 물질로 이루어지지 않을 수도 있고, 이 경우에는 하부 편광판(12)도 불필요하게 된다.

- [0065] 다음, 대향 표시판(200)의 구성은 다음과 같다.
- [0066] 역시 유리등의 투명한 절연 물질로 이루어진 절연 기관(210)의 아래 면에 빛샘을 방지하기 위한 블랙 매트릭스(220)와 적, 녹, 청의 색필터(230) 및 ITO 또는 IZO 등의 투명한 도전 물질로 이루어져 있는 공통 전극(270)이 형성되어 있다. 여기서, 공통 전극(270)에는 화소 전극(190)의 절개부(191, 192, 193, 194, 195, 196)와 교대로 배치되는 절개부(271, 272, 273, 274, 275, 276)가 형성되어 있다.
- [0067] 다음은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판(100)에 대하여 좀 더 상세히 한다.
- [0068] 하부의 절연 기관(110) 위에 주로 가로 방향으로 뻗어 있는 복수의 게이트선(121)과 유지 전극선(131)이 형성되어 있다.
- [0069] 게이트선(121)은 복수의 부분이 아래위로 확장되어 박막 트랜지스터의 게이트 전극(124)을 이룬다. 게이트선(121)의 한쪽 끝 부분(129)은 외부 회로와의 연결을 위하여 넓게 확장되어 있다.
- [0070] 각 유지 전극선(131)에는 그로부터 뻗어 나와 화소의 가장자리에 배치되어 있는 여러 별의 유지 전극(storage electrode)(131, 132, 133, 134, 135)이 연결되어 있다.
- [0071] 게이트선(121) 및 유지 전극 배선(131, 132, 133, 134, 135)은 Al, Al 합금, Ag, Ag 합금, Cr, Ti, Ta, Mo 등의 금속 따위로 만들어진다.
- [0072] 게이트선(121)과 유지 전극 배선(131, 132, 133, 134, 135)의 위에는 질화 규소(SiNx) 등으로 이루어진 게이트 절연막(140)이 형성되어 있다.
- [0073] 게이트 절연막(140) 위에는 복수의 데이터선(171)을 비롯하여 복수의 드레인 전극(drain electrode)(175)이 형성되어 있다. 각 데이터선(171)은 주로 세로 방향으로 뻗어 있고, 제1 및 제2 실시예와 같이 굴곡부(172)를 가지며, 각 드레인 전극(175)을 향하여 복수의 분지를 내어 소스 전극(source electrode)(173)을 이룬다.
- [0074] 데이터선(171) 및 드레인 전극(175)도 게이트선(121)과 마찬가지로 크롬과 알루미늄 등의 물질로 만들어지며, 단일층 또는 다중층으로 이루어질 수 있다.
- [0075] 데이터선(171) 및 드레인 전극(175)의 아래에는 데이터선(171)을 따라 주로 세로로 길게 뻗은 복수의 선형 반도체(151)가 형성되어 있다. 비정질 규소 따위로 이루어진 각 선형 반도체(151)는 각 게이트 전극(124), 소스 전극(173) 및 드레인 전극(175)을 향하여 가지를 내어 박막 트랜지스터의 채널부(154)를 이룬다.
- [0076] 반도체(151)와 데이터선(171) 및 드레인 전극(175) 사이에는 둘 사이의 접촉 저항을 감소시키기 위한 복수의 선형 저항성 접촉 부재(ohmic contact)(161) 및 섬형 드레인부 저항성 접촉 부재(165)가 형성되어 있다. 저항성 접촉 부재(161)는 소스 전극(173) 하부에 위치하는 소스부 저항성 접촉 부재(163)를 포함하며, 이들(161, 165)은 실리사이드나 n형 불순물이 고농도로 도핑된 비정질 규소 따위로 만들어진다.
- [0077] 데이터선(171), 드레인 전극(175) 및 반도체(154) 상부에는 질화 규소 등의 무기 절연 물질이나 수지 등의 유기 절연물로 이루어진 보호막(180)이 형성되어 있다.
- [0078] 보호막(180)에는 드레인 전극(175)과 데이터선(171)의 끝 부분(179)을 각각 노출시키는 복수의 접촉 구멍(185, 182)이 구비되어 있으며, 게이트선(121)의 끝 부분(129) 일부를 드러내는 복수의 접촉 구멍(181)이 게이트 절연막(140)과 보호막(180)을 관통하고 있다.
- [0079] 화소 전극(190), 접촉 보조 부재(81, 82)는 ITO(indium tin oxide)나 IZO(indium zinc oxide) 등과 같은 투명 도전체나 알루미늄(Al)과 같은 광 반사 특성이 우수한 불투명 도전체 따위로 만들어진다.
- [0080] 화소 전극(190)의 절개부(191, 192, 193, 194, 195, 196)는 게이트선(121)에 대하여 45° 를 이루고 있으며, 각각은 화소 전극(190)의 내부에 형성되어 있다. 또한, 화소 전극(190)의 절개부(194)는 화소 전극(190)의 오른쪽 변에서 왼쪽 변을 향하여 파고 들어간 형태이고, 입구는 넓게 확장된 형태이다. 화소 전극(190)의 절개부(193)는 게이트선(121)에 대하여 45° 를 이루는 부분과 오른쪽 변에서 왼쪽 변을 향하여 파고 들어간 부분을 포함한다.

- [0081] 화소 전극(190)의 절개부(191, 192, 193, 194, 195, 196)들은 각각 게이트선(121)과 데이터선(171)이 교차하여 정의하는 화소 영역을 상하로 이등분하는 선(게이트선과 나란한 선)에 대하여 실질적으로 거울상 대칭을 이루고 있다.
- [0082] 접촉 보조 부재(81, 82)는 각각 접촉 구멍(181, 182)을 통하여 게이트선의 끝 부분(129)과 데이터선의 끝 부분(179)에 연결되어 있다.
- [0083] 한편, 박막 트랜지스터 표시판과 마주하는 상부 표시판(200)은 다음과 같은 구성을 가진다.
- [0084] 하부 절연 기관(110)과 마주하는 상부 절연 기관(210)에는 빛이 새는 것을 방지하기 위한 블랙 매트릭스(220)가 형성되어 있다. 블랙 매트릭스(220) 위에는 화소 영역에 순차적으로 배치되어 있는 적, 녹, 청색 색필터(230)가 형성되어 있다. 색필터(230)의 위에는 복수 벌의 절개부(271, 272, 273, 274, 275, 276)를 가지는 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 ITO 또는 IZO(indium zinc oxide) 등의 투명한 도전체로 형성한다.
- [0085] 공통 전극(270)의 한 벌의 절개부(271, 272, 273, 274, 275, 276)는 화소 전극(190)의 절개부(191, 192, 193, 194, 195, 196) 중 게이트선(121)에 대하여 45° 를 이루는 부분을 가운데에 끼고 배치되어 있으며 이들과 나란한 사선부와 화소 전극(190)의 변과 중첩되어 있는 단부를 포함하고 있다. 이때, 단부는 세로 방향 단부와 가로 방향 단부로 분류된다.
- [0086] 이상과 같은 구조의 박막 트랜지스터 표시판(100)과 색필터 표시판(200)의 상부 면에 수직 배향 모드의 배향막(11, 21)을 형성한 다음, 두 표시판(100, 200)을 정렬하여 결합하고 그 사이에 액정 물질을 주입하여 수직 배향 하면 본 발명에 한 실시예에 따른 액정 표시 장치의 기본 구조가 마련된다.
- [0087] 박막 트랜지스터 표시판과 색필터 표시판을 정렬했을 때 공통 전극(270)의 한 벌의 절개부(271, 272, 273, 274, 275, 276)는 화소 전극(190)을 각각 복수의 부영역(subarea)으로 구분한다.
- [0088] 화소 전극(190)의 각 부영역과 이에 대응하는 기준 전극(270)의 각 부영역 사이에 있는 액정층(300) 부분을 앞으로는 "소영역(subregion)"이라고 하며, 이들 소영역은 전계 인가시 그 내부에 위치하는 액정 분자의 평균 장축 방향에 따라 8개의 종류로 분류되며 앞으로는 이를 "도메인(domain)"이라고 한다.

**발명의 효과**

- [0089] 이상과 같이 적어도 데이터선의 일부를 이웃하는 화소의 화소 전극과 중첩시켜 화소 전극과 데이터선 사이에서 발생하는 기생 용량을 거의 일정하게 형성할 수 있어, 스티치 불량 또는 플리커 등이 발생하는 것을 방지할 수 있다.
- [0090] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

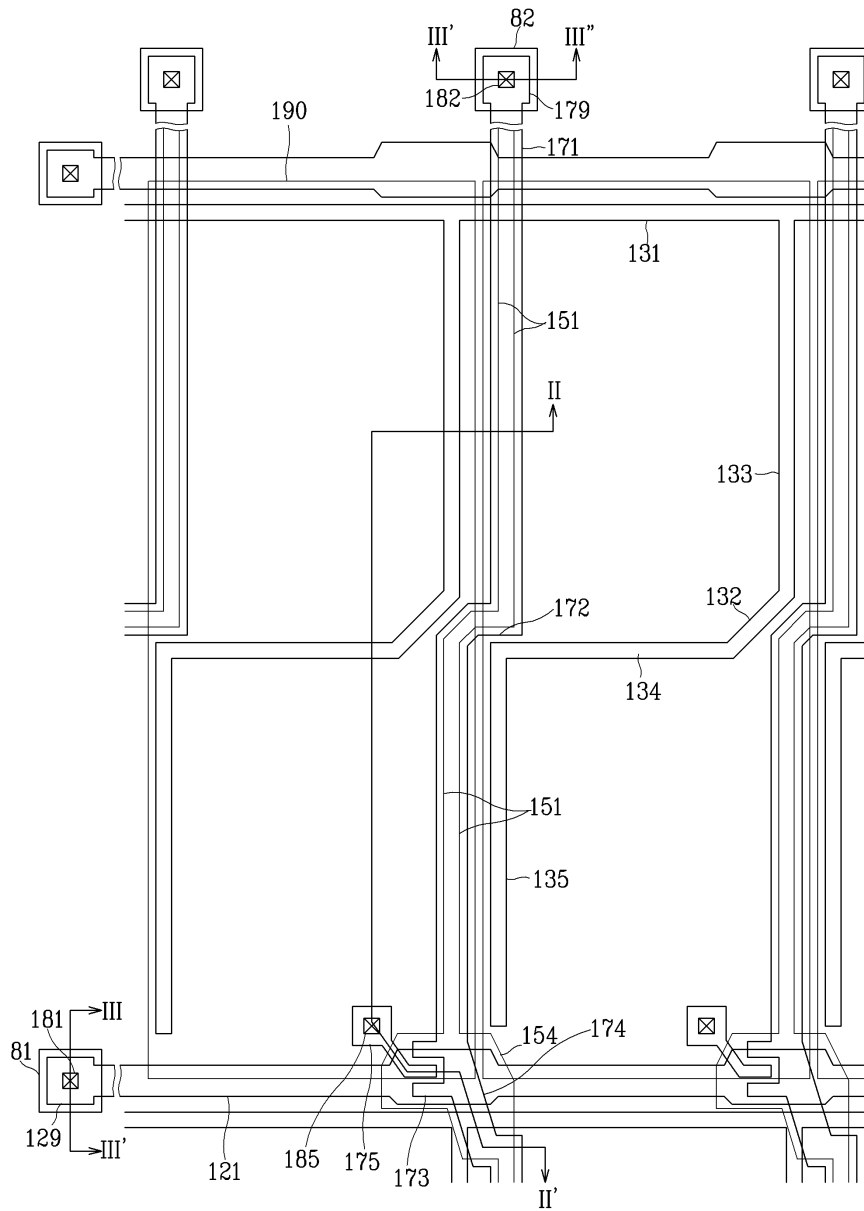
**도면의 간단한 설명**

- [0001] 도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,
- [0002] 도 2 및 도 3은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판에서 II-II' 및 III-III' 선을 따라 잘라 도시한 각각의 단면도이고,
- [0003] 도 4는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,
- [0004] 도 5는 도 4의 박막 트랜지스터 표시판을 IV-IV' 선을 따라 잘라 도시한 단면도이고,
- [0005] 도 6은 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,
- [0006] 도 7은 본 발명의 제3 실시예에 따른 액정 표시 장치용 공통 전극 표시판의 배치도이고,
- [0007] 도 8은 도 6 및 도 7의 두 표시판을 포함하는 본 발명의 제3 실시예에 따른 액정 표시 장치의 배치도이고,
- [0008] 도 9는 도 8에서 IX-IX' 선을 따라 잘라 도시한 단면도이다.

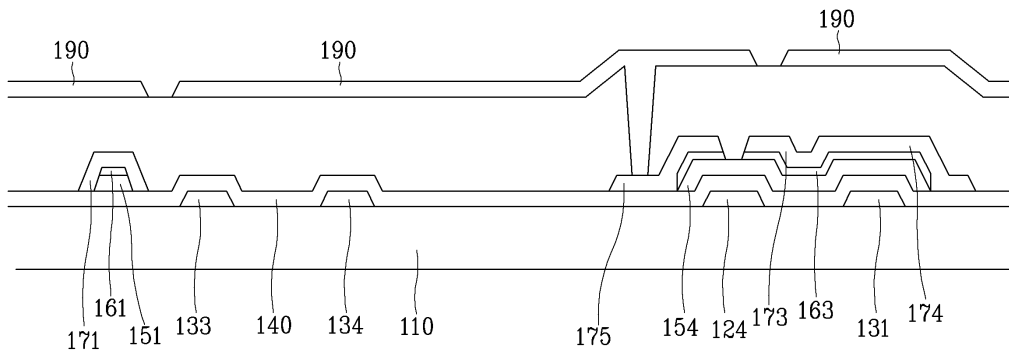
[0009]	121	게이트선,	123	게이트 전극,
[0010]	131, 132, 133, 134, 135	유지 전극,		
[0011]	171	데이터선,	173	소스 전극,
[0012]	175	드레인 전극,	190	화소 전극,
[0013]	191, 192, 193, 194, 195, 196	절개부,		
[0014]	151, 154	비정질 규소층,	270	기준 전극
[0015]	271, 272, 273, 274, 275, 276	절개부		

도면

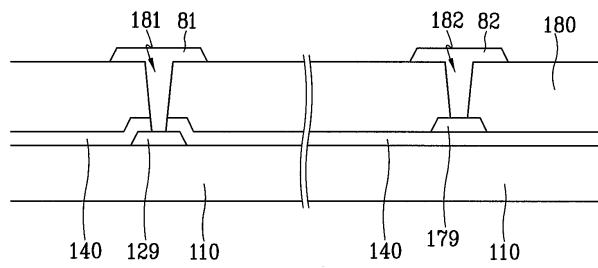
도면1



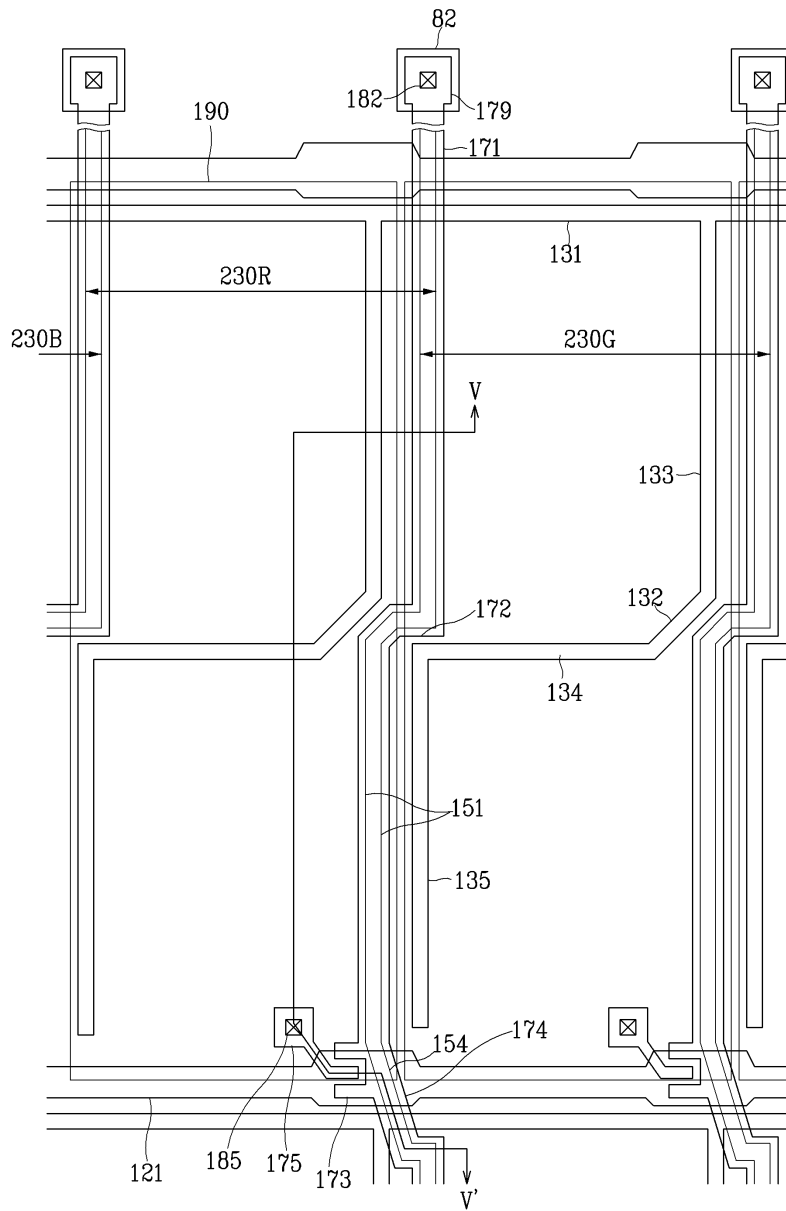
도면2



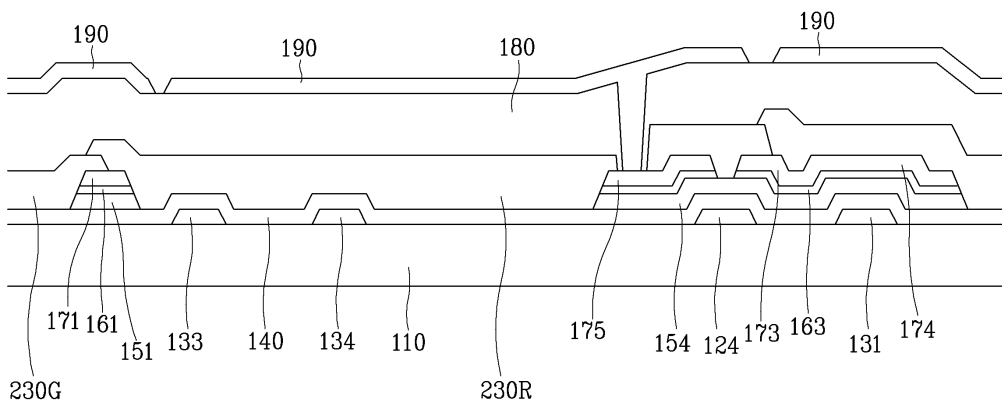
도면3



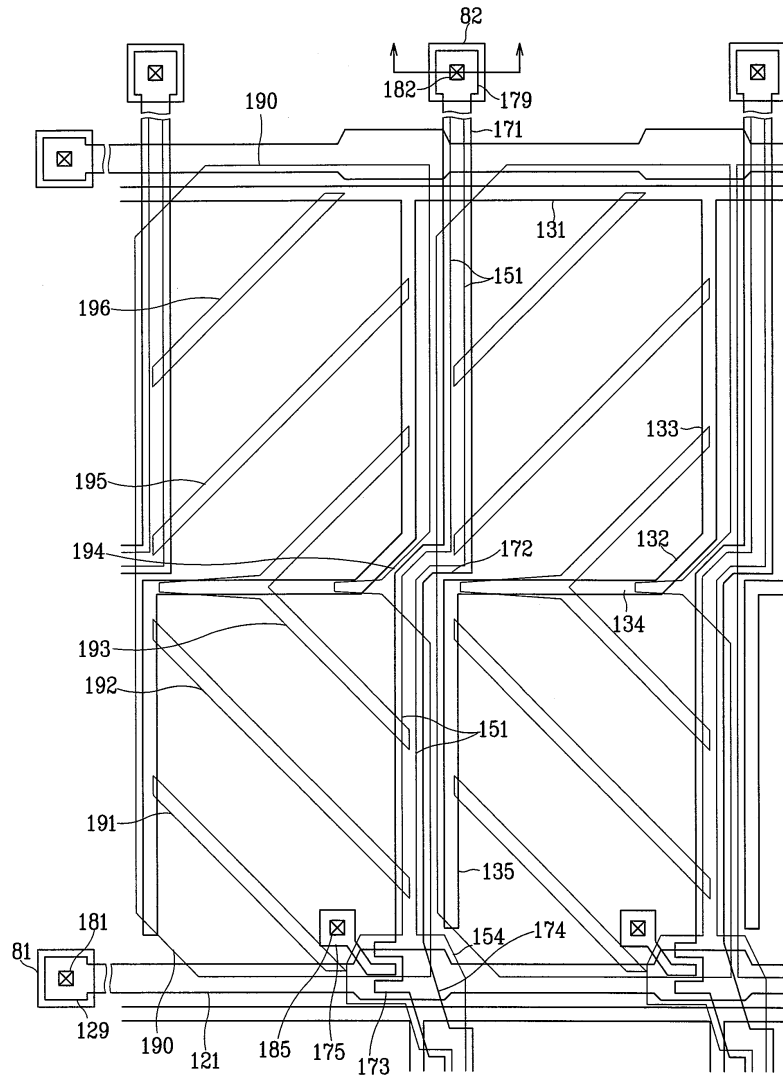
도면4



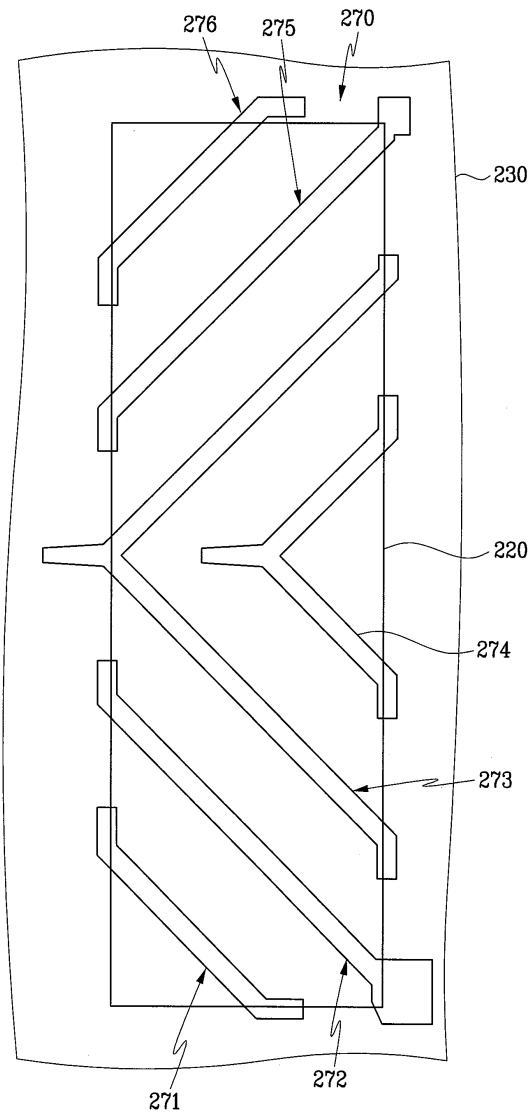
도면5



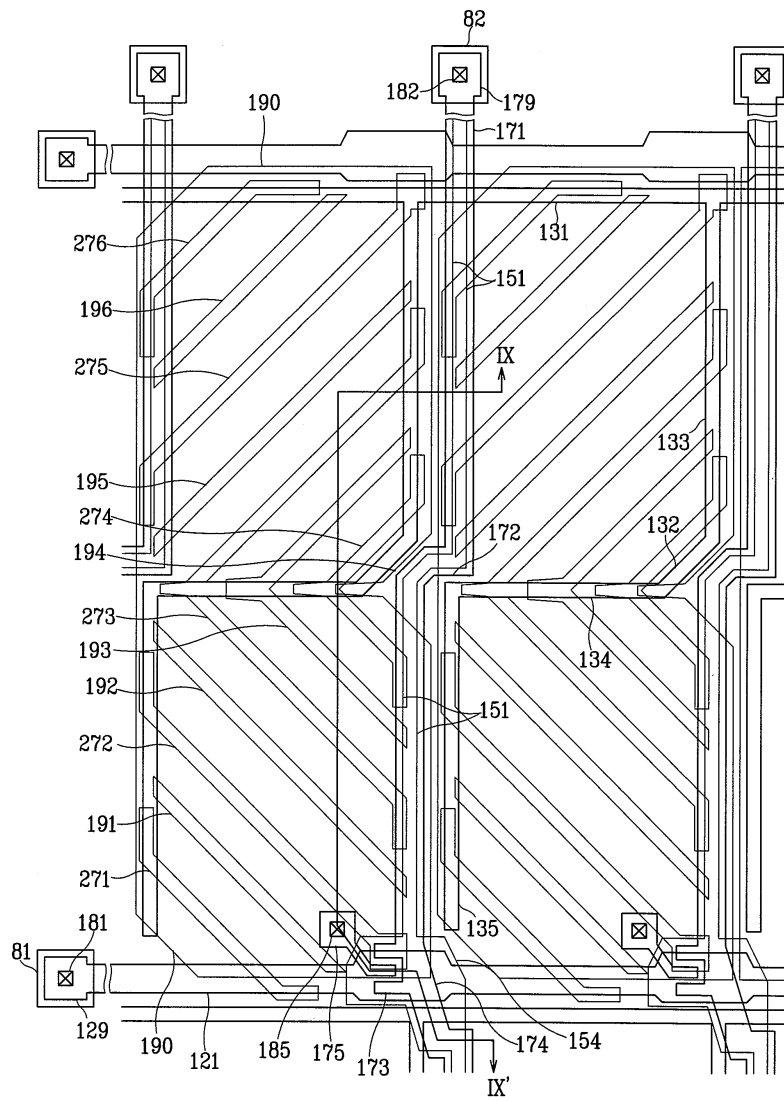
도면6



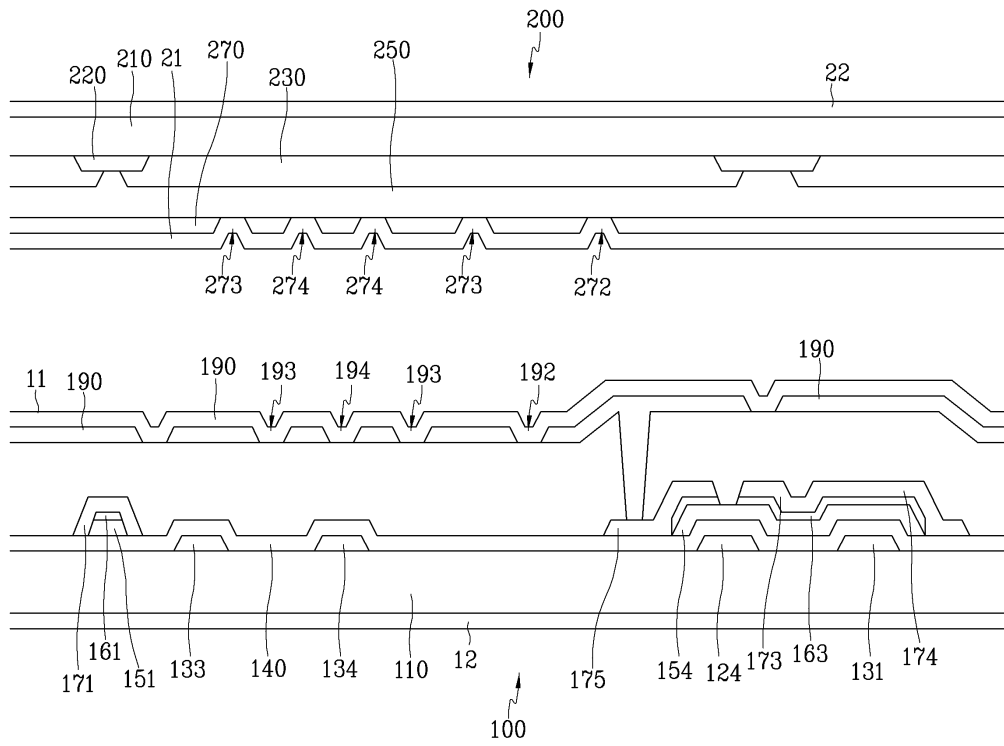
도면7



도면8



도면9



专利名称(译)	用于显示器件的薄膜晶体管标志		
公开(公告)号	<a href="#">KR101006436B1</a>	公开(公告)日	2011-01-06
申请号	KR1020030081536	申请日	2003-11-18
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	PARK MYUNGJAE 박명재 RHEE YOUNGJOON 이영준 PARK HYEONGJUN 박형준 KONG HYANGSHIK 공향식		
发明人	박명재 이영준 박형준 공향식		
IPC分类号	G02F1/1362 G09F9/30 G02F H01L29/786 G02F1/1333 G02F1/136 G02F1/1368		
CPC分类号	G02F1/136286 G02F1/133707 G02F2001/13625		
其他公开文献	KR1020050047753A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

包括栅极线和包括栅电极的维持电极的保持布线形成在绝缘基板上。并且在覆盖它们的栅极绝缘膜上形成半导体层和掺杂的非晶硅的电阻接触层。并且源电极与栅极线绝缘并接触电阻接触层，形成包括通过弯曲部分布置成双线的部分和面对源电极的漏电极的数据线。并且，通过接触孔连接到漏电极的像素电极形成在覆盖钝化层的钝化层的上部。此时，数据线的一部分与相邻像素的像素电极重叠。

