



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년07월23일
(11) 등록번호 10-0971950
(24) 등록일자 2010년07월16일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2003-0043946
(22) 출원일자 2003년06월30일
심사청구일자 2008년04월03일
(65) 공개번호 10-2005-0002563
(43) 공개일자 2005년01월07일

(56) 선행기술조사문헌

JP2002026335 A*

KR1020020074302 A*

KR1020020052562 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

조원호

경상북도구미시도량2동도량4차주공아파트404-302

조규철

경기도군포시금정동875퇴계아파트353-1602

(뒷면에 계속)

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 18 항

심사관 : 한재균

(54) 액정표시장치용 어레이기판과 제조방법

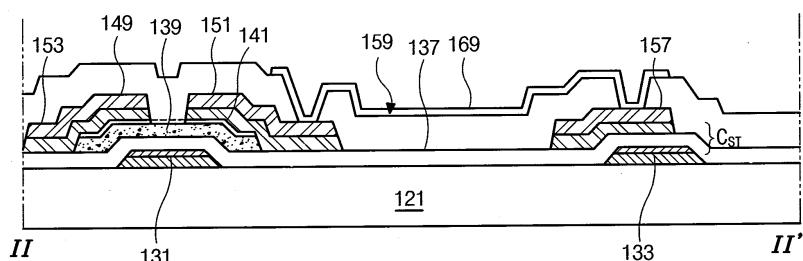
(57) 요약

본 발명은 액정표시장치에 관한 것으로 특히, 액정표시장치용 어레이기판과 그 제조방법에 관한 것이다.

본 발명은 5 마스크 공정과 4 마스크공정을 통해 제작된, 액정표시장치용 어레이기판의 구성 및 제조방법에 관한 것이다.

본 발명의 특징적인 부분은, 액정표시장치용 어레이기판에 구성되는 배선(케이트 배선, 데이터 배선)과 박막트랜지스터(케이트전극, 액티브층, 소스 전극, 드레인 전극)의 구성에 있어서, 케이트 배선과 케이트 전극은 배리어층/알루미늄(알루미늄합금)의 이중 금속층으로 구성하고, 데이터 배선과 소스 및 드레인 전극은 구리/배리어층의 이중 금속층으로 구성한다.

전술한 구성에서, 상기 알루미늄(알루미늄 합금층)의 상부 또는 하부의 배리어층으로 물리브텐(Mo), 물리합금층, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 질화탄탈륨(TaN), 질화티타늄(TiN), 니켈(Ni), 텉스텐(W), 인듐(In), 주석(Sn), 금(Au)을 포함하는 도전성 금속그룹 중 선택된 하나로 형성하고, 상기 구리층의 하부에 구성한 배리어층은 금속그룹 중 선택된 하나로 형성한다.

대 표 도 - 도6i

(72) 발명자

이규태

경상북도 영천시 임고면 양항1리 221

강진규

인천광역시 서구 가좌4동 주공아파트 108-201

정병화

경상북도 구미시 구평동 부평아파트 606동 1302호

김진영

인천광역시 부평구 부평4동 885-627/7

특허청구의 범위

청구항 1

기판 상에 알루미늄계열의 제 1 금속물질로 이루어지는 제 1 금속층과, 상기 제 1 금속층 상에 위치하며 상기 제 1 금속물질보다 큰 내화학성과 큰 전기저항을 갖는 제 2 금속물질로 이루어지는 제 1 배리어층이 적층되어 구성된 게이트 전극 및 게이트 배선과 상기 게이트 배선 일끝에 위치하는 게이트 패드와;

상기 게이트 전극 상부에 게이트 절연막을 사이에 두고 적층된 액티브층과 오믹 콘택층과;

상기 오믹 콘택층과 접촉하고, 상기 제 2 금속물질로 이루어지는 제 2 배리어층과, 상기 제 2 배리어층 상에 위치하며 상기 제 2 금속물질보다 큰 내화학성과 작은 전기저항을 갖는 제 3 금속물질로 이루어지는 구리층이 적층되어 구성된 소스 전극과 드레인 전극과, 소스 전극과 연결된 데이터배선과, 상기 데이터 배선 일끝에 위치하는 데이터 패드와;

상기 소스 및 드레인 전극이 형성된 기판의 전면에 구성되고, 상기 드레인 전극을 노출하는 드레인콘택홀과, 상기 게이트 절연막과 함께 식각되어 상기 게이트 패드를 노출시키고 상기 게이트 패드보다 큰 크기를 갖는 게이트패드전극콘택홀과, 상기 데이터 패드를 노출시키고 상기 데이터 패드보다 작은 크기를 갖는 데이터패드콘택홀을 포함하는 보호막과;

상기 노출된 드레인 전극과 상기 드레인콘택홀을 통해 접촉하는 화소전극과;

상기 게이트패드콘택홀을 통해 상기 게이트 패드의 상부면 및 측면과 접촉하는 게이트 패드 전극과;

상기 데이터패드콘택홀을 통해 상기 데이터 패드의 상부면과 접촉하는 데이터 패드 전극

을 포함하는 액정표시장치용 어레이기판.

청구항 2

제 1 항에 있어서,

상기 제 2 금속물질은 몰리브덴(Mo), 몰리합금층, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 질화탄탈륨(TaN), 질화티타늄(TiN), 니켈(Ni), 텉스텐(W), 인듐(In), 주석(Sn), 금(Au)의 금속그룹 중 선택된 하나 또는 그 이상인 액정표시장치용 어레이기판.

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 제 1 배리어층은 100Å~1000Å의 두께로 구성된 액정표시장치용 어레이기판.

청구항 5

제 1 항에 있어서,

상기 제 2 배리어층은 100Å~1000Å의 두께로 구성된 액정표시장치용 어레이기판.

청구항 6

제 1 항에 있어서,

상기 구리층의 두께는 1000Å~5000Å의 두께로 구성된 액정표시장치용 어레이기판.

청구항 7

제 1 항에 있어서,

상기 게이트 배선의 상부에 상기 소스 및 드레인 전극과 동일층 동일물질로 섬형상의 소스-드레인 금속층을 구성한 액정표시장치용 어레이기판.

청구항 8

제 7 항에 있어서,

상기 보호막은 상기 소스-드레인 금속층을 노출시키는 스토리지콘택홀을 포함하고, 상기 화소전극은 상기 스토리지콘택홀을 통해 상기 소스-드레인 금속층과 접촉하는 액정표시장치용 어레이기판.

청구항 9

삭제

청구항 10

제 1 항에 있어서,

상기 액티브층은 상기 데이터 배선의 하부로 연장하여 구성된 액정표시장치용 어레이기판.

청구항 11

삭제

청구항 12

기판 상에 알루미늄계열의 제 1 금속물질로 이루어지는 제 1 금속층과, 상기 제 1 금속층 상에 상기 제 1 금속물질보다 큰 내화학성과 큰 전기저항을 갖는 제 2 금속물질로 이루어지는 제 1 배리어층이 적층된 게이트 전극 및 게이트 배선과 상기 게이트 배선 일끝에 위치하는 게이트 패드를 형성하는 제 1 공정 단계와;

상기 게이트 전극 상부에 게이트 절연막을 사이에 두고 적층된 액티브층과 오믹 콘택층을 형성하는 제 2 공정 단계와;

상기 오믹 콘택층과 접촉하고, 상기 제 2 금속물질로 이루어지는 제 2 배리어층과, 상기 제 2 배리어층 상에 위치하며 상기 제 2 금속물질보다 작은 내화학성과 작은 전기저항을 갖는 제 3 금속물질로 이루어지는 구리층이 적층되어 구성된 소스 전극과 드레인 전극과, 소스 전극과 연결된 데이터배선과, 상기 데이터 배선 일끝에 위치하는 데이터 패드를 형성하는 제 3 공정 단계와;

상기 소스 및 드레인 전극이 형성된 기판의 전면에 구성되고, 상기 드레인 전극을 노출하는 드레인콘택홀과, 상기 게이트 절연막과 함께 식각되어 상기 게이트 패드를 노출시키고 상기 게이트 패드보다 큰 크기를 갖는 게이트패드콘택홀과, 상기 데이터 패드를 노출시키고 상기 데이터 패드보다 작은 크기를 갖는 데이터패드콘택홀을 포함하는 보호막을 형성하는 제 4 공정 단계와;

상기 노출된 드레인 전극과 상기 드레인콘택홀을 통해 접촉하는 투명한 화소전극과, 상기 게이트패드콘택홀을 통해 상기 게이트 패드의 상부면 및 측면과 접촉하는 게이트 패드 전극과, 상기 데이터패드콘택홀을 통해 상기 데이터 패드의 상부면과 접촉하는 데이터 패드 전극을 형성하는 제 5 마스크 공정 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 13

제 12 항에 있어서,

상기 제 2 금속물질은 몰리브덴(Mo), 몰리합금층, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 질화탄탈륨(TaN), 질화티타늄(TiN), 니켈(Ni), 텉스텐(W), 인듐(In), 주석(Sn), 금(Au)의 금속그룹 중 선택된 하나 또는 그 이상으로 형성된 액정표시장치용 어레이기판 제조방법.

청구항 14

삭제

청구항 15

제 12 항에 있어서,

상기 제 1 배리어층은 100Å~1000Å의 두께로 형성된 액정표시장치용 어레이기판 제조방법.

청구항 16

제 12 항에 있어서,

상기 제 2 배리어층은 100Å~1000Å의 두께로 형성된 액정표시장치용 어레이기판 제조방법.

청구항 17

제 12 항에 있어서,

상기 구리층의 두께는 1000Å~5000Å의 두께로 구성된 액정표시장치용 어레이기판 제조방법.

청구항 18

제 12 항에 있어서,

상기 게이트 배선의 상부에 상기 소스 및 드레인 전극과 동일층 동일물질로 섬형상의 소스-드레인 금속층을 형성하는 단계를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 19

제 12 항에 있어서,

상기 액티브층은 데이터 배선의 하부로 연장하여 형성된 액정표시장치용 어레이기판 제조방법.

청구항 20

삭제

청구항 21

제 12 항에 있어서,

상기 제 2 공정 및 상기 제 3 공정은 하나의 마스크 공정으로 이루어지는 것을 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 22

제 12 항에 있어서,

상기 제 2 공정 및 제 3 공정은 상기 게이트 전극 상에 게이트 절연막과, 액티브층과, 오믹 콘택층, 제 2 배리어층과 구리층을 형성하는 공정은 하나의 마스를 이용하여 이루어 지는 것을 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

제 12 항에 있어서,

상기 투명한 화소전극은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속그룹 중 선택된 하나로 형성된 액정표시장치용 어레이기판 제조방법.

청구항 32

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0017] 본 발명은 액정표시장치(liquid crystal display device)에 관한 것으로, 구리를 포함한 이중 금속층으로 형성된 어레이배선 및 스위칭 소자를 포함하는 액정표시장치용 어레이기판과 그 제조방법에 관한 것이다.
- [0018] 도 1은 액정표시장치용 어레이기판의 일부를 도시한 확대평면도이다.
- [0019] 기판(21)상에 스위칭 소자인 박막트랜지스터(T)가 매트릭스 형태(matrix type)로 위치하고, 이러한 다수의 박막트랜지스터(T)를 교차하는 게이트배선(33)과 데이터배선(53)이 형성된다.
- [0020] 상기 게이트배선(33)의 일 끝단에는 게이트 패드 전극(35)이 형성되어 있고, 상기 게이트 패드 전극(35)은 게이트 배선(33)에 비해 큰 폭을 가지도록 구성된다.
- [0021] 상기 데이터배선(53)의 일 끝단에는 데이터 패드 전극(55)이 형성되어 있고, 상기 데이터 패드 전극(55) 또한 데이터배선(53)에 비해 큰 폭을 가지도록 형성된다.
- [0022] 상기 게이트 패드 전극(35)과 데이터 패드 전극(55)은 각각 외부의 신호를 직접 인가 받는 수단인 투명한 게이

트 패드 전극 단자(71)와 데이터 패드 전극 단자(73)와 접촉하여 구성된다.

[0023] 이때, 상기 게이트배선(33)과 데이터배선(53)이 교차하여 정의되는 영역을 화소영역(P)이라 한다.

[0024] 상기 게이트배선(33)의 일부 상부에 스토리지 캐패시터(C_{ST})가 구성된다.

[0025] 상기 박막트랜지스터(T)는 게이트 전극(31)과 소스 전극(49)과 드레인 전극(51)과, 상기 게이트전극(31) 상부에 구성된 액티브층(39)으로 이루어진다.

[0026] 전술한 구성에서, 상기 스토리지 캐패시터(C_{ST})는 게이트 배선(33)의 일부를 제 1 캐패시터 전극으로 하고, 상기 게이트 배선(33)의 일부 상부에 위치하고 상기 소스 및 드레인 전극(49,51)과 동일층 동일물질로 형성되고 상기 화소 전극(69)과 콘택홀(63)을 통해 접촉된 소스-드레인 금속층(57)을 제 2 캐패시터 전극으로 한다.

[0027] 이하, 도 2a 내지 2f와 3a 내지 도 3f와 도 4a 내지 도 4f를 참조하여, 종래에 따른 액정표시장치용 어레이기판의 제조공정을 설명한다.

[0028] 도 2a 내지 2f와 3a 내지 도 3f와 도 4a 내지 도 4f는 도 1의 II-II` ,III-III` ,IV-IV` 를 따라 절단하여, 종래의 공정 순서에 따라 도시한 공정 단면도이다.

[0029] (도 2a 내지 도 2f의 공정 단면도는 박막트랜지스터와 화소부의 단면이고, 도 3a 내지 도 3f는 게이트 패드부 단면이고, 도 4a 내지 도 4f는 데이터 패드부의 단면이다.)

[0030] 먼저, 도 2a와 도 3a와 도 4a에 도시한 바와 같이, 기판(21)상에 박막트랜지스터 영역(T), 화소 영역(P), 게이트 패드 영역(G), 데이터 패드 영역(D)을 정의한다.

[0031] 상기 다수의 영역(T,P,G,D)이 정의된 기판(21)상에 알루미늄(A1) 또는 알루미늄 합금층을 증착하고 패턴하여, 일 방향으로 연장되고 서로 소정간격 평행하게 이격된 다수의 게이트 배선(33)과, 게이트 배선(33)의 일 끝단에 게이트 패드 전극(35)이 형성된다. 동시에, 상기 게이트 배선(33)에 연결된 게이트 전극(31)이 형성된다.

[0032] 상기 알루미늄 계열의 금속은 저항이 낮아 게이트 배선(33)의 신호 지연(signal delay)을 낮출 수 있는 장점이 있는 반면, 화학적으로 내식성이 약하여 쉽게 단선 되거나, 배선의 표면에 미세하게 힐락(hilllock)과 같은 결함이 발생하게 된다.

[0033] 따라서, 이러한 문제를 해결하기 위해 상기 알루미늄 계열의 금속층과 이것의 상부에 이보다는 화학적 물리적으로 강한 금속을 적층하여 형성하는 것이 일반적이다.

[0034] 이와 같은 적층구조는, 상기 알루미늄의 상부에 적층된 금속에 따라, 상기 알루미늄과 일괄식각이 가능한 금속(예를 들면 몰리브덴(Mo))이면 공정이 추가되지 않으나, 상기 알루미늄과 동시에 식각이 가능하지 않은 금속(예를 들면 크롬(Cr))일 경우에는 별도의 식각공정을 진행해야 하므로 공정이 복잡해지는 문제가 있다.

[0035] 이때, 도 4a의 데이터 패드부(D)에는 아무것도 형성되지 않는다.

[0036] 도 2b와 도 3b와 도 4b에 도시한 바와 같이, 상기 게이트 배선(33) 및 게이트 패드 전극(35)과 게이트 전극(31)이 형성된 기판(21)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO₂)을 포함하는 무기질연물질 그룹 중 선택된 하나를 증착하여, 제 1 절연막인 게이트 절연막(37)을 형성한다.

[0037] 연속하여, 상기 게이트 전극(31)상부의 게이트 절연막(37)상에 비정질 실리콘(a-Si:H)과 불순물이 포함된 비정질 실리콘(n+a-Si:H)을 적층하고 패턴하여, 액티브층(39)과 오믹 콘택층(41)을 형성한다.

[0038] 다음으로, 도 2c와 도 3c와 도 4c에 도시한 바와 같이, 상기 오믹 콘택층(41)이 형성된 기판(21)의 전면에, 몰리브덴(Mo)과 알루미늄(A1)과 몰리브덴(Mo)을 차례로 증착하여, 제 1,2,3 금속층(43,45,47)을 적층한다.

[0039] 다음으로, 도 2d와 도 3d와 도 4d에 도시한 바와 같이, 상기 제 1,2,3금속층을 동시에 패턴하여, 몰리브덴/알루미늄/몰리브덴(Mo/A1/Mo)의 3중 금속층으로 구성되고, 상기 오믹 콘택층(41)과 접촉하면서 서로 이격된 소스 전극(49)과 드레인 전극(51)을 형성하고, 동시에 상기 소스 전극(49)과 연결되고 일 끝단에 데이터 패드전극(55)을 포함하는 데이터 배선(53)을 형성한다.

[0040] 상기 소스 및 드레인 전극(49,51)을 형성하는 동시에, 상기 게이트 배선(33)의 일부 상부에 섬 형상의 소스-드레인 금속층(57)층을 형성한다.

[0041] 전술한 구성에서, 상기 소스 및 드레인 전극(49,51)과 데이터 배선(53)을 몰리브덴(Mo)이나 크롬(Cr)과 같이 저

향이 큰 금속을 단일층으로 하여 대면적 기판을 제작하게 되면, 신호 지연에 의해 액정패널의 전면에 대해 동일한 화질을 가지는 화상을 얻을 수 없게 된다.

[0042] 반면, 상기 소스 및 드레인 전극(49,51)과 데이터 배선(53)의 저항이 작을수록 신호의 흐름이 원활하기 때문에 대면적 어레이기판을 제작하는데 적합하다.

[0043] 따라서, 이를 위해, 상기 소스 및 드레인 전극(49,51)과 데이터 배선(45)을 저 저항 배선으로 형성하는 것이 필요하다.

[0044] 그런데, 저 저항 배선인 알루미늄층의 상부와 하부에 각각 구성된 몰리브덴층 중, 상기 하부 몰리브덴 층은 상기 제 2 금속층인 알루미늄 층이 상기 액티브층(39)또는 오믹 콘택층(41)으로 파고 들어가는 스파이킹(spiking)현상을 방지하기 위해서 형성하고, 상기 상부 몰리브덴(Mo)층은 이후 공정에서 형성되는 투명전극과 상기 알루미늄층 사이의 콘택 저항을 줄이기 위한 목적으로 형성하는 것이다.

[0045] 이와 같은 이유로, 상기 소스 및 드레인 전극(49,51)과 데이터 배선(53)을 삼층(Mo/Al/Mo)으로 구성하였다.

[0046] 전술한 공정에 연속하여, 상기 소스 전극과 드레인 전극(49,51)사이로 노출된 오믹 콘택층(41)을 식각하여 하부의 액티브층(39)을 노출한다.

[0047] 도 2e와 도 3e와 도 4e에 도시한 바와 같이, 상기 소스 및 드레인 전극(49,51)이 형성된 기판(21)의 전면에 절연물질을 증착하여, 제 2 절연막인 보호막(59)을 형성한다.

[0048] 상기 보호막(59)을 식각하여 드레인 전극(51)의 일부를 노출하는 드레인 콘택홀(61)과, 소스-드레인 금속층(57)의 일부를 노출하는 스토리지 콘택홀(63)과, 상기 게이트 패드 전극(35)을 노출하는 게이트 패드 전극 콘택홀(65)과, 상기 데이터 패드 전극(37)을 노출하는 데이터 패드 콘택홀(67)을 형성한다.

[0049] 도 2f와 도 3f와 도 4f에 도시한 바와 같이, 상기 보호막(59)이 형성된 기판(21)의 전면에 인듐-탄-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함한 투명 도전성 금속그룹 중 선택된 하나를 증착하고 패턴하여, 상기 드레인 전극(51)과 상기 소스-드레인 금속층(57)과 접촉하는 투명한 화소전극(69)을 형성한다.

[0050] 동시에, 상기 게이트 패드 전극(35)과 접촉하는 게이트 패드 전극 단자(71)와 상기 데이터 패드 전극(55)과 접촉하는 데이터 패드 전극 단자(73)를 형성한다.

[0051] 전술한 바와 같은 공정으로 종래에 따른 어레이기판을 제작할 수 있다.

[0052] 전술한 종래의 공정 중, 소스 및 드레인 전극(49,51)과 데이터배선(53)과 데이터 패드 전극(55)은 삼층의 금속을 혼산용액으로 일괄 식각하여 형성하게 되는데, 식각시 식각용액에 의해 전지반응(갈바닉)이 발생하게 되며, 이때 몰리브덴(Mo)의 두께가 두꺼울수록 전지반응에 의한 영향을 극복할 수 없다.

[0053] 특히, 전지 반응에 의해 하부 몰리브덴 층이 과식각 되어 상기 보호층(59)을 형성하는 공정 중 알루미늄층(45)이 주저앉아 하부의 액티브층과 접촉하게 된다.

[0054] 이때, 상기 알루미늄층과 액티브층이 반응하여 누설전류를 증가시켜 소자의 동작특성을 저하하는 원인이 된다.

[0055] 이하, 도 5를 참조하여 설명한다. 도 5는 도 2f의 D를 확대한 단면도이다.

[0056] 도시한 바와 같이, 알루미늄층(45)을 사이에 두고 상부와 하부에 구성된 몰리브덴(Mo)층(47,53)이 과식각되는 현상이 발생하게 된다.

[0057] 이와 같은 현상을, 상기 소스 및 드레인전극(49, 도 2f의 51)과 데이터 배선(도 2f의 53)과 데이터 패드 전극(도 2f의 55)이 형성된 기판의 전면에 보호막(59)을 형성하는 과정에서 상기 알루미늄층(45)의 역 테이퍼(E)에 의해 보호막이 제대로 형성되지 않는 경우가 있다.

[0058] 또한, 앞서 언급한 바와 같이, 상기 알루미늄층이 상부에 형성된 보호층(59)에 놀려 하부의 액티브층(39)또는 오믹 콘택층(41)과 접촉하게 된다. 이와 같은 경우에는 상호 확산 작용에 의해 누설전류의 상승으로 인해 소자(박막트랜지스터)의 동작을 저하하는 문제가 있다.

[0059] 또한, 전술한 구성 중 상기 게이트 배선은 알루미늄 또는 알루미늄 합금층을 사용하여 구성하였지만, 알루미늄 계열의 금속층은 화학적으로 내식성이 약하고, 힐락(hilllock)과 같은 불량이 발생하게 되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

[0060]

본 발명은 전술한 바와 같은 문제를 해결하기 위한 목적으로 안출된 것으로, 본 발명은 상기 게이트 배선 및 게이트 전극을 형성할 때, 알루미늄(또는 알루미늄합금)층의 상부에 배리어층을 구성하는 동시에, 상기 데이터 배선과 소스 및 드레인 전극은 구리(Cu)층과 구리층의 하부에 배리어층을 더욱 구성하는 것을 제 1 특징으로하고, 이와 같이 구성된 배선 및 전극을 포함하는 액정표시장치용 어레이기판을 4 마스크 공정으로 제작하는 것을 제 2 특징으로 한다.

[0061]

전술한 제 1 특징에 따라 어레이기판을 구성하게 되면, 게이트 배선과 데이터 배선의 저항을 낮출 수 있으므로, 대면적 고해상도의 액정표시장치를 제작할 수 있는 장점이 있고, 전술한 제 2 특징에 따라 어레이 기판을 구성하게 되면 앞서 제 1 특징에 따른 장점 뿐 아니라, 재료비 및 공정 시간을 절약할 수 있어 공정 수율을 개선할 수 있는 장점이 있다.

발명의 구성 및 작용

[0062]

전술한 바와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이기판 기판 상에 알루미늄계열의 제 1 금속물질로 이루어지는 제 1 금속층과, 상기 제 1 금속층 상에 위치하며 상기 제 1 금속물질보다 큰 내화학성과 큰 전기저항을 갖는 제 2 금속물질로 이루어지는 제 1 배리어층이 적층되어 구성된 게이트 전극 및 게이트 배선과 상기 게이트 배선 일끝에 위치하는 게이트 패드와; 상기 게이트 전극 상부에 게이트 절연막을 사이에 두고 적층된 액티브층과 오믹 콘택층과; 상기 오믹 콘택층과 접촉하고, 상기 제 2 금속물질로 이루어지는 제 2 배리어층과, 상기 제 2 배리어층 상에 위치하며 상기 제 2 금속물질보다 큰 내화학성과 작은 전기저항을 갖는 제 3 금속물질로 이루어지는 구리층이 적층되어 구성된 소스 전극과 드레인 전극과, 소스 전극과 연결된 데이터 배선과, 상기 데이터 배선 일끝에 위치하는 데이터 패드와; 상기 소스 및 드레인 전극이 형성된 기판의 전면에 구성되고, 상기 드레인 전극을 노출하는 드레인콘택홀과, 상기 게이트 절연막과 함께 식각되어 상기 게이트 패드를 노출시키고 상기 게이트 패드보다 큰 크기를 갖는 게이트패드전극콘택홀과, 상기 데이터 패드를 노출시키고 상기 데이터 패드보다 작은 크기를 갖는 데이터패드콘택홀을 포함하는 보호막과; 상기 노출된 드레인 전극과 상기 드레인콘택홀을 통해 접촉하는 화소전극과; 상기 게이트패드콘택홀을 통해 상기 게이트 패드의 상부면 및 측면과 접촉하는 게이트 패드 전극과; 상기 데이터패드콘택홀을 통해 상기 데이터 패드의 상부면과 접촉하는 데이터 패드 전극을 포함하는 액정표시장치용 어레이기판을 제공한다.

상기 제 2 금속물질은 몰리브덴(Mo), 몰리합금층, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 질화탄탈륨(TaN), 질화티타늄(TiN), 니켈(Ni), 텉스텐(W), 인듐(In), 주석(Sn), 금(Au)의 금속그룹 중 선택된 하나 또는 그 이상이며, 상기 제 1 배리어층은 100Å~1000Å의 두께로 구성된다.

그리고, 상기 제 2 배리어층은 100Å~1000Å의 두께로 구성되며, 상기 구리층의 두께는 1000Å~5000Å의 두께로 구성된다. 또한, 상기 게이트 배선의 상부에 상기 소스 및 드레인 전극과 동일층 동일물질로 섬형상의 소스-드레인 금속층을 구성하며, 상기 보호막은 상기 소스-드레인 금속층을 노출시키는 스토리지콘택홀을 포함하고, 상기 화소전극은 상기 스토리지콘택홀을 통해 상기 소스-드레인 금속층과 접촉한다.

또한, 상기 액티브층은 상기 데이터 배선의 하부로 연장하여 구성한다.

또한, 본 발명은 기판 상에 알루미늄계열의 제 1 금속물질로 이루어지는 제 1 금속층과, 상기 제 1 금속층 상에 상기 제 1 금속물질보다 큰 내화학성과 큰 전기저항을 갖는 제 2 금속물질로 이루어지는 제 1 배리어층이 적층된 게이트 전극 및 게이트 배선과 상기 게이트 배선 일끝에 위치하는 게이트 패드를 형성하는 제 1 공정 단계와; 상기 게이트 전극 상부에 게이트 절연막을 사이에 두고 적층된 액티브층과 오믹 콘택층을 형성하는 제 2 공정 단계와; 상기 오믹 콘택층과 접촉하고, 상기 제 2 금속물질로 이루어지는 제 2 배리어층과, 상기 제 2 배리어층 상에 위치하며 상기 제 2 금속물질보다 작은 내화학성과 작은 전기저항을 갖는 제 3 금속물질로 이루어지는 구리층이 적층되어 구성된 소스 전극과 드레인 전극과, 소스 전극과 연결된 데이터배선과, 상기 데이터 배선 일끝에 위치하는 데이터 패드를 형성하는 제 3 공정 단계와; 상기 소스 및 드레인 전극이 형성된 기판의 전면에 구성되고, 상기 드레인 전극을 노출하는 드레인콘택홀과, 상기 게이트 절연막과 함께 식각되어 상기 게이트 패드를 노출시키고 상기 게이트 패드보다 작은 크기를 갖는 게이트패드콘택홀과, 상기 데이터 패드를 노출시키고 상기 데이터 패드보다 작은 크기를 갖는 데이터패드콘택홀을 포함하는 보호막을 형성하는 제 4 공정 단계와; 상기 노출된 드레인 전극과 상기 드레인콘택홀을 통해 접촉하는 투명한 화소전극과, 상기 게이트패드콘택홀

을 통해 상기 게이트 패드의 상부면 및 측면과 접촉하는 게이트 패드 전극과, 상기 데이터패드콘택홀을 통해 상기 데이터 패드의 상부면과 접촉하는 데이터 패드 전극을 형성하는 제 5 마스크 공정 단계를 포함하는 액정표시장치용 어레이기판 제조방법을 제공한다.

이때, 상기 제 2 금속물질은 몰리브덴(Mo), 몰리합금층, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 질화탄탈륨(TaN), 질화티타늄(TiN), 니켈(Ni), 텅스텐(W), 인듐(In), 주석(Sn), 금(Au)의 금속그룹 중 선택된 하나 또는 그 이상으로 형성되며, 상기 제 1 배리어층은 100Å~1000Å의 두께로 형성된다.

그리고, 상기 제 2 배리어층은 100Å~1000Å의 두께로 형성되며, 상기 구리층의 두께는 1000Å~5000Å의 두께로 구성된다.

또한, 상기 게이트 배선의 상부에 상기 소스 및 드레인 전극과 동일층 동일물질로 섬형상의 소스-드레인 금속층을 형성하는 단계를 포함하며, 상기 액티브층은 데이터 배선의 하부로 연장하여 형성된다.

또한, 상기 제 2 공정 및 상기 제 3 공정은 하나의 마스크 공정으로 이루어지는 것을 포함하며, 상기 제 2 공정 및 제 3 공정은 상기 게이트 전극 상에 게이트 절연막과, 액티브층과, 오믹 콘택층, 제 2 배리어층과 구리층을 형성하는 공정은 하나의 마스를 이용하여 이루어 지는 것을 포함하며, 상기 투명한 화소전극은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속그룹 중 선택된 하나로 형성된다.

[0063]

삭제

[0064]

삭제

[0065]

삭제

[0066]

삭제

[0067]

삭제

[0068]

삭제

[0069]

이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 설명한다.

[0070]

-- 제 1 실시예 --

[0071]

본 발명의 제 1 실시예는 게이트 전극 및 게이트 배선을 배리어층/알루미늄(알루미늄 합금)층으로 구성하고, 소스 전극 및 드레인 전극과 데이터 배선은 구리층/배리어층으로 구성하며, 이러한 구성을 포함하는 어레이기판을 제 5 마스크 공정으로 제작하는 것을 특징으로 한다.

[0072]

도 6a 내지 도 6i와 도 7a 내지 도 7i와 도 8a 내지 도 8i를 참조하여, 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이기판의 제조방법을 설명한다.

[0073]

이하, 도 6a 내지 도 6d와 도 7a 내지 도 7d와 도 8a 내지 도 8d는, 제 1 마스크 공정으로 게이트 배선과 게이트 패드와 게이트 전극을 형성하는 공정을 도시한 도면이다.(마스크 공정은 사진식각공정을 통해 이루어지며, 사진식각 공정에 대한 설명은 필요한 부분에서만 언급한다.)

[0074]

먼저, 도 6a와 도 7a와 도 8a에 도시한 바와 같이, 기판(121)을 박막트랜지스터 영역(T), 화소영역(P), 게이트 패드 영역(G), 데이터 패드 영역(D)으로 정의한다.

[0075]

상기와 같이 다수의 영역(T,P,G,D)으로 정의된 기판(121)의 전면에 알루미늄 (Al) 또는 알루미늄 합금층으로 이

루어지는 제 1 금속층을 증착하여 제 1 금속층(123a)을 형성한다.

[0076] 연속하여, 상기 제 1 금속층(123a)의 상부에 몰리브덴(Mo), 몰리합금층, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 질화탄탈륨(TaN), 질화티타늄(TiN), 니켈(Ni), 텉스텐(W), 인듐(In), 주석(Sn), 금(Au)중 선택된 하나로 이루어지는 제 2 금속물질을 증착하여 제 1 배리어층(123b)을 형성한다.

[0077] 다음으로, 상기 제 1 배리어층(123b)의 상부에 포토레지스트(photo-resist)를 도포하여 포토레지스트층(125)을 형성한다.(이때, 포토레지스트는 노광된 부분이 현상되는 포지티브(positive)특성을 갖는다고 가정한다.)

[0078] 다음으로, 상기 포토레지스트층(125)의 상부에 투과부(A1)와 차단부(A2)로 정의된 마스크(M)를 위치시키고, 마스크(M)의 상부로 빛을 조사하여 하부의 PR층(125)을 노광하는 공정을 진행한다.

[0079] 연속하여, 상기 노광된 포토레지스트층(125)을 현상하는 공정을 진행한다.

[0080] 도 6b,7b,8b에 도시한 바와 같이, 현상되고 남은 잔류 PR층(127) 사이로 하부의 제 1 배리어층(123b)이 노출된다.

[0081] 이때, 상기 잔류 PR층(123b)은 베이크(bake)과정을 거치게 되면서, 반원 형상으로 형성된다.

[0082] 도 6c와 도 7c와 8c에 도시한 바와 같이, 상기 잔류 PR층(127) 사이로 노출된 제 1 배리어층(123b)과 그 하부의 제 1 금속층(123a)을 식각하게 되면, 패턴된 제 1 금속층(129a)과 제 1 배리어층(129b)의 측면이 연속적으로 테이퍼지게 구성된다.

[0083] 연속하여, 상기 잔류 PR층(127)을 제거하고 나면 도 6d와 도 7d와 도 8d에 도시한 바와 같이, "배리어층(Ti,Ta,Cr,Mo,W,Ni중 선택된 하나)/알루미늄(또는 알루미늄합금층)"으로 구성된 이중층으로 게이트 배선(133)과, 게이트배선(133)의 일 끝단에 게이트패드(135)와, 상기 게이트 배선(133)과 연결된 게이트 전극(131)을 형성할 수 있게 된다.

[0084] 전술한 공정은 상기 배리어층/알루미늄층을 일괄식각하기 때문에 공정을 단순화 할 수 있는 장점이 있다.

[0085] 상기 게이트 전극(131)과 게이트 배선(133)과 게이트 패드 전극(135)을 형성하는 공정에 이어 이하, 도 6e와 도 7e와 8e는 제 2 마스크 공정을 나타낸 도면이다.

[0086] 도 6e와 도 7e와 8e에 도시한 바와 같이, 상기 게이트 전극(131)과 게이트 배선(133)등이 형성된 기판(121)의 전면에 제 1 절연막인 게이트 절연막(137)을 형성한다.

[0087] 상기 게이트 절연막(137)은 질화 실리콘(SiNx)과 산화 실리콘(SiO₂)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 형성한다.

[0088] 다음으로, 상기 게이트 전극(131)상부의 게이트 절연막(137)상에 순수 비정질 실리콘(a-Si:H)층과 불순물 비정질 실리콘(n+a-Si:H)층을 적층하고 제 2 마스크 공정으로 패턴하여, 아일랜드 형태로 액티브층(139)(active layer)과 오믹 콘택층(141)(ohmic contact layer)을 형성한다.

[0089] 도 6f내지 도 6g와 도 7f 내지 도 7g와 도 8f 내지 도 8g는 제 3 마스크 공정을 도시한 공정 단면도이다.

[0090] 먼저, 도 6f와 도 7f와 8f에 도시한 바와 같이, 상기 오믹 콘택층(141)이 형성된 기판(121)의 전면에 몰리브덴(Mo), 몰리합금층, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 질화탄탈륨(TaN), 질화티타늄(TiN), 니켈(Ni), 텉스텐(W), 인듐(In), 주석(Sn), 금(Au)등을 포함하는 도전성 금속 그룹 중 선택된 하나로 이루어지는 제 2 금속물질을 증착한 제 2 배리어층(143)을 형성하고, 상기 제 2 배리어층(143)의 상부에 구리(Cu)로 이루어지는 제 3 금속물질을 증착한 구리층(145)을 형성한다.

[0091] 이때, 상기 제 2 배리어층(143)은 상기 구리층(145)과 반도체층이 직접 접촉하여 상호 반응하는 것을 방지 할 수 있다

[0092] 다음으로, 도 6g와 도 7g와 8g에 도시한 바와 같이, 상기 제 2 배리어층(143)과 구리층(145)을 제 3 마스크 공정으로 식각하여, 구리층을 포함한 이중 금속층으로 구성된 소스 전극(149)과 이와는 소정간격 이격된 드레인 전극(151)과, 상기 소스 전극(149)과 연결되고 일 끝단에 데이터 패드 전극(155)을 포함하는 데이터 배선(153)을 형성한다.

[0093] 동시에, 게이트 배선(133)의 일부 상부에 아일랜드 형상으로 소스-드레인 금속층(157)을 형성한다.

[0094] 연속하여, 상기 소스 전극(149)과 드레인 전극(151)사이의 이격된 영역에 사이로 노출된 오믹 콘택층(141)을 식

각하여 하부의 액티브층(139)을 노출한다.

[0095] 도 6h와 도 7h와 도 8h는 제 4 마스크 공정을 도시한 공정 단면도이다.

[0096] 도시한 바와 같이, 상기 소스및 드레인 전극(149, 151)이 형성된 기판(121)의 전면에 질화 실리콘(SiN₂)과 산화 실리콘(SiO_x)을 포함한 무기절연 물질 그룹 중 선택된 하나를 증착하거나, 벤조사이클로부텐(PCB)과 아크릴(acryl)계 수지(resin)를 포함한 유기절연 물질 그룹 중 선택된 하나를 도포하여 단층 또는 이중층을 증착/도포하여 제 4 마스크 공정으로 보호막(159)을 형성한다.

[0097] 이때, 상기 제 4 마스크 공정으로 보호막(159)을 패터닝하여, 상기 드레인 전극(151)의 일부를 노출하는 드레인 콘택홀(161)과 상기 소스-드레인 금속층(157)을 노출하는 스토리지 콘택홀(163)과 상기 게이트 패드 전극(135)의 일부를 노출하는 게이트 패드 전극 콘택홀(165)과, 상기 데이터 패드 전극(137)을 노출하는 데이터 패드 콘택홀(167)을 형성한다.

[0098] 도 6i와 도 7i와 도 8i는 제 5 마스크 공정을 도시한 단면도이다.

[0099] 도시한 바와 같이, 상기 보호막(159) 상에 인듐-탄-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함한 투명 도전성 금속 그룹 중 선택된 하나를 증착하고 제 5 마스크 공정으로 패턴하여, 상기 드레인 전극(151)과 소스-드레인 금속층(157)과 접촉하는 화소전극(169)과, 상기 게이트 패드 전극(135)과 접촉하는 게이트 패드 전극 단자(171)와, 상기 데이터 패드 전극(137)과 접촉하는 데이터 패드 전극 단자(173)를 형성한다.

[0100] 이때, 상기 화소전극(169)이 상기 소스-드레인 금속층(157)과 접촉함으로서, 상기 소스 드레인 금속층(157)을 제 1 전극으로 이와 겹쳐지는 하부의 게이트 배선을 제 2 전극으로 하는 스토리지 캐패시터(C_{ST})가 형성된다.

[0101] 이때, 전술한 공정 중, 상기 소스-드레인 금속층(157)을 형성하지 않고, 상기 화소전극(169)을 상기 게이트 절연막(137)의 상부로 연장하여 형성함으로서, 화소전극(169)을 제 1 전극으로 하는 스토리지 캐패시터를 형성할 수도 있다.

[0102] 상기 제 1 금속층을 형성하기전에 상기 제 2 금속층을 먼저 형성할 수도 있다.

[0103] 이외에도 전술한 스토리지 캐패시터의 형태는 다양하게 변형가능 하다.

[0104] 전술한 바와 같은 공정으로 본 발명의 제 1 실시예에 따른 어레이기판을 제작할 수 있다.

[0105] 전술한 바와 같이 본 발명은, 게이트 전극과 게이트 배선을 알루미늄계열의 금속층과 이를 보호하는 배리어층을 더욱 구성함으로서, 저항이 낮은 금속을 사용하는 것이 가능하게 되어 게이트 배선의 신호 지연을 낮출 수 있고 동시에, 소스 및 드레인 전극을 형성할 때, 구리층의 하부에 배리어층을 더욱 구성함으로서 구리층과 오믹 콘택층이 직접 접촉하여 발생할 수 있는 문제점을 해결함으로써, 구리 배선을 사용하는 것이 가능해져 소스 및 드레인 전극과 데이터 배선의 저항을 낮추어 액정패널의 동작특성을 개선할 수 있는 장점이 있다.

[0106] 이하, 제 2 실시예는 전술한 이중 금속층의 배선 및 전극을 포함한 어레이기판을 4마스크 공정으로 제조하는 방법을 제안한다.

[0107] -- 제 2 실시예 --

[0108] 본 발명의 제 2 실시예의 특징은 제 1 실시예와 같은 이중금속층의 배선과 전극을 포함하는 어레이기판을 4 마스크 공정으로 제작하는 것을 특징으로 한다.

[0109] 도 9는 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이기판의 일부를 개략적으로 도시한 확대 평면도이다.

[0110] 도시한 바와 같이, 기판(200)상에 일 방향으로 연장되고 소정간격 평행하게 이격된 다수의 게이트 배선(202)을 구성한다.

[0111] 상기 게이트 배선(202)과 수직한 방향으로 다수의 데이터 배선(227)을 구성한다.

[0112] 상기 다수의 데이터 배선(227)은 서로 소정간격 평행하게 이격하여 구성하고, 상기 다수의 게이트 배선(202)과 수직하게 교차하여 다수의 화소영역(P)을 정의한다.

[0113] 상기 게이트 배선(202)과 데이터 배선(227)의 교차지점마다 게이트 전극(206)과, 액티브층(230)과 소스 전극

(224)과 드레인 전극(226)으로 구성된 박막트랜지스터(T)를 구성한다.

[0114] 이때, 상기 게이트 배선(202)은 상기 게이트 전극(206)과 연결하여 형성하고, 상기 데이터 배선(227)은 상기 소스 전극(224)과 연결하여 형성한다.

[0115] 전술한 구성의 제 1 특징은, 상기 게이트 배선(202)(및 게이트 전극)을 알루미늄층(또는 알루미늄합금층)/배리어층의 이중금속층으로 구성하고, 상기 데이터 배선(227)(및 소스 및 드레인 전극)을 구리층/배리어층의 이중금속층으로 구성하는 것이다.

[0116] 제 2 특징은, 전술한 구성은 4 마스크 공정으로 제작되었기 때문에, 상기 데이터 배선(227)은 소스 및 드레인 전극(224, 226)과, 소스-드레인 금속층(230) 반도체 패턴(B1, B3, B3)이 겹쳐 구성된다는 것이며, 공정의 특성상 상기 반도체 패턴(B1, B2, B3)은 상기 소스 및 드레인 전극(224, 226)과 데이터 배선(227)의 주변으로 노출되어 형성된다는 것이다.

[0117] 이하, 공정을 참조하여, 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이기판의 제조방법을 설명한다.

[0118] 도 10a 내지 도 10h와 도 11a 내지 도 11h와 도 12a 내지 도 12h는 도 9의 X-X`와 XI-XI`와 XII-XII`를 따라 절단하여, 본 발명의 제 2 실시예에 따른 공정순서에 따라 도시한 공정 단면도이다.

[0119] 도 10a와 도 11a와 도 12a는 제 1 마스크 공정을 나타낸 단면도이다.

[0120] 도 10a와 도 11a와 도 12a에 도시한 바와 같이, 기판(200)상에 알루미늄 또는 알루미늄합금층을 제 1 금속층(M1)으로 하고, 제 1 금속층 상부의 배리어층을 제 2 금속층(M2)으로 한 이중 금속층을 제 1 마스크 공정으로 패턴하여, 기판(200)의 일 방향으로 연장되고 서로 소정간격 평행하게 이격된 다수의 게이트 배선(202)과, 게이트 배선의 일 끝단에 게이트 패드(204)와, 게이트 배선(202)과 연결된 게이트 전극(206)을 형성한다.

[0121] 이때, 상기 배리어층(M2)은 몰리브덴(Mo), 몰리합금(Mo-alloy)층, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 질화탄탈륨(TaN), 질화티타늄(TiN), 니켈(Ni), 텉스텐(W), 인듐(In), 주석(Sn), 금(Au)중 선택된 하나로 형성한다.

[0122] 상기 이중 금속층의 게이트 패드(204)및 게이트 배선(202)과 게이트 전극(206)의 마스크 공정은 앞서 제 1 실시예에서 자세히 설명하였으므로 이를 생략한다.

[0123] 도 10b 내지 도 10f와 도 11b 내지 도 11f와 도 12b 내지 도 12f는 제 2 마스크 공정을 도시한 공정 단면도이다.

[0124] 먼저, 도 10b와 도 11b와 도 12b에 도시한 바와 같이, 상기 게이트 배선(202)과 게이트 패드(204)와 게이트 전극(206)이 형성된 기판(200)상에, 게이트 절연막(208)과 순수 비정질 실리콘층(210)과 불순물 비정질 실리콘층(212)과 배리어층(214)과 구리층(216)을 적층하여 형성한다.

[0125] 이때, 상기 게이트 절연막(208)은 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질그룹 중 선택된 하나 또는 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나를 증착 또는 도포하여, 단일층 또는 이중층으로 형성한다.

[0126] 상기 배리어층(214)은 몰리브덴(Mo), 몰리합금층, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 질화탄탈륨(TaN), 질화티타늄(TiN), 니켈(Ni), 텉스텐(W), 인듐(In), 주석(Sn), 금(Au)중 선택된 하나로 형성한다.

[0127] 다음으로, 상기 구리층(216)의 상부에 포토레지스트(photo-resist)를 도포하여, 포토레지스트층(218)을 형성한다.

[0128] 상기 포토레지스트층(218)이 형성된 기판(100)의 상부에는 투과부(G1)와 차단부(G2)와 반투과부(G3)또는 슬릿부로 구성된 마스크(300)를 위치시킨다.

[0129] 이때, 박막트랜지스터 영역(T)에는 차단부(G2)와 반투과부(G3)가 위치하고, 데이터 패드 영역(D)과 데이터 배선이 형성될 영역(미도시)에 차단부가 위치한다.

[0130] 상기 반투과부(G3)는 도시한 바와 같이 슬릿의 형태 또는 반투과막의 형태로 구성한다.

[0131] 상기 마스크의 상부로 빛을 조사하여 하부의 포토레지스트층(218)을 노광하고 현상하는 공정을 진행한다.

[0132] 결과적으로 도 10c와 도 11c와 도 12c에 도시한 바와 같이, 상기 마스크(300)의 차단부(G2)에 대응하는 부분에 포토레지스트 패턴(220a, 220b)이 남게 된다.

- [0133] 이때, 특징적인 것은, 상기 박막트랜지스터 영역(T)에 남겨진 포토레지스트 패턴(220a)이 단차지게 구성된다는 것이다.
- [0134] 즉, 게이트 전극(206)의 중앙부에 대응한 부분이 게이트 전극(206)의 양측에 대응한 부분에 비해 낮은 높이로 형성된다. 이 부분은 앞서 언급한 마스크의 반투과 영역에 대응하는 부분이며, 차단부와 비교하여 빛이 일부 조사되었기 때문에 이에 대응하는 포토레지스트 부분도 일부만 노광되고 현상된 결과이다.
- [0135] 다음으로, 상기 포토레지스트 패턴(220a, 220b)사이로 노출된 구리층(216)과, 그 하부의 배리어층(214)과 불순물 비정질 실리콘층(n+a-Si:H, 212)과 비정질 실리콘층(a-Si:H, 210)을 제거하는 공정을 진행한다.
- [0136] 이때, 식각방법은 습식 또는 건식(wet or dry)으로 일괄 식각할 수 있고, 각 층의 특성에 맞게 상기 습식 또는 건식 공정을 선택하여 순차적으로 제거할 수 도 있다.
- [0137] 이와 같이 하면, 도 10d와 도 11d와 도 12d에 도시한 바와 같이, 상기 포토레지스트 패턴(220a, 220b)의 하부로 상기 박막트랜지스터 영역(T)에는 제 1 금속패턴(T1)과, 제 1 금속패턴(T1)에서 연결되고 상기 게이트 배선과 수직하게 연장되고 일 끝단은 소정면적으로 넓게 패턴된 제 2 금속패턴(T2)과, 상기 게이트 배선(202)의 상부에 아일랜드 형상으로 패턴된 제 3 금속패턴(T3)이 형성된다.
- [0138] 또한, 상기 제 1 금속패턴(T1)의 하부에는 패턴된 순수 비정질 실리콘층과 불순물 비정질 실리콘층이 적층된 제 1 반도체패턴(B1)과, 제 1 반도체 패턴(B1)에서 상기 제 2 금속패턴(T2)의 하부로 연장된 제 2 반도체 패턴(B2)과, 상기 제 3 금속패턴(T3)의 하부에 구성된 제 3 반도체 패턴(B3)으로 구성된다.
- [0139] 다음은, 게이트 전극(202)에 대응하는 부분의 제 1 반도체 패턴(B1)의 일부(액티브 채널의 역할을 하는 부분)를 노출하기 위한 공정을 진행한다.
- [0140] 이를 위해, 도 10e와 도 11e와 도 12e에 도시한 바와 같이, 상기 게이트 전극(206)에 대응하는 부분의 포토레지스트층을 제거하기 위해, 건식식각(또는 애싱공정)을 통해 상기 게이트 전극(206)에 대응하는 부(E)분의 포토레지스트층을 완전히 제거한다.
- [0141] 이 부분(E)은 다른 부분에 비해 높이가 낮기 때문에 일정한 시간 내에 모두 제거된다. 따라서, 상기 게이트 전극(206)에 대응하는 부분(E)의 제 1 금속패턴(T1)이 노출된다.
- [0142] 동시에, 상기 남겨진 포토레지스트 패턴의 주변으로 상기 제 1, 제 2, 제 3 금속패턴(T1, T2, T3)의 일부(F)가 노출된다.
- [0143] (상기 금속패턴의 주변이 노출되는 이유는, 남겨진 포토레지스트 패턴이 약간의 기울기를 가지고 구성되므로, 포토레지스트 패턴의 높이가 낮은 주변부가 각여 나가기 때문이다.)
- [0144] 다음으로, 도 10f와 도 11f와 도 12f에 도시한 바와 같이, 상기 게이트 전극(206)에 대응하여 노출된 제 1 금속패턴(T1)과 그 하부의 제 1 반도체패턴(B1)의 일부(불순물 비정질 실리콘층)를 제거하는 공정을 진행하여, 상기 게이트 전극(202)에 대응하는 순수 비정질 실리콘층을 노출하는 공정을 진행한다.
- [0145] 이 부분은 액티브채널(CH)의 기능을 하게 된다.
- [0146] 이러한 공정 중 동시에, 상기 제 1, 제 2, 제 3 금속패턴(T1, T2, T3)의 주변부(F)에 해당하여 노출된 부분과, 그 하부의 구리층과 그 하부의 배리어층과 그 하부의 불순물 비정질 실리콘층이 제거된다.
- [0147] 상기 액티브 채널(CH)을 노출하는 공정 중, 상기 제 1 금속패턴은 상기 노출된 액티브채널을 사이에 두고 이격되어 소스 전극(224)과 드레인 전극(226)이 형성되고, 상기 제 2 금속패턴(T2)은 상기 소스 전극(224)에서 연장된 데이터 배선(도 9의 228)과 데이터 배선(도 9의 228)의 일 끝단에 데이터 패드(228)가 된다.
- [0148] 동시에, 상기 소스 및 드레인 전극(224, 226)의 하부의 제 1 반도체 패턴(B1)은 액티브층(230)과 오믹 콘택층(232)이라 칭한다.
- [0149] 또한, 상기 제 3 금속패턴(T3)은 소스-드레인 금속층(230)이 된다.
- [0150] 도 10g와 도 11g와 도 12g는 제 3 마스크 공정을 도시한 공정 단면도이다.
- [0151] 도시한 바와 같이, 상기 소스 및 드레인 전극(224, 226)과 데이터 배선(도 9의 228)이 형성된 기판(200)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나 또는 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나를 도포하여 보호막(23

4)을 형성하고 제 3 마스크 공정으로 패턴하여, 상기 드레인 전극(226)의 일부를 노출하는 드레인 콘택홀(236)과, 상기 소스-드레인 금속층(230)의 일부를 노출하는 스토리지 콘택홀(238)과, 상기 게이트 패드 전극(204)을 노출하는 게이트 패드 콘택홀(240)과, 상기 데이터 패드 전극(228)을 노출하는 데이터 패드 콘택홀(242)을 형성한다.

[0152] 도 10h와 도 11h와 도 12h는 제 4 마스크 공정을 도시한 공정 단면도이다.

[0153] 도시한 바와 같이, 상기 보호막(234)이 형성된 기판의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속그룹 중 선택된 하나를 증착하고 패턴하여, 상기 노출된 드레인 전극(226)과 소스-드레인 금속층(230)과 동시에 접촉하면서 화소영역(P)에 위치하는 화소전극(246)과, 상기 게이트 패드(206)와 접촉하는 게이트 패드 전극 단자(248)와, 상기 데이터 패드(228)와 접촉하는 데이터 패드 전극 단자(250)를 형성한다.

[0154] 제 4 마스크 공정이 완료되면, 상기 화소 전극(246)과 접촉하는 소스-드레인 금속층(230)을 제 1 전극으로 하고, 그 하부에 게이트 절연막(208)을 사이에 두고 구성된 게이트 배선(202)의 일부를 제 2 전극으로 하는 스토리지 캐패시터(C_{ST})가 형성된다.

[0155] 이때, 상기 스토리지 캐패시터(C_{ST})는 상기 소스-드레인 금속층(230)을 형성하지 않고, 상기 화소 전극(246)을 게이트 배선(202)의 상부로 연장하여 이를 제 1 전극으로 하고, 하부의 게이트 배선(202)을 제 2 전극으로 하여 형성할 수 도 있다.

[0156] 전술한 바와 같은 공정을 통해 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이기판을 제작할 수 있다.

발명의 효과

[0157] 본 발명에 따라 액정표시장치용 어레이기판을 제작하게되면, 첫째 게이트 배선을 배리어금속층/알루미늄(또는 알루미늄합금층)의 이중금속층으로 형성하고, 데이터 배선을 구리층/배리어층으로 형성하여, 상기 배리어층의 보호기능으로 인해 게이트 배선 및 데이터 배선을 저저항 금속으로 형성하는 것이 가능하여 액정패널의 동작특성을 개선하는 효과가 있다.

[0158] 둘째, 상기 배선과 전극을 이중층으로 하는 어레이기판을 4마스크 공정으로 제작함으로써, 5마스크 공정과 비교하여 공정 시간을 단축하는 동시에 재료비를 절감할 수 있기 때문에 공정 수율을 개선하는 효과가 있다.

도면의 간단한 설명

[0001] 도 1은 액정표시장치용 어레이기판의 일부를 도시한 평면도이고,

[0002] 도 2a 내지 도 2f와 도 3a 내지 도 3f와 도 4a 내지 도 4f는 도 1의 II-II^{`,}, III-III^{`,}, IV-IV^{`,}를 따라 절단하여, 종래의 공정순서에 따라 도시한 공정 단면도이다.

[0003] 도 5는 도 2f의 D를 확대한 확대 단면도이다.

[0004] 도 6a 내지 도 6i와 도 7a 내지 도 7i와 도 8a 내지 도 8i는 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이기판의 제조공정을 공정순서에 따라 도시한 공정 단면도이다.

[0005] 도 9는 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이기판의 일부를 도시한 확대 평면도이고,

[0006] 도 10a 내지 도 10h와 도 11a 내지 도 11h와 도 12a 내지 도 12h는 도 9의 X-X^{`,}, XI-XI^{`,}, XII-XII^{`,}를 따라 절단하여, 본 발명의 제 2 실시예에 따른 공정순서에 따라 도시한 공정 단면도이다.

[0007] <도면의 주요부분에 대한 부호의 설명>

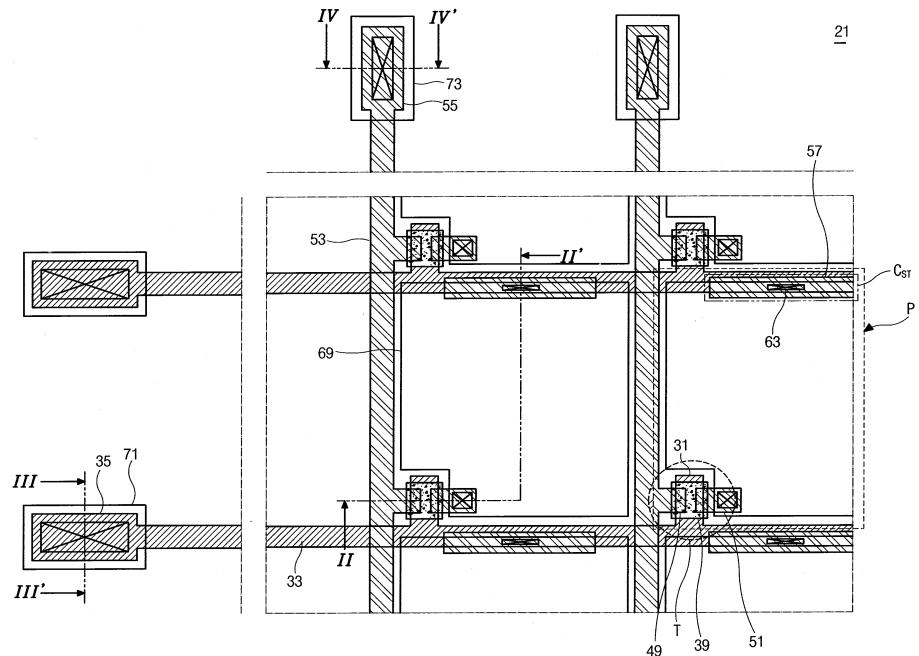
[0008] 121 : 기판 131 : 게이트 전극

[0009] 133 : 게이트 배선 135 : 게이트 패드

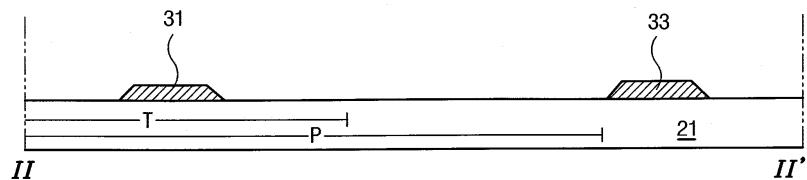
[0010]	137 : 게이트 절연막	139 : 액티브층
[0011]	141 : 오믹 콘택층	149 : 소스 전극
[0012]	151 : 드레인 전극	153 : 테이터 배선
[0013]	155 : 데이터 패드	157 : 소스-드레인 금속층
[0014]	159 : 보호막	169 : 화소 전극
[0015]	171 : 게이트 패드 전극 단자	
[0016]	173 : 테이터 패드 전극 단자	

도면

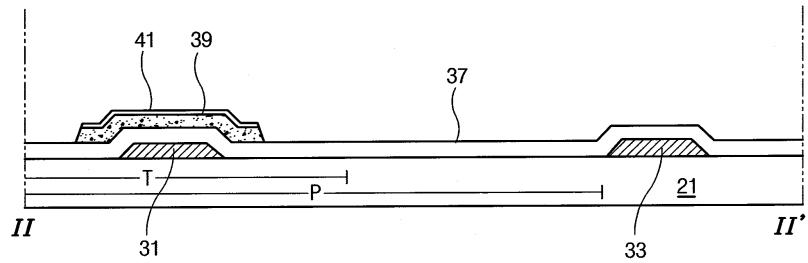
도면1



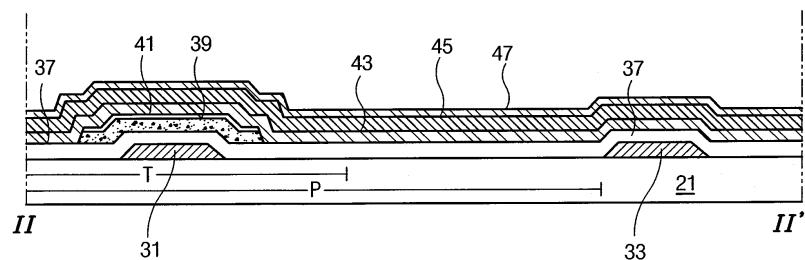
도면2a



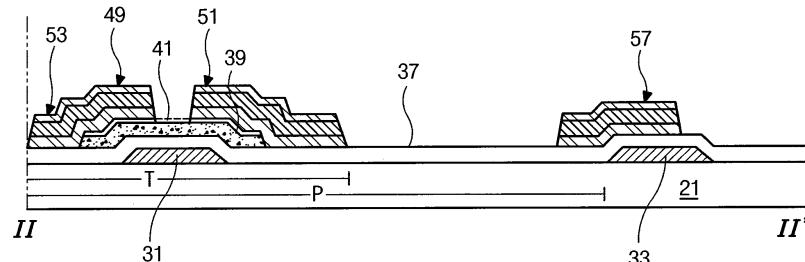
도면2b



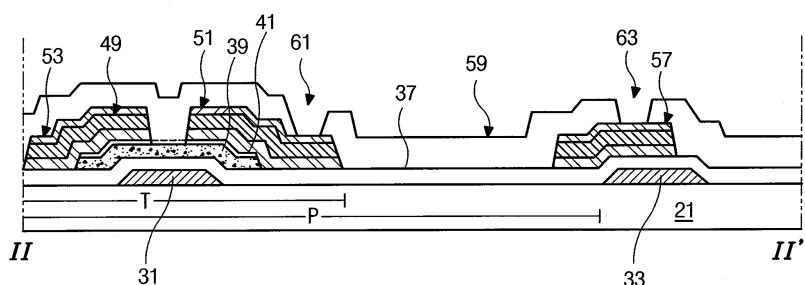
도면2c



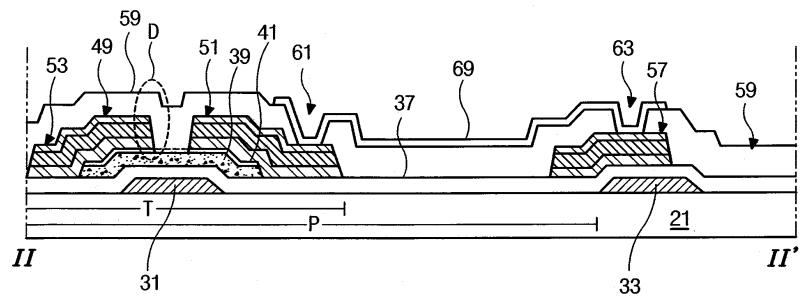
도면2d



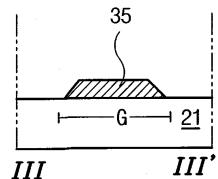
도면2e



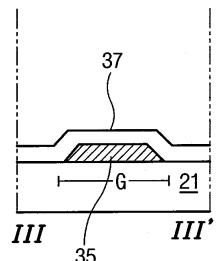
도면2f



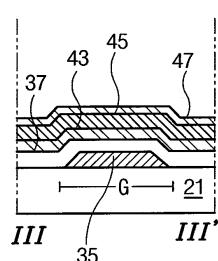
도면3a



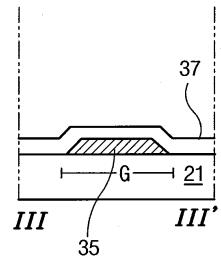
도면3b



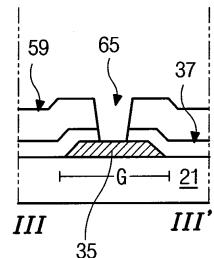
도면3c



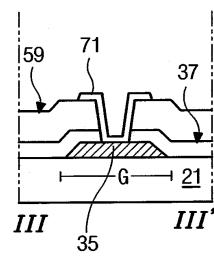
도면3d



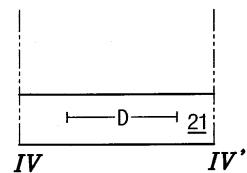
도면3e



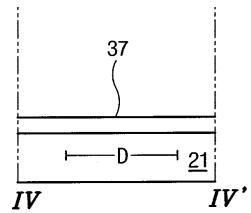
도면3f



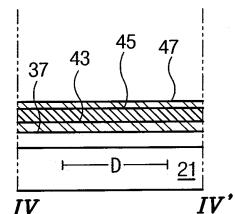
도면4a



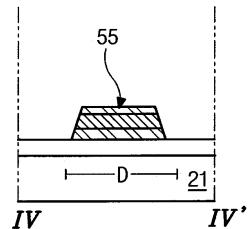
도면4b



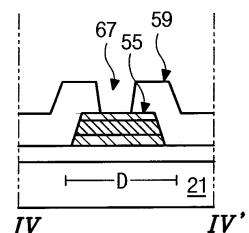
도면4c



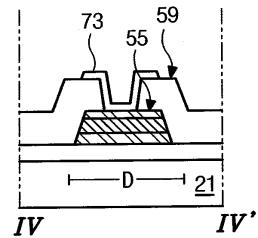
도면4d



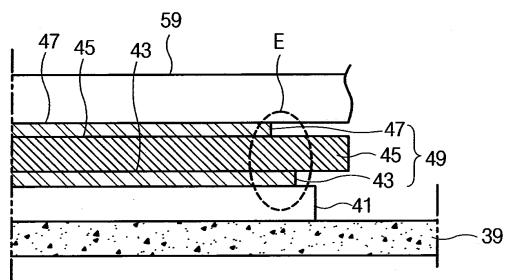
도면4e



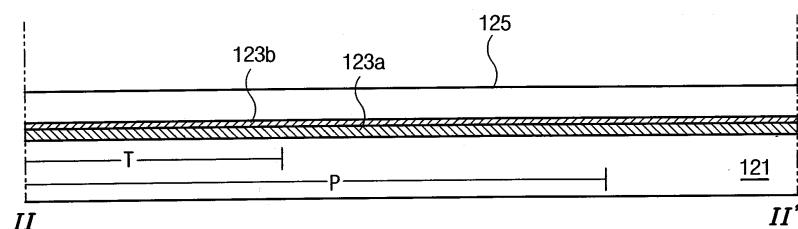
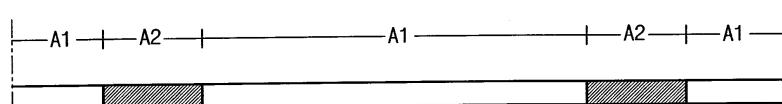
도면4f



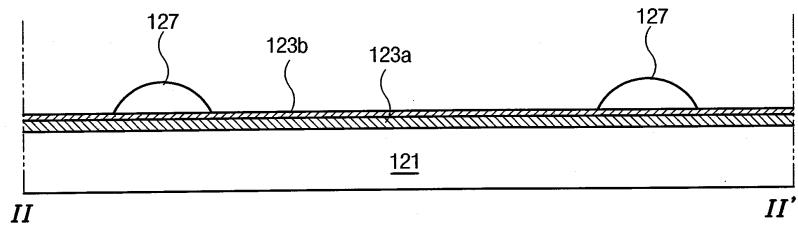
도면5



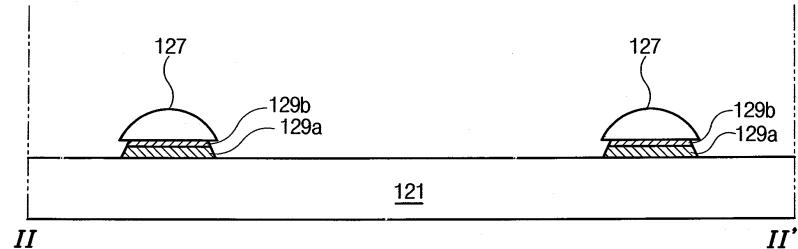
도면6a



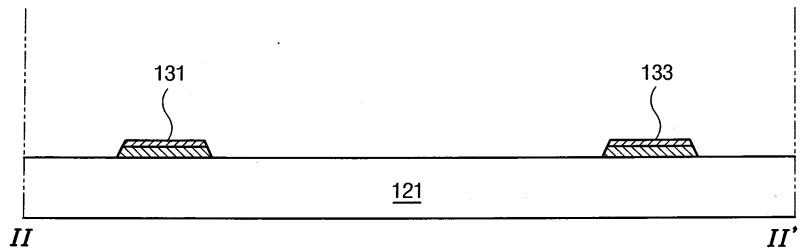
도면6b



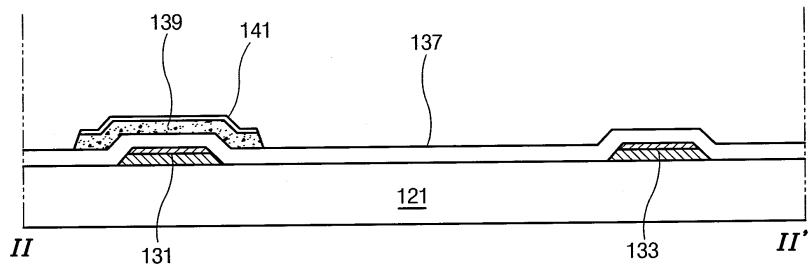
도면6c



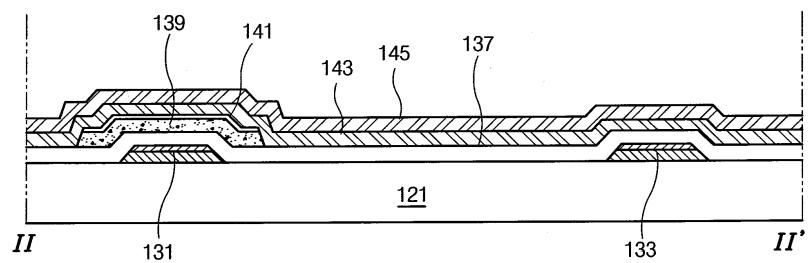
도면6d



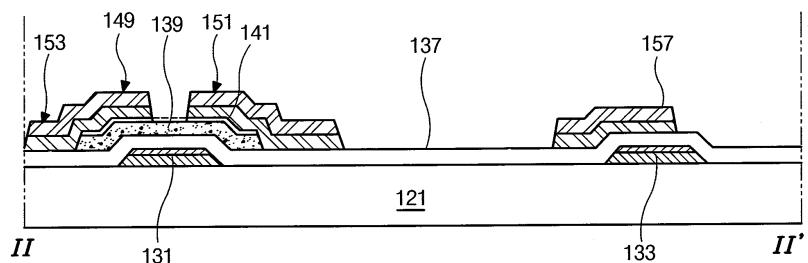
도면6e



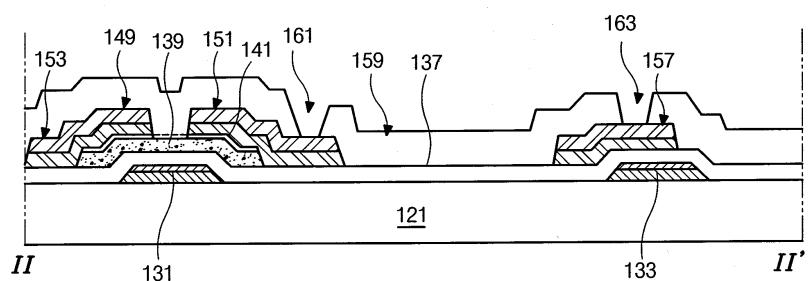
도면6f



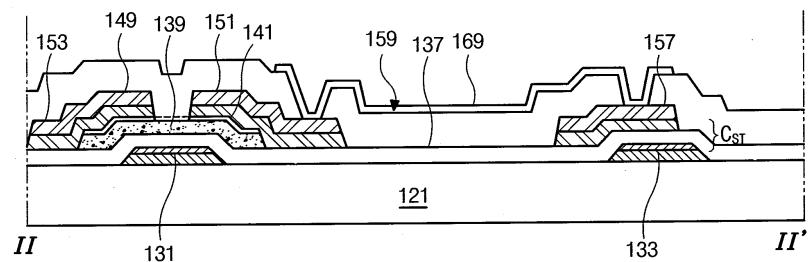
도면6g



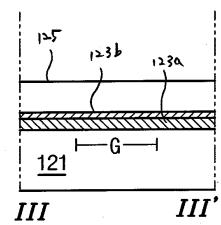
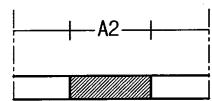
도면6h



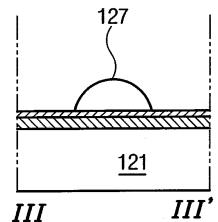
도면6i



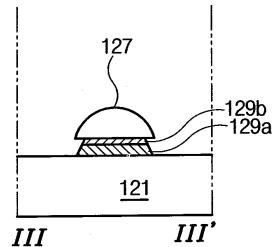
도면7a



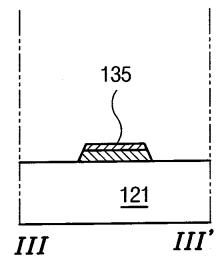
도면7b



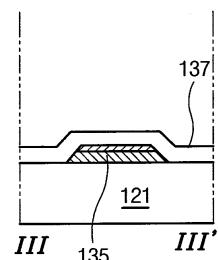
도면7c



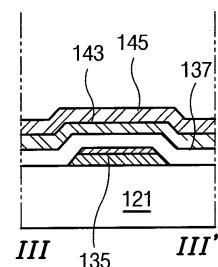
도면7d



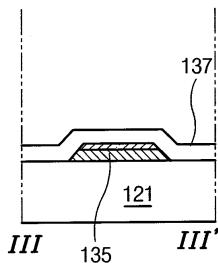
도면7e



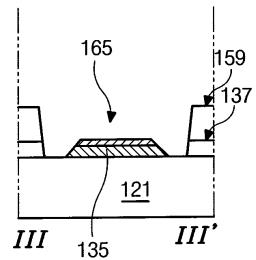
도면7f



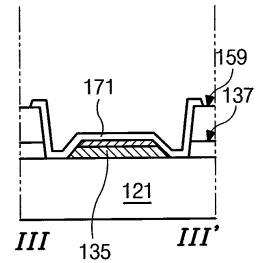
도면7g



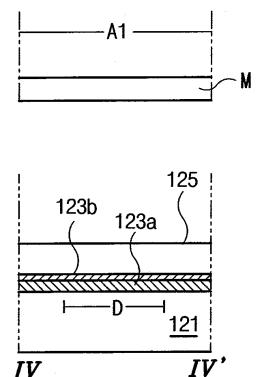
도면7h



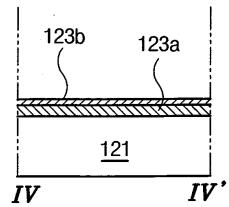
도면7i



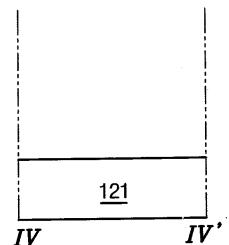
도면8a



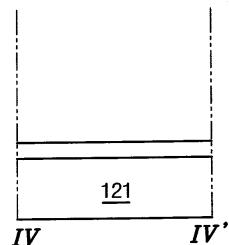
도면8b



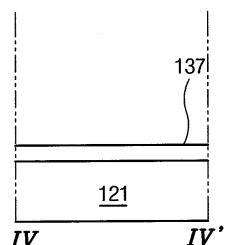
도면8c



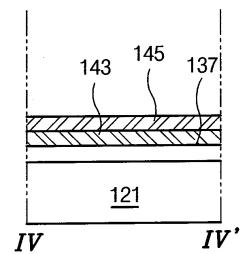
도면8d



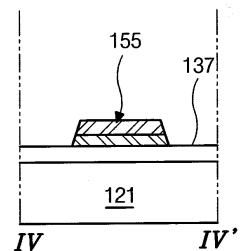
도면8e



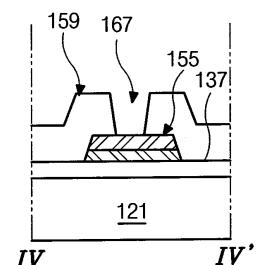
도면8f



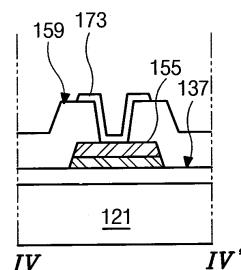
도면8g



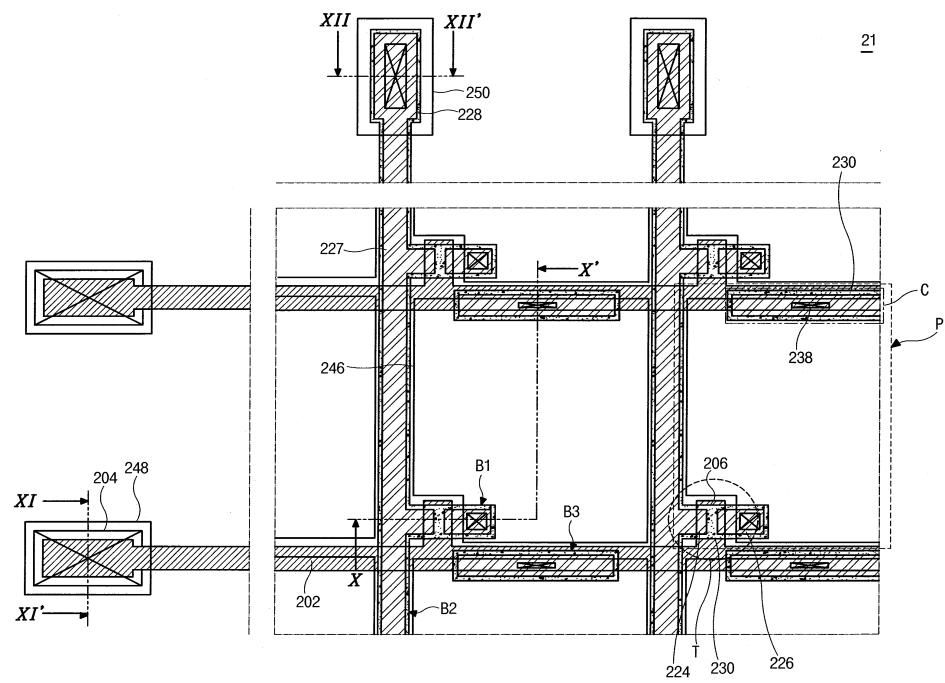
도면8h



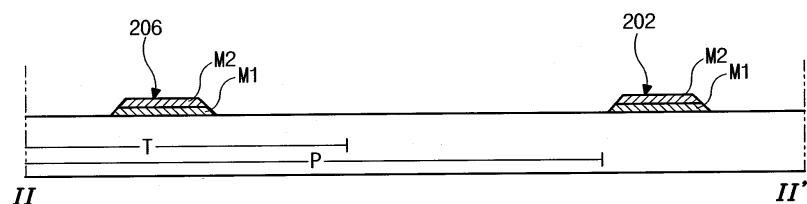
도면8i



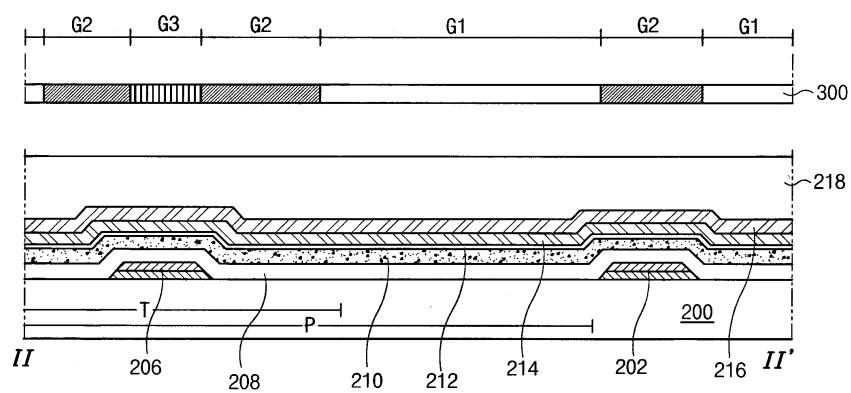
도면9



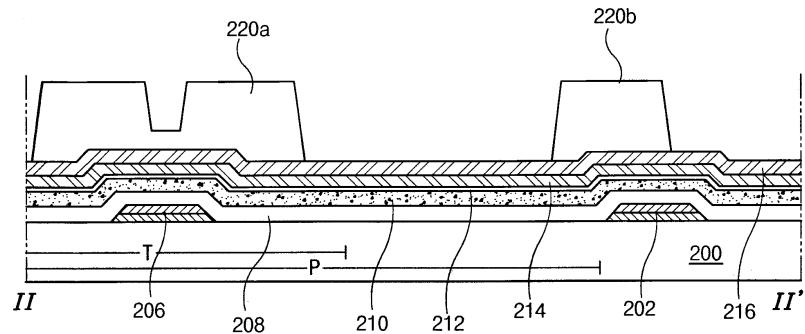
도면10a



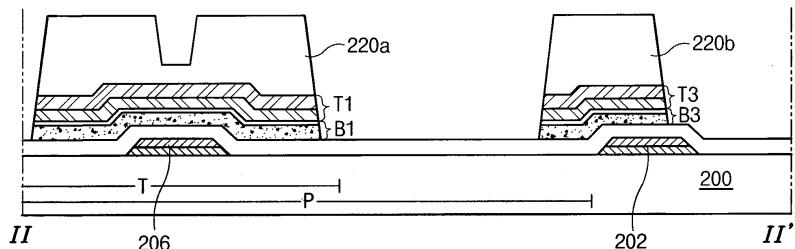
도면10b



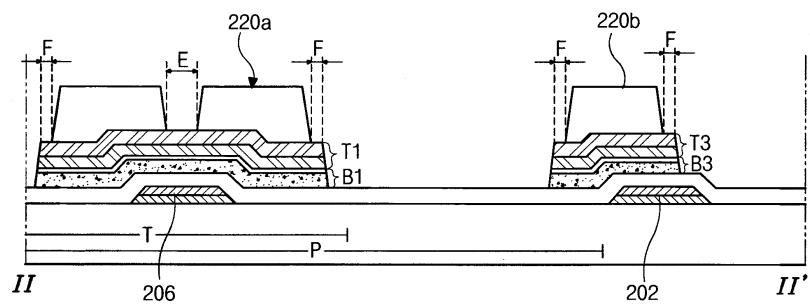
도면10c



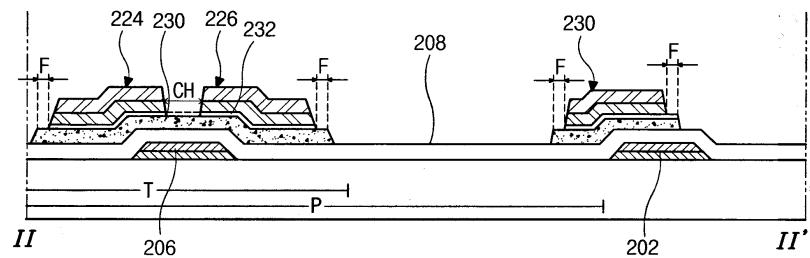
도면10d



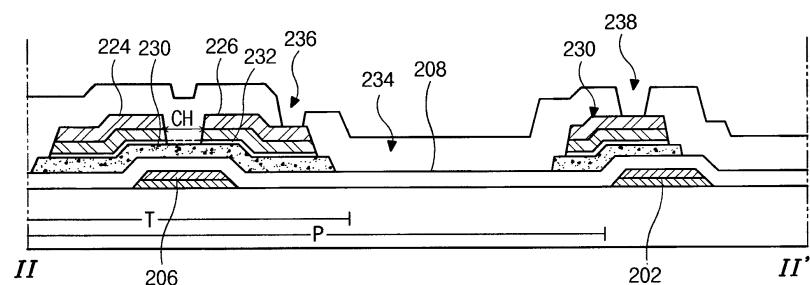
도면10e



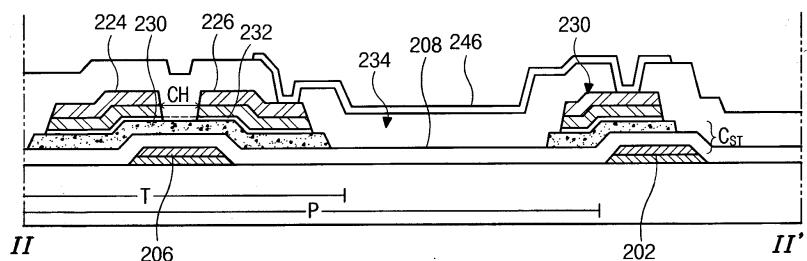
도면10f



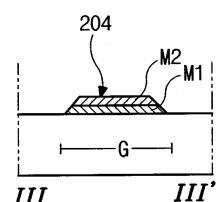
도면10g



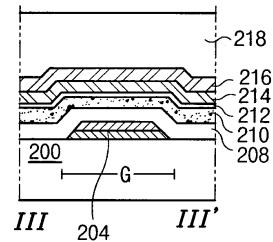
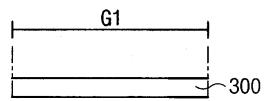
도면10h



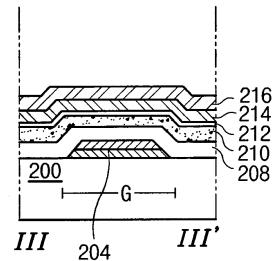
도면11a



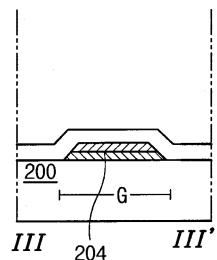
도면11b



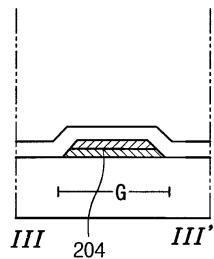
도면11c



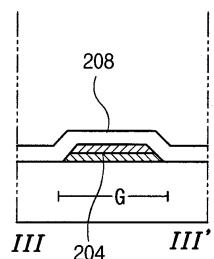
도면11d



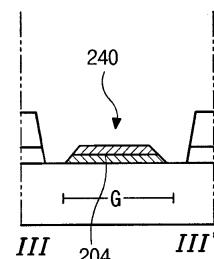
도면11e



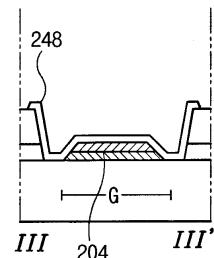
도면11f



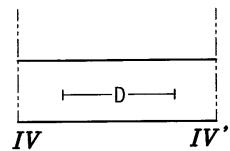
도면11g



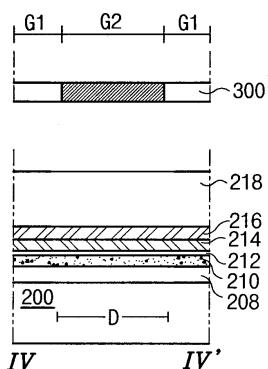
도면11h



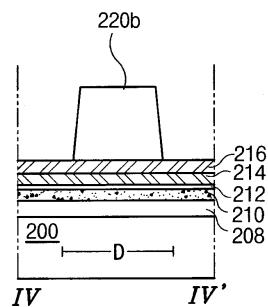
도면12a



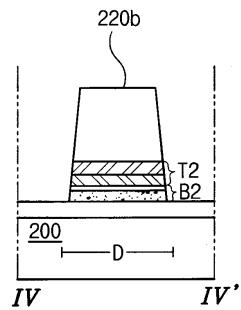
도면12b



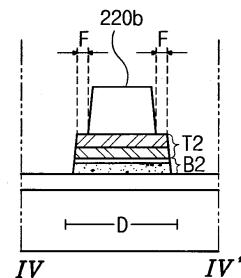
도면12c



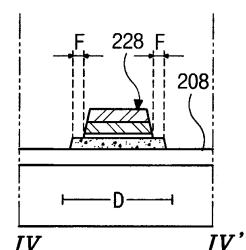
도면12d



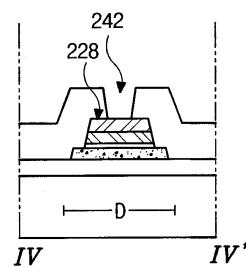
도면12e



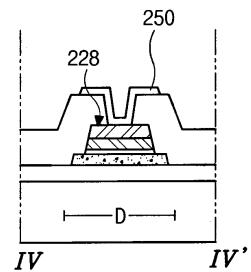
도면12f



도면12g



도면12h



专利名称(译)	用于液晶显示装置的阵列基板和制造方法		
公开(公告)号	KR100971950B1	公开(公告)日	2010-07-23
申请号	KR1020030043946	申请日	2003-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO WONHO 조원호 JO GYOOCHUL 조규철 LEE GUETAI 이규태 KANG JINGYU 강진규 JEONG BEUNGHWA 정병화 KIM JINYOUNG 김진영		
发明人	조원호 조규철 이규태 강진규 정병화 김진영		
IPC分类号	G02F1/136 G02F1/1362		
CPC分类号	G02F1/136286 G02F2001/136295 G02F2001/13629		
其他公开文献	KR1020050002563A		
外部链接	Espacenet		

摘要(译)

液晶显示器的阵列基板及其制造方法技术领域本发明涉及液晶显示器，更具体地，涉及用于液晶显示器的阵列基板及其制造方法。本发明涉及一种用于液晶显示器的阵列基板的结构和制造方法，它们通过5掩模工艺和4掩模工艺制造。本发明的特征部分是布线(栅极布线，数据布线)和薄膜晶体管(栅电极，有源层，源电极，漏极电极的结构)，栅极布线和栅电极是阻隔层/铝(铝合金)由双金属层，并且所述数据线和所述源极和漏极电极由铜/阻挡层的双金属层组成。在上述构造中，铝的上部(铝合金层)(Mo)，钼合金层，铬(Cr)，钛(Ti)，钽(Ta)，氮化钽(TaN)，氮化钛(TiN)，镍(Ni)，钨(W)，铟(In)，锡(Sn)和金(Au)，以及在铜层下面形成的阻挡层由选定的一个金属组形成形式。

