



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2010년01월27일  
 (11) 등록번호 10-0938885  
 (24) 등록일자 2010년01월19일

(51) Int. Cl.

G02F 1/136 (2006.01)

- (21) 출원번호 10-2003-0043962
- (22) 출원일자 2003년06월30일  
심사청구일자 2008년04월03일
- (65) 공개번호 10-2005-0003246
- (43) 공개일자 2005년01월10일
- (56) 선행기술조사문헌  
KR1020010040659 A\*  
KR1020010057663 A\*  
KR1020020074701 A\*  
KR1020020017438 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사  
 서울 영등포구 여의도동 20번지

(72) 발명자

조원호  
 경상북도구미시도량2동도량4차주공아파트404-302

조규철

경기도군포시금정동875퇴계@353-1602  
 (뒷면에 계속)

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 10 항

심사관 : 임동재

**(54) 액정표시장치용 어레이기판과 제조방법**

**(57) 요약**

본 발명은 액정표시장치에 관한 것으로 특히, 액정표시장치용 어레이기판과 그 제조방법에 관한 것이다.

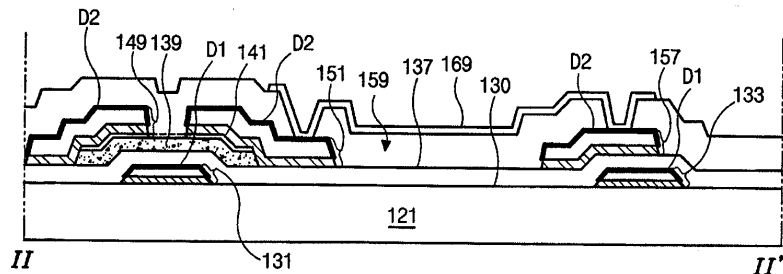
본 발명의 특징은 어레이기판에 첫 번째로 구성되는 층인 게이트 배선과 게이트 전극은 구리층과 몰리합금(Mo-alloy)층의 이중층으로 구성하고, 상기 게이트 배선 및 게이트 전극의 상부에 구성되는 데이터 배선과 소스 및 드레인 전극은 몰리합금(Mo-alloy)층과 구리(Cu)층 순서로 적층한 이중층으로 구성하는 것이다.

이와 같은 적층 구조는 200℃ 이상의 열을 가하게 되면, 상기 몰리 합금층으로부터 상기 구리층의 표면으로 몰리브덴(Mo)과 합금된 금속이 확산되는 현상이 발생하게 된다.

상기 구리층 주변의 확산층은 절연막과의 접촉특성이 양호하여 구리의 밀착특성을 개선하고, 상기 몰리합금(Mo-alloy)층은 구리층과 반도체층 사이에 버퍼층으로 작용하여 구리(Cu)와 실리콘(Si)성분이 반응하는 것을 방지하는 역할을 하게된다.

따라서, 저 저항인 구리를 배선재료로 사용하는 것이 가능하도록 하여, 대면적 액정패널을 제작할 수 있는 장점이 있다.

**대표도 - 도6f**



(72) 발명자

**이규태**

경상북도영천시임고면양항1리221

**강진규**

인천광역시서구가좌4동주공아파트108-201

**정병화**

경상북도구미시구평동부평@606-1302

**김진영**

인천광역시부평구부평4동885-627/7

---

**특허청구의 범위**

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

기관 상에 구성되고, 몰리합금(Mo-alloy)층과 구리(Cu)층의 이중층으로 구성된 게이트 배선과 이에 연결된 게이트 전극을 형성하는 단계와;

상기 게이트 전극과 게이트 배선이 형성된 기판을 열처리하여, 상기 구리(Cu)층의 표면으로 금속이 확산된 확산

층을 형성하는 단계와;

상기 구리층 표면의 확산층을 포함하는 게이트 배선과 게이트 전극이 형성된 기판의 전면에 게이트 절연막을 형성하는 단계와;

상기 게이트 전극 상부의 게이트 절연막 상에 적층된 액티브층과 오믹 콘택층을 형성하는 단계와;

상기 오믹 콘택층 상부에, 상기 오믹 콘택층과 접촉하는 몰리 합금층과 상기 몰리 합금층과 접촉하는 구리층이 순차적으로 적층되어 형성된 소스 전극과 드레인 전극과, 소스 전극과 연결된 데이터 배선을 형성하는 단계와;

상기 소스 및 드레인 전극과 데이터 배선이 형성된 기판을 열처리하여, 상기 구리층의 표면으로 금속이 확산된 확산층을 형성하는 단계와;

상기 확산층을 포함하는 소스 및 드레인 전극과 데이터 배선의 상부에, 상기 드레인 전극을 노출하는 보호막을 형성하는 단계와;

상기 노출된 드레인 전극과 접촉하는 투명한 화소전극을 형성하는 단계를 포함하고,

상기 확산층을 형성하는 단계 이후에, 상기 몰리합금층은 상기 오믹콘택층과 상기 구리층 사이에 위치하는 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

#### 청구항 16

제 15 항에 있어서,

몰리 합금층은 몰리브덴(Mo)과 티타늄(Ti), 탄탈륨(Ta), 크롬(Cr), 니켈(Ni), 네오디뮴(Nd), 인듐(In), 알루미늄(Al)의 금속그룹 중 선택된 하나 이상을 금속을 합금하여 형성된 액정표시장치용 어레이기판 제조방법.

#### 청구항 17

제 15 항 내지 제 16 항 중 어느 한 항에 있어서,

상기 확산층은 상기 몰리브덴(Mo)과 합금된 금속인 액정표시장치용 어레이기판 제조방법.

#### 청구항 18

제 15 항에 있어서,

상기 액티브층은 순수 비정질 실리콘(a-Si:H)층이고, 상기 오믹 콘택층은 불순물이 포함된 비정질 실리콘(n+a-Si:H)층인 액정표시장치용 어레이기판 제조방법.

#### 청구항 19

제 15 항에 있어서,

상기 게이트 배선의 상부에 상기 소스 및 드레인 전극과 동일층 동일물질로 섬형상의 소스-드레인 금속층을 형성하는 단계를 포함하는 액정표시장치용 어레이기판 제조방법.

#### 청구항 20

제 19 항에 있어서,

상기 소스-드레인 금속층은 상기 보호막을 식각하여 구성된 콘택홀을 통해 상기 화소전극과 접촉하도록 형성된 액정표시장치용 어레이기판 제조방법.

#### 청구항 21

제 15 항에 있어서,

상기 게이트 배선과 게이트 전극은 기판 상에 구리층과 몰리 합금층이 순차적층되고, 상기 구리층과 기판 사이의 확산층으로 형성된 액정표시장치용 어레이기판 제조방법.

#### 청구항 22

제 15 항에 있어서,

상기 게이트 배선과 게이트 전극은 기판 상에 물리 합금층과 구리층이 순차 적층되고, 상기 구리층 표면의 확산층으로 형성된 액정표시장치용 어레이기판 제조방법.

**청구항 23**

제 15 항에 있어서,

상기 게이트 배선의 일 끝단에 이와 연결된 게이트 패드 전극과, 상기 데이터 배선의 일 끝단에 이와 연결된 데이터 패드 전극이 구성된 액정표시장치용 어레이기판 제조방법.

**청구항 24**

제 23 항에 있어서,

상기 게이트패드와 데이터 패드 전극과 접촉하는 투명한 게이트 패드 전극 단자와, 상기 데이터 패드 전극과 접촉하는 투명한 데이터 패드 전극 단자가 구성된 액정표시장치용 어레이기판 제조방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <15> 본 발명은 액정표시장치(liquid crystal display device)에 관한 것으로, 구리(Cu)와 물리합금(Mo-alloy)층의 이중 금속층으로 형성된 게이트 전극 및 게이트 배선과, 소스 및 드레인 전극과 데이터 배선을 포함하는 액정표시장치용 어레이기판과 그 제조방법에 관한 것이다.
- <16> 도 1은 액정표시장치용 어레이기판의 일부를 도시한 확대평면도이다.
- <17> 기판(21) 상에 스위칭 소자인 박막트랜지스터(T)가 매트릭스 형태(matrix type)로 위치하고, 이러한 다수의 박막트랜지스터(T)를 교차하는 게이트 배선(33)과 데이터 배선(53)이 형성된다.
- <18> 상기 게이트 배선(33)의 일 끝단에는 게이트 패드 전극(35)이 형성되어 있고, 상기 게이트 패드 전극(35)은 게이트 배선(33)에 비해 큰 폭을 가지도록 구성된다.
- <19> 상기 데이터배선(53)의 일 끝단에는 데이터 패드 전극(55)이 구성되어 있고, 상기 데이터 패드 전극(55) 또한 데이터배선(53)에 비해 큰 폭을 가지도록 구성된다.
- <20> 상기 게이트 패드 전극(35)과 데이터 패드 전극(55)은 각각 외부의 신호를 직접 인가 받는 수단인 투명한 게이트 패드 전극 단자(71)와 데이터 패드 전극단자(73)와 접촉하여 구성된다.
- <21> 이때, 상기 게이트 배선(33)과 데이터 배선(53)이 교차하여 정의되는 영역을 화소 영역(P)이라 한다.
- <22> 상기 게이트 배선(33)의 일부 상부에 스토리지 캐패시터(C<sub>ST</sub>)가 구성된다.
- <23> 상기 박막트랜지스터(T)는 게이트 전극(31)과 소스 전극(49)과 드레인 전극(51)과, 상기 게이트 전극(31) 상부에 구성된 액티브층(39)으로 이루어진다.
- <24> 전술한 구성에서, 상기 스토리지 캐패시터(C<sub>ST</sub>)는 게이트 배선(33)의 일부를 제 1 캐패시터 전극으로 하고, 상기 게이트 배선(33)의 일부 상부에 위치하고 상기 소스 및 드레인 전극(49,51)과 동일층 동일물질로 형성되고, 상기 화소 전극(69)과 콘택홀(63)을 통해 접촉된 소스-드레인 금속층(57)을 제 2 캐패시터 전극으로 한다.
- <25> 전술한 구성 중, 상기 게이트 전극(31)과 게이트 배선(33)과 게이트 패드 전극(35)은 신호 지연을 방지하기 위해 저 저항 금속인 알루미늄(Al)(또는 알루미늄합금)을 사용하며, 알루미늄(또는 알루미늄합금)의 화학적 물리적 단점을 보완하기 위해 일반적으로는 알루미늄(또는 알루미늄합금)에 별도의 금속층을 적층하여 구성한다.
- <26> 상기 드레인 전극(51)과 데이터 배선(53)과 데이터 패드 전극(55) 또한, 저항을 낮추기 위해 알루미늄을 사용하

는 경우가 있으며, 이 때에는 알루미늄(또는 알루미늄합금)의 상부와 하부에 별도의 금속층을 더욱 구성하게 된다.

- <27> 이하, 도 2a 내지 2f와 도 3a 내지 도 3f와 도 4a 내지 도 4f를 참조하여, 종래에 따른 액정표시장치용 어레이 기판의 제조공정을 설명한다.
- <28> 도 2a 내지 도 2f와 도 3a 내지 도 3f와 도 4a 내지 도 4f는, 도 1의 II-II', III-III', IV-IV'를 따라 절단하여, 종래의 공정순서에 따라 도시한 공정 단면도이다. (도 2a 내지 2f는 박막트랜지스터의 화소의 단면도이고, 3a 내지 도 3f는 게이트 패드부의 단면도이고, 도 4a 내지 도 4f는 데이터 패드부의 단면도이다.)
- <29> 먼저, 도 2a와 도 3a와 도 4a에 도시한 바와 같이, 기판(21) 상에 알루미늄(Al)또는 알루미늄합금을 증착하고 패터하여, 기판(21)상에 일 방향으로 연장되고 일 끝단에 게이트 패드 전극(35)을 포함하는 게이트 배선(33)과 이에 연결된 다수의 게이트 전극(31)을 형성한다.
- <30> 상기 알루미늄 계열의 금속은 저항이 낮아 게이트 배선(33)의 신호 지연(signal delay)을 낮출 수 있는 장점이 있는 반면, 화학적으로 내식성이 약하여 쉽게 산화되거나, 배선의 표면에 미세하게 힐락(hillock)과 같은 결함이 발생하게 된다.
- <31> 따라서, 이러한 문제를 해결하기 위해 상기 알루미늄 계열의 금속층과 이것의 상부에 이보다는 화학적 물리적으로 강한 금속을 적층하여 형성하는 것이 일반적이다.
- <32> 이와 같은 적층구조는, 상기 알루미늄의 상부에 적층된 금속에 따라, 상기 알루미늄과 일괄식각이 가능한 금속(예를 들면 몰리브덴(Mo))이면 공정이 추가되지 않으나, 상기 알루미늄과 동시에 식각이 가능하지 않은 금속(예를 들면 크롬(Cr))일 경우에는 별도의 식각공정을 진행해야 하므로 공정이 복잡해지는 문제가 있다.
- <33> 도 2b와 도 3b와 도 4b에 도시한 바와 같이, 상기 게이트 패드 및 게이트 배선(33)과 게이트 전극(31)이 형성된 기판(21)의 전면에 질화 실리콘(SiN<sub>x</sub>)과 산화 실리콘(SiO<sub>2</sub>)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여, 제 1 절연막인 게이트 절연막(37)을 형성한다.
- <34> 연속하여, 상기 게이트 전극(31)상부의 게이트 절연막(37)상에 비정질 실리콘(a-Si:H)과 불순물이 포함된 비정질 실리콘(n+a-Si:H)을 적층하고 패터하여, 액티브층(39)과 오믹 콘택층(41)을 형성한다.
- <35> 다음으로, 도 2c와 도 3c와 도 4c에 도시한 바와 같이, 상기 오믹 콘택층(41)이 형성된 기판(21)의 전면에, 몰리브덴(Mo)과 알루미늄(Al)과 몰리브덴(Mo)을 차례로 증착하여, 제 1,2,3 금속층(43,45,47)을 적층한다.
- <36> 다음으로, 도 2d와 도 3d와 도 4d에 도시한 바와 같이, 상기 제 1,2,3금속층(43,45,47)을 동시에 패터하여, 몰리브덴/알루미늄/몰리브덴(Mo/Al/Mo)의 3중 금속층으로 구성되고, 상기 오믹 콘택층(41)과 접촉하면서 서로 이격된 소스 전극(49)과 드레인 전극(51)을 형성하고, 동시에 상기 소스 전극(49)과 연결된 데이터 배선(도 1의 53) 및 데이터 배선의 일 끝단에 데이터 패드 전극(55)을 형성한다.
- <37> 동시에, 상기 게이트 배선(33)의 일부 상부에 섬 형상의 소스-드레인 금속(57)층을 형성한다.
- <38> 상기 소스 및 드레인 전극(49,51)과 데이터 배선(도 1의 53)을 몰리브덴(Mo)이나 크롬(Cr)과 같이 저항이 큰 금속을 단일층으로 하여 대면적 기판을 제작하게 되면, 신호 지연에 의해 액정패널의 전면에 대해 동일한 화질을 가지는 화상을 얻을 수 없게 된다.
- <39> 반면, 상기 소스 및 드레인 전극(49,51)과 데이터 배선(53)의 저항이 작을수록 신호의 흐름이 원활하기 때문에 대면적 어레이기판을 제작하는데 적합하다.
- <40> 따라서, 이를 해결하기 위해 전술한 바와 같이, 상기 소스 및 드레인 전극(49,51)과 데이터 배선(도 1의 53)을 저저항 배선으로 형성하는 것이 필요하다. 그런데, 저저항 배선이 알루미늄층의 상부와 하부에 각각 구성된 몰리브덴층 중, 상기 하부 몰리브덴 층은 상기 제 2 금속층인 알루미늄층이 상기 액티브층(39) 또는 오믹 콘택층(41)으로 파고 들어가는 스파이킹(spiking)현상을 방지하기 위해서 형성하고, 상기 상부 몰리브덴 층은 이후 공정에서 형성되는 투명전극과 상기 알루미늄층 사이의 콘택 저항을 줄이기 위한 목적으로 형성하는 것이다.
- <41> 이와 같은 이유로, 상기 소스 및 드레인 전극(49,51)과 데이터 배선(도 1의 53) 및 데이터 패드 전극(55)을 삼층(Mo/Al/Mo)으로 구성하였다.
- <42> 전술한 공정에 연속하여, 상기 소스 전극과 드레인 전극(49,51)사이로 노출된 오믹 콘택층(41)을 식각하여 하부의 액티브층(39)을 노출한다.

- <43> 도 2e와 도 3e와 도 4e에 도시한 바와 같이, 상기 소스 및 드레인 전극(49,51)이 형성된 기판(21)의 전면에 절연물질을 증착하여, 제 2 절연막인 보호막(59)을 형성한다.
- <44> 상기 보호막(59)을 식각하여 드레인 전극(51)의 일부를 노출하는 드레인 콘택홀(61)과, 소스-드레인 금속층(57)의 일부를 노출하는 스토리지 콘택홀(63)과, 상기 게이트 패드 전극(35)의 일부를 노출하는 게이트 패드 콘택홀(65)과, 상기 데이터 패드 전극(55)의 일부를 노출하는 데이터 패드 콘택홀(67)을 형성한다.
- <45> 도 2f와 도 3f와 도 4f에 도시한 바와 같이, 상기 보호막(59)이 형성된 기판(21)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함한 투명 도전성 금속그룹 중 선택된 하나를 증착하고 패터닝하여, 상기 드레인 전극(51)과 상기 소스-드레인 금속층(57)과 접촉하는 투명한 화소전극(69)과, 상기 게이트 패드 전극(35)과 접촉하는 게이트 패드 전극 단자(71)와, 상기 데이터 패드 전극(55)과 접촉하는 데이터 패드 전극 단자(73)를 형성한다.
- <46> 전술한 바와 같은 공정으로 종래에 따른 어레이기판을 제작할 수 있다.
- <47> 상기 소스 및 드레인 전극(49,51)과 데이터 배선(도 1의 53)과 데이터 패드 전극(55)은 삼층의 금속을 혼산용액으로 일괄 식각하여 형성하게 되는데, 식각시 식각용액에 의해 전지반응(갈바닉)이 발생하게 되며, 이때 몰리브덴(Mo)의 두께가 두꺼울수록 전지반응에 의한 영향을 극복할 수 없다.
- <48> 특히, 전지 반응에 의해 하부 몰리브덴 층이 과식각 되어 상기 보호층을 형성하는 공정 중 알루미늄 층이 주저앉아 하부의 오믹 콘택층과 접촉하게 된다.
- <49> 이때, 상기 알루미늄층과 오믹 콘택층이 반응하여 누설전류를 증가시켜 소자의 동작특성을 저하하는 원인이 된다.
- <50> 이하, 도 5를 참조하여 설명한다. 도 5는 도 2f의 D를 확대한 단면도이다.
- <51> 도시한 바와 같이, 알루미늄층(45)을 사이에 두고 상부와 하부에 구성된 몰리브덴(Mo)층(47,43)이 과식각되는 현상이 발생하게 된다.
- <52> 이와 같은 현상은, 상기 소스 및 드레인전극(49,도 2f의 51)과 데이터 배선(도 1의 53)과 데이터 패드 전극(도 2f의 55)이 형성된 기판의 전면에 보호막(55)을 형성하는 과정에서 상기 알루미늄층(45)의 역테이퍼(E)에 의해 보호막이 제대로 형성되지 않는 경우가 있다.
- <53> 또한 앞서 언급한 바와 같이, 상기 알루미늄층이 상부에 형성된 보호층(59)에 눌러 하부의 액티브층(39)또는 오믹 콘택층(41)과 접촉하게 된다. 이와 같은 경우에는 상호 확산 작용에 의해 누설전류의 상승으로 인해 소자(박막트랜지스터)의 동작을 저하하는 문제가 있다.

**발명이 이루고자 하는 기술적 과제**

- <54> 본 발명은 전술한 바와 같은 문제를 해결하기 위한 목적으로 안출된 것으로, 상기 게이트 전극과 게이트 배선을 구리층과 몰리합금층의 이중 금속층으로 구성하고, 상기 소스 및 드레인 전극으로는 몰리합금(Mo-alloy)층과 구리(Cu)층을 순차로 적층한 이중 금속층으로 구성한다.
- <55> 상기 이중 금속층은 별도의 열처리가 가해지면 이로 인해, 상기 몰리합금(Mo-alloy)층으로 부터 상기 구리층의 주변으로 몰리브덴과 합금된 금속이 확산된 확산층이 형성된다.
- <56> 상기 확산층은 상기 구리층과 절연막의 밀착특성을 개선하는 기능을 하게 되며, 상기 몰리 합금층은 상기 구리층과 반도체층이 반응하는 것을 방지하는 기능을 한다. 이와 같은 구성은 상기 구리(Cu)를 저저항 배선 재료로 사용하는 것을 가능하게 하여, 대면적 액정패널을 제작할 수 있는 장점이 있다.
- <57> 또한, 상기 구리층과 몰리 합금층은 일괄식각이 가능하므로, 공정을 단순화 할 수 있어 공정수율을 개선할 수 있는 장점이 있다.

**발명의 구성 및 작용**

- <58> 전술한 바와 같은 목적을 달성하기 위한 액정표시장치용 어레이기판은 기판 상에 구성되고, 몰리합금(Mo-

alloy)층과 구리(Cu)층과 구리층 표면으로 확산된 금속층으로 형성된 게이트 배선과 이에 연결된 게이트 전극과; 상기 게이트 전극의 상부에 게이트 절연막을 사이에 두고 적층되어 형성된 액티브층과 오믹 콘택층과; 상기 오믹 콘택층의 상부에 구성되고, 몰리합금(Mo-alloy)층과 구리(Cu)층과 구리층 표면으로 확산된 금속층이 순차 형성된 소스 전극과 드레인 전극과 소스 전극과 연결된 데이터 배선과; 상기 소스 및 드레인 전극과 데이터 배선의 상부에 구성되고, 상기 드레인 전극의 일부를 노출하는 콘택홀을 포함하는 보호막과; 상기 노출된 드레인 전극과 접촉하는 투명한 화소전극을 포함한다.

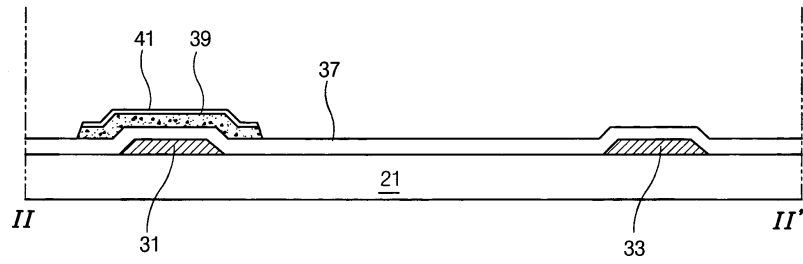
- <59> 상기 몰리 합금층은 몰리브덴(Mo)과 티타늄(Ti), 탄탈륨(Ta), 크롬(Cr), 니켈(Ni), 네오디뮴(Nd), 인듐(In), 알루미늄(Al)의 금속그룹 중 선택된 하나 이상의 금속을 합금하여 형성한다.
- <60> 상기 확산층은 상기 몰리브덴(Mo)과 합금된 금속으로 형성된다.
- <61> 본 발명의 특징에 따른 액정표시장치용 어레이기판 제조방법은 기판 상에 구성되고, 몰리합금(Mo-alloy)층과 구리(Cu)층의 이중층으로 구성된 게이트 배선과 이에 연결된 게이트 전극을 형성하는 단계와; 상기 게이트 전극과 게이트 배선이 형성된 기판을 열처리하여, 상기 구리(Cu)층의 표면으로 금속이 확산된 확산층을 형성하는 단계와; 상기 구리층 표면의 확산층을 포함하는 게이트 배선과 게이트 전극이 형성된 기판의 전면에 게이트 절연막을 형성하는 단계와; 상기 게이트 전극 상부의 게이트 절연막 상에 적층된 액티브층과 오믹 콘택층을 형성하는 단계와; 상기 오믹 콘택층 상부에, 몰리 합금층과 구리층이 순차적으로 적층되어 형성된 소스 전극과 드레인 전극과, 소스 전극과 연결된 데이터 배선을 형성하는 단계와; 상기 소스 및 드레인 전극과 데이터 배선이 형성된 기판을 열처리하여, 상기 구리층의 표면으로 금속이 확산된 확산층을 형성하는 단계와; 상기 확산층을 포함하는 소스 및 드레인 전극과 데이터 배선의 상부에, 상기 드레인 전극의 일부를 노출하는 보호막을 형성하는 단계와; 상기 노출된 드레인 전극과 접촉하는 투명한 화소전극을 형성하는 단계를 포함한다.
- <62> 이하, 첨부한 도면을 참조하여, 본 발명에 따른 바람직한 실시예들을 설명한다.
- <63> -- 제 1 실시예 --
- <64> 본 발명의 제 1 실시예는 게이트 배선 및 게이트 전극과 소스 및 드레인 전극과 데이터 배선을 형성할 때, 몰리합금층(Mo-alloy)과 구리(Cu)층을 순차적으로 적층한 이중층으로 구성하는 것을 특징으로 한다.
- <65> 이하, 도 6a 내지 도 6f와 도 7a 내지 7f와 도 8a와 도 8f를 참조하여, 본 발명에 따른 어레이기판의 제조공정을 설명한다.
- <66> 도 6a 내지 도 6f와 도 7a 내지 도 7f와 도 8a 내지 도 8f는 본 발명의 공정순서에 따라 도시한 공정 단면도이다. (도6a 내지 도 6f는 박막트랜지스터와 화소의 단면도이고, 도 7a 내지 도 7f는 게이트 패드부의 단면도이고, 도 8a 내지 도 8f는 데이터 패드부의 단면도이다.)
- <67> 도 6a와 도 7a와 도 8a에 도시한 바와 같이 먼저, 기판(121) 상에 몰리합금(Mo-alloy)층(M)과 구리(Cu)층(C)을 적층한 후 이를 패터닝하여, 기판(121) 상에 일 방향으로 연장된 게이트 배선(133)과, 게이트 배선(133)의 일 끝단에 게이트 패드(135), 상기 게이트 배선(133)과 연결된 게이트 전극(131)을 형성한다.
- <68> 이때, 상기 몰리합금층(M)은 몰리브덴(Mo)과 티타늄(Ti), 탄탈륨(Ta), 크롬(Cr), 니켈(Ni), 네오디뮴(Nd), 인듐(In), 알루미늄(Al)의 금속그룹 중 선택된 하나의 금속을 합금한 물질로 형성한 것이다.
- <69> 다음으로, 상기 게이트 패드 및 게이트 배선(135, 133)과 게이트 전극(131)이 형성된 기판(121)을 200℃의 온도로 열처리하는 공정을 진행한다.
- <70> 이와 같이 하면, 상기 몰리합금층(M)으로부터 구리층(C)의 표면으로 금속이 확산되어 구리층(C)의 표면에 확산층(D1)이 형성된다.
- <71> 이때, 확산된 금속은 상기 몰리브덴(Mo)과 합금된 금속이다.
- <72> 도 6b와 도 7b와 도 8b에 도시한 바와 같이, 상기 구리층(C)의 표면에 확산층(D1)을 포함하는 게이트 패드 및 게이트 배선(133)과 게이트 전극(131)이 형성된 기판(100)의 전면에 질화 실리콘(SiN<sub>x</sub>)과 산화 실리콘(SiO<sub>2</sub>)을 포함하는 무기 절연물질 그룹 중 선택된 하나로 게이트 절연막(137)을 형성한다.
- <73> 다음으로, 상기 게이트 전극(131) 상부의 게이트 절연막(137)상에 아일랜드 형태로 액티브층(139)(active layer)과 오믹 콘택층(141)(ohmic contact layer)을 형성한다.

- <74> 상기 액티브층(139)은 일반적으로 순수한 비정질 실리콘(a-Si:H)으로 형성하고, 상기 오믹 콘택층(141)은 불순물이 포함된 비정질 실리콘(n+a-Si:H)으로 형성한다.
- <75> 다음으로, 도 6c와 도 7c와 도 8c에 도시한 바와 같이, 상기 오믹 콘택층(141)이 형성된 기판(121)의 전면에 물리 합금층(143)과 구리층(145)을 적층하여 형성한다.
- <76> 상기 물리합금층(143)은 상기 구리층(145)과 반도체층이 직접 접촉하여 상호 반응하는 것을 방지하는 역할을 하게 된다.
- <77> 다음으로, 도 6d와 7d와 8d에 도시한 바와 같이, 상기 물리합금층(143)과 구리층(145)을 식각하여, 이중층으로 구성된 소스 전극(149)과 이와는 소정간격 이격된 드레인 전극(151)과, 상기 소스 전극(149)과 연결된 데이터 배선(미도시)과 상기 데이터 배선의 일 끝단에 데이터 패드 전극(155)을 형성한다.
- <78> 동시에, 게이트 배선(133)의 일부 상부에 아일랜드 형상으로 소스-드레인 금속층(157)을 형성한다.
- <79> 연속하여, 상기 소스 전극(149)과 드레인 전극(151)사이의 이격된 영역에 사이로 노출된 오믹 콘택층(141)을 식각하여 하부의 액티브층(139)을 노출한다.
- <80> 다음으로, 상기 소스 및 드레인 전극(149,151)과 데이터 배선(미도시)및 데이터 패드 전극(155)이 형성된 기판(121)을 200℃ 이상의 온도로 열처리하는 공정을 진행한다.
- <81> 이와 같이 하면, 상기 물리합금층으로부터 금속이 확산되어 상기 구리층의 표면으로 확산층(D2)이 형성된다.
- <82> 상기 확산층(D2)은, 상기 몰리브덴(Mo)과 합금된 금속 예를 들면 티타늄(Ti), 탄탈륨(Ta), 크롬(Cr), 니켈(Ni), 네오디뮴(Nd), 인듐(In), 알루미늄(Al)의 금속군 중 선택된 하나 일 수 있다.
- <83> 이러한 확산층(D2)은 상기 구리층(145)과 이후 공정에서 형성되는 절연막의 사이에 존재하게되며 절연막의 밀착성을 개선하는 역할을 하게 된다.
- <84> 그리고, 상기 물리합금층(143)은 상기 구리층(145)이 하부의 오믹 콘택층(141)과 접촉하는 것을 방지하는 역할을 함으로써, 상기 구리층(145)은 하부 오믹 콘택층(141)의 실리콘 성분과 반응하지 않게 된다.
- <85> 도 6e와 도 7e와 도 8e에 도시한 바와 같이, 상기 확산층(D2)을 포함한 소스 전극(149)과 드레인 전극(151)과 데이터 배선(미도시)이 형성된 기판(121)의 전면에 질화 실리콘(SiN<sub>x</sub>)과 산화 실리콘(SiO<sub>2</sub>)을 포함하는 무기절연물질 그룹 또는 벤조사이클로부텐(BCB)과 아크릴(Acryl)계 수지(resin)를 포함한 유기절연물질 그룹 중 선택하여 단층 또는 이중층으로 적층하고 패터닝하여, 상기 드레인 전극(151)의 일부를 노출하는 드레인 콘택홀(161)과, 상기 소스-드레인 금속층(157)을 노출하는 스토리지 콘택홀(163)과, 상기 게이트 패드 전극(135)을 노출하는 게이트 패드 콘택홀(165)과, 상기 데이터 패드 전극(155)을 노출하는 데이터 패드 콘택홀(167)을 형성한다.
- <86> 다음으로, 도 6f와 도 7f와 도 8f에 도시한 바와 같이, 상기 보호막(159)이 형성된 기판(121)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속그룹 중 선택된 하나를 증착하고 패터닝하여, 상기 드레인 전극(151)과 상기 소스-드레인 금속층(157)과 접촉하는 화소전극(169)을 형성하고, 상기 게이트 패드 전극(135)과 접촉하는 게이트 패드 전극 단자(171)와, 상기 데이터 패드 전극(155)과 접촉하는 데이터 패드 전극 단자(173)를 형성한다.
- <87> 전술한 바와 같은 공정을 통해, 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이기판을 제작할 수 있다.
- <88> 이하, 제 2 실시예를 통해 상기 제 1 실시예의 변형예를 설명한다.
- <89> -- 제 2 실시예--
- <90> 본 발명의 제 2 실시예의 특징은 상기 제 1 실시예의 구성에서, 상기 게이트 전극과 게이트 배선을 형성할 때, 구리층과 물리합금층을 순차 적층한 것을 특징으로 한다.(주요 구성과 제조방법은 제 1 실시예와 동일하므로 단면구성을 참조하여 설명한다.)
- <91> 도 9는 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이기판의 구성을 개략적으로 도시한 단면도이다.
- <92> 도시한 바와 같이, 기판(221)상에 박막트랜지스터 영역(T)과 화소 영역(P)과 게이트 패드 영역(G)과 데이터 패드 영역(D)이 정의되고, 상기 박막트랜지스터 영역(T)에는 게이트 전극(231)과 반도체층(액티브층(239))과 오믹

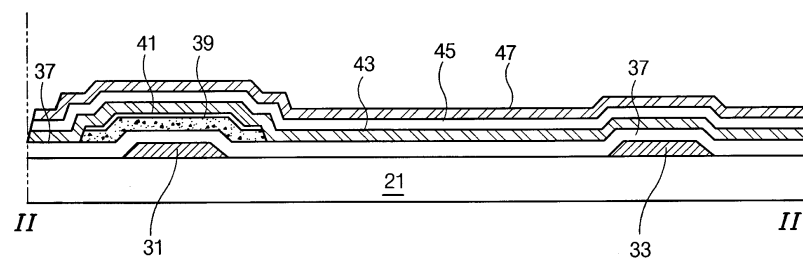




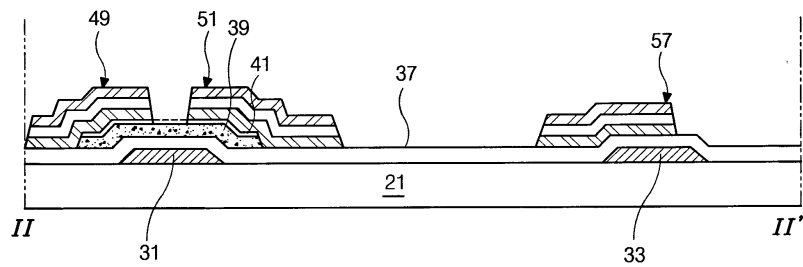
도면2b



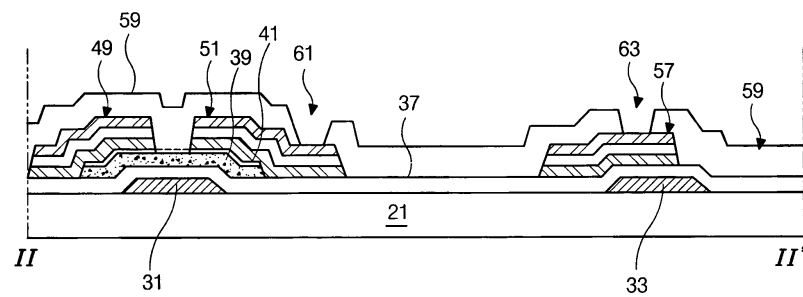
도면2c



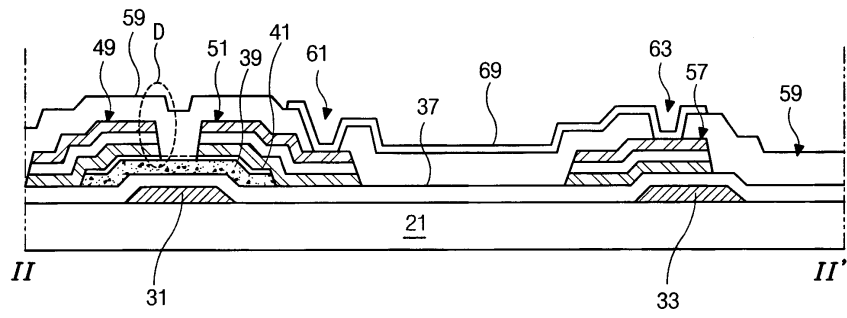
도면2d



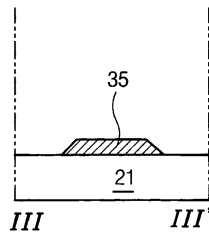
도면2e



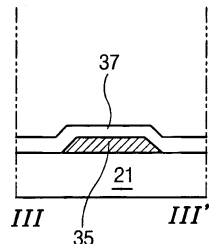
도면2f



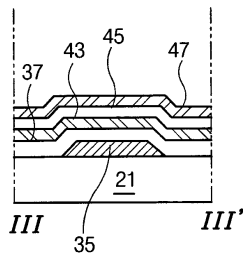
도면3a



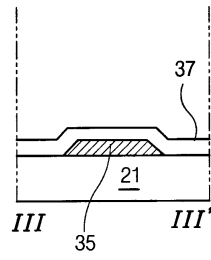
도면3b



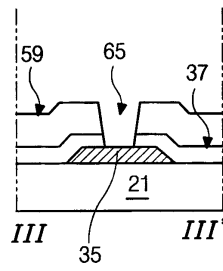
도면3c



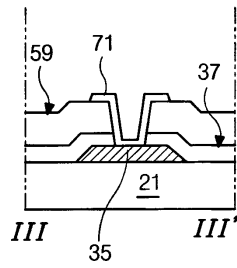
도면3d



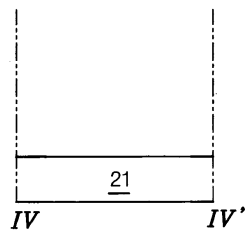
도면3e



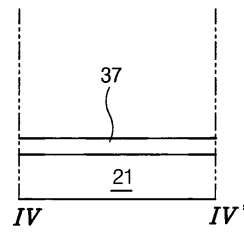
도면3f



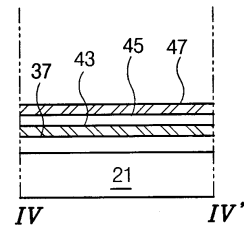
도면4a



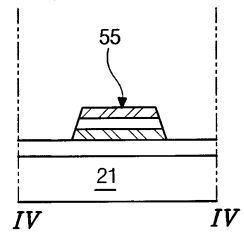
도면4b



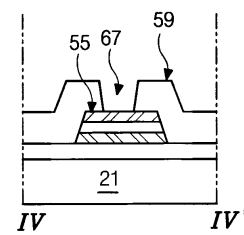
도면4c



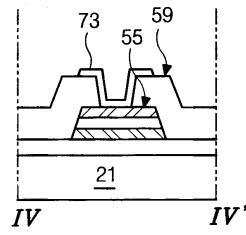
도면4d



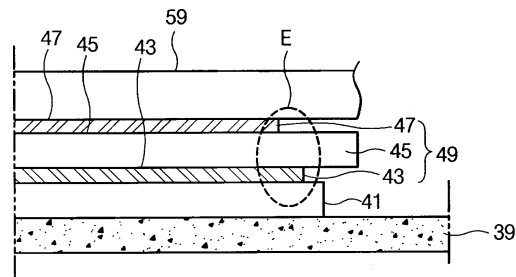
도면4e



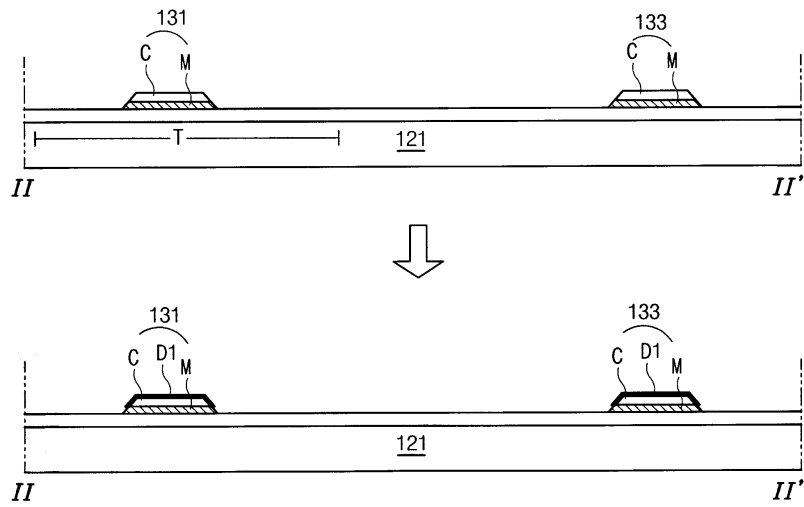
도면4f



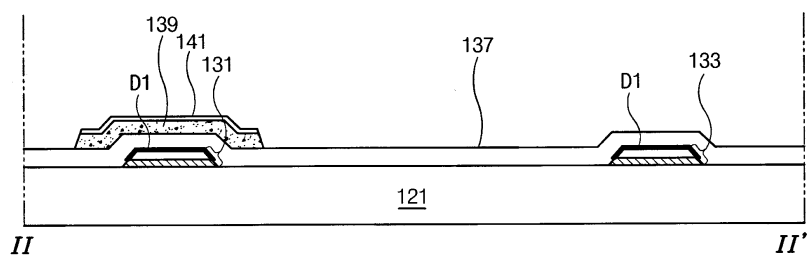
도면5



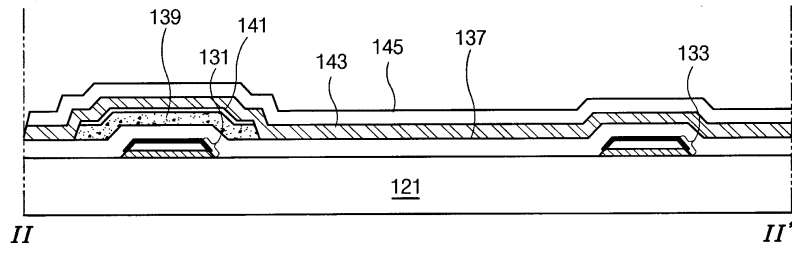
도면6a



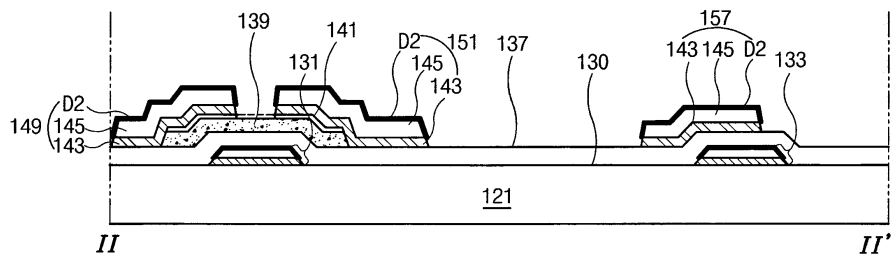
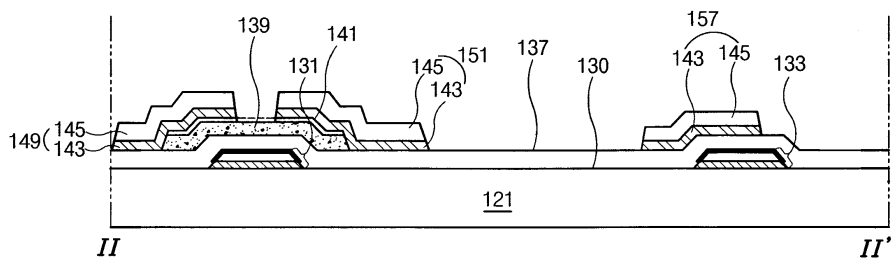
도면6b



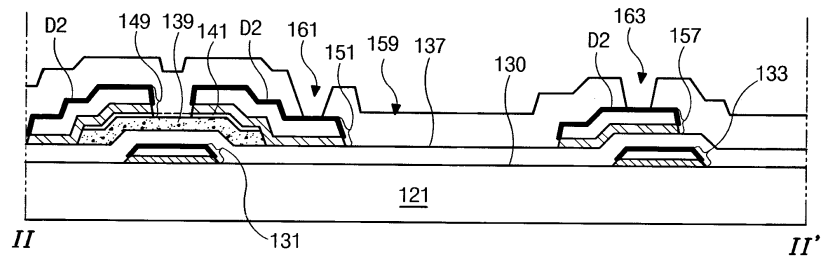
도면6c



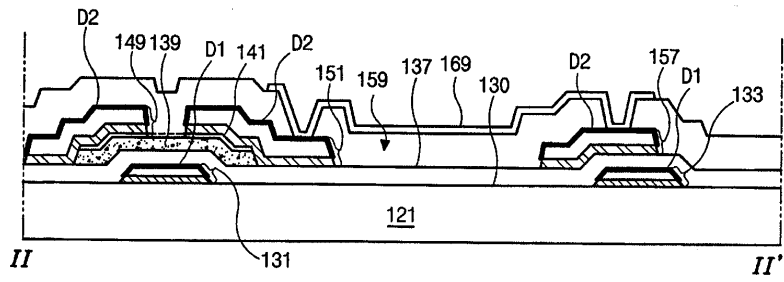
도면6d



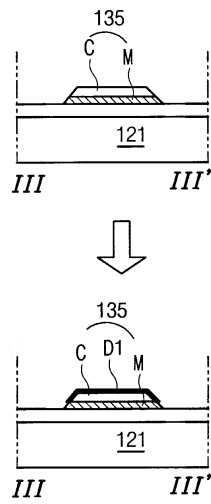
도면6e



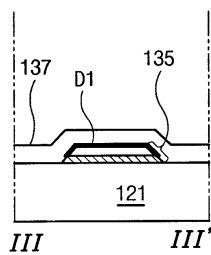
도면6f



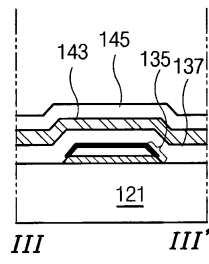
도면7a



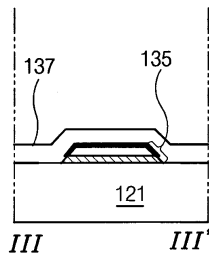
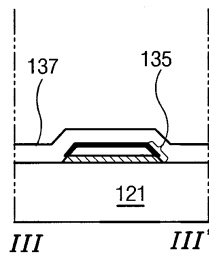
도면7b



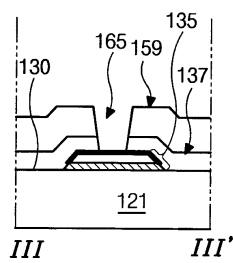
도면7c



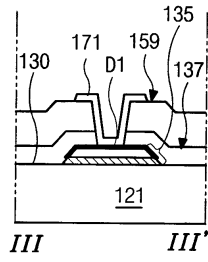
도면7d



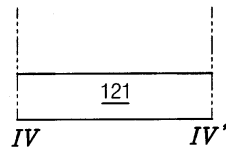
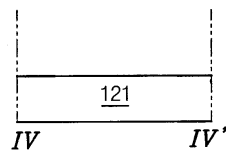
도면7e



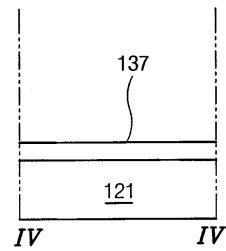
도면7f



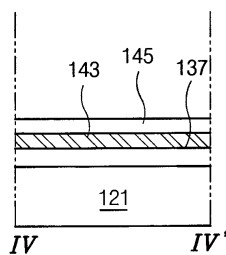
도면8a



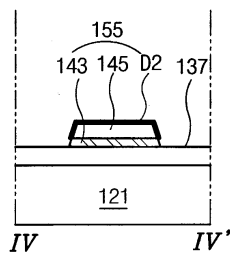
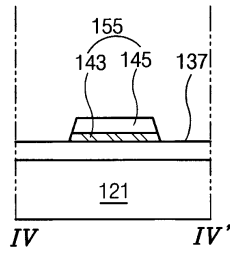
도면8b



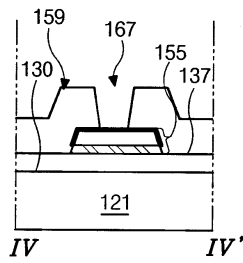
도면8c



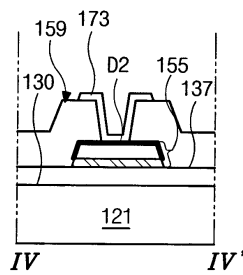
도면8d



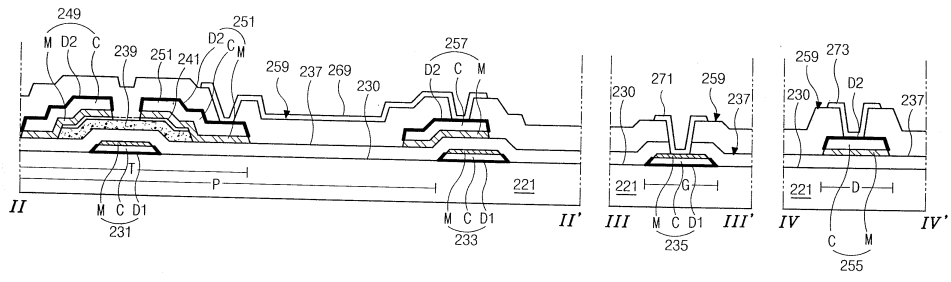
도면8e



도면8f



도면9



|                |                                                                                                                                   |         |            |
|----------------|-----------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 一种用于液晶显示器的阵列基板                                                                                                                    |         |            |
| 公开(公告)号        | <a href="#">KR100938885B1</a>                                                                                                     | 公开(公告)日 | 2010-01-27 |
| 申请号            | KR1020030043962                                                                                                                   | 申请日     | 2003-06-30 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                                                                                                          |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                                                                                                         |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                                                                                                                         |         |            |
| [标]发明人         | CHO WONHO<br>조원호<br>JO GYOOCHUL<br>조규철<br>LEE GUETAI<br>이규태<br>KANG JINGYU<br>강진규<br>JEONG BEUNGHWA<br>정병화<br>KIM JINYOUNG<br>김진영 |         |            |
| 发明人            | 조원호<br>조규철<br>이규태<br>강진규<br>정병화<br>김진영                                                                                            |         |            |
| IPC分类号         | G02F1/136 G02F1/1362 G02F1/1368                                                                                                   |         |            |
| CPC分类号         | G02F1/136286 G02F1/1368                                                                                                           |         |            |
| 其他公开文献         | KR1020050003246A                                                                                                                  |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                         |         |            |

摘要(译)

液晶显示器的阵列基板及其制造方法技术领域本发明涉及液晶显示器，更具体地，涉及用于液晶显示器的阵列基板及其制造方法。本发明的特征是栅极布线和其由所述第一阵列基板的栅电极层具有铜层和钼合金（Mo基合金）由层的双层的，数据线在栅极线的上部和栅电极配置并且源电极和漏电极由双层形成，其中Mo合金层和Cu层依次堆叠。当对层压结构施加200°C或更高的热量时，与钼（Mo）合金化的金属从钼合金层扩散到铜层的表面。围绕铜层与介电膜之间的良好接触特性，以提高铜的粘附性能，和钼合金（Mo基合金）层充当铜层和铜（Cu）的半导体层和硅之间的缓冲层扩散层（Si）组分反应。因此，具有低电阻的铜可以用作布线材料，这有利于制造大面积液晶面板。

