



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2009년06월02일  
(11) 등록번호 10-0900541  
(24) 등록일자 2009년05월26일

(51) Int. Cl.

*G02F 1/136* (2006.01)

(21) 출원번호 10-2002-0070706

(22) 출원일자 2002년11월14일

심사청구일자 2007년11월14일

(65) 공개번호 10-2004-0042412

(43) 공개일자                      2004년05월20일

(56) 선행기술조사문헌

KR1019960011524 A\*

JP14287712 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

엄윤성

경기도용인시수지읍상현리쌍용아파트216동1702호

손정호

서울특별시강남구삼성2동한솔아파트102동504호

(뒷면에 계속)

(74) 대리인

## 팬코리아특허법인

전체 청구항 수 : 총 4 항

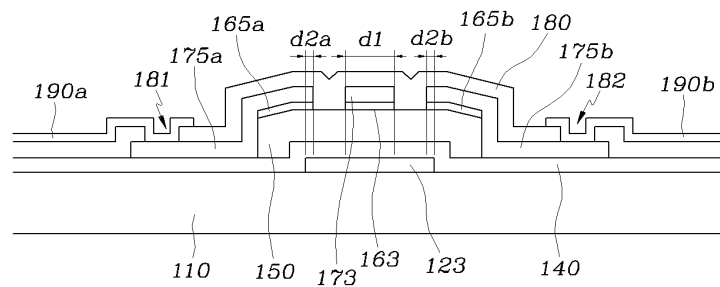
심사관 : 한만열

(54) 액정 표시 장치용 박막 트랜지스터 기판

(57) 요약

절연 기관, 절연 기관 위에 제1 방향으로 형성되어 있는 제1 신호선, 절연 기관 위에 제2 방향으로 형성되어 있으며 제1 신호선과 절연되어 교차하고 있는 제2 신호선, 제1 신호선 및 제2 신호선에 연결되어 있는 제1 박막 트랜지스터, 제1 박막 트랜지스터가 연결되어 있는 제1 신호선 및 제2 신호선에 연결되어 있는 제2 박막 트랜지스터, 제1 박막 트랜지스터에 연결되어 있는 제1 화소 전극, 제2 박막 트랜지스터에 연결되어 있는 제2 화소 전극을 포함하고, 제1 박막 트랜지스터의 제1 드레인 전극 및 게이트 전극 사이에 형성되는 제1 정전 용량과, 제2 박막 트랜지스터의 제2 드레인 전극 및 게이트 전극 사이에 형성되는 제2 정전 용량이 서로 다른 박막 트랜지스터 기관.

## 대표도 - 도2



(72) 발명자

**이중희**

경기도수원시팔달구망포동694번지망포마을현대1  
차109동802호

**유재진**

경기도광주군오폐면양벌1리692번지

---

## 특허청구의 범위

### 청구항 1

절연 기판,

상기 절연 기판 위에 형성되어 있는 게이트선,

상기 절연 기판 위에 형성되어 있으며 상기 게이트선과 절연되어 교차하고 있는 데이터선,

상기 게이트선 및 상기 데이터선에 연결되어 있는 제1 박막 트랜지스터,

상기 제1 박막 트랜지스터가 연결되어 있는 상기 게이트선 및 상기 데이터선에 연결되어 있는 제2 박막 트랜지스터,

상기 제1 박막 트랜지스터에 연결되어 있으며, 상기 게이트선의 상부에 위치하는 제1 화소 전극,

상기 제2 박막 트랜지스터에 연결되어 있으며, 상기 게이트선의 하부에 위치하는 제2 화소 전극

을 포함하고, 상기 제1 박막 트랜지스터의 제1 드레인 전극 및 게이트 전극사이에 형성되는 제1 정전 용량과, 상기 제2 박막 트랜지스터의 제2 드레인 전극 및 게이트 전극 사이에 형성되는 제2 정전 용량이 서로 다른 박막 트랜지스터 기판.

### 청구항 2

제1항의 박막 트랜지스터 기판,

상기 박막 트랜지스터 기판과 대향하는 기준 전극 기판,

상기 기준 전극 기판 위에 형성되어 있는 기준 전극,

상기 박막 트랜지스터 기판과 상기 기준 전극 기판 사이에 주입되어 있는 액정 물질

을 포함하는 액정 표시 장치.

### 청구항 3

절연 기판,

상기 절연 기판 위에 가로 방향으로 형성되어 있는 게이트선과 상기 게이트선에 연결되어 있는 게이트 전극을 포함하는 게이트 배선,

상기 게이트 배선을 덮는 게이트 절연막,

상기 게이트 전극 상부의 상기 게이트 절연막 위에 형성되어 있는 반도체층,

상기 게이트 절연막 위에 세로 방향으로 형성되어 있는 데이터선, 상기 데이터선과 연결되어 있으며 상기 반도체층 위에까지 연장되어 있는 소스 전극, 상기 반도체층 위에서 상기 소스 전극과 대향하고 있는 제1 및 제2 드레인 전극을 포함하는 데이터 배선,

상기 데이터 배선 위에 형성되어 있으며 상기 제1 및 제2 드레인 전극의 일부를 각각 노출시키는 제1 및 제2 접촉구를 가지는 보호막,

상기 보호막 위에 형성되어 있으며 상기 제1 접촉구를 통하여 상기 제1 드레인 전극과 연결되어 있으며, 상기 게이트선의 상부에 위치하는 제1 화소 전극,

상기 보호막 위에 형성되어 있으며 상기 제2 접촉구를 통하여 상기 제2 드레인 전극과 연결되어 있으며, 상기 게이트선의 하부에 위치하는 제2 화소 전극

을 포함하고, 상기 게이트 전극 및 상기 제1 드레인 전극이 중첩되는 면적과 상기 게이트 전극 및 상기 제2 드레인 전극이 중첩되는 면적이 서로 다르게 형성되어 있는 액정 표시 장치용 박막 트랜지스터 기판.

### 청구항 4

제3항에서,

상기 소스 전극은 제1 및 제2 소스 전극으로 분리되어 형성되어 있는 액정 표시 장치용 박막 트랜지스터 기판.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

- <14> 본 발명은 액정 표시 장치 및 그에 사용되는 기판에 관한 것으로서, 특히 시야각이 개선된 액정 표시 장치 및 그에 사용되는 기판에 관한 것이다.
- <15> 일반적으로 액정 표시 장치는 기준 전극과 색 필터(color filter) 등이 형성되어 있는 상부 기판과, 화소 전극과 박막 트랜지스터 등이 형성되어 있는 하부 기판 사이에 액정 물질을 주입해 놓고 기준 전극과 화소 전극에 서로 다른 전위를 인가함으로써 전계를 형성하여 액정 분자들의 배열을 변경시키고, 이를 통해 빛의 투과율을 조절함으로써 화상을 표현하는 장치이다.
- <16> 그런데 액정 표시 장치는 시야각 및 측면 시인성이 나쁜 것이 중요한 단점이다. 이러한 단점을 극복하고자 시야각을 넓히기 위한 다양한 방안이 개발되고 있는데, 그 중에서도 액정 분자를 상하 기판에 대하여 수직으로 배향하고 화소 전극과 그 대향 전극인 기준 전극에 일정한 절개 패턴을 형성하거나 돌기를 형성하는 방법이 유력시되고 있다.
- <17> 절개 패턴을 형성하는 방법은 화소 전극과 기준 전극에 각각 절개 패턴을 형성하여 이들 절개 패턴으로 인하여 형성되는 프린지 필드(fringe field)를 이용하여 액정의 기우는 방향을 4방향으로 고르게 분산시킴으로써 시야각을 확보하는 방법이다.
- <18> 돌기를 형성하는 방법은 상하 기판 위에 형성되어 있는 화소 전극과 기준 전극 위에 각각 돌기를 형성하여 돌으로써 돌기에 의하여 왜곡되는 전기장을 이용하여 액정 분자의 눕는 방향을 조절하는 방식이다.
- <19> 그리고, 절개 패턴이나 돌기에 의하여 분할되는 도메인은 액정이 눕는 방향에 따라 몇 가지 종류로 나뉜다. 일반적으로는 4방향 각각에 대하여 한 종류씩 4종류로 구분된다.
- <20> 이 경우 하부 기판과 경사지게 누운 액정의 장축이 이루는 각을 경사각 (tilt angle)이라 할 때, 동일한 인가 전압에 대해 서로 다른 도메인에서 액정분자의 경사각은 동일하기 때문에 도메인의 광학적 특성의 보상율이 낮아서 측면 시인성에 문제점이 있다.

##### 발명이 이루고자 하는 기술적 과제

- <21> 본 발명은 상기 문제점을 해결하기 위한 것으로서, 시인성이 우수한 다중 도메인 액정 표시 장치 및 그에 사용되는 트랜지스터 기판을 제공하는 데 목적이 있다.

#### 발명의 구성 및 작용

- <22> 상기 목적을 달성하기 위하여 본 발명의 박막 트랜지스터 기판은, 절연 기판, 상기 절연 기판 위에 형성되어 있는 게이트선, 상기 절연 기판 위에 형성되어 있으며 상기 게이트선과 절연되어 교차하고 있는 데이터선, 상기 게이트선 및 상기 데이터선에 연결되어 있는 제1 박막 트랜지스터, 상기 제1 박막 트랜지스터가 연결되어 있는 상기 게이트선 및 상기 데이터선에 연결되어 있는 제2 박막 트랜지스터, 상기 제1 박막 트랜지스터에 연결되어 있는 제1 화소 전극, 상기 제2 박막 트랜지스터에 연결되어 있는 제2 화소 전극을 포함하고, 상기 제1 박막 트랜지스터의 제1 드레인 전극 및 게이트 전극사이에 형성되는 제1 정전 용량과, 상기 제2 박막 트랜지스터의 제2 드레인 전극 및 게이트 전극 사이에 형성되는 제2 정전 용량이 서로 다르다.
- <23> 또한, 상기 목적을 달성하기 위하여 본 발명의 액정 표시 장치는 상기 박막 트랜지스터 기판, 상기 박막 트랜지스터 기판과 대향하는 기준 전극 기판, 상기 기준 전극 기판 위에 형성되어 있는 기준 전극, 상기 박막 트랜지스터 기판과 상기 기준 전극 기판 사이에 주입되어 있는 액정 물질을 포함한다.

- <24> 또한, 상기 목적을 달성하기 위하여 본 발명의 액정 표시 장치용 박막 트랜지스터 기판은 절연 기판, 상기 절연 기판 위에 가로 방향으로 형성되어 있는 게이트선과 상기 게이트선에 연결되어 있는 게이트 전극을 포함하는 게이트 배선, 상기 게이트 배선을 덮는 게이트 절연막, 상기 게이트 전극 상부의 상기 게이트 절연막 위에 형성되어 있는 반도체층, 상기 게이트 절연막 위에 세로 방향으로 형성되어 있는 데이터선, 상기 데이터선과 연결되어 있으며 상기 반도체층 위에까지 연장되어 있는 소스 전극, 상기 반도체층 위에서 상기 소스 전극과 대향하고 있는 제1 및 제2 드레인 전극을 포함하는 데이터 배선, 상기 데이터 배선 위에 형성되어 있으며 상기 제1 및 제2 드레인 전극의 일부를 각각 노출시키는 제1 및 제2 접촉구를 가지는 보호막, 상기 보호막 위에 형성되어 있으며 상기 제1 접촉구를 통하여 상기 제1 드레인 전극과 연결되는 제1 화소 전극, 상기 보호막 위에 형성되어 있으며 상기 제2 접촉구를 통하여 상기 제2 드레인 전극과 연결되는 제2 화소 전극을 포함하고, 상기 게이트 전극 및 상기 제1 드레인 전극이 중첩되는 면적과 상기 게이트 전극 및 상기 제2 드레인 전극이 중첩되는 면적이 서로 다르게 형성되어 있다.
- <25> 또한, 상기 소스 전극은 제1 및 제2 소스 전극으로 분리되어 형성되어 있다. 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 일 실시예를 상세하게 설명하면 다음과 같다.
- <26> 도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 2는 도 1의 II-II'선에 대한 단면도이고, 도 3은 도 1의 박막 트랜지스터 기판을 적용한 액정 표시 장치의 등가 회로도이다.
- <27> 도 1 및 도 2에 도시된 바와 같이, 유리 등의 투명한 절연 기판(110) 위에 게이트 배선(121, 123)과 유지 전극선(131)이 형성되어 있다.
- <28> 게이트 배선(121, 123)은 가로 방향으로 뻗어 있는 게이트선(121)을 포함하며 게이트선(121)에 게이트 전극(123)이 연결되어 있다.
- <29> 유지 전극선(131)은 게이트선(121)과 나란하게 형성되어 있고, 도시하지는 않았으나 가지선을 가질 수도 있다.
- <30> 게이트 배선(121, 123)과 유지 전극선(131)은 게이트 절연막(140)으로 덮여 있고, 게이트 절연막(140) 위에는 비정질 규소로 이루어진 반도체층(150)이 형성되어 있다. 반도체층(150)은 게이트 전극(123)과 중첩하여 박막 트랜지스터의 채널부를 형성한다. 반도체층(150)의 위에는 인 등의 N형 불순물이 고농도로 도핑된 비정질 규소로 이루어진 저항성 접촉층(163, 165a, 165b)이 형성되어 있다.
- <31> 접촉층(163, 165a, 165b) 및 게이트 절연막(140) 위에는 데이터 배선(171, 173, 175a, 175b)이 형성되어 있다. 데이터 배선(171, 173, 175a, 175b)은 데이터선(171)과 이에 연결된 소스 전극(173) 및 이들과 분리된 제1 및 제2 드레인 전극(175a, 175b)을 포함한다. 소스 전극(173)은 게이트 전극(123) 상부에서 데이터선(171)으로부터 돌출해 있으며, 제1 및 제2 드레인 전극(175a, 175b)은 소스 전극(173)의 양쪽에 각각 배치되어 있고 각각의 한쪽 끝은 게이트선(121)을 중심으로 하여 양쪽에 위치하는 제1 및 제2 화소 영역(Pa, Pb)의 안쪽으로 뻗어 있다. 여기에서, 저항성 접촉층(163, 165a, 165b)은 반도체층(150)과 데이터 배선(171, 173, 175a, 175b)이 중첩하는 부분에만 형성되어 있다. 이 때, 게이트선(121)과 제1 및 제2 드레인 전극(175a, 175b) 사이에는 정전 용량이 형성된다. 이 정전 용량은 게이트선(121)과 제1 및 제2 드레인 전극(175a, 175b)이 중첩되는 면적에 거의 비례하여 증감한다. 본 발명의 실시예에서는 제1 드레인 전극(175a)과 게이트선(121)이 중첩하는 면적이 제2 드레인 전극(175b)과 게이트선(121)이 중첩하는 면적에 비하여 크게 조절함으로써 게이트선(121)과 제1 드레인 전극(175a) 사이에서 형성되는 정전 용량이 게이트선(121)과 제2 드레인 전극(175b) 사이에서 형성되는 정전 용량에 비하여 크게 되도록 조절한다. 이는 후술하는 바와 같이 제1 서브 화소 영역에 인가되는 전계가 제2 서브 화소 영역에 인가되는 전계에 비하여 소정 값 만큼 낮게 되도록 하기 위함이다.
- <32> 데이터 배선(171, 173, 175a, 175b)의 위에는 보호막(180)이 형성되어 있다. 이 때, 보호막(180)은 제1 및 제2 드레인 전극(175a, 175b)의 한쪽 끝을 각각 노출하는 제1 및 제2 접촉구(181, 182)를 가지고 있다.
- <33> 보호막(180)의 위에는 제1 접촉구(181)와 제2 접촉구(182)를 통하여 제1 드레인 전극(175a) 및 제2 드레인 전극(175b)과 각각 연결되어 있는 제1 및 제2 화소 전극(190a, 190b)이 형성되어 있다. 화소 전극(190a, 190b)은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 등의 투명한 도전 물질로 이루어진다. 한편, 유지 전극선(131)에는 화소 전극(190a, 190b)과 대향하는 기준 전극의 전위가 인가되는 것이 보통이다. 따라서, 제1 화소 전극(190a)이 형성된 영역을 제1 서브 화소 영역(Pa), 제2 화소 전극(190b)이 형성된 영역을 제2 서브 화소 영역(Pb)이라 할 때, 1개의 화소 영역은 2개의 서브 화소 영역으로 이루어진다.
- <34> 이러한 박막 트랜지스터 기판을 사용하는 액정 표시 장치는 다음과 같은 구조를 가진다.

- <35> 이러한 박막 트랜지스터 기판에 대하여 기준 전극 기판이 소정의 간격을 두고 배치되어 있고, 박막 트랜지스터 기판과 기준 전극 기판 사이에는 액정 물질이 주입되어 있다. 또, 기준 전극 기판에는 박막 트랜지스터 기판의 화소 전극과의 사이에서 액정 용량을 형성하는 기준 전극이 형성되어 있다. 이외에도 기준 전극 기판 위에는 보상 필름이 부착되어 있고, 두 편광판이 박막 트랜지스터 기판과 기준 전극 기판 바깥쪽으로 배치되어 있다.
- <36> 이상과 같이, 본 발명에서는 1개의 화소 영역당 1개의 소스 전극(173)과 2개의 드레인 전극(175a, 175b)이 형성되어 있으며, 1개의 화소 영역당 화소 전극(190a, 190b)이 2개씩 형성되어 있다. 그런데 두 드레인 전극(175a, 175b)이 게이트선(121)과 중첩하는 면적을 달리함에 의하여 하나의 화소 영역 내에 위치하는 두 개의 화소 전극(190a, 190b)에 인가되는 전압 사이에는 약간의 차이가 발생하게 된다. 이러한 차이는 화소 전극 전압의 킥 백 현상으로 인하여 발생하며, 액정 표시 장치의 시인성을 개선하는 효과를 낳는다. 이하에서는 킥 백 현상과 시인성 개선 효과에 대하여 상세히 살펴본다.
- <37> 데이터선을 통해 제1, 2 서브 화소 영역(Pa, Pb)에 인가되는 전압에는 킥 백(Kick Back) 현상이 발생한다. 도 4에 도시된 바와 같이, 킥 백 현상이란 데이터선을 통해 제1, 2 서브 화소 영역(Pa, Pb)에 인가된 데이터 전압(Vd)이 시간이 지남에 따라 천천히 하락하는 경우에, 데이터 전압의 인가 초기에 발생하는 급격한 전압 하락 현상을 말한다. 도 4에서  $\Delta V_p$ 가 킥 백 현상에 의한 전압 하락치를 표시한다.
- <38> 이러한 킥 백 현상은 게이트 전극(123)과 제1, 2 드레인 전극(175a, 175b)사이에 형성된 기생 용량에 의해 발생한다. 따라서, 제1, 2 서브 화소 영역(Pa, Pb)에는 초기 데이터 전압과  $\Delta V_p$ 의 차이에 해당하는 전압만이 실제적으로 인가된다.
- <39> 도 3에서 Clca는 제1 화소 전극(190a)과 기준 전극 사이에서 형성되는 액정 용량, Csta는 유지 전극선과 제1 화소 전극(190a) 사이에서 형성되는 유지 용량, Clcb는 제2 화소 전극(190b)과 기준 전극 사이에서 형성되는 액정 용량, Cstb는 유지 전극선과 제2 화소 전극(190b) 사이에서 형성되는 유지 용량, Cgda는 게이트 전극(123)과 제1 드레인 전극(175a)사이에서 형성되는 기생용량, Cgdb는 게이트 전극(123)과 제2 드레인 전극(175b)사이에서 형성되는 기생 용량을 나타낸다. 이 경우 킥 백 현상에 의해 하락하는 전압치는 다음과 같이 주어진다.

### 수학식 1

$$\Delta V_{pa} = V_g \times \frac{C_{gda}}{Clca + C_{sta} + C_{gda}}$$

- <40> 수학식 1에서  $\Delta V_{pa}$ 는 제1 서브 화소 영역(Pa)에 인가되는 전압의 킥 백 현상에 의한 전압 하락치를 말한다.  $V_g$ 는 게이트선(121)에 인가되는 전압을 의미한다.

### 수학식 2

$$\Delta V_{pb} = V_g \times \frac{C_{gdb}}{Clcb + C_{stb} + C_{gdb}}$$

- <41> 수학식 2에서  $\Delta V_{pb}$ 는 제2 서브 화소 영역(Pb)에 인가되는 전압의 킥 백 현상에 의한 전압 하락치를 말한다.
- <42> 수학식 1 및 2에 나타낸 바와 같이, 킥 백 현상에 의한 전압 하락치는 Cgda 또는 Cgdb에 의해 조정 가능하다.
- <43> 이러한 Cgda 또는 Cgdb는 게이트 전극(123)과 제1, 2 드레인 전극(175a, 175b)과의 중첩 면적에 의해 결정된다.
- <44> 도 2에 도시된 바와 같이, 게이트 전극(123)과 소스 전극(173)이 중첩되는 폭을 d1, 게이트 전극(123)과 제1 드레인 전극(175a)이 중첩되는 폭을 d2a, 게이트 전극(123)과 제2 드레인 전극(175b)이 중첩되는 폭을 d2b라 정의한다.
- <45> Cgda 또는 Cgdb는 d2a, d2b를 조절함으로써 변경할 수 있다. 정전 용량은 두 전극의 중첩 면적에 비례하므로 d2a를 늘리면 Cgda가 증가되고, d2b를 늘리면 Cgdb가 증가한다.
- <46> 그리고, 수학식 1 및 2에 나타난 바와 같이, Cgda의 증가에 의해  $\Delta V_{pa}$ 가 증가되고, Cgdb의 증가에 의해  $\Delta V_{pb}$ 가 증가된다.
- <47> 따라서, d2a, d2b를 조절함으로써 제1 서브 화소 영역(Pa)에 인가되는 전압과 제2 서브 화소 영역(Pb)에 인가되는 전압을 서로 다르게 할 수 있다. 즉, d2a, d2b를 조절하여 Cgda를 Cgdb보다 크게 하면 킥 백 현상에 의한 전



압 하락치인  $\Delta V_{pa}$ 와  $\Delta V_{pb}$ 사이에는  $\Delta V_{pa} > \Delta V_{pb}$  인 관계가 성립한다. 따라서, 제1 서브 화소 영역(Pa)에는 제2 서브 화소 영역(Pb)보다 낮은 전압이 인가된다.

<50> 이러한 킥 백 현상에 의한 전압 하락치인  $\Delta V_{pa}$ 와  $\Delta V_{pb}$ 는 잔상이나 플리커(flicker) 현상을 유발하므로 최소화 하는 것이 바람직하다. 시뮬레이션 결과, 데이터 전압이 10V 인 경우 킥 백 현상에 의한 전압 하락치는 0.8 내지 0.9 V이었고, 실제 측정된 결과로는 0.5 내지 1.0V 이었다.

<51> 이와 같이, 제1 서브 화소 영역(Pa)에 제2 서브 화소 영역(Pb)보다 낮은 전압이 인가될 때, 시야각 측면에서 어떤 현상이 발생하는지를 VA(Vertical aligned) 모드를 예로 들어 살펴본다.

<52> 제1 서브 화소 영역(Pa)과 제2 서브 화소 영역(Pb)간에는 인가되는 전압이 다르므로 두 서브 화소 영역 (Pa, Pb) 사이에 위치하는 액정 분자의 경사각이 서로 달라진다. 따라서, 도 5에 도시된 바와 같이, 인가된 전압(Voltage)에 대한 투과율(Transmittance)의 관계곡선, 즉, V-T 곡선은 서로 차이가 난다. 따라서, 두 영역 (Pa, Pb)의 광학적 특성이 서로 효과적으로 보상되어 시야각이 넓어지게 된다. 이는 VA 모드뿐만 아니라 TN(Twisted nematic) 모드나 OCB(Optical compensated bend) 모드 등에도 동일하게 적용된다.

<53> 그러면 본 발명의 제2 실시예에 따른 액정 표시 장치에 대하여 설명한다.

<54> 본 발명의 제2 실시예에 따른 액정 표시 장치용 트랜지스터 기관이 도 6에 도시되어 있다. 여기서, 앞서 도시된 도면에서와 동일한 참조부호는 동일한 기능을 하는 동일한 부재를 가리킨다.

<55> 도 6은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 배치도이고, 도 7은 도 6의 VII-VII'선에 대한 단면도이고, 도 8은 도 6의 박막 트랜지스터 기관을 적용한 액정 표시 장치의 등가 회로도이다.

<56> 도 6 및 도 7에 도시된 바와 같이, 접촉층(163, 165a, 165b) 및 게이트 절연막(140) 위에는 데이터 배선(171, 173a, 173b, 175a, 175b)이 형성되어 있다. 데이터 배선(171, 173a, 173b, 175a, 175b)은 데이터선(171)과 이에 연결된 제1 및 제2 소스 전극(173a, 173b)과 이들과 분리된 제1 및 제2 드레인 전극(175a, 175b)을 포함한다. 제1 및 제2 소스 전극(173a, 173b)은 서로 소정 간격 떨어져서 게이트 전극(123) 상부에서 데이터선 (171)으로부터 돌출해 있으며, 제1 및 제2 드레인 전극(175a, 175b)의 일측단은 각각 제1 및 제2 소스 전극 (173a, 173b)의 한쪽에 배치되어 있고 각각의 타측단은 게이트선(121)을 중심으로 하여 양쪽에 위치하는 제1 및 제2 화소 영역(Pa, Pb)의 안쪽으로 뻗어 있다.

<57> 이렇게 제1 박막 트랜지스터는 게이트 전극(123), 제1 소스 전극(173a) 및 제1 드레인 전극(175a)으로 이루어지 며, 제2 박막 트랜지스터는 게이트 전극(123), 제2 소스 전극(173b) 및 제2 드레인 전극(175b)으로 이루어진다. 여기에서, 저항성 접촉층(163, 165a, 165b)은 반도체층(150)과 데이터 배선(171, 173a, 173b, 175a, 175b)이 중첩하는 부분에만 형성되어 있다.

<58> 이 때, 게이트선(121)과 제1 및 제2 드레인 전극(175a, 175b) 사이에는 정전 용량이 형성된다. 이 정전 용량은 게이트선(121)과 제1 및 제2 드레인 전극(175a, 175b)이 중첩되는 면적에 거의 비례하여 증감한다. 본 발명의 실시예에서는 제1 드레인 전극(175a)과 게이트선(121)이 중첩하는 면적이 제2 드레인 전극(175b)과 게이트선 (121)이 중첩하는 면적에 비하여 크게 조절함으로써 게이트선(121)과 제1 드레인 전극(175a) 사이에서 형성되는 정전 용량이 게이트선(121)과 제2 드레인 전극(175b) 사이에서 형성되는 정전 용량에 비하여 크게 되도록 조절 한다. 이는 후술하는 바와 같이 제1 서브 화소 영역에 인가되는 전계가 제2 서브 화소 영역에 인가되는 전계에 비하여 소정 값 만큼 낮게 되도록 하기 위함이다.

<59> 보호막(180)의 위에는 제1 접촉구(181)와 제2 접촉구(182)를 통하여 제1 드레인 전극(175a) 및 제2 드레인 전극 (175b)과 각각 연결되어 있는 제1 및 제2 화소 전극(190a, 190b)이 형성되어 있다. 제1 및 제2 박막 트랜지스 터에는 각각 제1 화소 전극(190a)과 제2 화소 전극(190b)이 연결되어 있다. 따라서, 제1 화소 전극(190a)이 형 성된 영역을 제1 서브 화소 영역(Pa), 제2 화소 전극(190b)이 형성된 영역을 제2 서브 화소 영역(Pb)이라 할 때, 1개의 화소 영역은 2개의 서브 화소 영역으로 이루어진다.

<60> 이상과 같이, 본 발명에 따른 제2 실시예의 액정 표시 장치용 박막 트랜지스터 기관은 1개의 화소 영역당 2개의 화소 전극(190a, 190b)과 2개의 박막 트랜지스터가 형성되어 있다. 그런데 2개의 박막 트랜지스터의 각각의 드 레인 전극(175a, 175b)이 게이트선(121)과 중첩하는 면적을 달리함에 의하여 하나의 화소 영역 내에 위치하는 두 개의 화소 전극(190a, 190b)에 인가되는 전압 사이에는 약간의 차이가 발생하게 된다. 이러한 차이는 화소 전극 전압의 킥 백 현상으로 인하여 발생하며, 액정 표시 장치의 시인성을 개선하는 효과를 낳는다. 이하에서는 킥 백 현상과 시인성 개선 효과에 대하여 상세히 살펴본다.

<61> 하나의 데이터선(171)을 기준으로 볼 때, 하나의 게이트선(121)이 온(on)되면 두 개의 박막 트랜지스터(TFT) 채널이 온되고 이를 통하여 제1 및 제2 화소 전극(190a, 190b)에 전압이 인가된다. 그런데, 데이터선(171)을 통해 제1, 2 서브 화소 영역(Pa, Pb)에 인가되는 전압에는 킥 백(Kick Back) 현상이 발생한다.

<62> 이러한 킥 백 현상은 게이트 전극(123)과 제1, 2 드레인 전극(175a, 175b)사이에서 형성된 기생 용량에 의해 발생한다. 따라서, 제1, 2 서브 화소 영역(Pa, Pb)에는 초기 데이터 전압과  $\Delta V_p$ 의 차이에 해당하는 전압만이 실제적으로 인가된다.

<63> 도 8에서 Clca는 제1 화소 전극(190a)과 기준 전극 사이에서 형성되는 액정 용량, Csta는 유지 전극선과 제1 화소 전극(190a) 사이에서 형성되는 유지 용량, Clcb는 제2 화소 전극(190b)과 기준 전극 사이에서 형성되는 액정 용량, Cstb는 유지 전극선과 제2 화소 전극(190b) 사이에서 형성되는 유지 용량, Cgda'는 게이트 전극(123)과 제1 드레인 전극(175a)사이에서 형성되는 기생 용량, Cgdb'는 게이트 전극(123)과 제2 드레인 전극(175b)사이에서 형성되는 기생 용량을 나타낸다. 이 경우 킥 백 현상에 의해 하락하는 전압치는 다음과 같이 주어진다.

### 수학식 3

$$\Delta V_{pa}' = V_g \times \frac{C_{gda}'}{Clca + Csta + Cgda'}$$

<64> 수학식 3 에서  $\Delta V_{pa}'$ 는 제1 서브 화소 영역(Pa)에 인가되는 전압의 킥 백 현상에 의한 전압 하락치를 말한다.  $V_g$ 는 게이트선에 인가되는 전압을 의미한다.

### 수학식 4

$$\Delta V_{pb}' = V_g \times \frac{C_{gdb}'}{Clcb + Cstb + Cgdb'}$$

<65> 수학식 4 에서  $\Delta V_{pb}'$ 는 제2 서브 화소 영역(Pb)에 인가되는 전압의 킥 백 현상에 의한 전압 하락치를 말한다.

<66> 수학식 3 및 4에 나타난 바와 같이, 킥 백 현상에 의한 전압 하락치는  $C_{gda}'$  또는  $C_{gdb}'$ 에 의해 조정 가능하다.

<67> 이러한  $C_{gda}'$  또는  $C_{gdb}'$ 는 게이트 전극(123) 및 제1, 2 드레인 전극(175a, 175b)과의 중첩 면적에 의해 결정된다.

<68> 도 7에 도시된 바와 같이, 게이트 전극(123)과 제1 소스 전극(173a)이 중첩되는 폭을 d1a, 게이트 전극(123)과 제2 소스 전극(173b)이 중첩되는 폭을 d1b, 게이트 전극(123)과 제1 드레인 전극(175a)이 중첩되는 폭을 d2a, 게이트 전극(123)과 제2 드레인 전극(175b)이 중첩되는 폭을 d2b라 정의한다.

<69>  $C_{gda}'$  또는  $C_{gdb}'$ 는 d2a, d2b를 조절함으로써 변경할 수 있다. 두 전극간의 정전 용량은 중첩 면적에 비례하므로 d2a를 늘리면  $C_{gda}'$ 가 증가되고, d2b를 늘리면  $C_{gdb}'$ 가 증가한다.

<70> 그리고, 수학식 3 및 4에 나타난 바와 같이,  $C_{gda}'$ 의 증가에 의해  $\Delta V_{pa}'$ 가 증가되고,  $C_{gdb}'$ 의 증가에 의해  $\Delta V_{pb}'$ 가 증가된다.

<71> 따라서, d2a, d2b를 조절함으로써 제1 서브 화소 영역(Pa)에 인가되는 전압과 제2 서브 화소 영역(Pb)에 인가되는 전압을 서로 다르게 할 수 있다. 즉, d2a, d2b를 조절하여  $C_{gda}'$ 를  $C_{gdb}'$ 보다 크게 하면, 킥 백 현상에 의한 전압 하락치인  $\Delta V_{pa}'$ 와  $\Delta V_{pb}'$  사이에  $\Delta V_{pa}' > \Delta V_{pb}'$  인 관계가 성립한다. 따라서, 제1 서브 화소 영역(Pa)에는 제2 서브 화소 영역(Pb)보다 낮은 전압이 인가된다.

<72> 이와 같이, 제1 서브 화소 영역(Pa)에 제2 서브 화소 영역(Pb)보다 낮은 전압이 인가될 때, 시야각 측면에서 어떤 현상이 발생하는지를 살펴본다.

<73> 제1 서브 화소 영역(Pa)과 제2 서브 화소 영역(Pb)간에는 인가되는 전압이 다르므로 두 서브 화소 영역(Pa, Pb) 내에 위치하는 액정 분자의 경사각이 서로 달라진다. 따라서, 도 5에 도시된 바와 같이, 인가된 전압(Voltage)에 대한 투과율(Transmittance)의 관계곡선, 즉, V-T 곡선은 서로 차이가 난다. 따라서, 두 영역(Pa, Pb)의 광학적 특성이 서로 효과적으로 보상되어 시야각이 넓어지게 된다.

<74> 본 발명은 첨부된 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있



을 것이다. 따라서, 본 발명의 진정한 보호범위는 첨부된 청구범위에 의해서만 정해져야 할 것이다.

### 발명의 효과

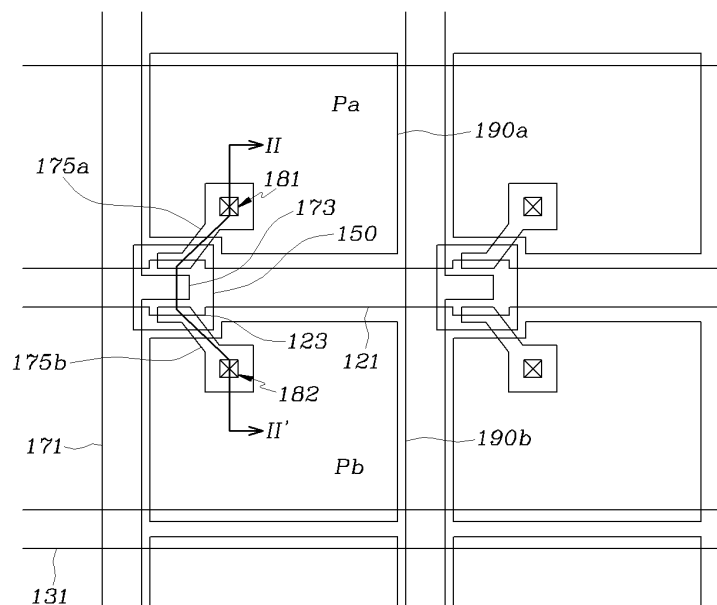
<77> 본 발명에 따른 액정 표시 장치용 트랜지스터 기판은 서브 화소 영역간에 킥 백 현상에 의한 전압 하락치를 서로 다르게 함으로써 서브 화소 영역간에 차등 전압의 인가가 가능하도록 하여 시야각을 개선할 수 있다는 장점이 있다.

### 도면의 간단한 설명

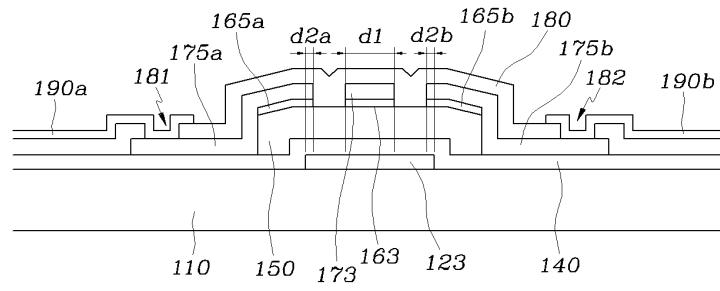
- <1> 도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고,
- <2> 도 2는 도 1의 II-II'선에 대한 단면도이고,
- <3> 도 3은 도 1의 박막 트랜지스터 기판을 적용한 액정 표시 장치용 트랜지스터 기판의 등가 회로도이고,
- <4> 도 4는 킥 백 현상에 의한 데이터 전압의 하락을 도시한 도면이고,
- <5> 도 5는 인가된 전압(Voltage)에 대한 투과율(Transmittance)의 관계곡선이며,
- <6> 도 6은 본 발명의 제2 실시예에 따른 액정 표시 장치용 트랜지스터 기판의 배치도이고,
- <7> 도 7은 도 6의 VII-VII'선에 대한 단면도이고,
- <8> 도 8은 도 6의 박막 트랜지스터 기판을 적용한 액정 표시 장치용 트랜지스터 기판의 등가 회로도이다.
- <9> <도면의 주요부분에 대한 부호의 설명>
- <10> 123 ; 게이트 전극                      173a ; 제1 소스 전극
- <11> 173b ; 제2 소스 전극                    175a ; 제1 드레인 전극
- <12> 175b ; 제2 드레인 전극                  190a ; 제1 화소 전극
- <13> 190b ; 제2 화소 전극

### 도면

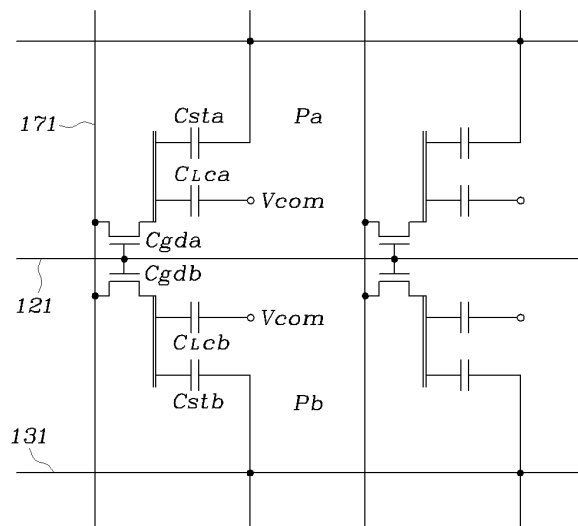
#### 도면1



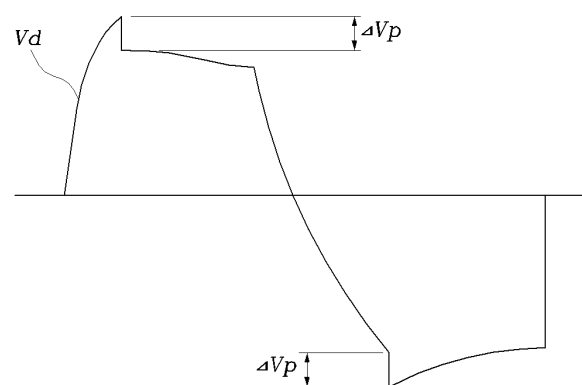
도면2



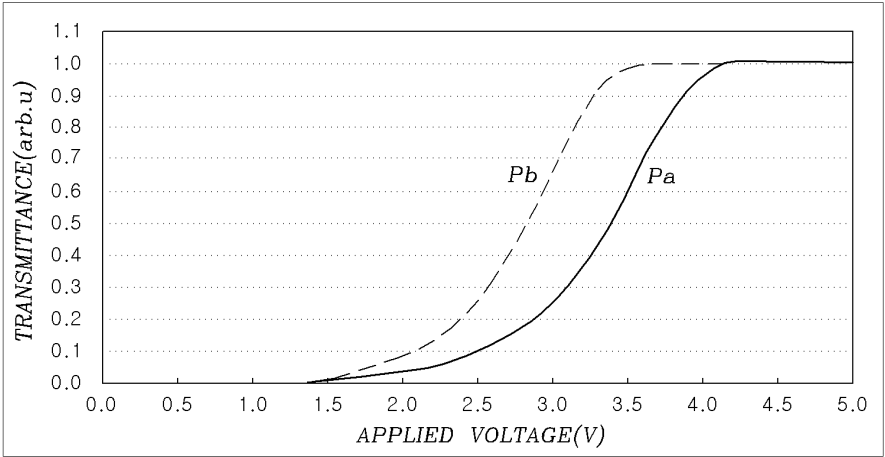
도면3



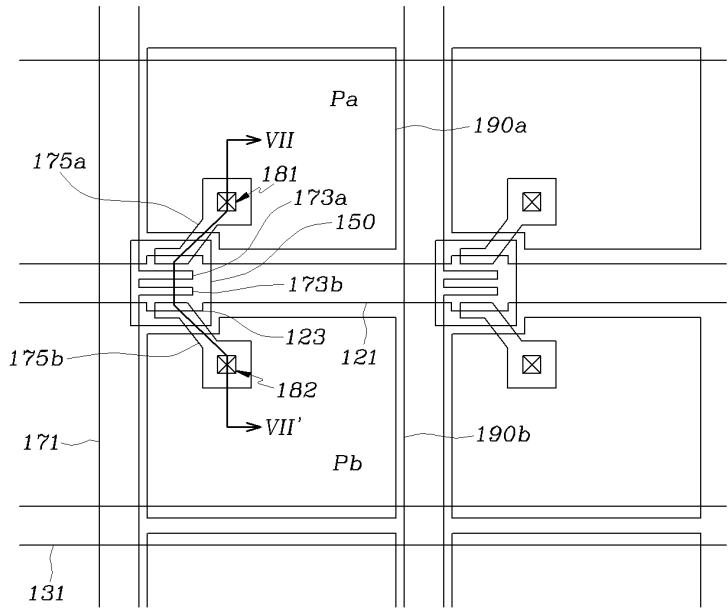
도면4



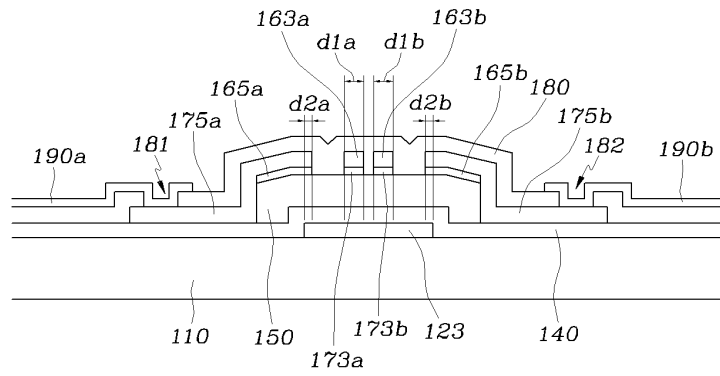
도면5



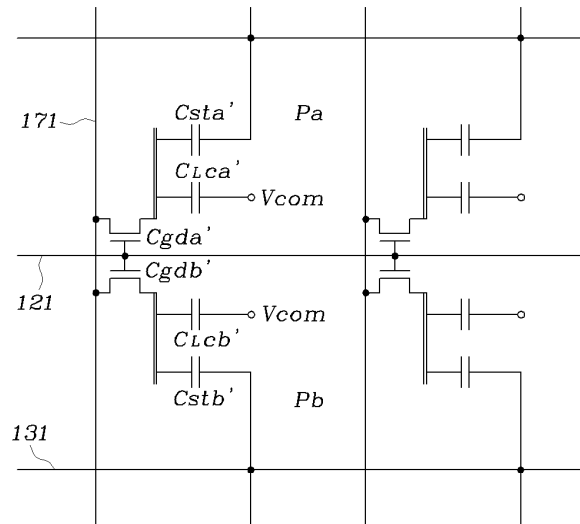
도면6



도면7



도면8



专利名称(译)	一种用于液晶显示器的薄膜晶体管基板		
公开(公告)号	KR100900541B1	公开(公告)日	2009-06-02
申请号	KR1020020070706	申请日	2002-11-14
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	UM YOONSUNG 엄윤성 SON JONGHO 손정호 LEE JUNGHEE 이중희 LYU JAEJIN 유재진		
发明人	엄윤성 손정호 이중희 유재진		
IPC分类号	G02F1/136 G02F1/1333 G02F1/1343 G02F1/1362 G02F1/1368 G09F9/30 G09F9/35 H01L27/12 H01L27/13		
CPC分类号	G02F2001/134345 H01L27/13 G02F1/13624 H01L27/12 G02F1/1368 H01L27/1255		
其他公开文献	KR1020040042412A		
外部链接	<a href="#">Espacenet</a>		

