



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년11월21일
(11) 등록번호 10-0869738
(24) 등록일자 2008년11월14일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2002-0037740

(22) 출원일자 2002년06월29일

심사청구일자 2007년04월20일

(65) 공개번호 10-2003-0051150

(43) 공개일자 2003년06월25일

(30) 우선권주장

1020010081433 2001년12월19일 대한민국(KR)

(56) 선행기술조사문헌

KR1019990001493 A*

JP09016312 A*

JP11102174 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

윤세창

경상북도구미시형곡동168-6번지1006호

윤상창

경상북도구미시임수동LG동락원기숙사B동610호

(뒷면에 계속)

(74) 대리인

김용인, 박영복

전체 청구항 수 : 총 5 항

심사관 : 남기영

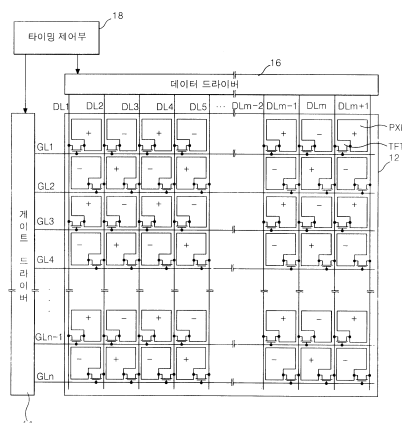
(54) 액정표시장치

(57) 요약

본 발명은 소비전력을 절감함과 아울러 화질을 향상시킬 수 있는 액정표시장치에 관한 것이다.

본 발명의 액정표시장치는 게이트 라인들과 데이터 라인들의 교차로 정의되는 영역마다 형성된 복수의 액정셀을 포함하고, 상기 액정셀 내의 박막 트랜지스터가 i (i 는 양의 정수) 수평라인 단위로 교번하면서 인접한 서로 다른 데이터라인에 접속된 액정패널과; 게이트 라인들을 구동하는 게이트 드라이버와; i 수평기간 단위로 극성 반전되는 제어신호에 응답하여 입력된 화소 데이터들의 출력 채널을 결정하고 하나의 블랭크 데이터를 추가하는 멀티플렉서 어레이와, 화소 데이터들 및 블랭크 데이터를 상기 데이터 라인 단위로 극성이 반전되고 그 극성이 프레임 단위로 반전되는 화소 신호들과 블랭크 신호로 변환하는 디지털-아날로그 변환기 어레이를 포함하여 상기 데이터 라인들을 구동하는 데이터 드라이버를 구비하는 것을 특징으로 한다.

대표도 - 도5



(72) 발명자

송홍성

경상북도구미시구평동부영아파트201동606호

권극상

경상북도칠곡군석적면남율리우방신천지아파트111
동205호

특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

게이트 라인들과 데이터 라인들의 교차로 정의되는 영역마다 형성된 복수의 액정셀을 포함하고, 상기 액정셀 내의 박막 트랜지스터가 i (i 는 양의 정수) 수평라인 단위로 교번하면서 인접한 서로 다른 데이터라인에 접속된 액정패널과;

상기 게이트 라인들을 구동하는 게이트 드라이버와;

입력된 화소 데이터들과 블랭크 데이터를, 상기 데이터 라인 단위로 극성이 반전되고 그 극성이 프레임 단위로 반전되는 화소 신호들과 블랭크 신호로 변환하여 상기 데이터라인들에 공급하는 데이터 드라이버와;

상기 게이트 드라이버 및 데이터 드라이버를 제어함과 아울러 i 수평기간 단위로 극성 반전되는 제어신호에 응답하여 상기 화소 데이터들과 함께 첫번째 채널 또는 마지막번째 채널 중 어느 한 채널에 상기 블랭크 데이터를 추가하여 상기 데이터 드라이버에 공급하는 타이밍 제어부를 포함하며,

상기 액정패널은 좌측으로 인접한 데이터라인과 접속된 액정셀들로 구성되는 제1 수평라인과, 우측으로 인접한 데이터라인과 접속된 액정셀들로 구성되는 제2 수평라인으로 구성되며,

상기 타이밍 제어부는 상기 게이트 드라이버 및 데이터 드라이버를 제어하는 제어신호들과, 상기 i 수평기간 단위로 극성반전되는 제어신호를 발생하는 제어신호 발생부와;

입력 화소 데이터들을 정렬하여 데이터 이네이블 기간동안 다수의 제1 버스들을 통해 출력함과 아울러 상기 블랭크 데이터를 상기 제1 버스들을 통해 공급하는 화소 데이터 정렬부와;

상기 제1 버스들 중 마지막 버스를 통해 전송되는 화소 데이터들 및 블랭크 데이터들을 한 채널 지연시키기 위한 지연기와;

상기 제어신호에 응답하여 상기 제1 버스들을 통해 입력된 데이터들 및 블랭크 데이터를 그대로 다수의 제2 버스들 통해 공급하거나, 상기 제1 버스들을 통해 입력된 화소 데이터들과 상기 한 채널 지연된 블랭크 데이터 및 화소 데이터들을 조합하여 상기 다수의 제2 버스들을 통해 공급하는 멀티플렉서를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 8

삭제

청구항 9

제 7 항에 있어서,

상기 제1 수평라인과 제2 수평라인은 1 수평라인 단위로 교번하여 배치된 것을 특징으로 하는 액정표시장치.

청구항 10

제 7 항에 있어서,

상기 제1 수평라인과 제2 수평라인은 2 수평라인 단위로 교번하여 배치된 것을 특징으로 하는 액정표시장치.

청구항 11

제 7 항에 있어서,

상기 타이밍 제어부는

상기 제1 수평라인 구동을 위한 제1 수평기간에서는 상기 화소 데이터들과 마지막번째 채널로 추가된 블랭크 데이터를 상기 데이터 드라이버에 공급하고,

상기 제2 수평라인 구동을 위한 제2 수평기간에서는 한 채널씩 지연된 화소 데이터들과 첫번째 채널에 추가된 블랭크 데이터를 상기 데이터 드라이버에 공급하는 것을 특징으로 하는 액정표시장치.

청구항 12

삭제

청구항 13

제 7 항에 있어서,

상기 멀티플렉서는

상기 제1 수평라인 구동을 위한 제1 수평기간에서는 상기 제1 버스를 통해 입력되는 화소데이터들과 블랭크 데이터를 그대로 상기 제2 버스를 통해 공급하고,

상기 제2 수평라인 구동을 위한 제2 수평기간에서는 상기 마지막번째 제1 버스를 제외한 제1 버스를 통해 입력되는 화소데이터들을 한 채널씩 쉬프트시켜 첫번째 제2 버스를 제외한 제2 버스를 통해 공급하고, 상기 한 채널씩 지연된 블랭크 데이터 및 화소 데이터들을 상기 첫번째 제2 버스를 통해 공급하는 것을 특징으로 하는 액정표시장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <23> 본 발명은 액정표시장치에 관한 것으로, 특히 소비전력을 절감함과 아울러 화질을 향상시킬 수 있는 액정표시장치에 관한 것이다.
- <24> 액정표시장치는 전계를 이용하여 유전이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 액정셀들이 매트릭스형으로 배열된 액정표시패널과, 액정표시패널을 구동하기 위한 구동회로를 구비한다.
- <25> 액정표시패널은 액정셀들이 화소신호에 따라 광투과율을 조절함으로써 화상을 표시하게 된다. 구동회로는 액정표시패널의 게이트라인들을 구동하기 위한 게이트 드라이버와, 데이터라인들을 구동하기 위한 데이터 드라이버와, 게이트 드라이버 및 데이터 드라이버에 타이밍 제어신호와 화소 데이터를 공급하는 타이밍 제어부와, 전원 전압을 공급하는 전원부를 구비한다.

- <26> 구체적으로, 액정표시장치는 도 1에 도시된 바와 같이 액정셀들(C1c)이 매트릭스 형태로 배열되어진 액정패널(2)과, 액정패널(2)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(4)와, 액정패널(2)의 데이터라인들(DL1 내지 DLm)을 구동하기 위한 데이터 드라이버(6)를 구비한다.
- <27> 도 1에서 액정패널(2)은 n개의 게이트라인들(GL1 내지 GLn)과 m개의 데이터라인들(DL1 내지 DLm)의 교차로 정의되는 영역마다 형성되어 매트릭스 형태로 배열된 박막트랜지스터(TFT)와 액정셀(C1c)을 구비한다. 박막트랜지스터(TFT)는 게이트라인(GL1 내지 GLn)으로부터의 스캔신호에 응답하여 데이터라인(DL1 내지 DLm)으로부터의 화소신호를 액정셀(C1c)에 공급한다. 액정셀(C1c)은 액정을 사이에 두고 대면하는 공통전극과 박막트랜지스터에 접속된 화소전극을 포함하여 등가적으로는 액정용량 캐패시터로 표시된다.
- <28> 게이트 드라이버(4)는 게이트라인들(GL1 내지 GLn)에 순차적으로 스캔신호를 공급하여 해당 게이트라인에 접속되어진 박막트랜지스터들(TFT)이 구동되게 한다.
- <29> 데이터 드라이버(6)는 화소 데이터를 아날로그 화소신호로 변환하여 게이트라인(GL)에 게이트신호가 공급되는 1수평주기동안 1수평라인분의 비디오신호를 데이터라인들(DL1 내지 DLm)에 공급한다. 이 경우 데이터 드라이버는 감마전압 발생부(도시하지 않음)로부터 공급되는 감마전압들을 이용하여 화소 데이터를 화소신호로 변환하여 공급하게 된다.
- <30> 이러한 액정표시장치는 액정을 열화를 방지함과 아울러 화상의 표시 품질을 향상시키기 위하여 액정패널을 인버전 구동방법으로 구동한다. 인버전 구동방법으로는 프레임 인버전 방식(Frame Inversion System), 라인(칼럼) 인버전 방식(Line(Column) Inversion System), 그리고 도트 인버전 방식(Dot Inversion System)이 이용된다.
- <31> 프레임 인버전 구동방법은 액정셀들의 극성이 한 프레임 내에서는 동일하고 프레임마다 반전되게 한다. 이러한 프레임 인버전 구동방법은 프레임 단위로 플리커가 발생하는 문제점이 있다.
- <32> 라인 인버전 구동방법은 액정셀들의 극성이 도 2a 및 도 2b에서와 같이 수평라인마다 그리고 프레임마다 반전되게 한다. 이러한 라인 인버전 구동방식은 수평방향 액정셀들간의 크로스토크가 존재함에 따라 수평 줄무늬 패턴으로 플리커가 발생하는 문제점이 있다.
- <33> 칼럼 인버전 구동방법은 액정셀들의 극성이 도 3a 및 도 3b에서와 같이 수직라인마다 그리고 프레임마다 반전되게 한다. 이러한 칼럼 인버전 구동방식은 수직방향 액정셀들간에 크로스토크가 존재함에 따라 수직 줄무늬 패턴으로 플리커가 발생하는 문제점이 있다.
- <34> 도트 인버전 구동방법은 도 4a 및 도 4b에서와 같이 액정셀들의 극성이 수평 및 수직 방향으로 인접하는 액정셀들 모두와 상반되고, 프레임마다 반전되게 한다. 다시 말하여 도트 인버전 구동방법에서는 기수번째 프레임에서는 도 4a와 같이 좌측상단의 액정셀로부터 우측의 액정셀로 진행함에 따라 그리고 아래측의 액정셀들로 진행함에 따라 정극성(+) 및 부극성(-)이 번갈아 나타나도록 화소신호들이 액정셀들 각각에 공급되고, 우수번째 프레임에서는 도 4b와 같이 좌측상단의 액정셀로부터 우측의 액정셀로 진행함에 따라 그리고 아래측의 액정셀들로 진행함에 따라 부극성(-) 및 정극성(+)이 번갈아 나타나도록 화소신호들이 액정셀들 각각에 공급된다. 이러한 도트 인버전 구동방법은 수직 및 수평 방향으로 인접한 액정셀들간에 발생하는 플리커가 서로 상쇄되게 함으로써 다른 인버전 방법들에 비하여 뛰어난 화질의 화상을 제공한다.
- <35> 그러나, 도트 인버전 구동방식은 데이터 드라이버에서 데이터라인들에 공급되는 화소전압신호의 극성이 수평 및 수직 방향으로 반전되어야 함에 따라 다른 인버전 방법들에 비하여 화소신호의 변동량, 즉 화소신호의 주파수가 크기 때문에 소비전력이 크다는 단점을 가진다.

발명이 이루고자 하는 기술적 과제

- <36> 따라서, 본 발명의 목적은 액정패널을 N(여기서, N은 양의 정수) 도트 인버전 방식으로 구동하는 경우 소비전력을 현저하게 절감함과 아울러 화질을 향상시킬 수 있는 액정표시장치를 제공하는 것이다.

발명의 구성 및 작용

- <37> 상기 목적을 달성하기 위하여, 본 발명의 한 특징에 따른 액정표시장치는 게이트 라인들과 데이터 라인들의 교차로 정의되는 영역마다 형성된 복수의 액정셀을 포함하고, 상기 액정셀 내의 박막 트랜지스터가 i(i는 양의 정

수) 수평라인 단위로 교번하면서 인접한 서로 다른 데이터라인에 접속된 액정패널과; 게이트 라인들을 구동하는 게이트 드라이버와; i 수평기간 단위로 극성 반전되는 제어신호에 응답하여 입력된 화소 데이터들의 출력 채널을 결정하고 하나의 블랭크 데이터를 부가하는 멀티플렉서 어레이와, 화소 데이터들 및 블랭크 데이터를 상기 데이터 라인 단위로 극성이 반전되고 그 극성이 프레임 단위로 반전되는 화소 신호들과 블랭크 신호로 변환하는 디지털-아날로그 변환기 어레이를 포함하며, 상기 데이터 라인들을 구동하는 데이터 드라이버를 구비하는 것을 특징으로 한다.

<38> 여기서, 액정패널은 좌측으로 인접한 데이터라인과 접속된 액정셀들로 구성되는 제1 수평라인과; 우측으로 인접한 데이터라인과 접속된 액정셀들로 구성되는 제2 수평라인으로 구성된 것을 특징으로 한다.

<39> 이 경우, 제1 수평라인과 제2 수평라인은 1 수평라인 단위로 교번하여 배치된 것을 특징으로 한다.

<40> 이와 달리, 제1 수평라인과 제2 수평라인은 2 수평라인 단위로 교번하여 배치된 것을 특징으로 한다.

<41> 그리고, 상기 멀티플렉서 어레이는 제1 수평라인을 구동하는 제1 수평기간에서는 화소 데이터들의 출력 채널을 입력 채널과 동일하게 유지하고 마지막번째 출력 채널에 블랭크 데이터를 공급하고, 제2 수평라인을 구동하는 제2 수평기간에서는 화소 데이터들을 한 채널씩 쉬프트시켜 상기 출력 채널로 공급하고 첫번째 출력 채널에 블랭크 데이터를 공급하는 것을 특징으로 한다.

<42> 상기 데이터 드라이버는 순차적인 샘플링 신호를 공급하는 쉬프트 레지스터 어레이와, 샘플링 신호에 따라 화소 데이터들을 일정 채널씩 순차적으로 래치하여 멀티플렉서 어레이에 동시에 공급하는 출력하는 래치 어레이와, 디지털-아날로그 변환기 어레이로부터의 화소 신호들 및 블랭크 신호를 신호 완충하여 데이터 라인들 각각으로 공급하는 버퍼 어레이를 추가로 구비하는 것을 특징으로 한다.

<43> 본 발명의 다른 특징에 따른 액정표시장치는 게이트 라인들과 데이터 라인들의 교차로 정의되는 영역마다 형성된 액정셀들이 i (i 는 양의 정수) 수평라인 단위로 교번하면서 인접한 서로 다른 데이터라인과 박막트랜지스터를 통해 접속된 액정패널과; 게이트 라인들을 구동하는 게이트 드라이버와; 입력된 화소 데이터들과 블랭크 데이터를 데이터 라인 단위로 극성이 반전되고 그 극성이 프레임 단위로 반전되는 화소 신호들과 블랭크 신호로 변환하여 데이터라인들에 공급하는 데이터 드라이버와; 게이트 드라이버 및 데이터 드라이버를 제어함과 아울러 i 수평기간 단위로 극성 반전되는 제어신호에 응답하여 화소 데이터들과 함께 첫번째 채널 또는 마지막번째 채널 중 어느 한 채널에 블랭크 데이터를 추가하여 데이터 드라이버에 공급하는 타이밍 제어부를 구비하는 것을 특징으로 한다.

<44> 여기서, 액정패널은 좌측으로 인접한 데이터라인과 접속된 액정셀들로 구성되는 제1 수평라인과; 우측으로 인접한 데이터라인과 접속된 액정셀들로 구성되는 제2 수평라인으로 구성된 것을 특징으로 한다.

<45> 이 경우, 제1 수평라인과 제2 수평라인은 1 수평라인 단위로 교번하여 배치된 것을 특징으로 한다.

<46> 이와 달리, 제1 수평라인과 제2 수평라인은 2 수평라인 단위로 교번하여 배치된 것을 특징으로 한다.

<47> 그리고, 타이밍 제어부는 제1 수평라인 구동을 위한 제1 수평기간에서는 화소 데이터들과 마지막번째 채널로 추가된 블랭크 데이터를 데이터 드라이버에 공급하고, 제2 수평라인 구동을 위한 제2 수평기간에서는 한 채널씩 지연된 화소 데이터들과 첫번째 채널에 추가된 블랭크 데이터를 데이터 드라이버에 공급하는 것을 특징으로 한다.

<48> 또한, 상기 타이밍 제어부는 게이트 드라이버 및 데이터 드라이버를 제어하는 제어신호들과, i 수평기간 단위로 극성반전되는 제어신호를 발생하는 제어신호 발생부와; 입력 화소 데이터들을 정렬하여 데이터 이네이블 기간동안 다수의 제1 버스들을 통해 출력함과 아울러 블랭크 데이터를 상기 제1 버스들을 통해 공급하는 화소 데이터 정렬부와; 제1 버스들 중 마지막 버스를 통해 전송되는 화소 데이터들 및 블랭크 데이터들을 한 채널 지연시키기 위한 지연기와; 제어신호에 응답하여 상기 제1 버스들을 통해 입력된 데이터들 및 블랭크 데이터를 그대로 다수의 제2 버스들 통해 공급하거나, 제1 버스들을 통해 입력된 화소 데이터들과 한 채널 지연된 블랭크 데이터 및 화소 데이터들을 조합하여 다수의 제2 버스들을 통해 공급하는 멀티플렉서를 구비하는 것을 특징으로 한다.

<49> 여기서, 멀티플렉서는 제1 수평라인 구동을 위한 제1 수평기간에서는 제1 버스들을 통해 입력되는 화소데이터들과 블랭크 데이터를 그대로 제2 버스를 통해 공급하고, 제2 수평라인 구동을 위한 제2 수평기간에서는 마지막번째 제1 버스를 제외한 제1 버스들을 통해 입력되는 화소데이터들을 한 채널씩 쉬프트시켜 첫번째 제2 버스를 제외한 제2 버스들을 통해 공급하고, 한 채널씩 지연된 블랭크 데이터 및 화소 데이터들을 첫번째 제2 버스를 통

해 공급하는 것을 특징으로 한다.

- <50> 상기 목적들 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면을 참조한 실시 예에 대한 상세한 설명을 통하여 명백하게 드러나게 될 것이다.
- <51> 이하, 본 발명의 바람직한 실시예들을 첨부한 도 5 내지 도 14를 참조하여 상세하게 설명하기로 한다.
- <52> 도 5는 본 발명의 실시 예에 따른 액정표시장치를 도시한 것이다.
- <53> 도 5에 도시된 액정표시장치는 액정셀 매트릭스를 갖는 액정패널(12)과, 액정패널(12)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(14)와, 액정패널(12)의 데이터라인들(DL1 내지 DLm+1)을 구동하기 위한 데이터 드라이버(16)와, 게이트 드라이버(14) 및 데이터 드라이버(16)를 제어하기 위한 타이밍 제어부(18)를 구비한다.
- <54> 액정패널(12)은 n개의 게이트라인들(GL1 내지 GLn)과, 그 게이트라인들(GL1 내지 GLn)과 절연되면서 교차하는 m+1개의 데이터라인들(DL1 내지 DLm+1)을 구비한다. 그리고, 액정패널(12)은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm+1)의 교차로 정의되는 영역마다 형성된 박막트랜지스터(TFT)와 액정셀(PXL)을 구비한다. 박막트랜지스터(TFT)는 게이트라인(GL)으로부터의 스캔신호에 응답하여 데이터라인(DL1 내지 DLm+1)으로부터의 화소신호를 액정셀(PXL)에 공급한다. 액정셀(PXL)은 화소신호에 응답하여 공통전극(도시하지 않음)과의 사이에 위치하는 액정을 구동함으로써 빛의 투과율을 조절하게 된다.
- <55> 특히, 박막트랜지스터(TFT)와 액정셀(PXL)은 데이터라인(DL)을 따라 위치가 좌측과 우측을 교번하는 지그재그형으로 배열된다. 다시 말하여 동일한 칼럼(Column)에 포함되는 박막트랜지스터들(TFT)과 액정셀들(PXL)은 수평라인마다 인접한 서로 다른 데이터라인(DL)과 교번적으로 접속된다.
- <56> 예를 들면, 도 5에 도시된 액정패널(12)의 경우 기수번째 게이트라인(GL1, GL3, GL5, ...)에 접속된 기수번째 수평라인의 박막트랜지스터(TFT)들과 액정셀들(PXL)은 좌측으로 인접하는 제1 내지 제m 데이터라인들(DL1 내지 DLm)에 각각 접속된다. 이에 따라, 기수번째 수평라인의 액정셀들(PXL)은 좌측으로 인접하는 데이터라인(DL)으로부터의 화소신호를 박막트랜지스터(TFT)를 통해 충전하게 된다. 반면에 우수번째 게이트라인(GL2, GL4, GL6, ...)에 접속된 우수번째 수평라인의 박막트랜지스터들(TFT)과 액정셀들(PXL)은 우측으로 인접하는 제2 내지 제m+1 데이터라인들(DL2 내지 DLm+2)에 각각 접속된다. 이에 따라, 우수번째 수평라인의 액정셀들(PXL)은 우측으로 인접하는 데이터라인으로부터의 화소신호를 박막트랜지스터(TFT)를 통해 충전하게 된다.
- <57> 이와 달리, 도 6에 도시된 액정패널(15)의 경우 기수번째 게이트라인(GL1, GL3, GL5, ...)에 접속된 기수번째 수평라인의 박막트랜지스터들(TFT)과 액정셀들(PXL)은 우측으로 인접하는 제2 내지 제m+1 데이터라인들(DL2 내지 DLm+1)에 각각 접속된다. 이에 따라, 기수번째 수평라인의 액정셀들(PXL)은 우측으로 인접하는 데이터라인으로부터의 화소신호를 박막트랜지스터(TFT)를 통해 충전하게 된다. 반면에, 우수번째 게이트라인(GL2, GL4, GL6, ...)에 접속된 우수번째 수평라인의 박막트랜지스터들(TFT)과 액정셀들(PXL)은 좌측으로 인접하는 제1 내지 제m 데이터라인들(DL1 내지 DLm)에 각각 접속된다. 이에 따라, 우수번째 수평라인의 액정셀들(PXL)은 좌측으로 인접하는 데이터라인으로부터의 화소신호를 박막트랜지스터(TFT)를 통해 충전하게 된다.
- <58> 타이밍 제어부(18)는 게이트 드라이버(14) 및 데이터 드라이버(16)를 제어하는 타이밍 제어신호들을 발생하고, 데이터 드라이버(16)에 화소데이터 신호를 공급한다. 타이밍 제어부(18)에서 발생하는 게이트 타이밍 제어신호들에는 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭신호(GSC), 게이트 출력 이네이블 신호(GOE) 등이 포함된다. 타이밍 제어부(18)에서 발생하는 데이터 타이밍 제어신호들에는 소스 스타트 펄스(SSP), 소스 쉬프트 클럭신호(SSC), 소스 출력 이네이블 신호(SOE), 극성제어신호(POL) 등이 포함된다.
- <59> 게이트 드라이버(14)는 상기 게이트 타이밍 제어신호들을 이용하여 게이트라인들(GL1 내지 GLn)에 스캔신호를 순차적으로 공급한다. 이에 따라, 게이트 드라이버(14)는 그 스캔신호에 응답하여 박막트랜지스터들(TFT)이 수평라인 단위로 구동되게 한다.
- <60> 데이터 드라이버(16)는 입력된 화소 데이터를 아날로그 화소신호로 변환하여 게이트라인(GL)에 스캔신호가 공급되는 1수평기간마다 1수평라인분의 화소신호를 데이터라인들(DL1 내지 DLm+1)에 공급한다. 이 경우 데이터 드라이버(16)는 감마전압 발생부(도시하지 않음)로부터 공급되는 감마전압들을 이용하여 화소데이터를 화소신호로 변환하게 된다.
- <61> 이러한 데이터 드라이버(16)는 데이터라인(DL1 내지 DLm+1) 단위로 화소신호의 극성이 반전되게 하는 칼럼 인버전 방식으로 화소신호를 공급한다. 다시 말하여, 데이터 드라이버(16)는 기수 데이터라인들(DL1, DL3, ...)과

우수 데이터라인들(DL2, DL4, ...)에 서로 상반된 극성의 화소신호를 공급하고, 그 데이터라인들(DL1 내지 DL_m+1)에 공급되는 화소신호의 극성을 프레임 단위로 반전시키게 된다.

- <62> 이 경우, 액정셀들(PXL)이 칼럼 인버전 방식으로 화소신호가 공급되는 데이터라인들(DL1 내지 DL_m+1)을 기준으로 지그재그형으로 배열되므로 그 액정셀들(PXL)은 도트 인버전 방식으로 구동된다.
- <63> 특히, 데이터 드라이버(16)는 데이터라인들(DL1 내지 DL_m+1)을 따라 지그재그형으로 배열된 액정셀들(PXL)에 정확한 화소신호를 공급하기 위하여 데이터 드라이버(16)는 수평기간마다 교번적으로 화소신호의 출력채널을 변경하게 된다. 구체적으로, 데이터라인들(DL1 내지 DL_m+1)의 우측에서 접속된 액정셀들(PXL)에 화소신호를 공급하는 경우 데이터 드라이버(16)는 제1 내지 제_m 데이터라인들(DL1 내지 DL_m)에 *m*개의 유효 화소신호를, 제_m+1 데이터라인(DL_m+1)에 블랭크 신호를 공급하게 된다. 이와 달리, 데이터라인들(DL1 내지 DL_m+1)의 좌측에서 접속된 액정셀들(PXL)에 화소신호를 공급하는 경우 데이터 드라이버(16)는 *m*개의 유효 화소신호를 한 채널씩 오른쪽으로 쉬프트시켜 제2 내지 제_m+1 데이터라인들(DL2 내지 DL_m+1)에 공급하고, 제1 데이터라인(DL1)에는 블랭크 신호를 공급하게 된다.
- <64> 예를 들어, 도 5에 도시된 바와 같이 액정셀들(PXL)이 데이터라인들(DL1 내지 DL_m+1)의 우측에서 접속된 기수 수평라인을 구동하는 경우 데이터 드라이버(16)는 제1 내지 제_m 데이터라인들(DL1 내지 DL_m)에 *m*개의 유효 화소신호를 공급하고, 제_m+1 데이터라인(DL_m+1)에는 블랭크신호를 추가로 공급하게 된다. 그리고, 액정셀들(PXL)이 데이터라인들(DL1 내지 DL_m+1)의 좌측에 접속된 우수 수평라인을 구동하는 경우 데이터 드라이버(16)는 *m*개의 유효 화소신호를 오른쪽으로 한 채널씩 쉬프트시켜 제2 내지 제_m+1 데이터라인들(DL2 내지 DL_m+1)에 공급하고, 제1 데이터라인(DL1)에는 블랭크신호를 공급하게 된다.
- <65> 이와 달리, 도 6에 도시된 바와 같이 액정셀들(PXL)이 데이터라인들(DL1 내지 DL_m+1)의 좌측에서 접속된 기수 수평라인을 구동하는 경우 데이터 드라이버(16)는 *m*개의 유효 화소신호를 오른쪽으로 한 채널씩 쉬프트시켜 제2 내지 제_m+1 데이터라인들(DL2 내지 DL_m+1)에 공급하고, 제1 데이터라인(DL1)에는 블랭크신호를 공급하게 된다. 그리고, 액정셀들(PXL)이 데이터라인들(DL1 내지 DL_m+1)의 좌측에 접속된 우수 수평라인을 구동하는 경우 데이터 드라이버(16)는 제1 내지 제_m 데이터라인들(DL1 내지 DL_m)에 *m*개의 유효 화소신호를 공급하고, 제_m+1 데이터라인(DL_m+1)에는 블랭크신호를 추가로 공급하게 된다.
- <66> 이에 따라, 도트 인버전 방식으로 구동되는 액정셀들(PXL)에 의해 화질은 향상되고, 데이터 드라이버(16)는 칼럼 인버전 방식으로 화소신호를 공급하므로 도트 인버전 방식으로 화소신호를 공급하는 경우보다 소비전력을 현저하게 절감할 수 있게 된다.
- <67> 도 7은 도 5에 도시된 데이터 드라이버(16)의 구체적인 구성을 도시한 블록도이다.
- <68> 도 7에 도시된 데이터 드라이버(16)는 순차적인 샘플링신호를 공급하는 쉬프트 레지스터 어레이(20)와, 샘플링신호에 응답하여 화소데이터를 래치하여 출력하는 래치 어레이(22)와, 래치 어레이(22)로부터 입력된 화소데이터의 진행경로를 결정하는 멀티플렉서(Multiplexer; 이하, MUX라 함) 어레이(24)와, MUX 어레이(24)로부터의 화소데이터를 아날로그 화소신호로 변환하는 디지털-아날로그 변환(이하, DAC라 함) 어레이(26)와, DAC 어레이(26)로부터의 화소신호를 신호완충하여 출력하는 버퍼 어레이(28)를 구비한다.
- <69> 쉬프트 레지스터 어레이(20)에 포함되는 다수의 쉬프트 레지스터들은 타이밍 제어부(18)로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 순차적으로 쉬프트시켜 샘플링신호를 발생한다.
- <70> 래치 어레이(22)에 포함되는 다수의 래치들은 쉬프트 레지스터 어레이(20)로부터의 샘플링신호에 응답하여 타이밍 제어부(18)로부터의 화소 데이터를 일정한위씩 샘플링하여 순차적으로 래치한다. 그리고, 래치 어레이(22)는 래치된 화소 데이터들을 타이밍 제어부(18)로부터의 소스 출력 이네이블 신호(SOE)에 응답하여 동시에 출력한다.
- <71> MUX 어레이(24)는 타이밍 제어부(18)로부터의 제어신호에 응답하여 수평기간마다 래치 어레이(22)로부터 입력된 화소 데이터들의 진행 경로를 선택하게 된다. 구체적으로, MUX 어레이(24)는 데이터라인들(DL1 내지 DL_m+1)의 우측에서 접속된 액정셀들(PXL)을 구동하는 기수(또는 우수) 수평기간에는 입력된 화소데이터들을 채널변경 없이 출력하고 마지막 채널에는 블랭크 데이터가 공급되게 한다. 이와 달리, MUX 어레이(24)는 데이터라인들(DL1 내지 DL_m+1)의 좌측에서 접속된 액정셀들(PXL)을 구동하는 우수(또는 기수)수평기간에서는 입력된 화소데이터를 한 채널씩 오른쪽으로 쉬프트시켜 출력하고 첫번째 채널에는 블랭크 데이터가 공급되게 한다. 이를 위하여 MUX 어레이(24)는 *m*개의 MUX들을 구비하고, 그 MUX들 각각은 인접한 두개의 래치 출력을 입력하여 타이밍 제어부(18)로부터의 제어신호에 따라 선택적으로 출력하게 된다. 여기서, 다수개의 래치들 중 첫번째와 *m*번째를 제외

한 나머지 래치들의 출력은 인접한 두개의 MUX에 공유된다. 그리고, MUX 어레이(24)에 공급되는 제어신호는 수평기간마다 극성이 반전된다.

- <72> DAC 어레이(26)에 포함되는 다수개의 DAC들은 MUX 어레이(24)로부터의 화소데이터들 및 블랭크 데이터를 감마전압부(도시하지 않음)로부터의 정극성 및 부극성 감마전압들을 이용하여 화소 신호 및 블랭크 신호로 변환하여 출력하게 된다. 특히 DAC 어레이(26)는 타이밍 제어부(18)로부터의 극성제어신호(POL)에 응답하여 칼럼 인버전 구동을 위해 기수번째와 우수번째 화소데이터를 서로 상반되는 극성의 화소 신호로 변환하여 출력한다.
- <73> 버퍼 어레이(28)는 DAC 어레이(26)로부터 출력되는 화소 신호 및 블랭크 신호를 신호완충하여 데이터라인들(DL1 내지 DL_{m+1}) 각각으로 출력한다.
- <74> 이에 따라, 데이터라인들(DL1 내지 DL_{m+1})에는 데이터라인 단위로 극성이 반전되고 프레임 단위로 극성이 반전되는 화소신호가 공급된다. 그리고, 기수(또는 우수) 수평기간에서는 제1 내지 제_m 데이터라인(DL1 내지 DL_m)에는 유효 화소신호가, 제_{m+1} 데이터라인(DL_{m+1})에는 블랭크 신호가 공급되고, 우수(또는 기수) 수평기간에서는 제1 데이터라인(DL1)에는 블랭크 신호가, 제2 내지 제_{m+1} 데이터라인(DL_{m+1})에는 유효 화소신호가 공급되게 한다. 이에 따라, 데이터라인들(DL1 내지 DL_{m+1})을 따라 지그재그형으로 배열된 액정셀들이 도트 인버전 방식으로 구동될 수 있게 된다. 결과적으로, 데이터 드라이버(16)는 칼럼 인버전 방식으로 구동되면서 액정셀들은 도트 인버전 방식으로 구동할 수 있게 되므로 소비전력을 현저하게 절감할 수 있게 된다.
- <75> 도 8은 본 발명의 다른 실시 예에 따른 액정표시장치를 도시한 것이다.
- <76> 도 8에 도시된 액정표시장치는 도 5에 도시된 액정표시장치와 대비하여 타이밍 제어부(40)와 데이터 드라이버(50)의 기능이 달라진 것을 제외하고 동일한 구성요소들을 구비한다.
- <77> 액정패널(12)은 게이트라인들(GL1 내지 GL_n)과 데이터라인들(DL1 내지 DL_{m+1})의 교차로 정의되는 영역마다 형성된 박막트랜지스터(TFT)와 액정셀(PXL)을 구비한다. 박막트랜지스터(TFT)와 액정셀(PXL)은 데이터라인(DL)을 따라 위치가 좌측과 우측을 교번하는 지그재그형으로 배열된다. 다시 말하여 동일한 칼럼(Column)에 포함되는 박막트랜지스터들(TFT)과 액정셀들(PXL)은 수평라인마다 인접한 서로 다른 데이터라인(DL)과 교번적으로 접속된다.
- <78> 예를 들면, 액정패널(12)은 기수(또는 우수)번째 수평라인의 박막 트랜지스터(TFT)들과 액정셀들(PXL)은 좌측으로 인접하는 제1 내지 제_m 데이터라인들(DL1 내지 DL_m)에 각각 접속된다. 반면에, 우수(또는 기수)번째 수평라인의 박막트랜지스터들(TFT)과 액정셀들(PXL)은 우측으로 인접하는 제2 내지 제_{m+1} 데이터라인들(DL2 내지 DL_{m+2})에 각각 접속된다.
- <79> 게이트 드라이버(14)는 타이밍 제어부(40)로부터의 게이트 타이밍 제어신호들을 이용하여 게이트라인들(GL1 내지 GL_n)에 스캔신호를 순차적으로 공급한다. 이에 따라, 게이트 드라이버(14)는 그 스캔신호에 응답하여 박막트랜지스터들(TFT)이 수평라인 단위로 구동되게 한다.
- <80> 데이터 드라이버(50)는 입력된 화소 데이터를 아날로그 화소신호로 변환하여 게이트라인(GL)에 스캔신호가 공급되는 1수평기간마다 1수평라인분의 화소신호를 데이터라인들(DL1 내지 DL_{m+1})에 공급한다. 이 경우 데이터 드라이버(50)는 감마전압 발생부(도시하지 않음)로부터 공급되는 감마전압들을 이용하여 화소데이터를 화소신호로 변환하게 된다.
- <81> 이러한 데이터 드라이버(50)는 데이터라인(DL1 내지 DL_{m+1}) 단위로 화소신호의 극성이 반전되게 하는 칼럼 인버전 방식으로 화소신호를 공급한다. 다시 말하여, 데이터 드라이버(50)는 기수 데이터라인들(DL1, DL3, ...)과 우수 데이터라인들(DL2, DL4, ...)에 서로 상반된 극성의 화소신호를 공급하고, 그 데이터라인들(DL1 내지 DL_{m+1})에 공급되는 화소신호의 극성을 프레임 단위로 반전시키게 된다. 이 경우, 액정셀들(PXL)이 칼럼 인버전 방식으로 화소신호가 공급되는 데이터라인들(DL1 내지 DL_{m+1})을 기준으로 지그재그형으로 배열되므로 그 액정셀들(PXL)은 도트 인버전 방식으로 구동된다.
- <82> 특히, 데이터라인들(DL1 내지 DL_{m+1})을 따라 지그재그형으로 배열된 액정셀들(PXL)에 정확한 화소신호를 공급하기 위하여 데이터 드라이버(50)는 기수(또는 우수) 수평기간에는 제1 데이터라인(DL1)에는 블랭크신호를, 제2 내지 제_{m+1} 데이터라인(DL2 내지 DL_{m+1})에는 유효 화소신호를 공급한다. 그리고 우수(또는 기수) 수평기간에는 제1 내지 제_m 데이터라인(DL1 내지 DL_m)에는 유효 화소신호를, 제_{m+1} 데이터라인(DL_{m+1})에는 블랭크신호를 공급하게 된다.
- <83> 타이밍 제어부(40)는 게이트 드라이버(14) 및 데이터 드라이버(50)를 제어하는 타이밍 제어신호들을 발생하고,

데이터 드라이버(50)에 화소 데이터를 공급한다. 타이밍 제어부(40)에서 발생하는 게이트 타이밍 제어신호들에는 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭 신호(GSC), 게이트 출력 이네이블 신호(GOE) 등이 포함된다. 타이밍 제어부(40)에서 발생하는 데이터 타이밍 제어신호들에는 소스 스타트 펄스(SSP), 소스 쉬프트 클럭 신호(SSC), 소스 출력 이네이블 신호(SOE), 극성제어신호(POL) 등이 포함된다.

- <84> 특히, 타이밍 제어부(40)는 기수(또는 우수) 수평기간에서는 1수평라인분인 m 개의 화소데이터를 일정단위씩 순차적으로 공급함과 아울러 제 $m+1$ 화소 데이터로 블랭크 데이터를 공급하고, 우수(또는 기수) 수평기간에서는 m 개의 화소데이터를 한 채널씩 지연시켜 공급함과 아울러 제1 화소 데이터로 블랭크 데이터를 공급하게 된다.
- <85> 이를 위하여, 타이밍 제어부(40)는 제어신호들을 발생하는 제어신호 발생부(42)와, 입력 화소데이터를 정렬하여 출력하는 화소데이터 정렬부(44)와, 화소데이터 정렬부(44)로부터 출력되는 화소데이터들 중 마지막번째 화소데이터를 지연시키기 위한 레지스터(46)와, 화소데이터 정렬부(44)로부터의 화소데이터와 레지스터(46)로부터의 지연된 화소데이터를 선택적으로 조합하기 위한 MUX(48)를 구비한다.
- <86> 제어신호 발생부(42)는 수평 동기신호(H), 수직 동기신호(V), 메인 클럭신호(MCLK) 등을 이용하여 게이트 드라이버(14)를 제어하기 위한 게이트 타이밍 제어신호들과 데이터 드라이버(50)를 제어하기 위한 데이터 타이밍 제어신호들을 발생하게 된다. 또한 제어신호 발생부(42)는 MUX(48)를 제어신호를 발생하게 된다. 이 경우, 제어신호 발생부(42)는 수평동기신호(H)를 이용하여 기수 수평기간 및 우수 수평기간을 지시하는, 즉 수평기간 단위로 극성이 반전되는 제어신호를 발생하여 MUX(48)에 공급하게 된다.
- <87> 화소데이터 정렬부(44)는 입력 화소데이터를 정렬하여 데이터 전송 버스 구조에 따라 출력한다. 예를 들면, 화소데이터 정렬부(44)는 3버스를 통해 R, G, B 화소데이터를 동시에 출력하거나, 6버스를 통해 기수 R, G, B 화소데이터와 우수 R, G, B 화소데이터를 동시에 출력하게 된다. 이러한 버스들 중 마지막 버스를 제외한 다른 버스들을 통하여 출력되는 화소 데이터들은 MUX(48)에 공급되고, 마지막 버스를 통하여 출력되는 화소 데이터는 MUX(48)와 레지스터(46)에 공통으로 공급된다. 또한, 화소데이터 정렬부(44)는 데이터 인에이블 구간들 사이에 존재하는 블랭크 구간의 블랭크 데이터(BK)를 샘플링하여 데이터 인에이블 구간에 출력하기도 한다.
- <88> 레지스터(46)는 화소데이터 정렬부(44)로부터 출력되는 화소데이터들 중 마지막 버스를 통해 전송되는 화소데이터를 일시 저장하여 한 채널씩 지연되게 한다.
- <89> MUX(48)는 제어신호에 응답하여 기수(또는 우수) 수평기간에서는 화소데이터 정렬부(44)로부터 3버스 또는 6버스를 통해 직접 입력되는 m 개의 화소데이터와 $m+1$ 번째 데이터인 블랭크 데이터를 그대로 출력한다. 또한, MUX(48)는 제어신호에 응답하여 우수(또는 기수) 수평기간에서는 화소데이터 정렬부(44)로부터 제1 및 제2 버스를 통해 입력된 화소 데이터를 제2 내지 제3 버스로 쉬프트시켜 출력하거나, 제1 내지 제5 버스를 통해 입력된 화소 데이터를 제2 내지 제6 버스로 쉬프트시켜 출력한다. 그리고, 레지스터(46)에 의해 한 채널 지연된 마지막 버스, 즉 제3 또는 제6 버스의 화소 데이터를 제1 버스로 출력하게 된다. 이 경우, 우수(또는 기수) 수평기간에서 제1 버스의 첫번째 데이터로는 블랭크기간 중 레지스터(46)에 저장된 블랭크 데이터가 공급된다.
- <90> 도 9a 및 도 9b는 기수(또는 우수) 수평기간과 우수(또는 기수) 수평기간에서 타이밍 제어부(40)로부터 3버스를 통해 데이터 드라이버(50)에 공급되는 화소데이터와 블랭크 데이터를 도시한 타이밍도이다.
- <91> 도 9a를 참조하면, 기수(또는 우수) 수평기간에서 타이밍 제어부(40)는 제1 버스(DB1)를 통해 $m/3$ 개의 적색 화소 데이터(R1, R2, R3, ..., R $m/3$)와 하나의 블랭크 데이터(BK)를, 제2 버스(DB2)를 통해 $m/3$ 개의 녹색 화소 데이터(G1, G2, G3, ..., G $m/3$)를, 제3 버스(DB3)를 통해 $m/3$ 개의 청색 화소 데이터(B1, B2, B3, ..., B $m/3$)를 데이터 드라이버(50)에 공급하게 된다. 이렇게 타이밍 제어부(40)는 데이터 이네이블 신호(DE)의 이네이블 기간 동안 m 개의 유효 화소 데이터(R, G, B)를 제1 내지 제3 버스(DB1 내지 DB3)를 통해 데이터 드라이버(50)에 공급한다. 그리고 타이밍 제어부(40)는 이네이블 기간에 이어 블랭크 데이터(BK)를 공급한다. 이에 따라, 데이터 드라이버(50)는 타이밍 제어부(40)로부터의 m 개의 유효 화소 데이터(R, G, B)와 하나의 블랭크 데이터(BK)를 입력하게 된다. 그리고, 데이터 드라이버(50)는 입력된 m 개의 유효 화소 데이터(R, G, B)를 아날로그 화소 신호로 변환하여 제1 내지 제 m 데이터라인들(DL1 내지 DL m)에 공급함과 아울러 하나의 블랭크 데이터(BK)를 아날로그 블랭크 신호로 변환하여 제 $m+1$ 데이터라인(DL $m+1$)에 공급할 수 있게 된다.
- <92> 도 9b를 참조하면, 우수(또는 기수) 수평기간에서 타이밍 제어부(40)는 $m/3$ 개의 적색 화소 데이터(R1, R2, R3, ..., R $m/3$)를 제2 버스(DB2)로 쉬프트시켜 데이터 드라이버(50)에 공급하고, $m/3$ 개의 녹색 화소 데이터(G1, G2, G3, ..., G $m/3$)를 제3 버스(DB3)로 쉬프트시켜 공급하게 된다. 그리고, 타이밍 제어부(40)는 한 채널씩 지연된 하나의 블랭크 데이터(BK)와 $m/3$ 개의 청색 화소 데이터(B1, B2, B3, ..., B $m/3$)를 제1 버스(DB1)를 통해 데이

터 드라이버(50)에 공급하게 된다. 이렇게 타이밍 제어부(40)는 데이터 이네이블 신호(DE)의 이네이블 구간 동안 하나의 블랭크 데이터(BK)와 한 채널씩 쉬프트된 $m-1$ 개의 유효 화소 데이터(R, G, B)를 제1 내지 제3 버스(DB1 내지 DB3)를 통해 데이터 드라이버(50)에 공급한다. 그리고, 타이밍 제어부(40)는 이네이블 기간에 이어 한 채널이 쉬프트된 마지막번째 유효 화소 데이터($B_m/3$)를 더 공급한다. 이에 따라, 데이터 드라이버(50)는 타이밍 제어부(40)로부터의 하나의 블랭크 데이터(BK)와 m 개의 유효 화소 데이터(R, G, B)를 입력하게 된다. 그리고, 데이터 드라이버(50)는 한 채널씩 쉬프트되어 입력된 m 개의 유효 화소 데이터(R, G, B)를 아날로그 화소신호로 변환하여 제2 내지 제 $m+1$ 데이터라인들(DL2 내지 DL $m+1$)에 공급함과 아울러 하나의 블랭크 데이터(BK)를 아날로그 블랭크 신호로 변환하여 제1 데이터라인(DL1)에 공급할 수 있게 된다.

<93> 도 10a 및 도 10b는 기수(또는 우수) 수평기간과 우수(또는 기수) 수평기간에서 타이밍 제어부(40)로부터 6버스를 통해 데이터 드라이버(50)에 공급되는 화소데이터와 블랭크 데이터를 도시한 타이밍도이다.

<94> 도 10a를 참조하면, 기수(또는 우수) 수평기간에서 타이밍 제어부(40)는 제1 버스(DB1)를 통해 $m/6$ 개의 기수 적색 화소 데이터(OR1, OR2, OR3, ..., OR $m/6$)와 하나의 블랭크 데이터(BK)를, 제2 버스(DB2)를 통해 $m/6$ 개의 기수 녹색 화소 데이터(OG1, OG2, OG3, ..., OG $m/6$)를, 제3 버스(DB3)를 통해 $m/6$ 개의 기수 청색 화소 데이터(OB1, OB2, OB3, ..., OB $m/6$)를, 제4 버스(DB4)를 통해 $m/6$ 개의 우수 적색 화소 데이터(ER1, ER2, ER3, ..., ER $m/6$)를, 제5 버스(DB5)를 통해 $m/6$ 개의 우수 녹색 화소 데이터(EG1, EG2, EG3, ..., EG $m/6$)를, 제6 버스(DB6)를 통해 $m/6$ 개의 우수 청색 화소 데이터(EB1, EB2, EB3, ..., EB $m/6$)를 데이터 드라이버(50)에 공급하게 된다. 이렇게 타이밍 제어부(40)는 데이터 이네이블 신호(DE)의 이네이블 구간 동안 m 개의 유효 화소 데이터(R, G, B)를 제1 내지 제6 버스(DB1 내지 DB6)를 통해 데이터 드라이버(50)에 공급한다. 그리고, 타이밍 제어부(40)는 이네이블 기간에 이어 블랭크 데이터(BK)를 공급한다. 이에 따라, 데이터 드라이버(50)는 m 개의 유효 화소 데이터(R, G, B)와 하나의 블랭크 데이터(BK)를 입력하게 된다. 그리고, 데이터 드라이버(50)는 m 개의 유효 화소 데이터(R, G, B)를 아날로그 화소신호로 변환하여 제1 내지 제 m 데이터라인들(DL1 내지 DL m)에 공급함과 아울러 하나의 블랭크 데이터(BK)를 아날로그 블랭크 신호로 변환하여 제 $m+1$ 데이터라인(DL $m+1$)에 공급할 수 있게 된다.

<95> 도 10b를 참조하면, 우수(또는 기수) 수평기간에서 타이밍 제어부(40)는 $m/6$ 개의 기수 적색 화소 데이터(OR1, OR2, OR3, ..., OR $m/6$)를 제2 버스(DB2)로 쉬프트시켜 데이터 드라이버(50)에 공급하고, $m/6$ 개의 기수 녹색 화소 데이터(OG1, OG2, OG3, ..., OG $m/6$)를 제3 버스(DB3)로, $m/6$ 개의 기수 청색 화소 데이터(OB1, OB2, OB3, ..., OB $m/6$)를 제4 버스(DB4)로, $m/6$ 개의 우수 적색 화소 데이터(ER1, ER2, ER3, ..., ER $m/6$)를 제5 버스(DB5)로, $m/6$ 개의 우수 녹색 화소 데이터(EG1, EG2, EG3, ..., EG $m/6$)를 제6 버스(DB6)로 쉬프트시켜 데이터 드라이버(50)에 공급하게 된다. 그리고, 타이밍 제어부(40)는 한 채널씩 지연된 하나의 블랭크 데이터(BK)와 $m/6$ 개의 우수 청색 화소 데이터(EB1, EB2, EB3, ..., EB $m/6$)를 제1 버스(DB1)를 통해 데이터 드라이버(50)에 공급하게 된다. 이렇게 타이밍 제어부(40)는 데이터 이네이블 구간 동안 한 채널씩 쉬프트된 하나의 블랭크 데이터(BK)와 $m-1$ 개의 유효 화소 데이터(R, G, B)를 제1 내지 제6 버스(DB1 내지 DB6)를 통해 데이터 드라이버(50)에 공급한다. 그리고, 타이밍 제어부(40)는 이네이블 구간에 이어 한 채널이 쉬프트된 마지막번째 유효 화소 데이터(EB $m/6$)를 더 공급한다. 이에 따라, 데이터 드라이버(50)는 하나의 블랭크 데이터(BK)와 m 개의 유효 화소 데이터(R, G, B)를 입력하게 된다. 그리고, 데이터 드라이버(50)는 한 채널씩 쉬프트되어 입력된 m 개의 유효 화소 데이터(R, G, B)를 아날로그 화소신호로 변환하여 제2 내지 제 $m+1$ 데이터라인들(DL2 내지 DL $m+1$)에 공급함과 아울러 하나의 블랭크 데이터(BK)를 아날로그 블랭크 신호로 변환하여 제1 데이터라인(DL1)에 공급하게 된다.

<96> 이와 같이 타이밍 제어부(40)에서 수평기간마다 m 개의 유효 화소 데이터와 함께 첫번째 또는 마지막번째 화소 데이터로 블랭크 데이터를 공급하게 된다. 그리고, 데이터 드라이버(50)는 m 개의 유효 화소 데이터와 하나의 블랭크 데이터를 칼럼 인버전 방식의 화소 신호 및 블랭크 신호로 변환하여 액정패널(12, 15)에 공급한다. 이 결과, 액정패널(12, 15)은 도트 인버전 방식으로 구동된다.

<97> 한편, 액정패널(12, 15)이 도트 인버전 방식으로 구동되는 경우 윈도우 셔트 다운(Window Shut Down)시 특정 도트 패턴을 띄우는 경우 플리커가 발생하게 된다. 이는 다른 패턴들은 수직 구동 주파수인 60Hz 성분이 반면에 특정 도트 패턴은 30Hz 성분이 됨으로써 그 30Hz 성분의 플리커가 발생되기 때문이다. 이러한 플리커를 방지하기 위하여 수직 2도트 인버전 방식을 채택하여 플리커 성분이 60Hz가 되게 한다. 이 경우, 플리커의 주파수가 수직 구동 주파수와 동일하게 되어 사람이 그 플리커를 인지하지 못하게 된다.

<98> 도 11은 수직 2도트 인버전 구동을 위한 본 발명의 다른 실시 예에 따른 액정표시장치를 도시한 것이다.

<99> 도 11에 도시된 액정표시장치는 액정셀 매트릭스를 갖는 액정패널(52)과, 액정패널(52)의 게이트라인들(GL1 내

지 GL_n)을 구동하기 위한 게이트 드라이버(54)와, 액정패널(52)의 데이터라인들(DL1 내지 DL_{m+1})을 구동하기 위한 데이터 드라이버(56)와, 게이트 드라이버(54) 및 데이터 드라이버(56)를 제어하기 위한 타이밍 제어부(58)를 구비한다.

<100> 액정패널(52)은 n개의 게이트라인들(GL1 내지 GL_n)과, 그 게이트라인들(GL1 내지 GL_n)과 절연되면서 교차하는 m+1개의 데이터라인들(DL1 내지 DL_{m+1})을 구비한다. 그리고, 액정패널(52)은 게이트라인들(GL1 내지 GL_n)과 데이터라인들(DL1 내지 DL_{m+1})의 교차로 정의되는 영역마다 형성된 박막트랜지스터(TFT)와 액정셀(PXL)을 구비한다. 박막트랜지스터(TFT)는 게이트라인(GL)으로부터의 스캔신호에 응답하여 데이터라인(DL1 내지 DL_{m+1})으로부터의 화소신호를 액정셀(PXL)에 공급한다. 액정셀(PXL)은 화소신호에 응답하여 공통전극(도시하지 않음)과의 사이에 위치하는 액정을 구동함으로써 빛의 투과율을 조절하게 된다.

<101> 특히, 박막트랜지스터(TFT)와 액정셀(PXL)은 데이터라인(DL)을 따라 2 수평라인 단위로 그의 위치가 좌측과 우측으로 교번하는 지그재그형으로 배열된다. 다시 말하여 동일한 칼럼(Column)에 포함되는 박막트랜지스터들(TFT)과 액정셀들(PXL)은 2개씩 수평라인마다 인접한 서로 다른 데이터라인(DL)과 교번적으로 접속된다.

<102> 예를 들면, 도 11에 도시된 액정패널(52)의 경우 4k-3(여기서, k는 양의 정수) 및 4k-2번째 게이트라인(GL1, GL2, GL5, GL6,...)에 접속된 4k-3 및 4k-2번째 수평라인의 박막트랜지스터(TFT)들과 액정셀들(PXL)은 좌측으로 인접하는 제1 내지 제m 데이터라인들(DL1 내지 DL_m)에 각각 접속된다. 이에 따라, 4k-3 및 4k-2번째 수평라인의 액정셀들(PXL)은 좌측으로 인접하는 데이터라인(DL)으로부터의 화소신호를 박막트랜지스터(TFT)를 통해 충전하게 된다. 반면에, 4k-1 및 4k번째 게이트라인(GL3, GL4, GL7, GL8,...)에 접속된 4k-1 및 4k번째 수평라인의 박막트랜지스터들(TFT)과 액정셀들(PXL)은 우측으로 인접하는 제2 내지 제m+1 데이터라인들(DL2 내지 DL_{m+1})에 각각 접속된다. 이에 따라, 4k-1 및 4k번째 수평라인의 액정셀들(PXL)은 우측으로 인접하는 데이터라인으로부터의 화소신호를 박막트랜지스터(TFT)를 통해 충전하게 된다.

<103> 이와 달리, 도 12에 도시된 액정패널(62)의 경우 4k-3 및 4k-2번째 게이트라인(GL1, GL2, GL5, GL6, ...)에 접속된 4k-3 및 4k-2번째 수평라인의 박막트랜지스터들(TFT)과 액정셀들(PXL)은 우측으로 인접하는 제2 내지 제m+1 데이터라인들(DL2 내지 DL_{m+1})에 각각 접속된다. 이에 따라, 4k-3 및 4k-2번째 수평라인의 액정셀들(PXL)은 우측으로 인접하는 데이터라인으로부터의 화소신호를 박막트랜지스터(TFT)를 통해 충전하게 된다. 반면에, 4k-1 및 4k번째 게이트라인(GL3, GL4, GL7, GL8, ...)에 접속된 4k-1 및 4k번째 수평라인의 박막트랜지스터들(TFT)과 액정셀들(PXL)은 좌측으로 인접하는 제1 내지 제m 데이터라인들(DL1 내지 DL_m)에 각각 접속된다. 이에 따라, 4k-1 및 4k번째 수평라인의 액정셀들(PXL)은 좌측으로 인접하는 데이터라인으로부터의 화소신호를 박막트랜지스터(TFT)를 통해 충전하게 된다.

<104> 타이밍 제어부(58)는 게이트 드라이버(54) 및 데이터 드라이버(56)를 제어하는 타이밍 제어신호들을 발생하고, 데이터 드라이버(56)에 화소데이터 신호를 공급한다. 타이밍 제어부(58)에서 발생하는 게이트 타이밍 제어신호들에는 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭신호(GSC), 게이트 출력 이네이블 신호(GOE) 등이 포함된다. 타이밍 제어부(58)에서 발생하는 데이터 타이밍 제어신호들에는 소스 스타트 펄스(SSP), 소스 쉬프트 클럭신호(SSC), 소스 출력 이네이블 신호(SOE), 극성제어신호(POL) 등이 포함된다.

<105> 게이트 드라이버(54)는 상기 게이트 타이밍 제어신호들을 이용하여 게이트라인들(GL1 내지 GL_n)에 스캔신호를 순차적으로 공급한다. 이에 따라, 게이트 드라이버(54)는 그 스캔신호에 응답하여 박막트랜지스터들(TFT)이 수평라인 단위로 구동되게 한다.

<106> 데이터 드라이버(56)는 입력된 화소 데이터를 아날로그 화소신호로 변환하여 게이트라인(GL)에 스캔신호가 공급되는 1수평기간마다 1수평라인분의 화소신호를 데이터라인들(DL1 내지 DL_{m+1})에 공급한다. 이 경우 데이터 드라이버(56)는 감마전압 발생부(도시하지 않음)로부터 공급되는 감마전압들을 이용하여 화소데이터를 화소신호로 변환하게 된다.

<107> 이러한 데이터 드라이버(56)는 데이터라인(DL1 내지 DL_{m+1}) 단위로 화소신호의 극성이 반전되게 하는 칼럼 인버전 방식으로 화소신호를 공급한다. 다시 말하여, 데이터 드라이버(56)는 기수 데이터라인들(DL1, DL3, ...)과 우수 데이터라인들(DL2, DL4, ...)에 서로 상반된 극성의 화소신호를 공급하고, 그 데이터라인들(DL1 내지 DL_{m+1})에 공급되는 화소신호의 극성을 프레임 단위로 반전시키게 된다.

<108> 이 경우, 액정셀들(PXL)이 칼럼 인버전 방식으로 화소신호가 공급되는 데이터라인들(DL1 내지 DL_{m+1})을 기준으로 2수평라인 마다 교번하면서 서로 다른 인접한 데이터라인과 접속되므로 그 액정셀들(PXL)은 수직 2도트 인버전 방식으로 구동된다.

- <109> 특히, 데이터라인들(DL1 내지 DL_{m+1})을 따라 2수평라인 마다 교번적으로 위치가 바뀌는 액정셀들(PXL)에 정확한 화소신호를 공급하기 위하여, 데이터 드라이버(56)는 2 수평기간마다 교번적으로 화소신호의 출력채널을 변경하게 된다. 구체적으로, 데이터라인들(DL1 내지 DL_{m+1})의 우측에서 접속된 액정셀들(PXL)에 화소신호를 공급하는 경우 데이터 드라이버(56)는 제1 내지 제_m 데이터라인들(DL1 내지 DL_m)에 _m개의 유효 화소신호를, 제_{m+1} 데이터라인(DL_{m+1})에 블랭크 신호를 공급하게 된다. 이와 달리, 데이터라인들(DL1 내지 DL_{m+1})의 좌측에서 접속된 액정셀들(PXL)에 화소신호를 공급하는 경우 데이터 드라이버(56)는 _m개의 유효 화소신호를 한 채널씩 오른쪽으로 쉬프트시켜 제2 내지 제_{m+1} 데이터라인들(DL2 내지 DL_{m+1})에 공급하고, 제1 데이터라인(DL1)에는 블랭크 신호를 공급하게 된다.
- <110> 예를 들어, 도 11에 도시된 바와 같이 액정셀들(PXL)이 데이터라인들(DL1 내지 DL_{m+1})의 우측에서 접속된 4k-3 및 4k-2번째 수평라인을 구동하는 경우 데이터 드라이버(56)는 제1 내지 제_m 데이터라인들(DL1 내지 DL_m)에 _m개의 유효 화소신호를 공급하고, 제_{m+1} 데이터라인(DL_{m+1})에는 블랭크신호를 추가로 공급하게 된다. 그리고, 액정셀들(PXL)이 데이터라인들(DL1 내지 DL_{m+1})의 좌측에 접속된 4k-1 및 4k번째 수평라인을 구동하는 경우 데이터 드라이버(56)는 _m개의 유효 화소신호를 오른쪽으로 한 채널씩 쉬프트시켜 제2 내지 제_{m+1} 데이터라인들(DL2 내지 DL_{m+1})에 공급하고, 제1 데이터라인(DL1)에는 블랭크신호를 공급하게 된다.
- <111> 이와 달리, 도 12에 도시된 바와 같이 액정셀들(PXL)이 데이터라인들(DL1 내지 DL_{m+1})의 좌측에서 접속된 4k-3 및 4k-2번째 수평라인을 구동하는 경우 데이터 드라이버(56)는 _m개의 유효 화소신호를 오른쪽으로 한 채널씩 쉬프트시켜 제2 내지 제_{m+1} 데이터라인들(DL2 내지 DL_{m+1})에 공급하고, 제1 데이터라인(DL1)에는 블랭크신호를 공급하게 된다. 그리고, 액정셀들(PXL)이 데이터라인들(DL1 내지 DL_{m+1})의 좌측에 접속된 4k-1 및 4k번째 수평라인을 구동하는 경우 데이터 드라이버(56)는 제1 내지 제_m 데이터라인들(DL1 내지 DL_m)에 _m개의 유효 화소신호를 공급하고, 제_{m+1} 데이터라인(DL_{m+1})에는 블랭크신호를 추가로 공급하게 된다.
- <112> 이러한 데이터 드라이버(56)의 구체적인 구성은 도 7에 도시된 것과 동일하다. 단지, MUX 어레이(24)가 2 수평 주기로 화소 데이터의 채널을 변경한다 것에 차이를 갖는다. 이에 동일한 구성 및 작용에 대한 상세한 설명은 생략하기로 한다.
- <113> 도 7를 참조하면, 래치 어레이(22)는 쉬프트 레지스터 어레이(20)의 샘플링 신호에 응답하여 타이밍 제어부(58)로부터의 화소 데이터를 래치하여 출력한다.
- <114> MUX 어레이(24)는 타이밍 제어부(58)로부터의 제어신호에 응답하여 2수평기간 마다 래치 어레이(22)로부터 입력된 화소 데이터들의 진행경로를 변경하게 된다. 구체적으로, MUX 어레이(24)는 데이터라인들(DL1 내지 DL_{m+1})의 우측에서 접속된 액정셀들(PXL)을 구동하는 4k-3 및 4k-2(또는 4k-1 및 4k)번째 수평기간에는 입력된 화소데이터들을 채널변경 없이 출력하고 마지막 채널에는 블랭크 데이터가 공급되게 한다. 이와 달리, MUX 어레이(24)는 데이터라인들(DL1 내지 DL_{m+1})의 좌측에서 접속된 액정셀들(PXL)을 구동하는 4k-1 및 4k(또는 4k-3 및 4k-2)번째 수평기간에서는 입력된 화소데이터를 한 채널씩 오른쪽으로 쉬프트시켜 출력하고 첫번째 채널에는 블랭크 데이터가 공급되게 한다. 이를 위하여, MUX 어레이(24)에 입력되는 제어신호는 2수평기간 단위로 극성이 반전된다.
- <115> DAC 어레이(26)는 MUX 어레이(24)로부터의 화소 데이터들 및 블랭크 데이터를 칼럼 인버전을 위한 극성제어신호(POL)에 응답하여 인접 채널과 서로 상반되는 극성을 갖는 화소 신호 및 블랭크 신호로 변환하여 출력한다.
- <116> 버퍼 어레이(28)는 DAC 어레이(26)로부터의 화소 신호 및 블랭크 신호를 데이터라인들(DL1 내지 DL_{m+1}) 각각에 공급한다.
- <117> 이에 따라, 데이터라인들(DL1 내지 DL_{m+1})에는 도 13a 및 도 13b에 도시된 바와 같이 데이터라인 단위로 극성이 반전되고 프레임 단위로 극성이 반전되는 화소 신호 및 블랭크 신호가 공급된다.
- <118> 도 13a 및 도 13b는 기수 프레임과 우수 프레임에서 도 11에 도시된 액정패널(52)의 데이터라인들(DL1 내지 DL_{m+1})에 공급되는 화소 신호 및 블랭크 신호를 나타낸 것이다.
- <119> 도 13a를 참조하면, 기수 프레임에서 4k-3 및 4k-2번째 수평기간(1H, 2H, 5H, 6H, ...)에 _m/3개씩의 적색, 녹색 및 청색의 화소 신호(R, G, B)는 제1 내지 제_m 데이터라인들(DL1 내지 DL_m)에 공급되고, 이와 동시에 블랭크 신호(BK)가 제_{m+1} 데이터라인(DL_{m+1})에 공급된다. 그리고, 4k-1 및 4k번째 수평기간(3H, 4H, ..., n-1H, nH)에 _m/3개씩의 적색, 녹색 및 청색의 화소 신호(R, G, B)는 제2 내지 제_{m+1} 데이터라인들(DL2 내지 DL_{m+1})에 공급되고, 이와 동시에, 블랭크 신호(BK)가 제1 데이터라인(DL1)에 공급된다. 이러한 기수 프레임 동안 기수 데이터

라인들(DL1, DL3, ..., DL_m+1)에는 항상 정극성의 화소 신호가 인가되며, 우수 데이터라인들(DL2, DL4, ..., DL_m)에는 항상 부극성의 화소 신호가 인가된다. 이에 따라, 데이터라인(DL)을 기준으로 2수평라인 단위로 위치가 교번되는 액정셀들(PXL)은 수직 2도트 인버전 방식으로 구동된다.

<120> 도 13b를 참조하면, 우수 프레임에서 4k-3 및 4k-2번째 수평기간(1H, 2H, 5H, 6H, ...)에 m/3개씩의 적색, 녹색 및 청색의 화소 신호(R, G, B)는 제2 내지 제_m+1 데이터라인들(DL2 내지 DL_m+1)에 공급되고, 이와 동시에, 블랭크 신호(BK)가 제_m+1 데이터라인(DL_m+1)에 공급된다. 그리고, 4k-1 및 4k번째 수평기간(3H, 4H, ..., n-1H, nH)에 m/3개씩의 적색, 녹색 및 청색의 화소 신호(R, G, B)는 제1 내지 제_m 데이터라인들(DL1 내지 DL_m)에 공급되고, 이와 동시에 블랭크 신호(BK)가 제1 데이터라인(DL1)에 공급된다. 이러한 우수 프레임 동안 기수 데이터라인들(DL1, DL3, ..., DL_m+1)에는 상기 기수 프레임과는 반대로 항상 부극성의 화소 신호가 인가되며, 우수 데이터라인들(DL2, DL4, ..., DL_m)에는 항상 정극성의 화소 신호가 인가된다. 이에 따라, 데이터라인(DL)을 기준으로 2수평라인 단위로 위치가 교번되는 액정셀들(PXL)은 수직 2도트 인버전 방식으로 구동된다.

<121> 도 14는 수직 2도트 인버전을 위한 본 발명의 다른 실시 예에 따른 액정표시장치를 도시한 것이다.

<122> 도 14에 도시된 액정표시장치는 도 11에 도시된 액정표시장치와 대비하여 타이밍 제어부(70)와 데이터 드라이버(80)의 기능이 달라진 것을 제외하고 동일한 구성요소들을 구비한다.

<123> 액정패널(52)은 게이트라인들(GL1 내지 GL_n)과 데이터라인들(DL1 내지 DL_m+1)의 교차로 정의되는 영역마다 형성된 박막트랜지스터(TFT)와 액정셀(PXL)을 구비한다. 박막트랜지스터(TFT)와 액정셀(PXL)은 데이터라인(DL)을 따라 2 수평라인 단위로 그의 위치가 좌측과 우측으로 교번하는 지그재그형으로 배열된다. 다시 말하여 동일한 칼럼(Column)에 포함되는 박막트랜지스터들(TFT)과 액정셀들(PXL)은 2개씩 수평라인마다 인접한 서로 다른 데이터라인(DL)과 교번적으로 접속된다.

<124> 예를 들면, 4k-3 및 4k-2(또는 4k-1 및 4k)번째 게이트라인(GL1, GL2, GL5, GL6, ...)에 접속된 4k-3 및 4k-2(또는 4k-1 및 4k)번째 수평라인의 박막트랜지스터(TFT)들과 액정셀들(PXL)은 좌측으로 인접하는 제1 내지 제_m 데이터라인들(DL1 내지 DL_m)에 각각 접속된다. 이에 따라, 4k-3 및 4k-2(또는 4k-1 및 4k)번째 수평라인의 액정셀들(PXL)은 좌측으로 인접하는 데이터라인(DL)으로부터의 화소신호를 박막트랜지스터(TFT)를 통해 충전하게 된다. 반면에, 4k-1 및 4k(또는 4k-3 및 4k-2)번째 게이트라인(GL3, GL4, GL7, GL8, ...)에 접속된 4k-1 및 4k(또는 4k-3 및 4k-2)번째 수평라인의 박막트랜지스터들(TFT)과 액정셀들(PXL)은 우측으로 인접하는 제2 내지 제_m+1 데이터라인들(DL2 내지 DL_m+1)에 각각 접속된다. 이에 따라, 4k-1 및 4k(또는 4k-3 및 4k-2)번째 수평라인의 액정셀들(PXL)은 우측으로 인접하는 데이터라인으로부터의 화소신호를 박막트랜지스터(TFT)를 통해 충전하게 된다.

<125> 게이트 드라이버(54)는 타이밍 제어부(70)로부터의 게이트 타이밍 제어신호들을 이용하여 게이트라인들(GL1 내지 GL_n)에 스캔신호를 순차적으로 공급한다.

<126> 데이터 드라이버(80)는 입력된 화소 데이터를 아날로그 화소신호로 변환하여 게이트라인(GL)에 스캔신호가 공급되는 1수평기간마다 1수평라인분의 화소신호를 데이터라인들(DL1 내지 DL_m+1)에 공급한다. 이 경우 데이터 드라이버(80)는 감마전압 발생부(도시하지 않음)로부터 공급되는 감마전압들을 이용하여 화소데이터를 화소신호로 변환하게 된다.

<127> 이러한 데이터 드라이버(80)는 데이터라인(DL1 내지 DL_m+1) 단위로 화소신호의 극성이 반전되게 하는 칼럼 인버전 방식으로 화소신호를 공급한다. 다시 말하여, 데이터 드라이버(80)는 기수 데이터라인들(DL1, DL3, ...)과 우수 데이터라인들(DL2, DL4, ...)에 서로 상반된 극성의 화소신호를 공급하고, 그 데이터라인들(DL1 내지 DL_m+1)에 공급되는 화소신호의 극성을 프레임 단위로 반전시키게 된다. 이 경우, 액정셀들(PXL)이 칼럼 인버전 방식으로 화소신호가 공급되는 데이터라인들(DL1 내지 DL_m+1)을 기준으로 2수평라인 마다 교번하면서 서로 다른 인접한 데이터라인과 접속되므로 그 액정셀들(PXL)은 수직 2도트 인버전 방식으로 구동된다.

<128> 특히, 데이터라인들(DL1 내지 DL_m+1)을 따라 지그재그형으로 배열된 액정셀들(PXL)에 정확한 화소신호를 공급하기 위하여, 데이터 드라이버(80)는 4k-3 및 4k-2(또는 4k-1 및 4k)번째 수평기간에는 제1 데이터라인(DL1)에는 블랭크신호를, 제2 내지 제_m+1 데이터라인(DL2 내지 DL_m+1)에는 유효 화소신호를 공급한다. 그리고 4k-1 및 4k(또는 4k-3 및 4k-2) 수평기간에는 제1 내지 제_m 데이터라인(DL1 내지 DL_m)에는 유효 화소신호를, 제_m+1 데이터라인(DL_m+1)에는 블랭크신호를 공급하게 된다.

<129> 타이밍 제어부(70)는 게이트 드라이버(54) 및 데이터 드라이버(80)를 제어하는 타이밍 제어신호들을 발생하고, 데이터 드라이버(80)에 화소 데이터를 공급한다. 타이밍 제어부(70)에서 발생하는 게이트 타이밍 제어신호들

에는 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭 신호(GSC), 게이트 출력 이네이블 신호(GOE) 등이 포함된다. 타이밍 제어부(70)에서 발생하는 데이터 타이밍 제어신호들에는 소스 스타트 펄스(SSP), 소스 쉬프트 클럭 신호(SSC), 소스 출력 이네이블 신호(SOE), 극성제어신호(POL) 등이 포함된다.

<130> 특히, 타이밍 제어부(70)는 $4k-3$ 및 $4k-2$ (또는 $4k-1$ 및 $4k$)번째 수평기간에서는 1수평라인분인 m 개의 화소데이터를 일정단위씩 순차적으로 공급함과 아울러 제 $m+1$ 화소 데이터로 블랭크 데이터를 공급하고, $4k-1$ 및 $4k$ (또는 $4k-3$ 및 $4k-2$) 수평기간에서는 m 개의 화소데이터를 한 채널씩 지연시켜 공급함과 아울러 제1 화소 데이터로 블랭크 데이터를 공급하게 된다.

<131> 이를 위하여, 타이밍 제어부(70)는 제어신호들을 발생하는 제어신호 발생부(72)와, 입력 화소데이터를 정렬하여 출력하는 화소데이터 정렬부(74)와, 화소데이터 정렬부(74)로부터 출력되는 화소데이터들 중 마지막번째 화소데이터를 지연시키기 위한 레지스터(76)와, 화소데이터 정렬부(74)로부터의 화소데이터와 레지스터(76)로부터의 지연된 화소데이터를 선택적으로 조합하기 위한 MUX(78)를 구비한다.

<132> 제어신호 발생부(72)는 수평 동기신호(H), 수직 동기신호(V), 메인 클럭신호(MCLK) 등을 이용하여 게이트 드라이버(54)를 제어하기 위한 게이트 타이밍 제어신호들과 데이터 드라이버(80)를 제어하기 위한 데이터 타이밍 제어신호들을 발생하게 된다. 또한 제어신호 발생부(72)는 MUX(78)를 제어신호를 발생하게 된다. 이 경우, 제어신호 발생부(72)는 수평동기신호(H)를 이용하여 $4k-3$ 및 $4k-2$ 번째 수평기간과 $4k-1$ 및 $4k$ 번째 수평기간을 지시하는, 즉 2수평기간 단위로 극성이 반전되는 제어신호를 발생하여 MUX(78)로 공급한다.

<133> 화소데이터 정렬부(74)는 입력 화소데이터를 정렬하여 데이터 전송 버스 구조에 따라 출력한다. 예를 들면, 화소데이터 정렬부(74)는 3버스를 통해 R, G, B 화소데이터를 동시에 출력하거나, 6버스를 통해 기수 R, G, B 화소데이터와 우수 R, G, B 화소데이터를 동시에 출력하게 된다. 이러한 버스들 중 마지막 버스를 제외한 다른 버스들을 통하여 출력되는 화소 데이터들은 MUX(78)에 공급되고, 마지막 버스를 통하여 출력되는 화소 데이터는 MUX(78)와 레지스터(76)에 공통으로 공급된다. 또한, 화소데이터 정렬부(74)는 데이터 인에이블 구간들 사이에 존재하는 블랭크 구간의 블랭크 데이터(BK)를 샘플링하여 데이터 인에이블 구간에 출력하기도 한다.

<134> 레지스터(76)는 화소데이터 정렬부(74)로부터 출력되는 화소데이터들 중 마지막 버스를 통해 전송되는 화소데이터를 일시 저장하여 한 채널씩 지연되게 한다.

<135> MUX(78)는 제어신호에 따라 $4k-3$ 및 $4k-2$ (또는 $4k-1$ 및 $4k$)번째 수평기간에서는 화소데이터 정렬부(74)로부터 3 버스 또는 6버스를 통해 직접 입력되는 m 개의 화소데이터와 $m+1$ 번째 데이터인 블랭크 데이터를 그대로 출력한다. 또한, MUX(78)는 제어신호에 따라 $4k-1$ 및 $4k$ (또는 $4k-3$ 및 $4k-2$)번째 수평기간에서는 화소데이터 정렬부(74)로부터 제1 및 제2 버스를 통해 입력된 화소 데이터를 제2 내지 제3 버스로 쉬프트시켜 출력하거나, 제1 내지 제5 버스를 통해 입력된 화소 데이터를 제2 내지 제6 버스로 쉬프트시켜 출력한다. 그리고, 레지스터(76)에 의해 한 채널 지연된 마지막 버스, 즉 제3 또는 제6 버스의 화소 데이터를 제1 버스로 출력하게 된다. 이 경우, $4k-1$ 및 $4k$ (또는 $4k-3$ 및 $4k-2$)번째 수평기간에서 제1 버스의 첫번째 데이터로는 블랭크기간 중 레지스터(46)에 저장된 블랭크 데이터가 공급된다.

<136> 이러한 구성을 가지는 타이밍 제어부(70)에서 $4k-3$ 및 $4k-2$ (또는 $4k-1$ 및 $4k$)번째 수평기간과 $4k-1$ 및 $4k$ (또는 $4k-3$ 및 $4k-2$)번째 수평기간에서 3버스 또는 6버스를 통해 데이터 드라이버(80)에 공급되는 화소 데이터와 블랭크 데이터는 전술한 도 9a 내지 도 10b와 같다.

<137> 도 9a를 참조하면, $4k-3$ 및 $4k-2$ (또는 $4k-1$ 및 $4k$)번째 수평기간에서 타이밍 제어부(70)는 제1 버스(DB1)를 통해 $m/3$ 개의 적색 화소 데이터($R_1, R_2, R_3, \dots, R_{m/3}$)와 하나의 블랭크 데이터(BK)를, 제2 버스(DB2)를 통해 $m/3$ 개의 녹색 화소 데이터($G_1, G_2, G_3, \dots, G_{m/3}$)를, 제3 버스(DB3)를 통해 $m/3$ 개의 청색 화소 데이터($B_1, B_2, B_3, \dots, B_{m/3}$)를 데이터 드라이버(80)에 공급하게 된다. 이렇게 타이밍 제어부(70)는 데이터 이네이블 신호(DE)의 이네이블 기간 동안 m 개의 유효 화소 데이터(R, G, B)를 제1 내지 제3 버스(DB1 내지 DB3)를 통해 데이터 드라이버(80)에 공급한다. 그리고, 타이밍 제어부(70)는 이네이블 기간에 이어 블랭크 데이터(BK)를 공급한다. 이에 따라, 데이터 드라이버(80)는 m 개의 유효 화소 데이터(R, G, B)와 하나의 블랭크 데이터(BK)를 입력하게 된다. 그리고, 데이터 드라이버(80)는 m 개의 유효 화소 데이터(R, G, B)를 아날로그 화소신호로 변환하여 제1 내지 제 m 데이터라인들(DL1 내지 DL m)에 공급함과 아울러 하나의 블랭크 데이터(BK)를 아날로그 블랭크 신호로 변환하여 제 $m+1$ 데이터라인(DL $m+1$)에 공급할 수 있게 된다.

<138> 도 9b를 참조하면, $4k-1$ 및 $4k$ (또는 $4k-3$ 및 $4k-2$)번째 수평기간에서 타이밍 제어부(70)는 $m/3$ 개의 적색 화소 데이터($R_1, R_2, R_3, \dots, R_{m/3}$)를 제2 버스(DB2)로 쉬프트시켜 데이터 드라이버(80)에 공급하고, $m/3$ 개의 녹색

화소 데이터($G1, G2, G3, \dots, G_{m/3}$)를 제3 버스(DB3)로 쉬프트시켜 공급하게 된다. 그리고, 타이밍 제어부(70)는 한 채널씩 지연된 하나의 블랭크 데이터(BK)와 $m/3$ 개의 청색 화소 데이터($B1, B2, B3, \dots, B_{m/3}$)를 제1 버스(DB1)를 통해 데이터 드라이버(80)에 공급하게 된다. 이렇게 타이밍 제어부(70)는 데이터 이네이블 신호(DE)의 이네이블 구간 동안 하나의 블랭크 데이터(BK)와 한 채널씩 쉬프트된 $m-1$ 개의 유효 화소 데이터(R, G, B)를 제1 내지 제3 버스(DB1 내지 DB3)를 통해 데이터 드라이버(80)에 공급한다. 그리고, 타이밍 제어부(70)는 이네이블 기간에 이어 한 채널이 쉬프트된 마지막번째 유효 화소 데이터($B_{m/3}$)를 더 공급하게 된다. 이에 따라, 데이터 드라이버(80)는 하나의 블랭크 데이터(BK)와 한 채널씩 쉬프트된 m 개의 유효 화소 데이터(R, G, B)를 입력하게 된다. 그리고, 데이터 드라이버(80)는 한 채널씩 쉬프트되어 입력된 m 개의 유효 화소 데이터(R, G, B)를 아날로그 화소신호로 변환하여 제2 내지 제 $m+1$ 데이터라인들(DL2 내지 DL $m+1$)에 공급함과 아울러 하나의 블랭크 데이터(BK)를 아날로그 블랭크 신호로 변환하여 제1 데이터라인(DL1)에 공급할 수 있게 된다.

<139>

도 10a를 참조하면, $4k-3$ 및 $4k-2$ (또는 $4k-1$ 및 $4k$)번째 타이밍 제어부(70)는 제1 버스(DB1)를 통해 $m/6$ 개의 기수 적색 화소 데이터($OR1, OR2, OR3, \dots, OR_{m/6}$)와 하나의 블랭크 데이터(BK)를, 제2 버스(DB2)를 통해 $m/6$ 개의 기수 녹색 화소 데이터($OG1, OG2, OG3, \dots, OG_{m/6}$)를, 제3 버스(DB3)를 통해 $m/6$ 개의 기수 청색 화소 데이터($OB1, OB2, OB3, \dots, OB_{m/6}$)를, 제4 버스(DB4)를 통해 $m/6$ 개의 우수 적색 화소 데이터($ER1, ER2, ER3, \dots, ER_{m/6}$)를, 제5 버스(DB5)를 통해 $m/6$ 개의 우수 녹색 화소 데이터($EG1, EG2, EG3, \dots, EG_{m/6}$)를, 제6 버스(DB6)를 통해 $m/6$ 개의 우수 청색 화소 데이터($EB1, EB2, EB3, \dots, EB_{m/6}$)를 데이터 드라이버(80)에 공급하게 된다. 이렇게 타이밍 제어부(70)는 데이터 이네이블 신호(DE)의 이네이블 구간 동안 m 개의 유효 화소 데이터(R, G, B)를 제1 내지 제6 버스(DB1 내지 DB6)를 통해 데이터 드라이버(80)에 공급한다. 그리고, 타이밍 제어부(70)는 이네이블 기간에 이어 블랭크 데이터(BK)를 공급한다. 이에 따라, 데이터 드라이버(80)는 m 개의 유효 화소 데이터(R, G, B)와 하나의 블랭크 데이터(BK)를 입력하게 된다. 그리고, 데이터 드라이버(80)는 m 개의 유효 화소 데이터(R, G, B)를 아날로그 화소신호로 변환하여 제1 내지 제 m 데이터라인들(DL1 내지 DL m)에 공급함과 아울러 하나의 블랭크 데이터(BK)를 아날로그 블랭크 신호로 변환하여 제 $m+1$ 데이터라인(DL $m+1$)에 공급할 수 있게 된다.

<140>

도 10b를 참조하면, $4k-1$ 및 $4k$ (또는 $4k-3$ 및 $4k-2$)번째 수평기간에서 타이밍 제어부(70)는 $m/6$ 개의 기수 적색 화소 데이터($OR1, OR2, OR3, \dots, OR_{m/6}$)를 제2 버스(DB2)로 쉬프트시켜 데이터 드라이버(80)에 공급하고, $m/6$ 개의 기수 녹색 화소 데이터($OG1, OG2, OG3, \dots, OG_{m/6}$)를 제3 버스(DB3)로, $m/6$ 개의 기수 청색 화소 데이터($OB1, OB2, OB3, \dots, OB_{m/6}$)를 제4 버스(DB4)로, $m/6$ 개의 우수 적색 화소 데이터($ER1, ER2, ER3, \dots, ER_{m/6}$)를 제5 버스(DB5)로, $m/6$ 개의 우수 녹색 화소 데이터($EG1, EG2, EG3, \dots, EG_{m/6}$)를 제6 버스(DB6)로 쉬프트시켜 데이터 드라이버(80)에 공급하게 된다. 그리고, 타이밍 제어부(70)는 한 채널씩 지연된 하나의 블랭크 데이터(BK)와 $m/6$ 개의 우수 청색 화소 데이터($EB1, EB2, EB3, \dots, EB_{m/6}$)를 제1 버스(DB1)를 통해 데이터 드라이버(80)에 공급하게 된다. 이렇게 타이밍 제어부(70)는 데이터 이네이블 구간 동안 한 채널씩 쉬프트된 하나의 블랭크 데이터(BK)와 $m-1$ 개의 유효 화소 데이터(R, G, B)를 제1 내지 제6 버스(DB1 내지 DB6)를 통해 데이터 드라이버(80)에 공급한다. 그리고, 타이밍 제어부(70)는 이네이블 기간에 이어 한 채널이 쉬프트된 마지막번째 유효 화소 데이터($EB_{m/6}$)를 더 공급한다. 이에 따라, 데이터 드라이버(80)는 하나의 블랭크 데이터(BK)와 한 채널씩 쉬프트된 m 개의 유효 화소 데이터(R, G, B)를 입력하게 된다. 그리고, 데이터 드라이버(80)는 한 채널씩 쉬프트되어 입력된 m 개의 유효 화소 데이터(R, G, B)를 아날로그 화소신호로 변환하여 제2 내지 제 $m+1$ 데이터라인들(DL2 내지 DL $m+1$)에 공급함과 아울러 하나의 블랭크 데이터(BK)를 아날로그 블랭크 신호로 변환하여 제1 데이터라인(DL1)에 공급하게 된다.

<141>

이와 같이 타이밍 제어부(70)에서 2수평기간마다 m 개의 유효 화소 데이터와 함께 첫번째 또는 마지막번째 화소 데이터로 블랭크 데이터를 공급하게 된다. 그리고, 데이터 드라이버(80)는 m 개의 유효 화소 데이터와 하나의 블랭크 데이터를 칼럼 인버전 방식의 화소 신호 및 블랭크 신호로 변환하여 액정패널(52)에 공급한다. 이 결과, 액정패널(52)은 수직 2도트 인버전 방식으로 구동된다.

<142>

한편, 본 발명의 실시 예들에서는 액정셀들이 수평라인 또는 2수평라인 단위로 인접한 서로 다른 데이터라인에 교번하여 접속되는 경우만을 설명하였으나, 3수평라인 이상의 단위로 교번하여 접속되는 것도 가능하다.

발명의 효과

<143>

상술한 바와 같이, 본 발명에 따른 액정표시장치에서는 액정셀들이 데이터라인을 따라 i (i 는 양의 정수) 수평라인 단위로 교번하여 인접한 서로 다른 데이터라인에 접속되어 지그재그형으로 배열된다. 이에 따라, 본 발명에

따른 액정표시장치는 칼럼 인버전 방식으로 극성이 결정된 화소신호를 공급하여 액정셀들을 i 도트 인버전 방식으로 구동할 수 있게 된다. 또한, 본 발명에 따른 액정표시장치는 i 수평기간마다 m개의 유효 화소 신호와 함께 첫번째 또는 마지막번째 화소 데이터로 블랭크 신호를 공급하여 상기 데이터라인을 따라 지그재그형으로 배열된 액정셀들에 정확한 화소 신호가 공급되게 한다.

- <144> 이 결과, 본 발명에 따른 액정표시장치는 칼럼 인버전 방식의 소비전력으로 i도트 인버전 방식을 구동하게 되므로 i도트 인버전 방식의 소비전력 보다 현저하게 절감할 수 있게 됨과 아울러 화질을 향상시킬 수 있게 된다.
- <145> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

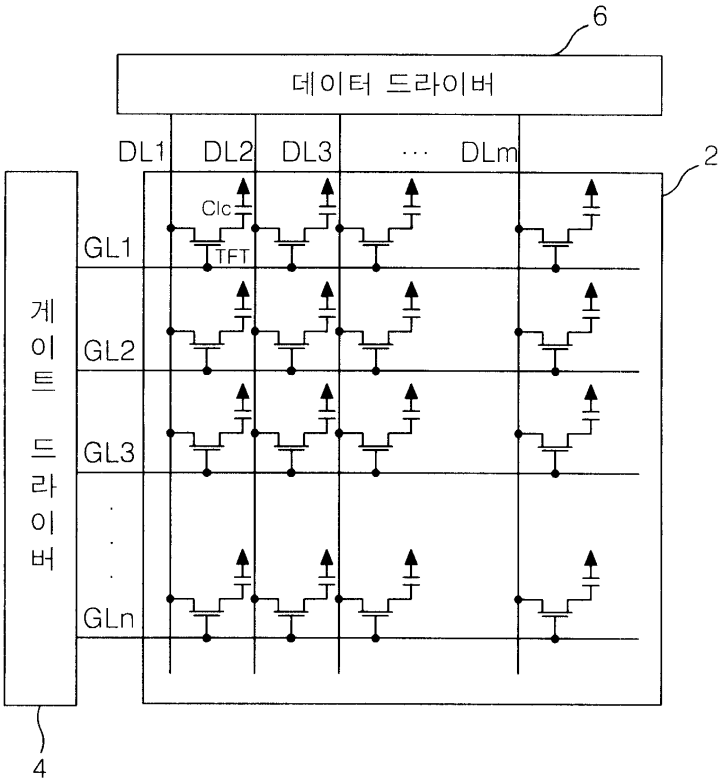
- <1> 도 1은 종래 액정표시장치를 도시한 도면.
- <2> 도 2a 및 도 2b는 액정표시장치의 라인 인버전 방식을 설명하기 위한 도면.
- <3> 도 3a 및 도 3b는 액정표시장치의 칼럼 인버전 방식을 설명하기 위한 도면.
- <4> 도 4a 및 도 4b는 액정표시장치의 도트 인버전 방식을 설명하기 위한 도면.
- <5> 도 5는 본 발명의 실시 예에 따른 액정표시장치를 도시한 도면.
- <6> 도 6은 본 발명에 적용되는 다른 구성을 액정패널을 도시한 도면.
- <7> 도 7은 도 5에 도시된 데이터 드라이버의 구체적인 구성을 도시한 블록도.
- <8> 도 8은 본 발명의 다른 실시 예에 따른 액정표시장치를 도시한 도면.
- <9> 도 9a 및 도 9b는 도 8에 도시된 타이밍 제어부의 3버스 방식의 데이터 출력파형도.
- <10> 도 10a 및 도 10b는 도 8에 도시된 타이밍 제어부의 6버스 방식의 데이터 출력파형도.
- <11> 도 11은 수직 2도트 인버전 구동을 위한 본 발명의 또 다른 실시 예에 따른 액정표시장치를 도시한 도면.
- <12> 도 12는 본 발명에 적용되는 액정패널의 다른 구성을 도시한 도면.
- <13> 도 13a 및 도 13b는 도 11에 도시된 액정패널에 공급되는 화소신호 및 블랭크 신호를 도시한 도면.
- <14> 도 14는 수직 2도트 인버전 구동을 위한 본 발명의 또 다른 실시 예에 따른 액정표시장치를 도시한 도면.

<도면의 부호에 대한 간단한 설명>

- | | |
|-----------------------------------|--------------------------|
| <16> 2, 12, 15, 52, 62 : 액정패널 | 4, 14, 54 : 게이트 드라이버 |
| <17> 6, 16, 50, 56, 80 : 데이터 드라이버 | 18, 40, 58, 70 : 타이밍 제어부 |
| <18> 20 : 쉬프트 레지스터 어레이 | 22 : 래치 어레이 |
| <19> 24 : MUX 어레이 | 26 : DAC 어레이 |
| <20> 28 : 버퍼 어레이 | 42, 72 : 제어신호 발생부 |
| <21> 44, 74 : 화소데이터 정렬부 | 46, 76 : 레지스터 |
| <22> 48, 78 : 멀티플렉서 | |

도면

도면1



도면2a

+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-

도면2b

-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+

도면3a

+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-

도면3b

-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+

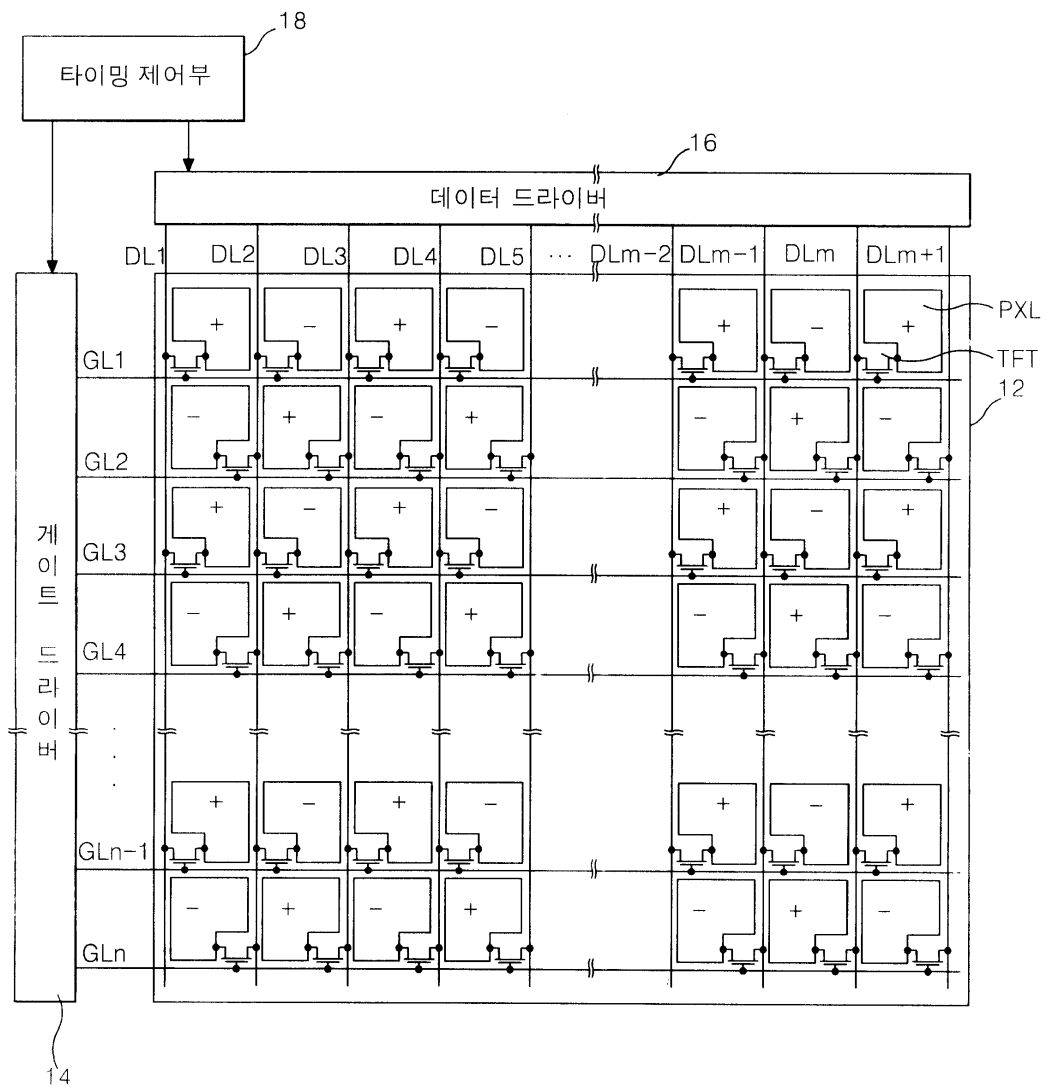
도면4a

+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+

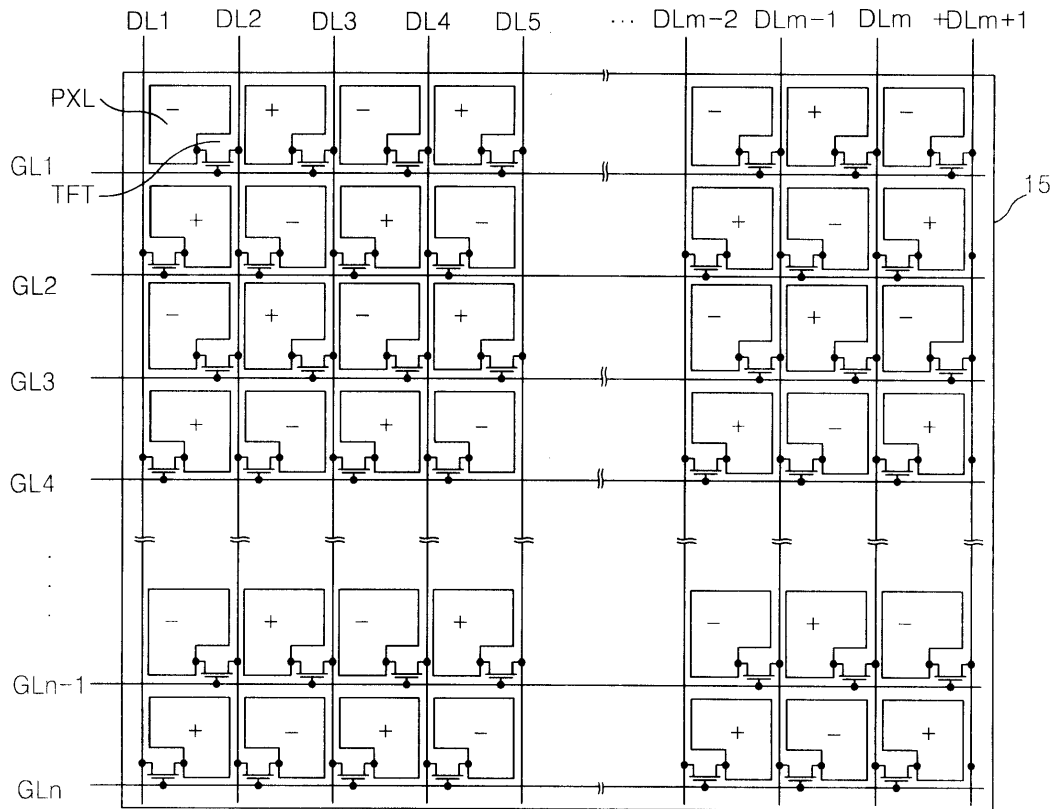
도면4b

-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-

도면5

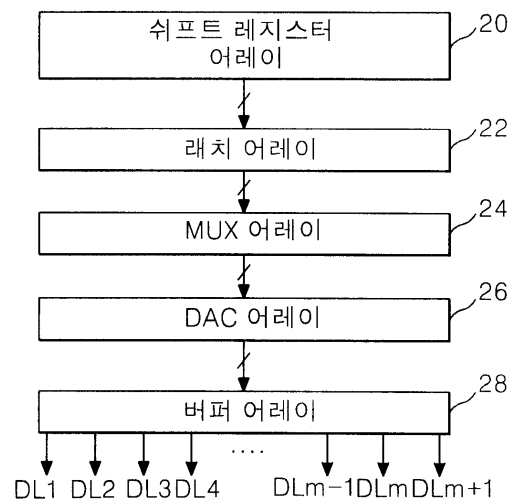


도면6

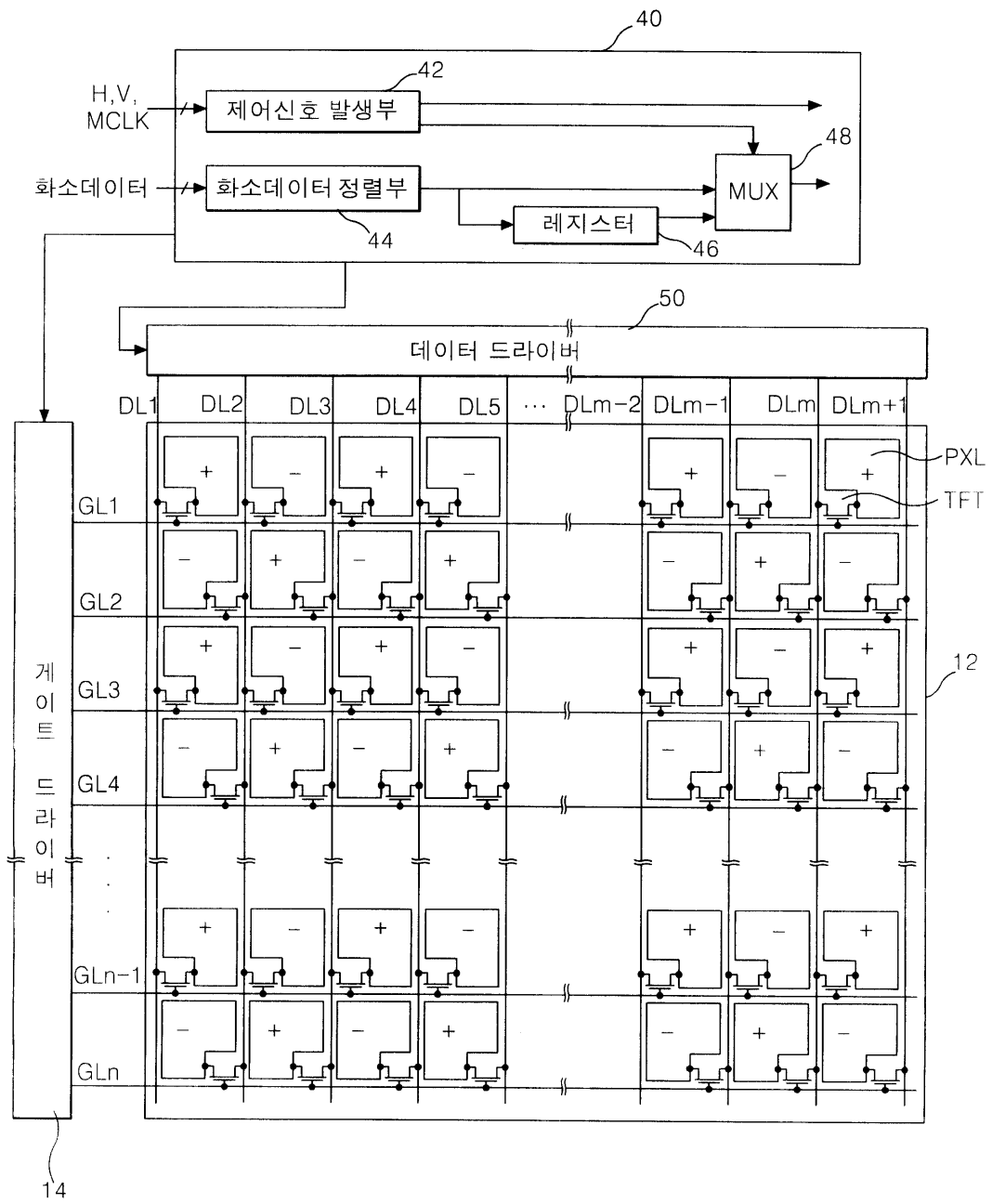


도면7

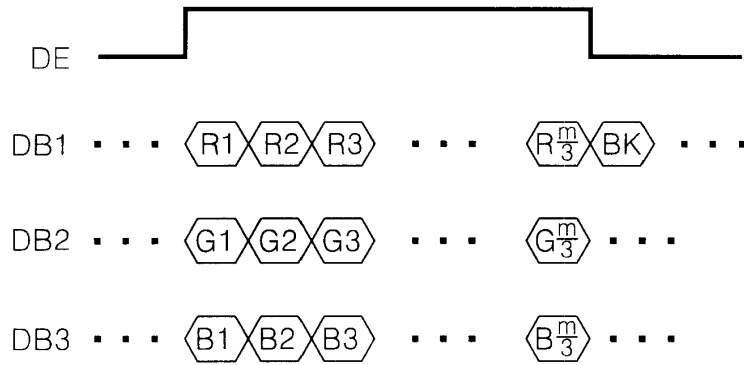
16



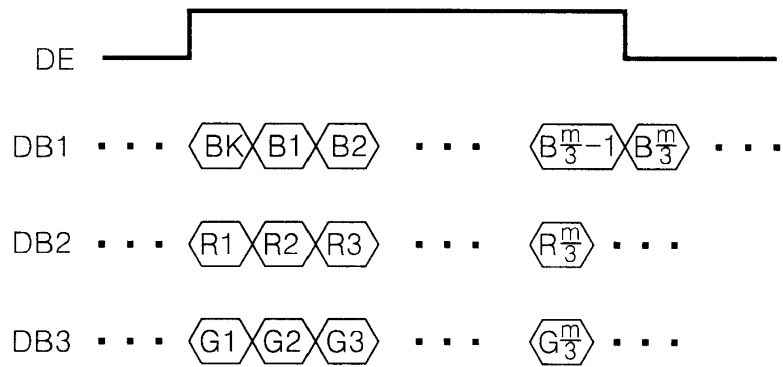
도면8



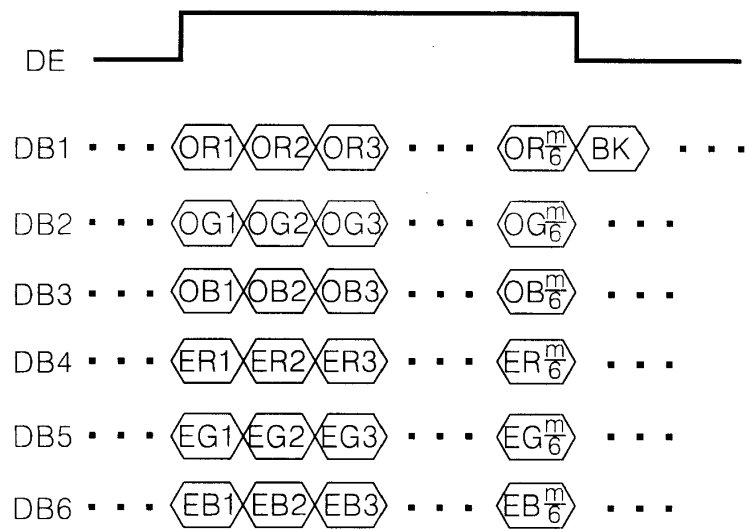
도면9a



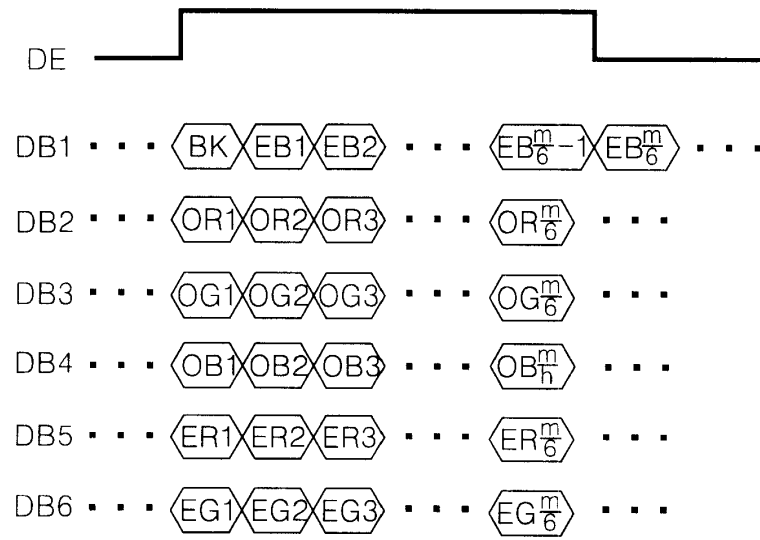
도면9b



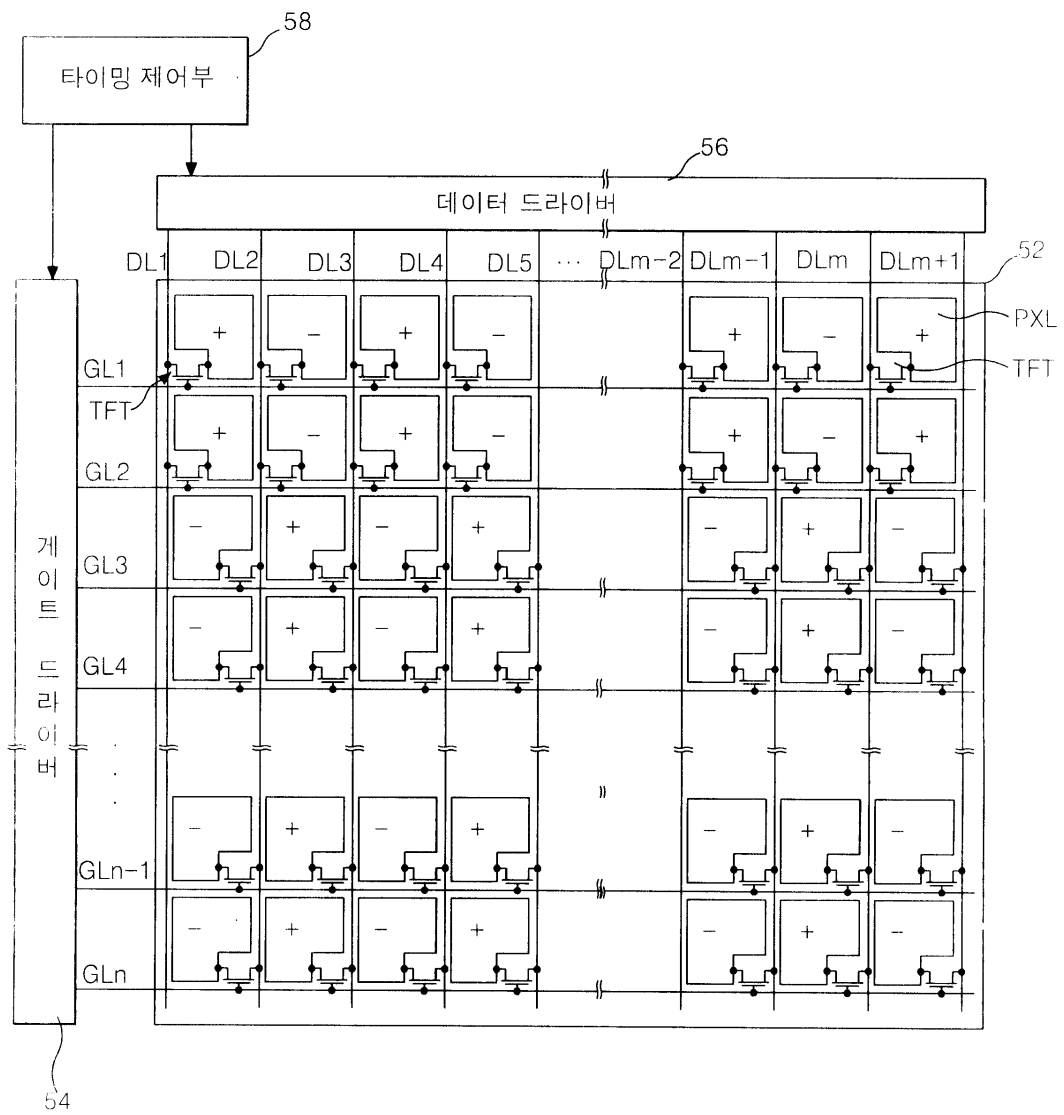
도면10a



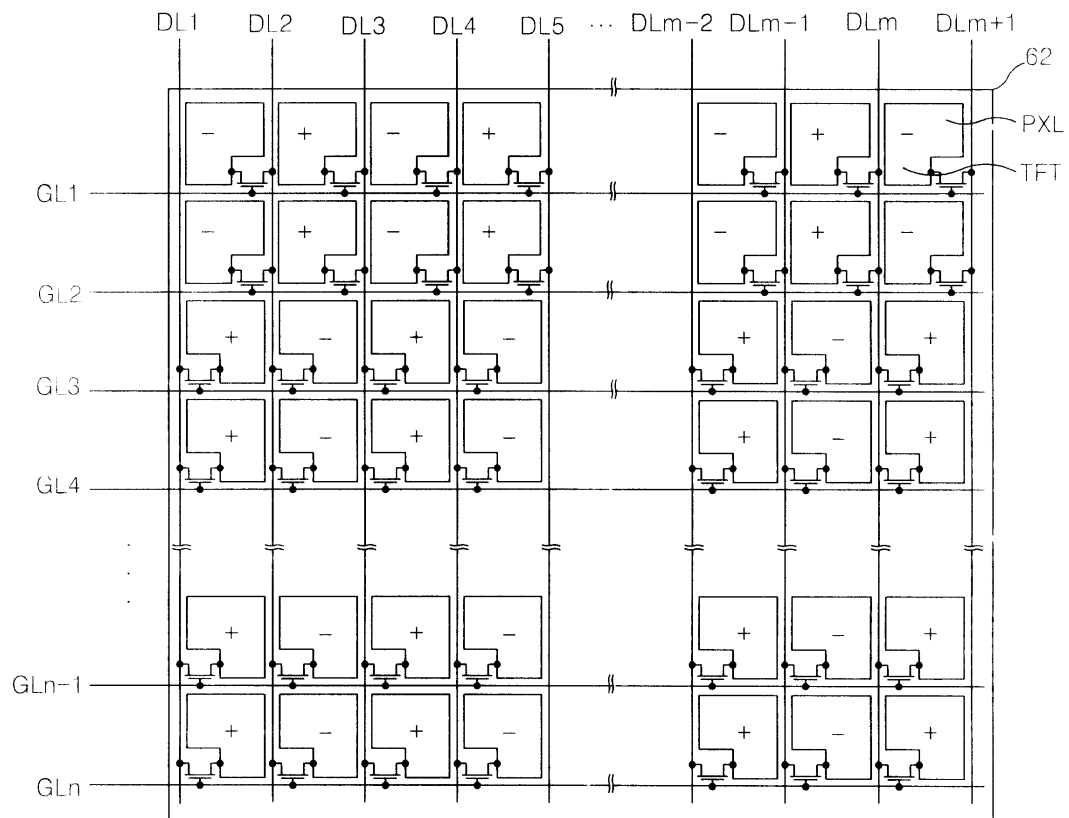
도면10b



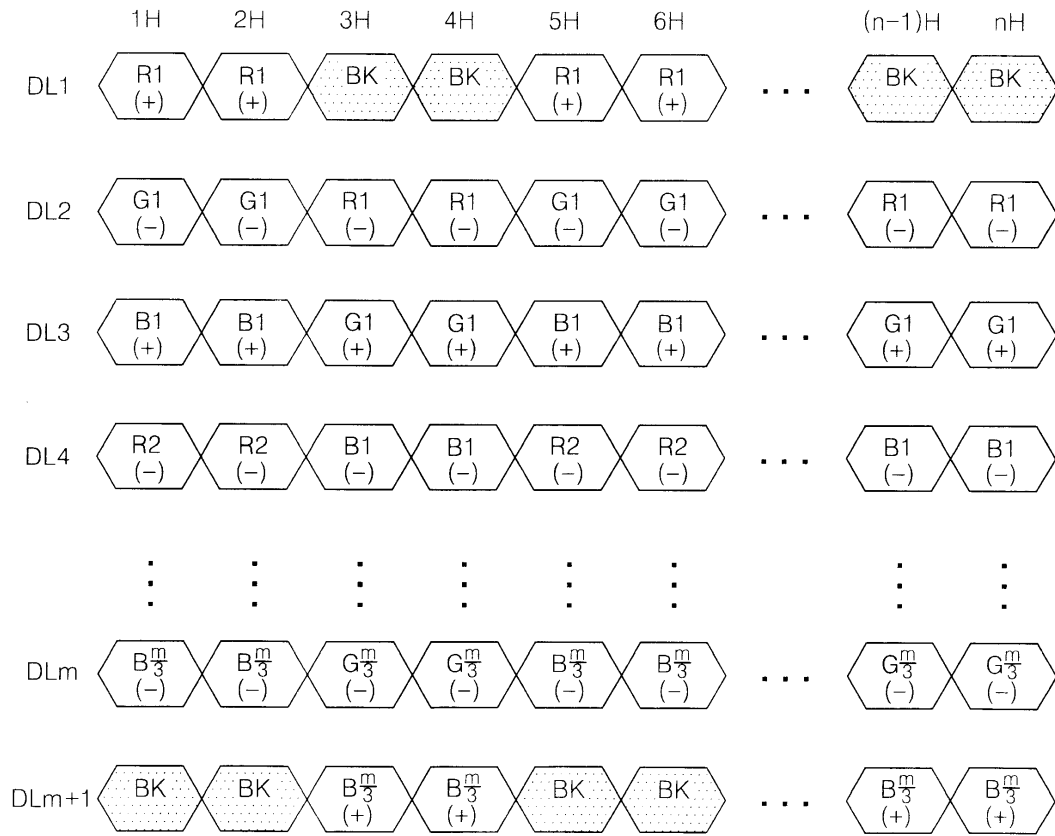
도면11



도면12

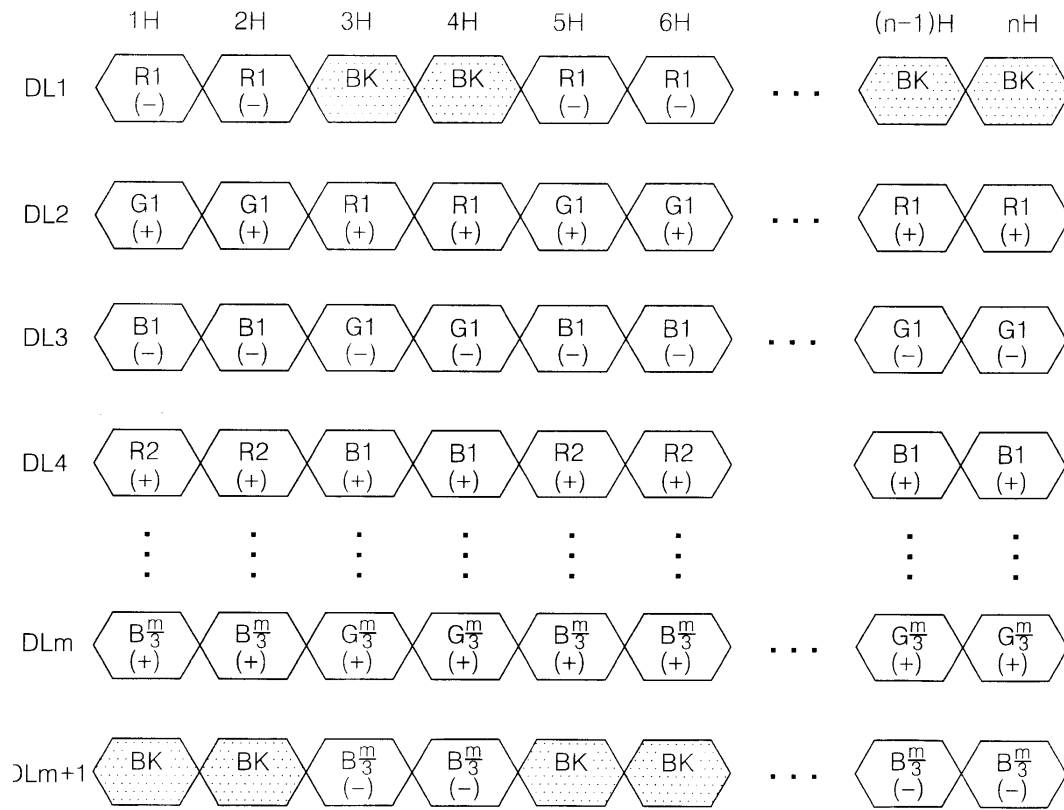


도면13a



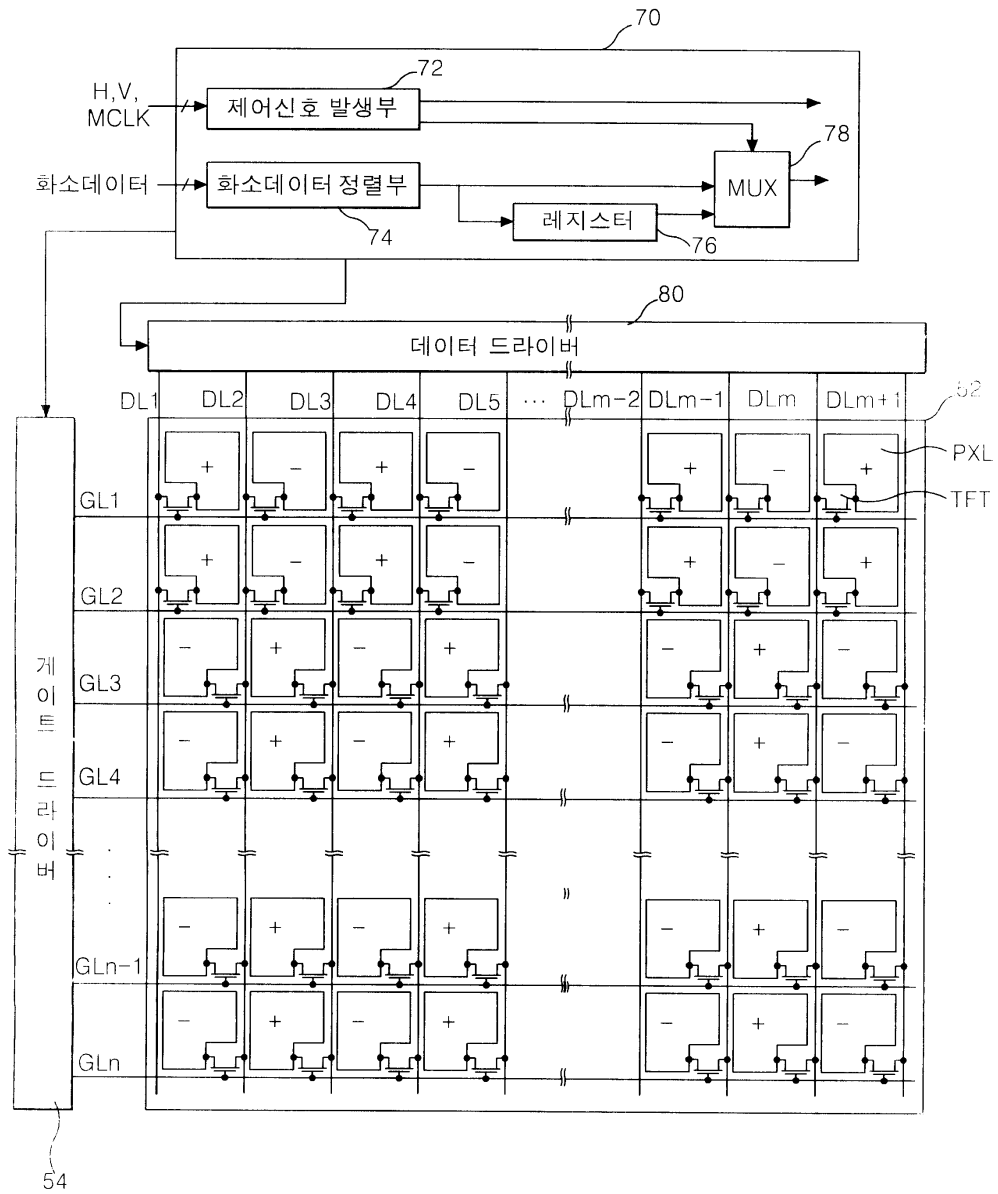
가수 프레임

도면13b



우수 프레임

도면14



专利名称(译)	液晶显示器		
公开(公告)号	KR100869738B1	公开(公告)日	2008-11-21
申请号	KR1020020037740	申请日	2002-06-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YUN SAICHANG 윤세창 YUN SANGCHANG 윤상창 SONG HONGSUNG 송홍성 KWON KEUK SANG 권극상		
发明人	윤세창 윤상창 송홍성 권극상		
IPC分类号	G02F1/133		
CPC分类号	G02F1/133 G09G3/3614 G09G3/3648 G09G3/3685 G09G2330/021		
代理人(译)	金勇 年轻的小公园		
优先权	1020010081433 2001-12-19 KR		
其他公开文献	KR1020030051150A		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示器以减少液晶显示器的功耗并提高显示器的图像质量。组成：一种液晶显示器，包括液晶面板（12），栅极驱动器（14）和数据驱动器（16）。液晶面板以在栅极线和数据线的交点处形成的液晶单元连接到通过薄膜晶体管交替布置的不同数据线的方式构造。栅极驱动器驱动栅极线。数据驱动器驱动数据线，并包括多路复用器阵列，该多路复用器阵列响应于每个水平间隔的极性反转并添加一个空白数据的控制信号来确定输入像素数据的输出通道，以及用于转换该像素的数字模拟转换器。将像素数据和空白数据转换为像素信号和空白信号，其极性对于每条数据线都反转。

