



## 특허청구의 범위

### 청구항 1

기관과;

상기 기관 상에 제 1 방향으로 형성된 다수 개의 게이트 배선과;

상기 제 1 방향과 교차되는 제 2 방향으로 형성된 다수 개의 데이터 배선과;

상기 게이트 및 데이터 배선이 교차되는 지점에 형성된 박막트랜지스터와;

상기 게이트 배선과 일정간격 이격된 위치에서 제 1 방향으로 형성된 공통 배선과;

상기 공통 배선과 연결되어 제 2 방향으로 위치하며, 상기 데이터 배선과 인접 구성되는 제 1, 2 공통 전극과, 상기 제 1, 2 공통 전극 사이에 위치하고, 상기 제 1, 2 공통 전극 중 어느 한 공통 전극의 일부와 중첩된 상태에서 상기 제 1 방향으로 연장된 공통 전극 연결부를 포함하는 투명 도전성 물질로 이루어진 제 3 공통 전극과;

상기 제 3 공통 전극과 상기 제 1, 제 2 공통 전극 중 어느 한 공통 전극과 연결시키기 위한 공통 전극 콘택홀과;

상기 박막트랜지스터에 연결되며, 상기 제 1, 2 및 제 3 공통 전극과 서로 교대하며 배치되고, 상기 제 3 공통 전극과 동일 물질로 이루어진 다수 개의 화소 전극과;

상기 다수 개의 화소 전극을 서로 연결시키며, 상기 제 1 방향으로 상기 게이트 배선과 중첩하도록 형성된 화소 전극 연결부

를 포함하는 횡전계형 액정표시장치용 기관.

### 청구항 2

제 1 항에 있어서,

상기 박막트랜지스터는 상기 게이트 배선에서 분기된 게이트 전극과, 상기 게이트 전극을 덮는 반도체층과, 상기 반도체층 상에서 서로 일정간격 이격되는 데이터 배선에서 분기된 소스 전극 및 상기 화소 전극과 연결되는 드레인 전극으로 이루어지는 횡전계형 액정표시장치용 기관.

### 청구항 3

제 2 항에 있어서,

상기 드레인 전극에서 연장형성되어 상기 공통 배선과 대응되는 영역에 캐패시터 전극이 위치하며, 상기 캐패시터 전극과 공통 배선이 대응되는 영역은 절연체가 개재된 상태에서 제 1 스토리지 캐패시터를 이루고, 상기 게이트 배선과 중첩되는 화소 전극 연결부는 절연체가 개재된 상태에서 제 2 스토리지 캐패시터를 이루는 횡전계형 액정표시장치용 기관.

### 청구항 4

제 1 항에 있어서,

상기 제 1, 2 공통 전극은 게이트 배선과 동일 물질인 횡전계형 액정표시장치용 기관.

### 청구항 5

제 1 항에 있어서,

상기 게이트 배선 및 공통 배선을 이루는 재질은 비저항값이 낮은 불투명 금속물질에서 선택되는 횡전계형 액정표시장치용 기관.

### 청구항 6

제 5 항에 있어서,

상기 불투명 금속물질은 알루미늄 네오디뮴(AlNd)을 하부층으로 포함하는 이중층 구조의 금속물질인 횡전계형

액정표시장치용 기판.

#### 청구항 7

제 1 항에 있어서,

상기 투명 도전성 물질은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide)중 어느 하나인 횡전계형 액정표시장치용 기판.

#### 청구항 8

제 1 항에 있어서,

상기 공통 전극 연결부는 상기 공통 배선과 대응되는 안쪽 영역에서 상기 제 1, 2 공통 전극 중 어느 한 공통 전극과 일부 중첩되게 연장형성된 것인 횡전계형 액정표시장치용 기판.

#### 청구항 9

제 8 항에 있어서,

상기 공통 배선과 대응되는 위치에서, 상기 공통 전극 연결부의 선포는  $3\ \mu\text{m} \sim 5\ \mu\text{m}$ 인 횡전계형 액정표시장치용 기판.

#### 청구항 10

제 3 항에 있어서,

상기 공통 전극 연결부는 상기 캐패시터 전극의 내부에 위치하여, 상기 캐패시터 전극과 일정간격을 유지하며 형성된 횡전계형 액정표시장치용 기판.

#### 청구항 11

제 1 항에 있어서,

상기 박막트랜지스터 상부에 위치하는 보호층을 더욱 포함하며, 상기 공통 전극 콘택홀은 상기 보호층에 형성된 콘택홀인 횡전계형 액정표시장치용 기판.

#### 청구항 12

제 11 항에 있어서,

상기 공통 전극 콘택홀은 공통 배선과 인접한 위치에서, 상기 공통 배선을 기준으로 상, 하에 각각 하나씩 형성되어 있는 횡전계형 액정표시장치용 기판.

#### 청구항 13

제 3 항에 있어서,

상기 캐패시터 전극과 중첩하는 상기 공통 전극 연결부는 그 선포가 상기 캐패시터 전극의 선포보다 작게 형성된 것이 특징인 횡전계형 액정표시장치용 기판.

### 명세서

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

- <15> 본 발명은 액정표시장치(Liquid Crystal Display Device)에 관한 것이며, 특히 횡전계형(IPS ; In-Plane Switching mode) 액정표시장치에 관한 것이다.
- <16> 일반적으로 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘

고 길기 때문에 분자의 배열에 방향성을 갖고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

- <17> 따라서, 상기 액정의 광학적 이방성에 의하여 액정의 분자배열을 조정하면, 이에 따라 빛이 굴절하여 화상 정보를 표현할 수 있다.
- <18> 현재에는, 각 화소를 개폐하는 스위칭 소자인 박막트랜지스터(Thin Film Transistor ; TFT)가 화소마다 위치하여 이 박막트랜지스터와 연결되는 제 1 전극은 화소 단위로 온/오프되는 화소 전극으로, 또 하나의 전극인 제 2 전극은 공통 전극으로 이용하는 능동행렬 액정표시장치(AM-LCD ; Active Matrix Liquid Crystal Display)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.
- <19> 즉, 상기 액정표시장치는 액정층이 개재되며 공통 전극이 형성된 컬러필터 기판(상부 기판) 및 화소 전극이 형성된 어레이 기판(하부 기판)으로 이루어지며, 이러한 액정표시장치에서는 서로 대향되게 배치된 공통 전극과 화소 전극간에 걸리는 수직 전기장에 의해 액정을 구동시킴에 따라 투과율과 개구율 등의 특성이 우수하다. 그러나, 수직 전기장에 의해 액정을 구동시키게 되면 기판과 액정의 장축이 수직을 이루게 되어 시야각 범위가 좁은 단점이 있다.
- <20> 최근에는 액정표시장치의 시야각 특성을 개선하기 위하여, 횡전계형(수평 전계 방식) 액정표시장치가 제안되었다.
- <21> 도 1은 일반적인 횡전계형 액정표시장치의 단면을 도시한 단면도이고, 도 2a, 2b는 일반적인 횡전계형 액정표시장치의 전압 오프(off), 온(on) 상태에서의 동작특성을 나타낸 단면도이다.
- <22> 도 1에서와 같이, 횡전계형 액정표시장치는 컬러필터 기판인 상부 기판(10)과 어레이 기판인 하부 기판(20)이 서로 대향되게 배치되어 있고, 이 상부 및 하부 기판(10, 20) 사이에는 액정층(30)이 개재된 구조에 있어서, 상기 하부 기판(20) 상에 공통 전극(22)과 화소 전극(24)이 모두 구비되어 있어, 공통 전극(22)과 화소 전극(24)간에 생성되는 수평 전계(26)에 의해 액정층(30)이 수평방향으로 구동되는 것을 특징으로 한다.
- <23> 도 2a, 2b는 전압 오프/온 상태에서의 액정 분자(32)의 동작 특성을 각각 나타낸 것으로, 도 2a에서와 같이 전압 오프시에는 액정 분자(32)의 상변이가 발생되지 않는다. 그리고, 도 2b에서는, 전압이 인가됨에 따라 공통 전극(22) 및 화소 전극(24)과 각각 대응된 위치의 액정 분자(32a)의 상변이는 없으나, 공통 전극(22)과 화소 전극(24) 사이 구간에 위치하는 액정 분자(32b)는 공통 전극(22)과 화소 전극(24)간에 생성되는 수평 전계(26)에 의하여 기판과 평행하게 배열되는 동작특성을 가지게 된다.
- <24> 즉, 이와 같이 횡전계형 액정표시장치에서는 액정이 수평전계에 의해 이동하므로, 표시 화면을 정면에서 보았을 때 상/하/좌/우 방향으로 약 80° ~ 85° 방향까지 가시할 수 있게 되어, 기존의 수직전계 방식 액정표시장치보다 시야각 범위를 넓힐 수 있게 된다.
- <25> 이하, 종래의 횡전계형 액정표시장치에 대해서 도 3을 참조하여 좀 더 상세히 설명하며, 액정표시장치용 하부 기판 구조를 중심으로 도시하였다.
- <26> 도시한 바와 같이, 박막트랜지스터(T)와, 상기 박막트랜지스터(T)를 온시키는 게이트 배선(40)과, 게이트 배선(40)과 교차되는 데이터 배선(52)과, 박막트랜지스터(T)와 연결된 화소 전극(56)과, 공통 전압이 인가되는 공통 배선(42)이 형성됨에 있어서, 상기 게이트 및 데이터 배선(40, 52)이 교차되는 영역은 화소 영역(P)으로 정의된다.
- <27> 그리고, 하나의 화소 영역(P)별로 공통 배선(42)에서는 데이터 배선(52)과 근접하게 배치되는 패턴을 포함하여 세개의 패턴으로 구성되는 공통 전극(44)이 분기되어 있고, 상기 공통 배선(42)과 중첩되어 캐패시터 전극(54)이 형성되어 있으며, 캐패시터 전극(54)에서는 상기 공통 전극(44)과 서로 엇갈리게 배치되는 화소 전극(56)이 일체로 연결되어 있다.
- <28> 이때, 상기 공통 배선(42) 및 게이트 배선(40)은 동일 공정에서 동일 물질로 이루어지며, 바람직하기로는 비저항값이 낮은 불투명 금속물질로 이루어지고, 상기 화소 전극(56)은 투명 도전성 물질로 이루어진다.
- <29> 상기 공통 배선(42) 및 캐패시터 전극(54)이 중첩된 영역은 절연체가 개재된 상태에서 스토리지 캐패시터( $C_{ST}$ )를 이룬다.
- <30> 상기 횡전계형 액정표시장치에서는, 데이터 배선(52)과 화소 전극(56) 사이에 공통 전극(44)이 위치하는 것이 화질 특성상 중요하다. 왜냐하면, 데이터 배선(52)과 화소 전극(56)이 인접구성되면, 데이터 배선(52)으로부터

발생되는 전계가 화소 전극(56)에 영향을 줌에 따라 화질 저하 현상인 크로스 토크(cross talk)가 발생되기 때문이다.

- <31> 상기 박막트랜지스터(T)는 게이트 배선(40) 상에 위치하는 "i"형 반도체층(46)과, 반도체층(46) 상에 위치하며 화소 전극(56)과 연결되는 드레인 전극(50)과, 드레인 전극(50)과 일정간격 이격되며, 상기 데이터 배선(52)에서 분기된 소스 전극(48)을 포함한다. 이때, 상기 반도체층(46)으로 빛이 조사되는 것을 방지하기 위하여 게이트 배선(40)의 내부에 형성되어 있다. 또한, 상기 횡전계형 액정표시장치에서는 상, 하로 인접한 화소 간에 박막트랜지스터(T)가 이어져 구성됨에 따라, 상기 데이터 배선(52)에서 인출되는 소스 전극(48)이 상, 하 방향으로 인출되어 있다.
- <32> 그리고, 화소 영역(P)별 교차부에 형성된 반도체 패턴(47)은 게이트 배선(40)과 데이터 배선(52) 그리고, 공통 배선(44)과 데이터 배선(52)간의 단락을 방지하는 목적을 가진다.
- <33> 도 4는 상기 도 3의 절단선 IV-IV에 따라 절단된 단면을 도시한 것으로, 상부 및 하부 기관의 적층 구조에 대해서 나타내었다.
- <34> 도시한 바와 같이, 액정층(90)이 개재되어 있으며, 화소 영역(P) 및 화소 영역(P)내 실질적으로 화면을 구현하는 영역으로 정의할 수 있는 개구부(PP)가 정의된 상부 및 하부 기관(70, 60)이 대향되게 배치된 구조에서, 하부 기관(60)의 투명 기관(1) 상부에는 화소 영역(P)별로 서로 일정간격 이격된 다수 개의 공통 전극(44)이 형성되어 있고, 공통 전극(44) 상부에는 게이트 절연막(45)이 형성되어 있고, 좌측부의 두 개의 공통 전극(44) 사이에는 데이터 배선(52)이 위치하고, 화소 영역(P)내에는 공통 전극(44)과 화소 전극(56)이 번갈아가며 배치되어 있으며, 공통 전극(44), 데이터 배선(52), 화소 전극(56) 및 게이트 절연막(45) 상에는 보호층(57)이 형성되어 있다.
- <35> 그리고, 상기 상부 기관(70)의 투명 기관(1) 하부에는 데이터 배선(52) 및 데이터 배선(52)과 인접구성된 공통 전극(44)과 대응되는 위치에 블랙매트릭스(72)가 형성되어 있고, 블랙매트릭스(72)와 연결되어 화소 영역(P)별로 컬러별 컬러필터(74)가 반복적으로 형성되어 있고, 컬러필터(74) 하부에는 오버코트층(76 ; overcoat layer)이 형성되어 있다.
- <36> 이 오버코트층(76)은 컬러필터(74)를 이루는 염료 또는 안료 성분이 액정층(90)으로 침투되는 것을 방지하는 목적과, 평탄화를 위해 형성된다. 그리고, 오버코트층(76)과 액정층(90) 사이의 접촉면과, 상기 하부 기관(60)의 보호층(57)과 액정층(90) 사이의 접촉면에는 액정층(90)의 배향을 용이하게 유도하기 위한 상부 및 하부 배향막(77, 58)이 각각 형성되어 있다. 그리고, 상부 및 하부 기관(70, 60)의 각 외부면에는 전압 오프상태에서 완벽한 블랙 또는 화이트 화질을 구현하기 위하여 상부 및 하부 편광판(78, 59)이 각각 부착되어 있다.
- <37> 그러나, 이러한 종래의 횡전계형 액정표시장치는, 화소 영역의 중앙부에 위치하는 공통 배선이 불투명 금속으로 이루어지고, 스토리지 캐패시터를 공통 전극과 화소 전극의 중첩 면적에 의존한다는 점 등에 의해 개구율 및 스토리지 캐패시터 용량이 낮은 단점이 있다.

### 발명이 이루고자 하는 기술적 과제

- <38> 이러한 문제점을 해결하기 위하여, 본 발명에서는 개구율 및 스토리지 캐패시터 향상구조 횡전계형 액정표시장치를 제공하는 것을 목적으로 한다.
- <39> 이하, 상기 목적을 달성하기 위해 본 발명에서 제안하는 실시예들에 대해서 도면을 참조하여 설명한다.
- <40> 도 5는 본 발명의 실시예 1에 따른 횡전계형 액정표시장치용 하부 기관에 대한 평면도로서, 하나의 화소부를 기준으로 도시하였다.
- <41> 도시한 바와 같이, 제 1 방향으로 게이트 배선(102)이 형성되어 있고, 제 1 방향과 교차되는 제 2 방향으로 데이터 배선(120)이 형성되어 있고, 게이트 및 데이터 배선(102, 120)이 교차되는 지점에는 박막트랜지스터(T)가 형성되어 있다.
- <42> 상기 박막트랜지스터(T)는 게이트 배선(102)에서 분기된 게이트 전극(104)과, 게이트 전극(104) 및 데이터 배선(120)과 중첩되게 형성된 반도체층(112)과, 반도체층(112) 상에서 서로 일정간격 이격되게 위치하는 소스 전극(114) 및 드레인 전극(116)을 포함한다.

- <43> 본 발명에서는 상기 반도체층(112)을 데이터 배선(120)과 대응되는 패턴으로 연장형성하고, 박막트랜지스터(T)를 온(on)시키는 게이트 물질을 게이트 전극(104)으로 한다.
- <44> 이때, 상기 데이터 배선(120)과 대응되게 위치하는 반도체층(112) 영역은 데이터 배선(120)의 버퍼층 역할을 한다. 그리고, 종래와 달리 박막트랜지스터(T)를 게이트 전극(104)부에 구성함에 따라, 박막트랜지스터(T)를 이루는 반도체층(112)으로 빛이 유입되는 것은 미도시한 블랙매트릭스로 차단할 수 있다.
- <45> 그리고, 상기 게이트 배선(102)과 일정간격 이격된 위치에서 평행한 방향으로 공통 전압을 인가받는 공통 배선(106)이 형성되어 있고, 이 공통 배선(106)에서는 데이터 배선(120)과 평행한 방향으로 제 1, 2 공통 전극(108, 110)이 분기되어 있다.
- <46> 상기 게이트 배선(102)은 비저항값이 낮은 불투명 금속으로 이루어지고, 바람직하기로는 몰리브덴(Mo), 알루미늄 네오디뮴(AlNd)를 각각 상, 하부층으로 하는 이중층 금속으로 구성되는 것이 바람직하다.
- <47> 그리고, 제 1, 2 공통 전극(108, 110) 사이 구간에는 제 1, 2 공통 전극(108, 110)과 평행한 방향으로 투명 도전성 물질(바람직하기로는, ITO(indium tin oxide))로 이루어진 제 3 공통 전극(122)이 형성된다. 여기서, 제 1, 2 공통 전극(108, 110)은 각각 제 1a, 1b 공통 전극(108a, 108b) 및 제 2a, 2b 공통 전극(110a, 110b)으로 이루어지고, 이때 제 1a, 2a 공통 전극(108a, 110a)은 게이트 배선(102)과 동일 물질로 이루어지며, 제 1b, 2b 공통 전극(108b, 110b)은 제 3 공통 전극(122)과 동일 물질로 이루어지는 것을 특징으로 한다. 특히, 제 2b 공통 전극(110b)과 제 3 공통 전극(122)은 공통 배선(106)과 대응되는 위치의 공통 전극 연결부(124)를 통해 일체형으로 연결되어 있으며, 제 1a, 1b 공통 전극(108a, 108b)과 제 2a, 2b 공통 전극(110a, 110b)은 각각 공통 전극 콘택홀(111)을 통해 서로 연결되어 있다.
- <48> 그리고, 상기 박막트랜지스터(T)와 연결된 화소 전극 제 1 연결부(126) 및 게이트 배선(102)과 중첩되는 화소 전극 제 2 연결부(128)가 서로 마주보는 구간에서 제 2 방향으로 화소 전극(130)이 다수 개 분기되어 있으며, 이 화소 전극(130)은 상기 제 1 공통 전극(108)과 제 3 공통 전극(122) 사이 구간 및 제 3 공통 전극(122)과 제 2 공통 전극(110) 사이 구간에 각각 위치한다. 상기 화소 전극 제 1 연결부(126) 및 화소 전극 제 2 연결부(128) 그리고 화소 전극(130)을 이루는 재질은 제 3 공통 전극(122)과 동일한 물질에서 선택된다.
- <49> 더욱이, 상기 횡전계형 액정표시장치에서는 드레인 전극(116)에서 연장형성되어 상기 공통 배선(106)과 대응되는 패턴으로 형성된 캐패시터 전극(118)이 형성되어 있고, 캐패시터 전극(118)과 공통 배선(106)이 중첩되는 영역은 절연체가 개재된 상태에서 공통 방식의 제 1 스토리지 캐패시터( $C_{ST1}$ )를 이루고, 게이트 배선(102)과 중첩되는 화소 전극 제 2 연결부(128) 영역은 절연체가 개재된 상태에서 전단 게이트 방식의 제 2 스토리지 캐패시터( $C_{ST2}$ )를 이룬다.
- <50> 특히, 제 1 스토리지 캐패시터( $C_{ST1}$ )는 공통 배선(106)과 캐패시터 전극(118)이 중첩된 영역에서의 스토리지 캐패시터 및 공통 배선(106)과 캐패시터 전극(118) 그리고 화소 전극(130) 또는 공통 전극(106)과 캐패시터 전극(118) 그리고 공통 전극 연결부(124)가 삼중으로 중첩된 영역에서는 직렬방식의 스토리지 캐패시터의 합으로 이루어진다.
- <51> 이와 같이, 본 실시예1에 의하면 별도의 공정 추가없이 중앙부에 위치하는 제 3 공통 전극(122)을 투명 도전성 물질로 구성함에 따라 개구율 향상을 꾀할 수 있으며, 전단 게이트 방식과 공통 방식을 채용하여 스토리지 캐패시터( $C_{ST}$ )의 용량을 향상시킬 수 있다.
- <52> 이하, 상기 실시예에 의한 횡전계형 액정표시장치의 제조 공정에 대해서 설명한다.
- <53> 도 6은 상기 도 5의 횡전계형 액정표시장치용 하부 기판의 제조 공정을 단계별로 나타낸 공정 흐름도이다.
- <54> ST1은 비저항값이 낮은 불투명 금속물질을 증착한 후, 감광성 물질을 이용하여 노광, 현상, 식각 등 일련의 공정을 포함하는 제 1 마스크 공정으로 패터닝하여, 게이트 전극을 포함하는 게이트 배선과, 제 1a, 2a 공통 전극을 포함하는 공통 배선을 형성하는 게이트 공정 단계이다.
- <55> ST2는 ST1 단계를 거친 기판 상에, 실리콘 질화막( $\text{SiN}_x$ ), 비정질 실리콘(a-Si), 불순물 비정질 실리콘(n+ a-Si)를 차례대로 연속 증착 후, 실리콘 질화막( $\text{SiN}_x$ )으로 이루어진 게이트 절연막을 형성하는 단계와, 제 2 마스크 공정을 통해 비정질 실리콘으로 이루어진 액티브층(active layer)과, 불순물 비정질 실리콘으로 이루어진 옴릭 콘택층(ohmic contact layer)으로 구성되는 반도체층을 형성하는 단계이다.



- <56> 이때, 상기 반도체층은 게이트 전극을 덮는 영역 및 데이터 배선과 대응되는 영역에 형성된다.
- <57> ST3은 ST2 단계를 거친 기판 상에, 몰리브덴(Mo)과 같은 화학적 내식성이 강한 금속물질을 증착한 후, 제 3 마스크 공정에 의해 소스 전극을 포함하는 데이터 배선과, 상기 소스 전극과 일정간격 이격되며, 캐패시터 전극을 포함하는 드레인 전극을 형성하는 단계이다.
- <58> 상기 캐패시터 전극은 전술한 공통 배선과 대응되는 위치에 형성된다.
- <59> ST4에서는, 상기 ST3 단계를 거친 기판 상에, 유기 또는 무기 절연물질을 증착 후, 제 4 마스크 공정에 의해 상기 공통 전극, 드레인 전극을 일부 노출시키는 공통 전극 콘택홀, 드레인 콘택홀을 각각 형성하는 단계이다.
- <60> ST5에서는, 상기 ST4 단계를 거친 기판 상에, 투명 도전성 물질인 ITO를 증착한 후, 제 5 마스크 공정에 의해 드레인 콘택홀을 통해 드레인 전극과 연결되는 화소 전극 제 1 연결부와 게이트 배선과 중첩되는 화소 전극 제 2 연결부와 이 화소 전극 제 1, 2 연결부와 일체로 구성되며, 상기 제 1a, 2a 공통 전극과 서로 엇갈리게 위치하는 화소 전극을 형성하는 단계와, 상기 화소 전극 사이의 화소 영역의 중앙부에 위치하는 제 3 공통 전극과, 상기 제 1a, 2a 공통 전극과 대응되는 위치에서, 제 1a, 2a 공통 전극과 공통 전극 콘택홀을 통해 연결되는 제 1b, 2b 공통 전극을 형성함에 있어서, 제 2b 공통 전극은 제 3 공통 전극과 공통 전극 연결부를 통해 구성하는 단계이다.
- <61> 상기 제 2b 공통 전극은 제 3 공통 전극과 일체로 구성될 수 있다.
- <62> 이와 같은 횡전계 액정표시장치용 하부 기판을 제작 공정에서는, 금속 물질, 절연물질, 반도체 물질 등의 증착 공정 및 마스크 공정이 되풀이되면서, 기판 상에는 패턴 형성부 이외의 영역에 해당 물질의 잔재가 남을 수 있는데, 이러한 잔재 물질은 패턴간의 이격거리가 짧은 경우 두 패턴간에 단락을 발생시킬 수 있다.
- <63> 특히, 상기 횡전계형 액정표시장치에서는 데이터 배선과 공통 전극이 인접 구성되는 구조에 있어서, 상기 공통 전극을 게이트, ITO 공정을 거쳐 이중층 구조배선으로 구성함에 따라, 데이터 배선과 공통 전극 간의 단락 불량이 발생될 확률이 높아지게 된다.
- <64> 또한, 상기 공통 배선과 대응된 영역에서, 데이터 배선물질로 이루어진 캐패시터 전극과 투명 도전성 물질로 이루어진 공통 전극 연결부가 중첩되므로, 이부분에서도 배선간에 단락 불량이 발생될 확률이 매우 높다.
- <65> 이러한 문제점을 개선하기 위하여, 본 발명의 또 하나의 실시예에서는 데이터 배선과 인접구성되는 공통 전극 그리고, 캐패시터 전극과 중첩되는 공통 전극 연결부의 패턴 구조를 변경하여 단락불량 감소에 따라 생산수율이 향상된 횡전계형 액정표시장치를 제공하는 것을 또 다른 목적으로 한다.

### 발명의 구성 및 작용

- <66> 상기 목적을 달성하기 위하여, 본 발명에서는 기판과; 상기 기판 상에 제 1 방향으로 형성된 다수 개의 게이트 배선과; 상기 제 1 방향과 교차되는 제 2 방향으로 형성된 다수 개의 데이터 배선과; 상기 게이트 및 데이터 배선이 교차되는 지점에 형성된 박막트랜지스터와; 상기 게이트 배선과 일정간격 이격된 위치에서 제 1 방향으로 형성된 공통 배선과; 상기 공통 배선과 연결되어 제 2 방향으로 위치하며, 상기 데이터 배선과 인접 구성되는 제 1, 2 공통 전극과, 상기 제 1, 2 공통 전극 사이에 위치하고, 상기 제 1, 2 공통 전극 중 어느 한 공통 전극의 일부와 중첩된 상태에서 상기 제 1 방향으로 연장된 공통 전극 연결부를 포함하는 투명 도전성 물질로 이루어진 제 3 공통 배선과; 상기 제 3 공통 전극과 상기 제 1, 제 2 공통 전극 중 어느 한 공통 전극과 연결시키기 위한 공통 전극 콘택홀과; 상기 박막트랜지스터에 연결되며, 상기 제 1, 2 및 제 3 공통 전극과 서로 교대하며 배치되고, 상기 제 3 공통 전극과 동일 물질로 이루어진 다수 개의 화소 전극과; 상기 다수 개의 화소 전극을 서로 연결시키며, 상기 제 1 방향으로 상기 게이트 배선과 중첩하도록 형성된 화소 전극 연결부를 포함하는 횡전계형 액정표시장치용 기판을 제공한다.
- <67> 상기 박막트랜지스터는 상기 게이트 배선에서 분기된 게이트 전극과, 상기 게이트 전극을 덮는 반도체층과, 상기 반도체층 상에서 서로 일정간격 이격되는 데이터 배선에서 분기된 소스 전극 및 상기 화소 전극과 연결되는 드레인 전극으로 이루어지고, 상기 드레인 전극에서 연장형성되어 상기 공통 배선과 대응되는 영역에 캐패시터 전극이 위치하며, 상기 캐패시터 전극과 공통 배선이 대응되는 영역은 절연체가 개재된 상태에서 제 1 스토리지 캐패시터를 이루고, 상기 게이트 배선과 중첩되는 화소 전극 연결부는 절연체가 개재된 상태에서 제 2 스토리지 캐패시터를 이루는 것을 특징으로 한다.
- <68> 그리고, 상기 제 1, 2 공통 전극은 게이트 배선과 동일 물질인 것을 특징으로 한다.

- <69> 상기 게이트 배선 및 공통 배선을 이루는 재질은 비저항값이 낮은 불투명 금속물질에서 선택되며, 상기 불투명 금속물질은 알루미늄 네오디뮴(AlNd)을 하부층으로 포함하는 이중층 구조의 금속물질인 것을 특징으로 한다. 그리고, 상기 투명 도전성 물질은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide)중 어느 하나인 것을 특징으로 한다.
- <70> 상기 공통 전극 연결부는 상기 공통 배선과 대응되는 안쪽 영역에서 상기 제 1, 2 공통 전극 중 어느 한 공통 전극과 일부 중첩되게 연장형성된 것이며, 상기 공통 배선과 대응되는 위치에서, 상기 공통 전극 연결부의 선포는  $3\ \mu\text{m} \sim 5\ \mu\text{m}$ 이며, 상기 공통 전극 연결부는 상기 캐패시터 전극의 내부에 위치하여, 상기 캐패시터 전극과 일정간격을 유지하며 형성되며, 상기 캐패시터 전극과 중첩하는 상기 공통 전극 연결부는 그 선포가 상기 캐패시터 전극의 선포보다 작게 형성된 것이 특징으로 한다.
- <71> 상기 박막트랜지스터 상부에 위치하는 보호층을 더욱 포함하며, 상기 공통 전극 콘택홀은 상기 보호층에 형성된 콘택홀인 것이며, 상기 공통 전극 콘택홀은 공통 배선과 인접한 위치에서, 상기 공통 배선을 기준으로 상, 하에 각각 하나씩 형성되어 있는 것을 특징으로 한다.
- <72> 이하, 본 발명의 바람직한 실시예에 대하여 도면을 참조하여 상세히 설명한다.
- <73> 도 7, 8은 본 발명의 제 2 실시예에 따른 횡전계형 액정표시장치에 대한 도면으로써, 도 7은 평면도이고, 도 8은 상기 도 7의 "VIII"영역에 대한 확대도이다.
- <74> 도시한 바와 같이, 제 1 방향으로 게이트 배선(202)이 형성되어 있고, 제 1 방향과 교차되는 제 2 방향으로 데이터 배선(220)이 형성되어 있으며, 상기 게이트 배선(202)과 평행한 방향으로 일정간격 이격되게 위치하며, 데이터 배선(220)과 평행한 방향으로 서로 일정간격 이격된 다수 개의 제 1, 2, 3 공통 전극(208, 210, 222)을 포함하는 공통 배선(206)이 형성되어 있으며, 게이트 및 데이터 배선(202, 220)이 교차되는 지점에는 박막트랜지스터(T)가 형성되어 있고, 박막트랜지스터(T)와 화소 전극(230)을 연결하는 화소 전극 제 1 연결부(226)와, 게이트 배선(202)과 중첩되어 화소 전극 제 2 연결부(228)이 형성되어 있고, 이 두 연결부 사이에는 데이터 배선(220)과 평행한 방향으로, 상기 제 1, 2, 3 공통 전극(208, 210, 222)과 서로 엇갈리게 다수 개의 화소 전극(230)이 형성되어 있다.
- <75> 좀 더 상세히 설명하면, 본 실시예에서는 제 1, 2 공통 전극(208, 210)을 하나의 공정에서 이루어진 단일층 배선으로 형성하고, 제 3 공통 전극(222)과 공통 배선(206) 간의 연결부 패턴으로써, 한 예로 상기 제 3 공통 전극(222)에서 제 2 공통 전극(210)으로 연장형성된 구조의 공통 전극 연결부(224)만을 형성하는 것을 특징으로 한다.
- <76> 더욱이, 본 실시예에서는 제 2 공통 전극(210)과 중첩되는 위치에 공통 전극 콘택홀(211)을 형성함에 있어서, 상기 공통 배선(206)과 인접한 위치에서 상, 하 구조로 형성된 것을 특징으로 한다. 이 공통 전극 콘택홀(211)은 미도시한 보호층에 형성된 콘택홀에 해당된다.
- <77> 그러나, 상기 공통 전극 콘택홀(211)의 형성위치 및 갯수는 공통 전극 연결부(224) 패턴을 최소화할 수 있는 구조라면 다양하게 변경할 수 있다.
- <78> 도 8은 상기 "VIII" 영역에 대한 확대도로서, 도시한 바와 같이 상기 공통 전극 연결부(224)는 제 3 공통 전극(222)과 제 2 공통 전극(210)을 연결하는 공통 전극 콘택홀(211)과 대응되는 영역(IX)만큼 제 2 공통 전극(210) 영역에서 제 2 방향으로 일부 인출되도록 형성하고, 특히 데이터 배선(220)이 형성된 동일한 층에 동일한 물질로 이루어진 캐패시터 전극(218)과 대응되는 상기 공통 전극 연결부(224)의 선포를 최소화하여 즉, 상기 캐패시터 전극(218)의 폭보다 작은 폭을 갖도록 한 것을 특징으로 한다. 이때 상기 캐패시터 전극(218)과 중첩되는 상기 공통 전극 연결부(224)의 선포는 상기 실시예 1보다 작게 구성되고 있는 것이 특징이다.
- <79> 또한, 전술한 실시예 1에서는 제 1 공통 전극(208)과 대응되는 위치 상에도 투명 도전성 물질로 이루어진 패턴을 포함하여 이중층 구조로 구성하였으나, 본 실시예2에서는 제 1 공통 전극(208)을 불투명 금속물질로 이루어진 단일층 패턴으로 구성하는 것을 특징으로 한다.
- <80> 이에 따라, 데이터 공정에서 형성되는 데이터 배선(220) 및 캐패시터 전극(218)과 각각 인접구성되는 공통 전극(208, 210) 및 공통 전극 연결부(224)와의 단락 발생률을 최소화할 수 있다. 한 예로, 상기 공통 배선(206) 상부에서 상기 캐패시터 전극(218)과 중첩되는 공통 전극 연결부(224)의 선포(d)은 실시예 1에서는 대략  $13\ \mu\text{m}$ 으로 하였으나, 본 실시예에서는  $3\ \mu\text{m} \sim 5\ \mu\text{m}$ 로 하는 것이 바람직하다. 여기서, 상기 공통 전극 연결부(224)의 선포(d)을 현저하게 감소시키는 것이 가능한 것은, 공통 전극 연결부(224)를 이루는 재질이 불투명 금속물질보다



비교적 좁은 패턴으로 형성하여도 단선 불량 확률이 낮은 투명 도전성 물질에서 선택되기 때문이다.

그러나, 본 발명의 상기 실시예로 한정되지 않으며, 본 발명의 취지에 벗어나지 않는 범위내에서 다양하게 변경하여 실시할 수 있다.

<81> 삭제

<82> 삭제

### 발명의 효과

<83> 이상과 같이, 본 발명에 따른 횡전계형 액정표시장치에 의하면 개구율 및 스토리지 캐패시터를 향상시킬 수 있을 뿐 아니라, 인접구성된 전극 간의 단락을 방지할 수 있어 생산수율이 향상된 횡전계형 액정표시장치를 제공할 수 있다.

### 도면의 간단한 설명

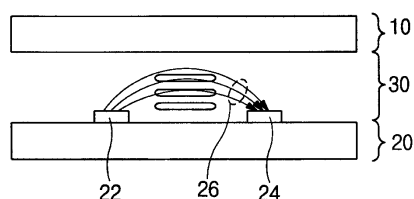
- <1> 도 1은 일반적인 횡전계형 액정표시장치의 단면을 도시한 단면도.
- <2> 도 2a, 2b는 일반적인 횡전계형 액정표시장치의 오프(off), 온(on) 상태에서의 동작특성을 나타낸 단면도.
- <3> 도 3은 종래의 횡전계형 액정표시장치에 대한 평면도.
- <4> 도 4는 상기 도 3의 절단선 IV-IV에 따라 절단된 단면을 도시한 단면도.
- <5> 도 5는 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치용 하부 기관의 평면도.
- <6> 도 6은 상기 도 5의 횡전계형 액정표시장치용 하부 기관의 제조 공정을 단계별로 나타낸 공정 흐름도.
- <7> 도 7은 본 발명의 제 2 실시예에 따른 횡전계형 액정표시장치용 하부 기관에 대한 평면도.
- <8> 도 8은 상기 도 7의 "VIII" 영역에 대한 확대도.

<9> <도면의 주요부분에 대한 부호의 설명>

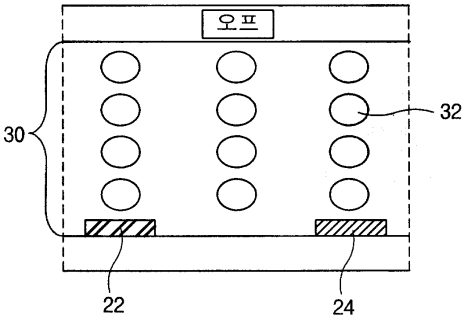
- |   |   |
|---|---|
| <ul style="list-style-type: none"> <li>&lt;10&gt; 202 : 게이트 배선</li> <li>&lt;11&gt; 208 : 제 1 공통 전극</li> <li>&lt;12&gt; 211 : 공통 전극 콘택홀</li> <li>&lt;13&gt; 222 : 제 3 공통 전극</li> <li>&lt;14&gt; 230 : 화소 전극</li> </ul> | <ul style="list-style-type: none"> <li>206 : 공통 배선</li> <li>210 : 제 2 공통 전극</li> <li>220 : 데이터 배선</li> <li>224 : 공통 전극 연결부</li> </ul> |
|---|---|

### 도면

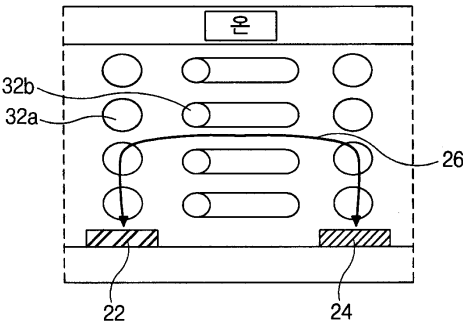
#### 도면1



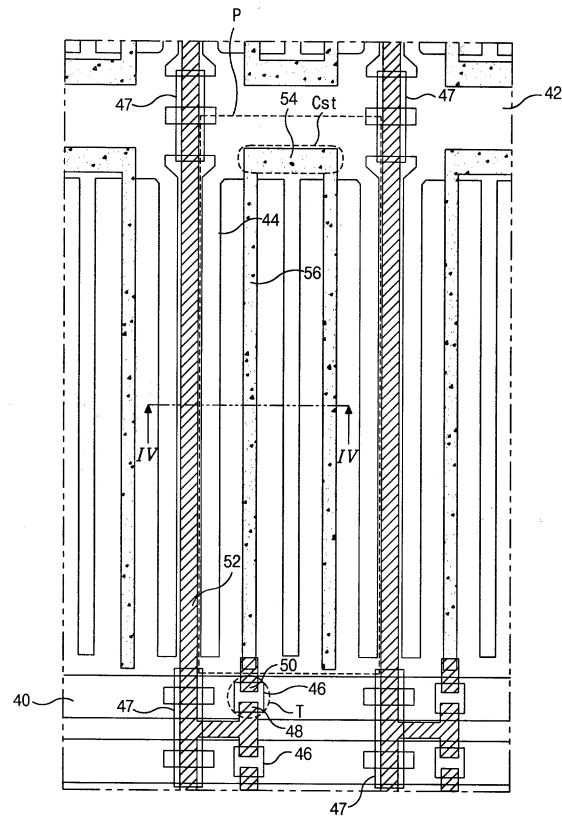
도면2a



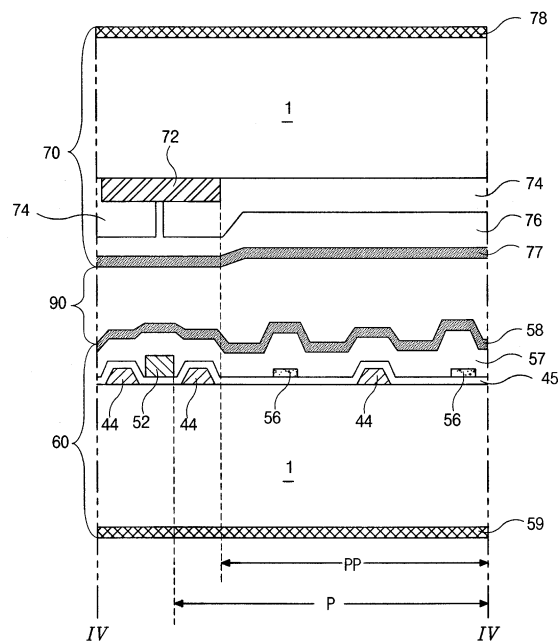
도면2b



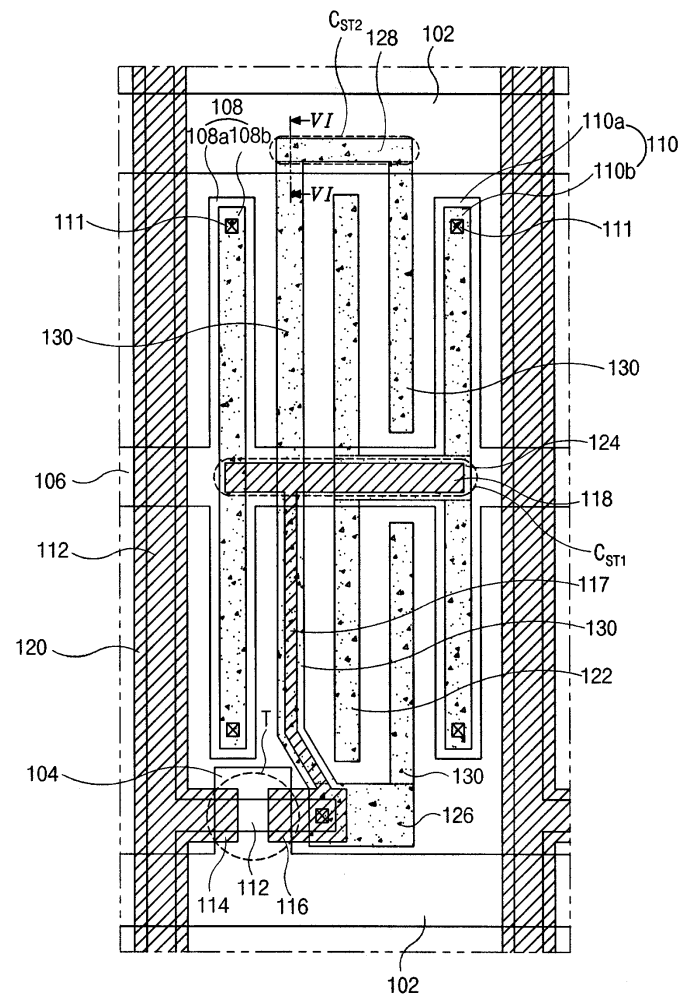
도면3



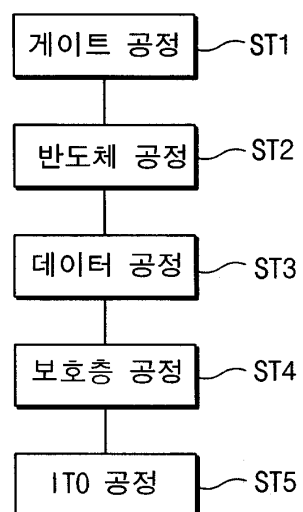
도면4



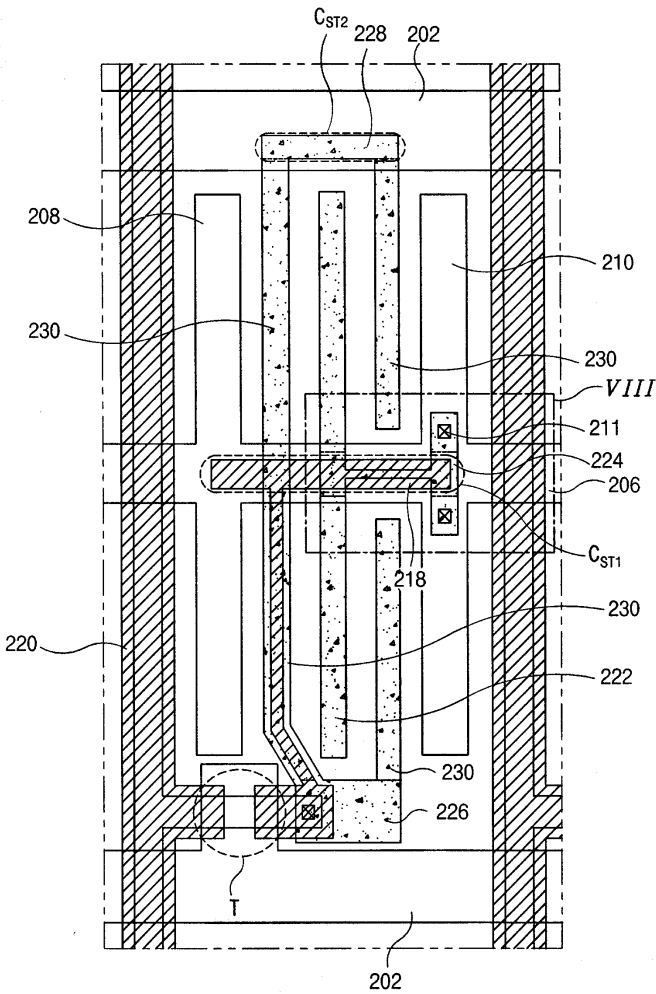
도면5



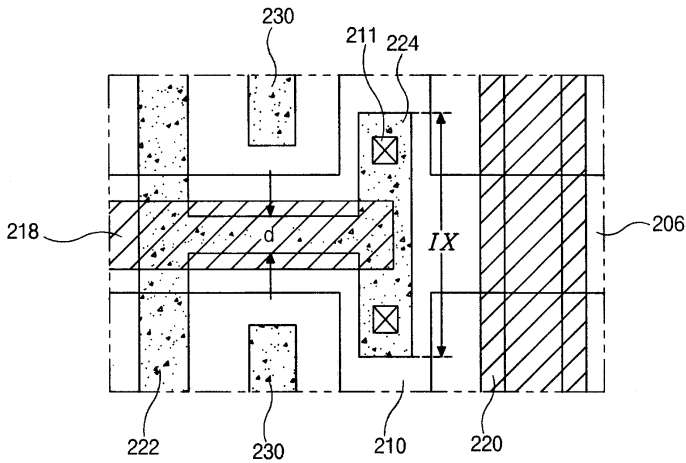
도면6



도면7



도면8





专利名称(译)	横向电场型液晶显示装置		
公开(公告)号	<a href="#">KR100829785B1</a>	公开(公告)日	2008-05-16
申请号	KR1020010078247	申请日	2001-12-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YOUN JAEHYOUNG 윤재형 LEE GUETAI 이규태		
发明人	윤재형 이규태		
IPC分类号	G02F1/1343 G02F1/1362 H01L21/00 H01L21/84 H01L29/04 H01L31/036 H01L31/0376 H01L31/20		
CPC分类号	G02F1/136213 G02F1/134363		
其他公开文献	KR1020030048489A		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

根据本发明，多个栅极布线沿第一方向形成在基板上；在与第一方向交叉的第二方向上形成的多条数据线；在栅极和数据线交叉的点处形成的薄膜晶体管；在与栅极布线隔开预定距离的位置处沿第一方向形成的公共布线；并且被连接到公共线位置在第二方向上，第一和第二公共电极，其邻近于所述数据线，并且被配置和定位在所述第一和第二公共电极之间，所述公共的任一项所述的第一和第二公共电极第三公共布线，由透明导电材料制成，包括公共电极连接部分，该公共电极连接部分在第一方向上延伸，同时与电极的一部分重叠；公共电极接触孔，用于连接第三公共电极和第一和第二公共电极的公共电极；多个像素电极连接到薄膜晶体管并与第一，第二和第三公共电极交替布置，像素电极由与第三公共电极相同的材料制成；其特征在于，对于包括它被形成为与所述多个像素电极，所述第一方向sikimyeo连接的栅极布线重叠的像素电极连接部分的液晶显示装置提供横向jeongyehyeong衬底。

