



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/136 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년05월25일 10-0721304 2007년05월17일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2000-0085421 2000년12월29일 2005년10월14일	(65) 공개번호 (43) 공개일자	10-2002-0056115 2002년07월10일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자 엘지.필립스 엘시디 주식회사
 서울 영등포구 여의도동 20번지

(72) 발명자 하영훈
 경상북도구미시옥계동대동한마음타운104동701호

 소재문
 경상북도구미시임수동401-3LGLCD기숙사B/504

 김중우
 경상북도구미시원평1동삼우궁전아파트1404호

(74) 대리인 특허법인네이트

(56) 선행기술조사문헌
1019960013062

심사관 : 박남현

전체 청구항 수 : 총 3 항

(54) 액정표시장치용 액정패널 및 그의 제조방법

(57) 요약

본 발명에서는, 표시 영역과 비표시 영역이 정의된 제 1 기판과; 상기 제 1 기판상에 형성된 게이트 절연막과; 상기 제 1 기판상의 표시영역에 상기 게이트 절연막을 그 구성요소로 포함하며 형성된 박막 트랜지스터와; 상기 박막 트랜지스터와 연결되고, 상기 게이트 절연막 상에 형성된 화소전극과; 상기 박막 트랜지스터 상에 형성된 보호층과; 상기 제 1 기판과 마주하는 제 2 기판과; 상기 제 2 기판의 내측면 형성된 공통전극과; 상기 제 1 및 제 2 기판 사이의 상기 표시 영역과 비표시 영역의 경계부에 형성된 셀 패턴과; 상기 제 1, 2 기판 사이에 상기 셀패턴 내측으로 충전된 액정층을 포함하며, 상기 보호층은 상기 셀 패턴이 위치하는 부분에서 제거됨으로써 상기 셀 패턴이 상기 게이트 절연막과 접촉하도록 형성된 것을 특징으로 하는 액정표시장치용 액정패널을 제공함으로써, 표시 영역 내부의 셀 갭과 이 셀 패턴에 의한 표시 영역과 비표시 영역의 셀 갭을 일정하게 유지하여 고화질의 액정표시장치를 제공하는 장점을 가진다.

대표도

도 4

특허청구의 범위

청구항 1.

표시 영역과 비표시 영역이 정의된 제 1 기관과;

상기 제 1 기관상에 형성된 게이트 절연막과;

상기 제 1 기관상의 표시영역에 상기 게이트 절연막을 그 구성요소로 포함하며 형성된 박막 트랜지스터와;

상기 박막 트랜지스터와 연결되고, 상기 게이트 절연막 상에 형성된 화소전극과;

상기 박막 트랜지스터 상에 형성된 보호층과;

상기 제 1 기관과 마주하는 제 2 기관과;

상기 제 2 기관의 내측면 형성된 공통전극과;

상기 제 1 및 제 2 기관 사이의 상기 표시 영역과 비표시 영역의 경계부에 형성된 셀 패턴과;

상기 제 1, 2 기관 사이에 상기 셀패턴 내측으로 충전된 액정층

을 포함하며, 상기 보호층은 상기 셀 패턴이 위치하는 부분에서 제거됨으로써 상기 셀 패턴이 상기 게이트 절연막과 접촉하도록 형성된 것을 특징으로 하는 액정표시장치용 액정패널.

청구항 2.

제 1 항에 있어서,

상기 제 1 및 제 2 기관 사이에 셀 갭을 일정하게 유지하는 스페이서(spacer)를 더욱 포함하는 액정표시장치용 액정패널.

청구항 3.

표시 영역과 비표시 영역이 정의된 제 1 기관 상에 게이트 절연막을 형성하는 단계와;

상기 제 1 기관의 상기 표시 영역에 상기 게이트 절연막을 일 구성요소로 포함하는 박막트랜지스터를 형성하는 단계와;

상기 박막트랜지스터를 덮으며, 상기 표시영역과 비표시영역의 경계부의 게이트 절연막을 노출시키는 보호층을 형성하는 단계와;

상기 게이트 절연막 상에, 상기 박막 트랜지스터와 연결되는 화소전극을 형성하는 단계와;

제 2 기관에 컬러필터 및 공통전극을 형성하는 단계와;

상기 제 1 기관의 표시영역 상에 스페이서(spacer)를 산포하는 단계와;

상기 비표시 영역과 표시 영역의 경계부에 액정 주입구를 가지며, 상기 게이트 절연막과 접촉하는 셀 패턴을 형성하는 단계와;

상기 제 1 및 제 2 기판을 합착하는 단계와;
상기 액정 주입구를 통해 액정을 충전하는 단계
를 포함하는 액정표시장치용 액정패널의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치용 액정패널에 관한 것으로, 좀 더 상세하게는 4 마스크 구조의 액정표시장치용 액정패널 및 그의 제조방법에 관한 것이다.

액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용하는 것이다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 갖고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

따라서, 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의하여 상기 액정의 분자 배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

현재에는 박막 트랜지스터(Thin Film Transistor; TFT)와 상기 박막 트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 능동행렬 액정 표시장치(Active Matrix LCD: AM-LCD)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

이러한 액정표시장치를 구성하는 기본적인 부품인 액정패널의 구조를 살펴보면 다음과 같다.

도 1은 일반적인 액정표시장치용 액정패널의 일부영역에 대한 단면도이다.

도시한 바와 같이, 상기 액정표시장치용 액정패널(10)에는 컬러필터 기판인 상부 기판(12)과 어레이 기판인 하부 기판(14)이 일정간격 이격되어 대향하고 있으며, 이 상부 및 하부 기판(12, 14)에는 액정(16)이 충전되어 있다.

상기 하부 기판(14)의 투명 기판(1) 상에는 게이트 전극(18)이 형성되어 있고, 이 게이트 전극(18) 상에는 기판 전면에 걸쳐 게이트 절연막(20)이 형성되어 있으며, 이 게이트 절연막(20) 상에는 액티브층(22a; active layer), 옴릭 콘택층(22b; ohmic contact layer)으로 이루어진 반도체층(22)이 형성되어 있고, 이 반도체층(22) 상에는 소스 및 드레인 전극(26, 24)이 형성되어 있으며, 이 소스 및 드레인 전극(26, 24) 상에는 소스 콘택홀(30)을 포함하는 보호층(28)이 형성되어 있고, 이 소스 콘택홀(30)을 통해 소스 전극(26)과 접촉되어 상기 액정(16)에 전압을 인가하는 한쪽 전극 역할을 하는 화소전극(32)이 형성되어 있다.

이때, 상기 게이트 전극(18)과 반도체층(22) 그리고, 소스 및 드레인 전극(26, 24)를 포함하여 박막 트랜지스터(T)라 부른다.

한편, 상기 상부 기판(12)의 투명 기판(1) 하부에는 상기 박막 트랜지스터(T)와 대응하는 위치에 블랙 매트릭스(34)가 형성되어 있고, 상기 화소전극(32)과 대응하는 위치에는 R,G,B 컬러필터(36)가 형성되어 있고, 이 블랙 매트릭스(34) 및 R,G,B 컬러필터(36) 하부에는 평탄화층(38)이 형성되어 있고, 이 평탄화층(38) 하부에는 액정(16)에 전압을 인가하는 또 다른 전극역할을 하는 공통전극(40)이 형성되어 있다.

그리고, 상기 공통전극(40)과 화소전극(32) 사이 내부면에는 상기 상부 기판(12)과 하부 기판(14) 사이 간격인 셀 갭(cell gap)을 일정하게 유지하는 스페이서(42)가 위치하고 있다.

그리고, 상기 액정표시장치용 액정패널(10)의 외곽부에는 상기 스페이서(42)와 같이 셀 갭을 일정하게 유지시킴과 동시에 상기 상부 및 하부 기관(12, 14)을 합착시키는 셀 패턴(44)이 형성되어 있다.

이때, 상기 하부 기관(14)은 5 마스크 공정에 의한 것으로 상기 셀 패턴(44)이 형성된 영역을 포함하여, 기관 전면에 걸쳐 게이트 절연막(20)과 보호층(28)이 형성되어 있다.

즉, 상기 스페이서(42)에 의해 의한 셀 갭(d_1)과 상기 셀 패턴(d_2)에 의한 셀 갭을 비교할 때, 상기 스페이서(42)의 하부에 위치한 화소 전극(32)층은 셀 갭의 마진(margin)에 영향을 끼치지 않을 정도로 매우 박막으로 형성되기 때문에, 상기 두 영역에서의 셀 갭은 거의 일정하게 유지된다.

한편, 상기 5 마스크 공정에 의한 액정표시장치용 하부 기관(14)에서는 게이트 전극(18)을 형성하는 단계와, 반도체층(22)을 형성하는 단계와, 소스 및 드레인 전극(26, 24)을 형성하는 단계와; 보호층(28)에 소스 콘택홀(30)을 형성하는 단계와 화소전극(32)을 형성하는 단계에서 각각 별도의 마스크를 제작하여 사진식각(photolithography)공정으로 식각을 통해 임의의 형태로 각 층(절연층, 액티브층, 금속층)을 패터닝(patterning)하는 공정이 수반된다.

기존에는 이러한 5 마스크 공정에 의한 액정표시장치가 주를 이루었으나, 마스크 공정을 줄이게 되면, 공정에 수반되는 비용을 상당히 줄일 수 있으며 공정시간의 단축으로 불량 발생률도 잇달아 감소시킬 수 있으므로, 최근에는 상기와 같은 이유로 마스크 수를 줄이는 어레이 공정에 대한 연구가 활발히 이루어지고 있고, 이러한 연구에 대한 성과로 4 마스크 공정이 점점 늘고 있는 추세이다.

도 2는 일반적인 4 마스크 액정표시장치용 어레이 기관의 제조공정에 대한 개략적인 흐름도이다.

ST1는 게이트 공정으로, 투명 기관 상에 저저항 배선에 적합한 금속물질을 증착한 후, 제 1 마스크를 이용한 사진식각 공정에 의해 게이트 전극 및 캐패시터 전극을 포함하는 게이트 배선을 형성하는 단계이다.

이러한 금속물질로는 알루미늄(Aluminum), 알루미늄 합금 또는 알루미늄을 포함하는 이중 금속층 중 어느 하나의 금속으로 이루어진다.

ST2는 채널(channel) 및 소스, 드레인 전극 공정으로, 상기 게이트 배선이 형성된 기관 상에 게이트 절연막, 비정질 실리콘(a-Si), 불순물 비정질 실리콘($n^+ a-Si$) 그리고 금속물질을 차례대로 증착한 후, 제 2 마스크를 이용하여 박막 트랜지스터의 전압의 온/오프 스위칭이 이루어지는 채널, 오믹 콘택층 및 소스 및 드레인 전극과 데이터 배선을 형성하는 단계이다.

상기 오믹 콘택층은 액티브층을 이루는 비정질 실리콘을 이온 도핑하여 전자 이동도를 높인 물질로서, 액티브층과 금속층 간의 접촉저항을 낮추는 역할을 한다.

상기 금속물질로는 화학적 내식성이 강하고, 기계적 강도가 높은 몰리브덴(Mo), 크롬(Cr), 텅스텐(W), 니켈(Ni) 등이 주로 이용된다.

한편, 이 단계에서는 상기 데이터 배선금속으로 스토리지 캐패시턴스(storage capacitance ; C_{ST})를 이루는 보조 캐패시터 전극을 형성하는 단계를 포함한다.

ST3는 보호층 및 액티브층 공정으로, 이 단계에서는 제 3 마스크를 이용하여 액티브층을 형성하고, 그 외 영역에서 보호층에서 액티브층까지 일괄식각하는 단계이다.

이 단계에서는 어레이 기관의 구조에 따라 소스 콘택홀을 형성하는 단계가 포함될 수 있다.

이때, 보호층과 액티브층을 일괄 식각하는 과정에서 상기 두 층 사이에 위치하는 소스 및 드레인 전극에 의한 식각지연을 방지하기 위해, 이 보호층 및 액티브층의 패턴은 상기 소스 및 드레인 전극보다 바깥쪽에서 이루어진다.

이 보호층은 어레이 공정 후에 진행되는 액정표시장치의 액정 셀 공정에서의 러빙(rubbing)이나 반송 중에 생기는 스크래치와 수분의 침투로 생기는 박막 트랜지스터의 손상이나 퇴화를 막기 위해 형성하는 것으로, 실리콘 질화막($SiNx$)이나 유기절연막인 BCB(BenzoCycloButene) 등으로 이루어진다.

ST4는 화소(pixel) 공정으로, 상기 ST3 단계를 거친 기판 상에 투명도전성 물질을 증착한 후, 제 4 마스크를 이용하여 화소전극을 형성하는 단계이다.

이 투명도전성 물질로는 금속과의 접촉저항이나 추후 공정에서 외부회로와의 연결을 위한 탭 본딩(TAB)시 저항이 낮은 ITO(Indium Tin Oxide)가 주로 이용된다.

이때, 이 화소전극과 상기 박막 트랜지스터는 측면 접촉을 하거나 또는 상기 ST3의 단계중 보호층 및 액티브층의 일괄 식각단계에서 이 보호층과 이 보호층의 하부를 이루는 소스 및 드레인 전극과의 선택 식각 특성에 의해 보호층에 화소전극과 소스 전극을 연결하는 소스 콘택홀을 형성할 수 있다.

도 3은 일반적인 4 마스크 공정에 따른 어레이 기판을 포함하는 액정표시장치용 액정패널의 일부영역에 대한 단면도로서, 상기 도 1과 중복되는 설명은 생략하겠다.

도시한 바와 같이, 상기 액정표시장치용 액정패널(50)에서, 상부 기판(52) 및 하부 기판(54)이 일정간격 이격되어 대향하고 있으며, 이 상부 기판(52) 및 하부 기판(54) 사이에는 셀 갭을 일정하게 유지하는 스페이서(56)와 셀 패턴(58)이 위치하고 있고, 이 셀 패턴(58)이 형성된 영역 내부에는 액정(53)이 충전되어 있다.

이때, 상기 4 마스크 공정에 의한 하부 기판(54)은 화소 전극부(P)에서의 셀 갭(d_3)과 셀 패턴(58) 형성부의 셀 갭(d_4)이 보호층(60)만큼의 단차를 가지게 된다.

왜냐하면, 상기 4 마스크 공정에서는 보호층(60)에서 액티브층(61)까지 일괄 식각하는 과정에서 화소 전극부(P)에서는 보호층(60)없이 게이트 절연막(62) 상에 화소 전극(64)이 형성되지만, 상기 셀 패턴(58) 형성 영역 상에는 일정하게 보호층(60)과 게이트 절연막(62)이 적층된 구조를 갖기 때문이다.

즉, 상기 스페이서가 위치하는 영역에서의 셀 갭과 셀 패턴이 형성된 영역에서의 셀 갭이 달라져 화면일룩과 같은 화질불량이 발생하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

상기 문제점을 해결하기 위하여, 본 발명에서는 4 마스크 공정에 따른 어레이 기판의 제조공정 중, 표시영역과 비표시영역의 경계부에 위치하는 셀 패턴 영역 상의 보호층 패턴을 제거하여, 추후 액정 셀 제조공정 중 표시 영역의 내부의 스페이서에 의한 셀 갭과 셀 패턴에 의한 셀 갭이 일정하게 유지되도록 하여, 셀 갭의 안정화를 도모하는데 목적이 있다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명에서는 표시 영역과 비표시 영역이 정의된 제 1 기판과; 상기 제 1 기판상에 형성된 게이트 절연막과; 상기 제 1 기판상의 표시영역에 상기 게이트 절연막을 그 구성요소로 포함하며 형성된 박막 트랜지스터와; 상기 박막 트랜지스터와 연결되고, 상기 게이트 절연막 상에 형성된 화소전극과; 상기 박막 트랜지스터 상에 형성된 보호층과; 상기 제 1 기판과 마주하는 제 2 기판과; 상기 제 2 기판의 내측면 형성된 공통전극과; 상기 제 1 및 제 2 기판 사이의 상기 표시 영역과 비표시 영역의 경계부에 형성된 셀 패턴과; 상기 제 1, 2 기판 사이에 상기 셀패턴 내측으로 충전된 액정층을 포함하며, 상기 보호층은 상기 셀 패턴이 위치하는 부분에서 제거됨으로써 상기 셀 패턴이 상기 게이트 절연막과 접촉하도록 형성된 것을 특징으로 하는 액정표시장치용 액정패널을 제공한다.

상기 제 1 및 제 2 기판 사이에 셀 갭을 일정하게 유지하는 스페이서(spacer)를 더욱 포함한다.

본 발명의 또 하나의 특징에서는, 표시 영역과 비표시 영역이 정의된 제 1 기판 상에 게이트 절연막을 형성하는 단계와; 상기 제 1 기판의 상기 표시 영역에 상기 게이트 절연막을 일 구성요소로 포함하는 박막트랜지스터를 형성하는 단계와; 상기 박막트랜지스터를 덮으며, 상기 표시영역과 비표시영역의 경계부의 게이트 절연막을 노출시키는 보호층을 형성하는 단계와; 상기 게이트 절연막 상에, 상기 박막 트랜지스터와 연결되는 화소전극을 형성하는 단계와; 제 2 기판에 컬러필터 및 공통전극을 형성하는 단계와; 상기 제 1 기판의 표시영역 상에 스페이서(spacer)를 산포하는 단계와; 상기 비표시 영역

과 표시 영역의 경계부에 액정 주입구를 가지며, 상기 게이트 절연막과 접촉하는 셀 패턴을 형성하는 단계와; 상기 제 1 및 제 2 기판을 합착하는 단계와; 상기 액정 주입구를 통해 액정을 충전하는 단계를 포함하는 액정표시장치용 액정패널의 제조방법을 제공한다.

이하, 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 설명하기로 한다.

도 4는 본 발명에 따른 액정표시장치용 액정패널의 개략적인 평면도이다.

도시한 바와 같이, 본 발명에 따른 액정표시장치용 액정패널(100)에는 표시영역(I)과 비표시 영역(II)을 가지는 어레이 기판인 하부 기판(110)이 위치하고 있고, 이 하부 기판(110)과 일정간격 이격되어 대향되어 있으며, 이 하부 기판(110)의 표시 영역(I)과 대응하는 면적을 가지는 컬러필터 기판인 상부 기판(120)이 위치하고 있으며, 이 상부 및 하부 기판(120, 110) 사이의 표시영역(I)과 비표시영역(II)의 경계부에는 일측에 액정 주입구(124)를 포함하는 셀 패턴(122; seal pattern)이 형성되어 있고, 이 셀 패턴(122) 영역 내에는 액정(128)이 충전되어 있으며, 액정 주입 후 액정 주입구(124) 외곽에는 주입된 액정(128)의 누설을 방지하는 봉지용 셀(126)이 형성되어 있다.

상기 셀 패턴(122)은 액정 주입을 위한 갭을 형성하면서, 상기 상부 및 하부 기판(120, 110)을 접착시키는 기능을 한다.

이 셀 패턴(122)은 유리섬유(glass fiber)가 섞인 열경화성 수지를 스크린 인쇄법에 의해 형성하는 방법이 주류를 이루고 있다.

상기 원안의 확대도면은, 상기 셀 패턴(122)이 형성된 영역의 단면을 개략적으로 도시한 확대단면도이다.

도시한 바와 같이, 상기 상부 기판(120)과 하부 기판(110) 서로 일정 간격 이격되어 대향하고 있으며, 이 상부 기판(120)은 상기 도 1에서 상술한 상부 기판(도 1과 12)과 동일한 구조를 가지므로 별도의 설명은 생략한다.

상기 하부 기판(110)의 투명 기판(1) 상에는 게이트 전극(132)이 형성되어 있고, 이 게이트 전극(132) 상에는 기판 전면에 걸쳐 게이트 절연막(138)이 형성되어 있고, 이 게이트 절연막(138) 상에는 상기 게이트 전극(132)을 포함하는 박막 트랜지스터(T)가 형성되어 있고, 이 박막 트랜지스터(T)와 연결되어 화소 전극(154)이 형성되어 있다.

상기 상부 및 하부 기판(120, 110) 사이에는 표시 영역(I)과 비표시 영역(II)의 경계부에 셀 패턴(122)이 형성되어 있고, 이 셀 패턴(122) 내부의 표시 영역에는 스페이서(130)가 위치하고 있어, 상기 상부 및 하부 기판(120, 110)의 셀 갭을 형성한다.

이때, 상기 셀 패턴(122)이 유지하는 셀 갭(d_6)과 상기 스페이서(130)에 의한 셀 갭(d_5)은 균일하게 유지됨을 특징으로 한다.

상기와 같은 4 마스크 구조의 하부 기판(110)의 화소 전극부(P)에서, 이 화소 전극(154)을 게이트 절연막(138) 상에 형성하므로, 표시 영역(I)의 최저 셀 갭은 셀 갭의 마진에 영향을 끼치지 않을 정도의 두께로 형성되는 화소 전극(154)을 제외한다면, 상기 게이트 절연막(138)이 형성된 부분이므로, 상기 셀 패턴(122)과 접촉되는 하부기판(110)의 절연층도 게이트 절연막(138)만으로 구성됨으로써, 상기 스페이서(130)에 의한 셀 갭(d_5)과 셀 패턴(122)에 의한 셀 갭(d_5)을 일정하게 유지할 수 있는 것이다.

도 5는 본 발명에 따른 4 마스크 액정표시장치용 어레이 기판의 일부영역에 대한 평면도이다.

도시한 바와 같이, 상기 액정표시장치용 어레이 기판(110)에는 제 1 방향으로 게이트 전극(132) 및 캐패시터 전극(136)을 포함하는 게이트 배선(134)이 형성되어 있고, 이 제 1 방향과 교차하는 제 2 방향으로 드레인 전극(146)을 포함하는 데이터 배선(148)이 형성되어 있고, 이 데이터 배선(148)의 끝단에는 일정한 면적을 갖는 데이터 패드(149)가 형성되어 있다.

상기 드레인 전극(146)과 일정간격 이격되어 소스 전극(142)이 형성되어 있고, 이 소스 전극(142)과 연결되며, 상기 캐패시터 전극(136)과 일정간격 오버랩되어 화소전극(154)이 형성되어 있다.

상기 드레인 전극(146)과 소스 전극(142) 사이 구간에는 반도체층(140)이 형성되어 있고, 상기 게이트 전극(132), 반도체층(140), 소스 및 드레인 전극(142, 146)을 합쳐서 박막 트랜지스터(T)라 부른다.

그리고, 상기 캐패시터 전극(136)과 화소전극(154) 사이에는 이 화소전극(154)과 연결되는 보조 캐패시터 전극(150)이 형성되어 있다.

상기 데이터 패드(149)와 이 데이터 패드(149)와 인접한 데이터 배선(148) 사이에는 상부 기판(도 4의 120)과 일정한 셀 갭으로 함착시키기 위한 쉘 패턴(122)이 형성된다.

이 쉘 패턴(122)을 기준으로 데이터 패드(149)부가 위치하는 영역을 비표시 영역(II)으로 하고, 이 쉘 패턴(122) 내부의 영역을 표시영역(I)으로 부른다.

이 쉘 패턴(122) 영역중 배선이 형성되지 않은 빗금친 부분에서는 미도시한 보호층 패턴이 생략됨을 특징으로 한다.

즉, 이와 같이 구성하는 이유는 쉘 패턴(122)이 형성된 표시영역(I)과 비표시영역(II)의 경계부와 표시영역(I)의 셀 갭을 일정하게 유지하기 위해서이다.

이하, 상기 도면에 대한 단면도를 통해 좀더 상세히 설명한다.

도 6은 상기 도 5를 포함하는 액정표시장치용 액정패널의 절단선 C-C 및 D-D 그리고, E-E에 따라 절단한 단면을 도시한 단면도로서, 상부 기판의 세부도시는 생략하였다.

절단선 C-C에 따른 단면도에는, 상부 및 하부 기판(120, 110)이 일정간격 이격되어 대향되어 있고, 이 상부 및 하부 기판(120, 110) 사이에는 일정한 셀 갭을 유지시키기 위한 스페이서(130)가 위치하고 있다.

상기 하부 기판(110)은 스토리지 캐패시터스(C_{ST}) 영역으로, 투명 기판(1) 상에 캐패시터 전극(136)이 형성되어 있고, 이 캐패시터 전극(136) 상에는 게이트 절연막(138)이 기판 전면에 걸쳐 형성되어 있으며, 이 게이트 절연막(138) 상에는 반도체층(140), 보조 캐패시터 전극(150), 보호층(152)이 형성되어 있고, 이 보호층(152) 상에 화소전극(154)이 형성되어 있다.

이때, 이 화소전극(154)은 상기 보조 캐패시터 전극(150)과 측면 접촉되어 있다.

절단선 D-D에 따른 단면도에는, 상기 상부 및 하부 기판(120, 110)이 사이에 스페이서(130)가 위치하고 있고, 이 하부 기판(110)은 박막 트랜지스터(T) 영역으로, 투명 기판(1) 상에 게이트 전극(132)이 형성되어 있고, 이 게이트 전극(132) 상에 게이트 절연막(138)이 형성되어 있고, 이 게이트 절연막(138) 상에 액티브층(140a)과 오믹 콘택층(140b)으로 이루어지는 반도체층(140)이 형성되어 있고, 이 반도체층(140) 상에는 소스 전극(142) 및 드레인 전극(146)이 일정간격 이격되어 형성되어 있고, 이 소스 및 드레인 전극(142, 146) 상에는 소스 콘택홀(143)을 가지는 보호층(152)이 형성되어 있고, 이 보호층(152) 상에는 상기 소스 콘택홀(143)을 통해 소스 전극(142)과 연결되어 화소전극(154)이 형성되어 있다.

이때, 상기 소스 전극(142)과 드레인 전극(146) 사이 구간에는 상기 액티브층(140a)이 노출된 채널(CH)이 형성되어 있고, 상기 보호층(152)은 이 채널(CH)을 보호하기 위한 목적으로 형성되는 것이다.

상기 4 마스크 어레이 공정에서는 보호층의 형성단계에서 보호층(152)에서 액티브층(144a)까지 일괄식각하기 때문에 상기 스토리지 캐패시터스부(C_{ST}) 및 박막 트랜지스터(T)부와 연결된 화소전극(154)의 하부층은 게이트 절연막(138)으로만 구성된다.

즉, 상기 절단선 B-B 및 C-C에 의한 단면구조를 통해서 볼 때, 상부 기판(120)과 하부 기판(110) 사이의 셀 갭은 하부 기판(110)의 단차에 따라 다소 차이가 있음을 볼 수 있다.

이때, 이 스페이서(130)는 10~15% 정도의 수축률을 가지고 있기 때문에, 단차가 높은 소자 상에 위치할 때 수축되기 때문에 전체적으로 셀 갭을 일정하게 유지할 수 있다.

다음은, 절단선 E-E에 의한 단면구조를 통해서 볼 때, 상기 스페이서(130)에 의한 셀 갭을 표시영역(I) 전반에 걸쳐 일정하게 유지하기 위해서, 표시영역(I)과 비표시영역(II)의 경계부에 위치하는 쉘 패턴(122) 하부의 하부기판(110)의 단면구조는 투명 기판(1)상에 게이트 절연막(138)만을 형성한다.

즉, 상기 화소전극(154)은 게이트 절연막(138)에 비해 매우 박막으로 형성되기 때문에, 셀 갭의 마진에 영향을 끼치지 않는 값이므로, 상기 셀 패턴(122)의 하부층을 게이트 절연막(138)으로 함으로써, 상기 표시영역(I)의 셀 갭과 셀 패턴(122)에 의한 표시영역(I)과 비표시영역(II)의 경계부의 셀 갭을 일정하게 유지할 수 있는 것이다.

도 7은 상기 도 4에 따른 액정표시장치용 액정패널의 제조공정을 단계별로 나타낸 흐름도이다.

ST11은 상부 기판 및 하부 기판을 준비하는 단계이다.

상기 하부 기판은, 제 1 기판과 표시 영역과 비표시 영역을 가지며 이 표시 영역의 제 1 기판 상에는 게이트 절연막이 형성되어 있고, 이 게이트 절연막 상에는 박막 트랜지스터가 형성되어 있으며, 이 박막 트랜지스터와 연결되며, 상기 게이트 절연막 상에 화소전극이 형성되어 있고, 상기 박막 트랜지스터 상에는 추후 형성될 셀 패턴이 위치하는 부분은 노출시켜 상기 셀 패턴이 게이트 절연막과 접촉하도록 하는 보호층이 형성되어 있다.

상기 상부 기판은 상기 하부 기판의 표시영역과 대응하는 면적을 가지며, 제 2 기판과, 컬러필터 및 공통전극을 포함한다.

ST22에서는 상기 표시 영역 상에 스페이서(spacer)를 산포하고, 일측에 액정 주입구를 가지는 셀 패턴을 형성하는 단계이다.

상기 스페이서의 산포 및 셀 패턴의 형성은 두 공정 모두 한 기판에서 이루어지거나 또는 상부 및 하부 기판에서 각각 하나의 공정이 진행될 수도 있다.

이때, 상기 단계 전에는 상부 기판과 하부 기판의 마주 보는 면에 배향막의 도포 및 러빙처리 공정이 포함된다.

이 단계에서는 상기 셀 패턴은 상기 하부 기판 상에 셀 패턴을 형성하기 위해 보호층을 노출시킨 영역 상에 상기 셀 패턴을 형성하므로써, 이 셀 패턴이 게이트 절연막과 접촉되도록 형성함을 특징으로 한다.

즉, 이 단계를 통해서는 셀 갭의 안정화를 이루면서, 상기 상부 기판 및 하부 기판을 합착시킬 수 있다.

ST33은 합착된 기판 상에 액정을 주입하는 단계이다.

이 단계에서는 상기 셀 패턴을 액정 주입구를 통해 액정을 주입한 후, 봉지하여 액정패널을 완성하는 단계이다.

발명의 효과

이와 같이, 본 발명에 따른 액정표시장치용 액정패널에서는 셀 패턴에 의한 셀 갭과 스페이서에 의한 셀 갭을 일정하게 유지하므로써, 고화질의 액정표시장치를 제공하는 장점을 가진다.

도면의 간단한 설명

도 1은 일반적인 액정표시장치용 액정패널의 일부영역에 대한 단면도.

도 2는 일반적인 4 마스크 액정표시장치용 어레이 기판의 제조공정에 대한 개략적인 흐름도.

도 3은 일반적인 4 마스크 공정에 따른 어레이 기판을 포함하는 액정표시장치용 액정패널의 일부영역에 대한 단면도.

도 4는 본 발명에 따른 액정표시장치용 액정패널의 개략적인 평면도.

도 5는 본 발명에 따른 4 마스크 액정표시장치용 어레이 기판의 일부영역에 대한 평면도.

도 6은 상기 도 5를 포함하는 액정표시장치용 액정패널의 절단선 C-C 및 D-D 그리고, E-E에 따라 절단한 단면을 도시한 단면도.

도 7은 상기 도 4에 따른 액정표시장치용 액정패널의 제조공정을 단계별로 나타낸 흐름도.

< 도면의 주요 부분에 대한 부호의 설명 >

100 : 액정표시장치용 액정패널 110 : 하부 기판(어레이 기판)

120 : 상부 기판(컬러필터 기판) 122 : 셀 패턴

124 : 액정 주입구 126 : 봉지용 셀

128 : 액정 I: 표시 영역

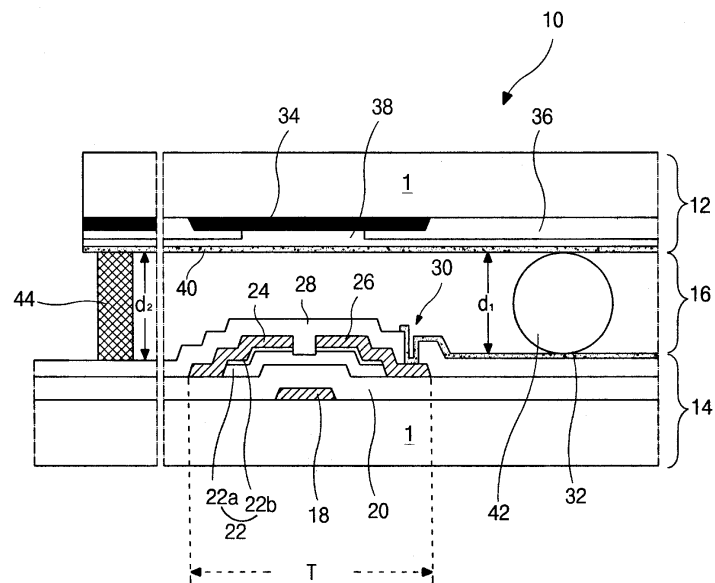
II: 비표시 영역 130 : 스페이서

P: 화소 전극부 d_4 : 화소 전극부에서의 셀 갭

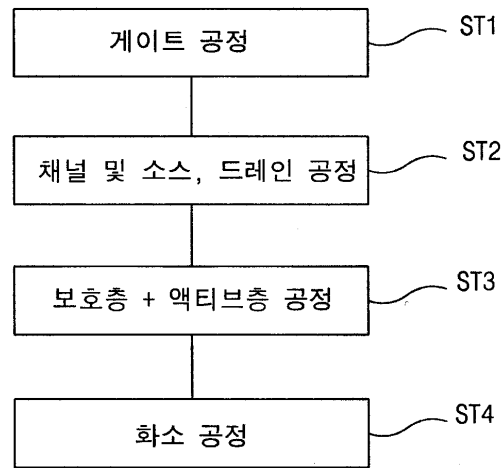
d_5 : 셀 패턴에서의 셀 갭

도면

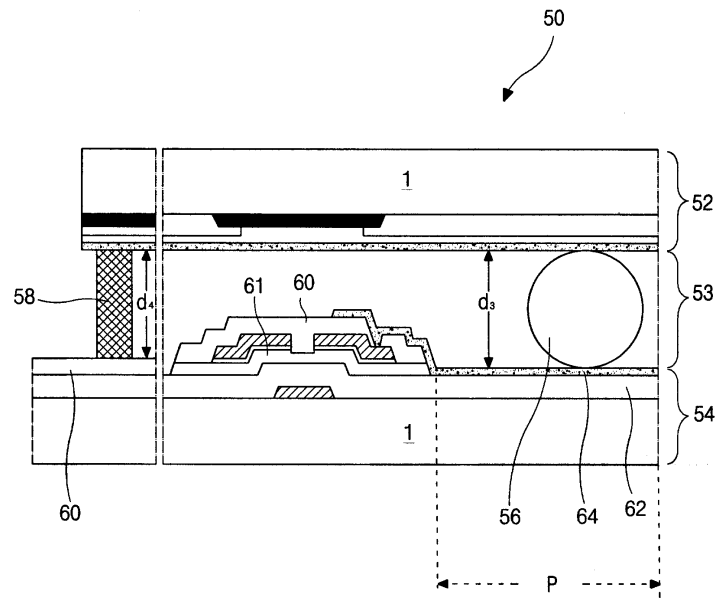
도면1



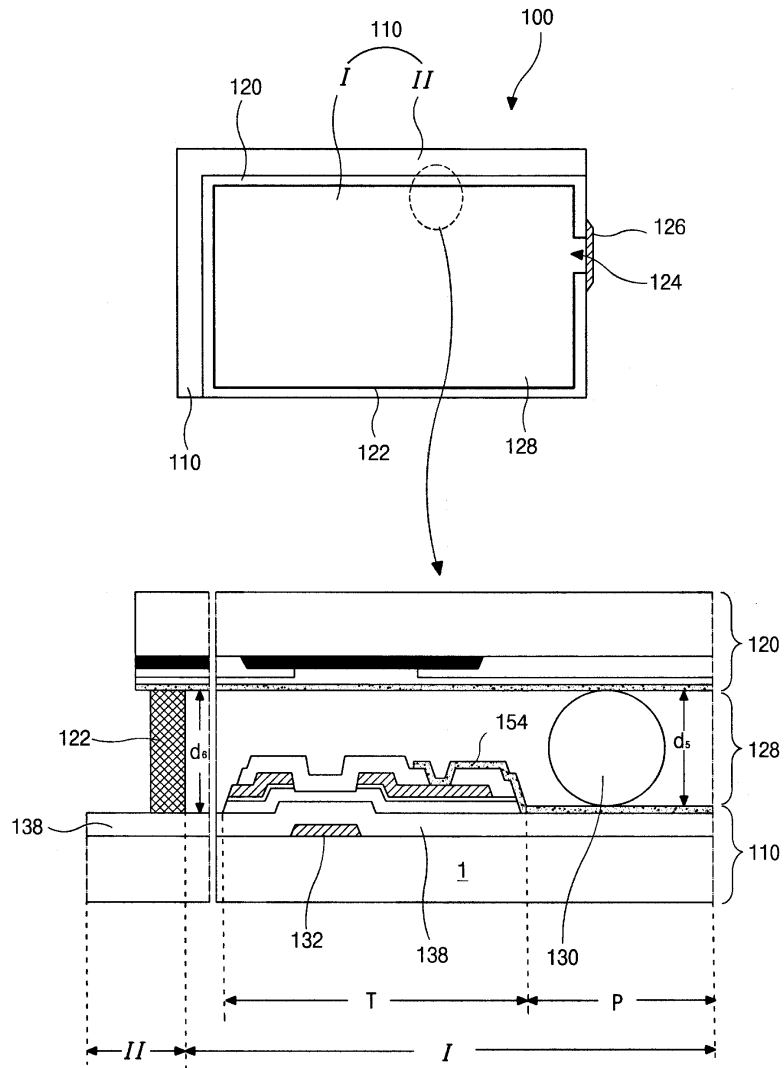
도면2



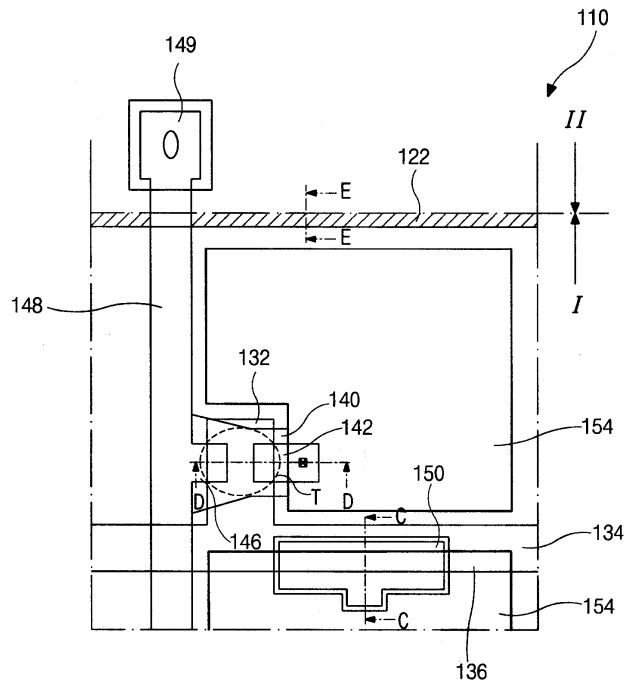
도면3



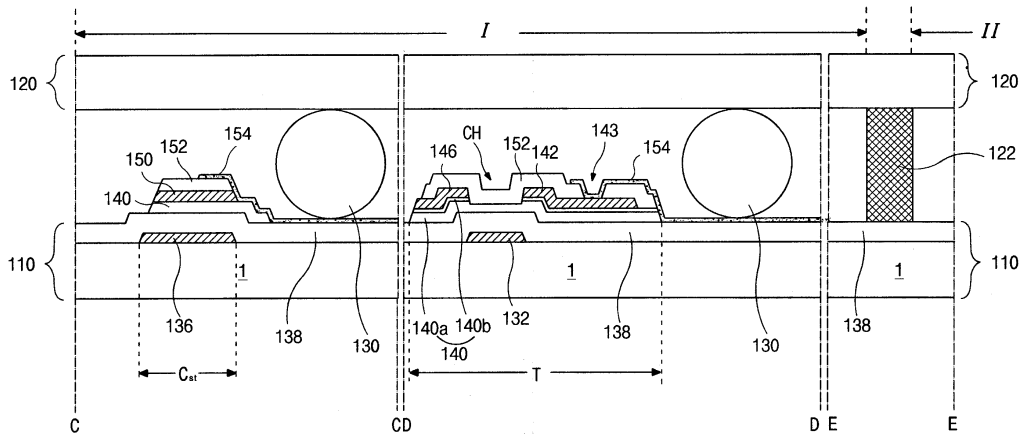
도면4



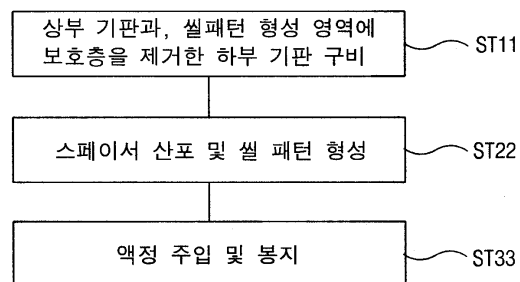
도면5



도면6



도면7



专利名称(译)	用于液晶显示装置的液晶面板及其制造方法		
公开(公告)号	KR100721304B1	公开(公告)日	2007-05-25
申请号	KR1020000085421	申请日	2000-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HA YOUNG HUN 하영훈 SO JAE MOON 소재문 KIM JONG WOO 김종우		
发明人	하영훈 소재문 김종우		
IPC分类号	G02F1/136 G02F1/1333 G02F1/1339 G02F1/1362		
CPC分类号	G02F1/1362 G02F2201/50 G02F2001/133388 G02F1/136213 G02F1/1339 G02F1/136227		
其他公开文献	KR1020020056115A		
外部链接	Espacenet		

摘要(译)

用途：提供一种用于液晶显示器的液晶显示面板和制造该面板的方法，以根据密封图案和根据间隔物均匀的单元间隙保持单元间隙，从而产生具有高图像质量的液晶显示器。

