



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/1343 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년05월09일 10-0714955 2007년04월27일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0016091 2005년02월25일 2005년02월25일	(65) 공개번호 (43) 공개일자	10-2006-0042398 2006년05월12일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장 JP-P-2004-00220263 2004년07월28일 일본(JP)

(73) 특허권자 후지쯔 가부시끼가이샤
일본국 가나가와켄 가와사키시 나카하라꾸 가미코다나카 4초메 1-1

우 옵트로닉스 코포레이션
대만 신췌 300, 사이언스-베이스드 인터스트리얼 파크, 리-신 로드. 2, 넘버. 1

(72) 발명자 가마다 쓰요시
일본 가나가와켄 가와사키시 나카하라꾸 가미코다나카 4초메 1-1후지
쓰 디스플레이 테크놀로지스 코포레이션 내

사사바야시 다카시
일본 가나가와켄 가와사키시 나카하라꾸 가미코다나카 4초메 1-1후지
쓰 디스플레이 테크놀로지스 코포레이션 내

우에다 가즈야
일본 가나가와켄 가와사키시 나카하라꾸 가미코다나카 4초메 1-1후지
쓰 디스플레이 테크놀로지스 코포레이션 내

요시다 히데후미
일본 가나가와켄 가와사키시 나카하라꾸 가미코다나카 4초메 1-1후지
쓰 디스플레이 테크놀로지스 코포레이션 내

(74) 대리인 장수길
주성민
구영창
이중희

(56) 선행기술조사문헌 JP2000122097 A KR1019980070962 A KR1020040038867 A	KR1019980025128 A KR1019980087020 A KR1020020066977 A
---	---

심사관 : 윤성주

전체 청구항 수 : 총 6 항

(54) 액정 표시 장치 및 그 소부 방지 방법

(57) 요약

용량 결합 HT(하프톤)법을 사용하여 워시 아웃(wash out)을 억제하는 액정 표시 장치에 있어서, 소부(燒付)의 발생을 방지할 수 있는 액정 표시 장치 및 그 소부 방지 방법을 제공한다.

제어 전극(118)과 용량 결합한 부화소 전극(플로팅 부화소 전극)(121b)과 게이트 버스 라인(112)의 사이에, TFT(116)에 직결된 부화소 전극(121a, 121c)을 배치하고, 게이트 버스 라인(112)으로부터 플로팅 부화소 전극(121b)에의 전하의 주입을 방지한다. 또한, 플로팅 부화소 전극(121b)과 데이터 버스 라인(115)의 사이에, 보조 용량 버스 라인(113)과 전기적으로 접속된 실드 패턴(145)을 형성한다. 이 실드 패턴(145)에 의해, 데이터 버스 라인(115)으로부터 플로팅 부화소 전극(121b)에의 전하의 주입을 방지한다.

대표도

도 22

특허청구의 범위

청구항 1.

서로 대향하여 배치된 제1 및 제2 기관과,

상기 제1 및 제2 기관 사이에 봉입된 액정과,

상기 제1 기관에 형성된 게이트 버스 라인 및 데이터 버스 라인과,

상기 게이트 버스 라인 및 상기 데이터 버스 라인에 접속된 박막 트랜지스터와,

상기 게이트 버스 라인 및 상기 데이터 버스 라인에 의해 구획되는 화소 영역 내에 형성된 복수의 부화소 전극과,

상기 복수의 부화소 전극 중 적어도 1개와 용량 결합하고, 상기 데이터 버스 라인으로부터 상기 박막 트랜지스터와 직접 접속되어 표시 전압이 인가되는 제어 전극을 갖는 액정 표시 장치이며,

상기 제어 전극과 용량 결합한 부화소 전극과 상기 게이트 버스 라인 및 상기 데이터 버스 라인 중 적어도 한쪽의 버스 라인과의 사이를 전기적으로 실드하는 실드 부재를 갖는 것을 특징으로 하는 액정 표시 장치.

청구항 2.

서로 대향하여 배치된 제1 및 제2 기관과,

상기 제1 및 제2 기관 사이에 봉입된 액정과,

상기 제1 기관에 형성된 게이트 버스 라인 및 데이터 버스 라인과,

상기 게이트 버스 라인 및 상기 데이터 버스 라인에 접속된 박막 트랜지스터와,

상기 게이트 버스 라인 및 상기 데이터 버스 라인에 의해 구획되는 화소 영역 내에 형성된 복수의 부화소 전극과,

상기 복수의 부화소 전극 중 적어도 1개와 용량 결합하고, 상기 데이터 버스 라인으로부터 상기 박막 트랜지스터와 직접 접속되어 표시 전압이 인가되는 제어 전극과,

상기 제2 기관에 형성되고 상기 제1 기관의 상기 복수의 부화소 전극에 대향하는 커먼 전극을 갖는 액정 표시 장치의 소부 방지 방법이며,

상기 커먼 전극의 전위에 대한 상기 드레인 버스 라인의 중심 전위를 V_{ddc} , 상기 커먼 전극의 전위에 대한 상기 게이트 버스 라인의 중심 전위를 V_{gdc} , 상기 제어 전극과 용량 결합한 부화소 전극과 상기 데이터 버스 라인 사이의 저항을 R_d , 상기 제어 전극과 용량 결합한 부화소 전극과 상기 게이트 버스 라인 사이의 저항을 R_g 로 했을 때에, $V_{ddc} - V_{gdc} \times R_d / R_g$ 가 0.002 이하로 되도록 상기 제어 전극과 용량 결합한 부화소 전극의 크기, 형상 및 위치 및 절연막의 두께를 설정하는 것을 특징으로 하는 액정 표시 장치의 소부 방지 방법.

청구항 3.

서로 대향하여 배치된 제1 및 제2 기관과,

상기 제1 및 제2 기관 사이에 봉입된 액정과,

상기 제1 기관에 형성된 게이트 버스 라인 및 데이터 버스 라인과,

상기 게이트 버스 라인 및 상기 데이터 버스 라인에 접속된 박막 트랜지스터와,

상기 게이트 버스 라인 및 상기 데이터 버스 라인에 의해 구획되는 화소 영역 내에 형성된 복수의 부화소 전극과,

상기 복수의 부화소 전극 중 적어도 1개와 용량 결합하고, 상기 데이터 버스 라인으로부터 상기 박막 트랜지스터와 직접 접속되어 표시 전압이 인가되는 제어 전극과,

상기 제2 기관에 형성되고 상기 제1 기관의 복수의 부화소 전극에 대향하는 커먼 전극을 갖는 액정 표시 장치이며,

상기 제어 전극과 용량 결합한 부화소 전극과, 상기 박막 트랜지스터에 콘택트홀을 통해 접속된 부화소 전극과의 사이가, 저항체를 통하여 접속되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 4.

서로 대향하여 배치된 제1 및 제2 기관과,

상기 제1 및 제2 기관 사이에 봉입된 액정과,

상기 제1 기관에 형성된 게이트 버스 라인 및 데이터 버스 라인과,

상기 게이트 버스 라인 및 상기 데이터 버스 라인에 접속된 박막 트랜지스터와,

상기 게이트 버스 라인 및 상기 데이터 버스 라인에 의해 구획되는 화소 영역 내에 형성된 복수의 부화소 전극과,

상기 복수의 부화소 전극 중 적어도 1개와 용량 결합하고, 상기 데이터 버스 라인으로부터 상기 박막 트랜지스터와 직접 접속되어 표시 전압이 인가되는 제어 전극과,

일정한 전위로 유지되고, 상기 제어 전극과의 사이에서 보조 용량을 구성하는 보조 용량 버스 라인을 갖는 액정 표시 장치이며,

상기 제어 전극과 용량 결합한 부화소 전극과 상기 보조 용량 버스 라인의 사이, 또는 상기 제어 전극과 용량 결합한 부화소 전극과 상기 박막 트랜지스터에 접속된 부화소 전극과의 사이에, 상기 박막 트랜지스터가 접속된 게이트 버스 라인과는 별도의 게이트 버스 라인에 흐르는 신호로 구동하는 스위칭 소자를 갖는 것을 특징으로 하는 액정 표시 장치.

청구항 5.

서로 대향하여 배치된 제1 및 제2 기판과,

상기 제1 및 제2 기판 사이에 봉입된 액정과,

상기 제1 기판에 형성된 게이트 버스 라인 및 데이터 버스 라인과,

상기 게이트 버스 라인 및 상기 데이터 버스 라인에 접속된 박막 트랜지스터와,

상기 게이트 버스 라인 및 상기 데이터 버스 라인에 의해 구획되는 화소 영역 내에 형성된 복수의 부화소 전극과,

상기 복수의 부화소 전극 중 적어도 1개와 용량 결합하고, 상기 데이터 버스 라인으로부터 상기 박막 트랜지스터와 직접 접속되어 표시 전압이 인가되는 제어 전극과,

일정한 전위로 유지되고, 상기 제어 전극과의 사이에서 제1 보조 용량을 구성하는 보조 용량 버스 라인을 갖는 액정 표시 장치의 소부 방지 방법이며,

상기 제어 전극과 용량 결합한 부화소 전극과 상기 커먼 전극과의 사이의 용량에 병렬로 제2 보조 용량을 형성하는 것을 특징으로 하는 액정 표시 장치의 소부 방지 방법.

청구항 6.

서로 대향하여 배치된 제1 및 제2 기판과,

상기 제1 및 제2 기판 사이에 봉입된 액정과,

상기 제1 기판에 형성된 게이트 버스 라인 및 데이터 버스 라인과,

상기 게이트 버스 라인 및 상기 데이터 버스 라인에 접속된 박막 트랜지스터와,

상기 게이트 버스 라인 및 상기 데이터 버스 라인에 의해 구획되는 화소 영역 내에 형성된 복수의 부화소 전극과,

상기 복수의 부화소 전극 중 적어도 1개와 용량 결합하고, 상기 데이터 버스 라인으로부터 상기 박막 트랜지스터와 직접 접속되어 표시 전압이 인가되는 제어 전극과,

일정한 전위로 유지되고, 상기 제어 전극과의 사이에서 제1 보조 용량을 구성하는 보조 용량 버스 라인과,

상기 제어 전극과 용량 결합하는 부화소 전극과 전기적으로 접속하고, 상기 보조 용량 버스 라인과의 사이에서 제2 보조 용량을 구성하는 보조 용량 전극

을 포함하는 것을 특징으로 하는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 1 화소 영역 내에 복수의 부화소 전극을 갖는 액정 표시 장치 및 그 소부(燒付) 방지 방법에 관한 것으로, 특히 부화소 전극 중의 적어도 1개가 표시 전압이 인가되는 제어 전극과 용량 결합한 액정 표시 장치 및 그 소부 방지 방법에 관한 것이다.

액정 표시 장치는 CRT(Cathode Ray Tube)에 비하여 얇고 경량이며, 저 전압으로 구동할 수 있어 소비 전력이 작다고 하는 이점이 있다. 그 때문에, 액정 표시 장치는, 텔레비전, 노트형 PC(퍼스널 컴퓨터), 데스크탑형 PC, PDA(휴대 단말기) 및 휴대 전화 등, 다양한 전자 기기에 사용되고 있다. 특히, 각 화소(서브 픽셀)마다 스위칭 소자로서 TFT(Thin Film Transistor: 박막 트랜지스터)를 설치한 액티브 매트릭스형 액정 표시 장치는, 그 구동 능력이 높아 CRT에도 필적하는 우수한 표시 특성을 나타내어, 데스크탑형 PC나 텔레비전 등, 종래 CRT가 사용되고 있던 분야에도 널리 사용되게 되었다.

일반적으로, 액정 표시 장치는, 2매의 기관과, 이들 기관 사이에 봉입된 액정에 의해 구성되어 있다. 한쪽의 기관에는 화소마다 화소 전극 및 TFT 등이 형성되고, 다른 쪽의 기관에는 화소 전극에 대향하는 컬러 필터와, 각 화소 공통의 커먼(공통) 전극이 형성되어 있다. 컬러 필터에는 적색(R), 녹색(G) 및 청색(B)의 3 종류가 있고, 화소마다 어느 한 색의 컬러 필터가 배치되어 있다. 인접하여 배치된 적색(R), 녹색(G) 및 청색(B)의 3개의 화소로 1개의 픽셀(Pixel)을 구성한다. 이하, 화소 전극 및 TFT가 형성된 기관을 TFT 기관이라고 부르고, TFT 기관에 대향하여 배치되는 기관을 대향 기관이라고 부른다. 또한, TFT 기관과 대향 기관의 사이에 액정을 봉입하여 이루어지는 구조물을 액정 패널이라고 한다.

종래에는, 2매의 기관 사이에 수평 배향형 액정(유전율 이방성이 플러스인 액정)을 봉입하고, 액정 분자를 트위스트 배향시키는 TN(Twisted Nematic)형 액정 표시 장치가 널리 사용되고 있었다. 그러나, TN형 액정 표시 장치에는 시야각 특성이 나빠, 화면을 비스듬한 방향으로부터 보았을 때에 콘트라스트나 색조가 크게 변화한다고 하는 결점이 있다. 이 때문에, 시야각 특성이 양호한 MVA(Multi-domain Vertical Alignment)형 액정 표시 장치가 개발되어, 실용화되고 있다.

도 1의 (a) 및 (b)는 MVA형 액정 표시 장치의 일례를 도시하는 모식 단면도이다. TFT 기관(10) 및 대향 기관(20)은 스페이서(도시 생략)를 사이에 두고 배치되어 있고, 이들 기관(10, 20)의 사이에는 수직 배향형 액정(유전율 이방성이 마이너스인 액정)(30)이 봉입되어 있다. TFT 기관(10)의 화소 전극(12)에는, 전압 인가 시의 액정 분자의 경사 방향을 정하는 도메인 규제용 구조물로서, 슬릿(12a)이 형성되어 있다. 이 화소 전극(12)의 표면은, 예를 들면 폴리이미드로 이루어지는 수직 배향막(14)으로 피복되어 있다.

대향 기관(20)의 커먼 전극(22)의 아래에는, 도메인 규제용 구조물로서 복수의 뱅크 형상의 돌기(23)가 형성되어 있다. 이들 돌기(23)는 도 1의 (a)에 도시한 바와 같이, 기관(10) 측의 슬릿(12a)에 대하여 경사진 방향으로 어긋난 위치에 배치되어 있다. 커먼 전극(22) 및 돌기(23)의 표면도, 예를 들면 폴리이미드로 이루어지는 수직 배향막(24)으로 피복되어 있다.

TFT 기관(10)의 하측 및 대향 기관(20)의 상측에는 각각 편광판(도시 생략)이 배치된다. 이들 편광판은 흡수축을 서로 직교시켜 배치된다.

이와 같이 구성된 MVA형 액정 표시 장치에 있어서, 화소 전극(12)과 커먼 전극(22)의 사이에 전압을 인가하지 않는 상태에서는, 도 1의 (a)에 도시한 바와 같이, 대부분의 액정 분자(30a)는 기관 면에 대하여 수직으로 배향된다. 단, 돌기(23)의 근방의 액정 분자(30a)는, 돌기(23)의 경사면과 수직인 방향으로 배향된다. 이 경우, TFT 기관(10)의 하측으로부터 편광판을 지나서 액정층으로 진입한 광은, 편광 방향이 변화하지 않고 액정층을 통과하여, 대향 기관측(20)의 상측 편광판에 의해 차단된다. 즉, 이 경우에는 흑 표시로 된다.

화소 전극(12)과 커먼 전극(22)의 사이에 소정의 전압을 인가하면, 전기의 영향에 의해 액정 분자(30a)는 기관 면에 대하여 경사지게 배향된다. 이 경우에, 도 1의 (b)에 도시한 바와 같이, 슬릿(12a) 및 돌기(23)의 양측에서는 액정 분자(30a)의 경사 방향이 서로 달라, 소위 배향 분할(멀티 도메인)이 달성된다. 이 도 1의 (b)에 도시한 바와 같이 액정 분자(30a)가 기관 면에 대하여 경사지게 배향됐을 때에는, TFT 기관(10)의 하측으로부터 편광판을 지나 액정층으로 진입한 광은, 액정층에서 편광 방향이 변화하여, 대향 기관(20)의 상측 편광판을 통과하도록 된다. 편광판을 통과하는 광량은, 화소 전극(12)과 커먼 전극(22) 사이에 인가되는 전압에 의존한다.

또한, MVA형 액정 표시 장치에서는, 도 1의 (b)에 도시한 바와 같이, 전압을 인가했을 때의 액정 분자(30a)의 경사 방향이 슬릿(12a) 및 돌기(23)의 양측에서 서로 다르기 때문에, 경사 방향으로의 광 누설이 억제되어, 우수한 시야각 특성이 얻어진다.

상기의 예에서는 도메인 규제용 구조물이 돌기 및 슬릿인 경우에 대하여 설명했지만, 기판 표면의 오목부(홈)를 도메인 규제용 구조물로 하는 경우도 있다. 또한, 도 1의 (a) 및 (b)에서는 TFT 기판(10) 및 대향 기판(20)의 양방에 도메인 규제용 구조물을 형성한 예에 대하여 설명했지만, TFT 기판(10) 및 대향 기판(20) 중 어느 한쪽에만 도메인 규제용 구조물을 형성해도 된다.

그런데, 종래의 MVA형 액정 표시 장치에서는, 화면을 경사 방향으로부터 보았을 때에 흰 빛을 띠게 되는 현상이 발생한다. 도 2는, 횡측에 인가 전압(V)을 취하고, 종측에 투과율을 취하여, 화면을 정면으로부터 보았을 때의 T-V(투과율-전압) 특성과 위쪽 60°의 방향으로부터 보았을 때의 T-V 특성을 도시하는 도면이다. 이 도 2에 도시한 바와 같이, 임계치 전압보다도 약간 높은 전압을 화소 전극에 인가했을 때(도면 중 동그라미로 둘러싼 부분)에는, 경사 방향으로부터 보았을 때의 투과율이 정면으로부터 보았을 때의 투과율보다도 높아진다. 또한, 인가 전압이 어느 정도 높아지면, 경사 방향으로부터 보았을 때의 투과율은, 정면으로부터 보았을 때의 투과율보다도 낮아진다. 이 때문에, 경사 방향으로부터 보았을 때에는 적색 화소, 녹색 화소 및 청색 화소의 휘도차가 작아지고, 그 결과 상술한 바와 같이 화면이 흰 빛을 띠게 되는 현상이 발생한다. 이 현상은 워시 아웃(wash out)이라고 불리고 있다. 워시 아웃은 MVA형 액정 표시 장치뿐만 아니라, TN형 액정 표시 장치에서도 발생한다.

미국 특허 제4840460호의 명세서에는, 1개의 화소를 복수의 부화소로 분할하고, 이들 부화소를 용량 결합하는 것이 제안되어 있다. 이러한 액정 표시 장치에서는, 각 부화소의 용량비에 의해서 전위가 분할되기 때문에, 각 부화소에서 서로 다른 전압을 인가할 수 있다. 따라서, 외관상 1개의 화소에 T-V 특성의 임계치가 서로 다른 복수의 영역이 존재하게 된다. 이와 같이 1개의 화소에 T-V 특성의 임계치가 서로 다른 복수의 영역이 존재하면, 정면에서 보았을 때의 투과율보다도 경사 방향으로부터 보았을 때의 투과율이 높아지는 현상이 억제되고, 그 결과 화면이 흰 빛을 띠게 되는 현상(워시 아웃)도 억제된다. 이와 같이 1개의 화소를 용량 결합한 복수의 부화소로 분할하여 표시 특성을 개선하는 방법은, 용량 결합에 의한 HT(하프톤 그레이 스케일)법이라고 불린다. 또한, 미국 특허 제4840460호의 명세서에 기재된 액정 표시 장치는, TN형 액정 표시 장치이다.

도 3은 용량 결합에 의한 HT법을 실현하는 액정 표시 장치의 TFT 기판의 일례를 도시하는 평면도, 도 4는 도 3의 I-I선을 따라 취한 단면도이다.

TFT 기판의 베이스로 되는 글래스 기판(51)의 위에는, 수평 방향(X 방향)으로 연장되는 복수의 게이트 버스 라인(52)과, 수직 방향(Y 방향)으로 연장되는 복수의 데이터 버스 라인(드레인 버스 라인)(55)이 형성되어 있다. 이들 게이트 버스 라인(52) 및 데이터 버스 라인(55)에 의해 구획되는 직사각형의 영역이 각각 화소 영역이다. 또한, 글래스 기판(51)의 위에는, 게이트 버스 라인(52)과 평행하게 배치되고, 각 화소 영역의 중앙을 횡단하는 보조 용량 버스 라인(53)이 형성되어 있다.

게이트 버스 라인(52) 및 보조 용량 버스 라인(53)과 데이터 버스 라인(55)의 사이에는 제1 절연막(54)이 형성되어 있고, 이 제1 절연막(54)에 의해 게이트 버스 라인(52) 및 보조 용량 버스 라인(53)과 데이터 버스 라인(55)의 사이가 전기적으로 분리되어 있다.

각 화소 영역에는, TFT(56)와, 제어 전극(57)과, 보조 용량 전극(58)과, 부화소 전극(61a, 61b)이 형성되어 있다. TFT(56)는 도 3에 도시한 바와 같이 게이트 버스 라인(52)의 일부를 게이트 전극으로 하고 있다. 또한, 도 4에 도시한 바와 같이, TFT(56)의 활성층으로 되는 반도체막(56a)은 게이트 버스 라인(52)의 위쪽에 형성되어 있고, 이 반도체막(56a)의 위에는 채널 보호막(56b)이 형성되어 있다.

TFT(56)의 드레인 전극(56d)은 데이터 버스 라인(55)에 접속되어 있고, 소스 전극(56s)은 게이트 버스 라인(52)을 사이에 두고 드레인 전극(56d)에 대향하는 위치에 배치되어 있다. 또한, 보조 용량 전극(58)은 제1 절연막(54)을 사이에 두고 보조 용량 버스 라인(53)에 대향하는 위치에 형성되어 있다. 그리고 또한, 제어 전극(57)은 도 3에 도시한 바와 같이, 배선(59)을 통하여 소스 전극(56s)과 보조 용량 전극(58)에 전기적으로 접속되어 있다.

이들 데이터 버스 라인(55), TFT(56), 제어 전극(57), 보조 용량 전극(58) 및 배선(59)은 제2 절연막(60)으로 피복되어 있고, 부화소 전극(61a, 61b)은 제2 절연막(60) 상에 형성되어 있다. 부화소 전극(61a)은 제2 절연막(60)을 사이에 두고 제어 전극(57)과 용량 결합하고 있다. 또한, 부화소 전극(61b)은 제2 절연막(60)에 형성된 컨택트홀(60a)을 통하여 보조 용량 전극(58)과 전기적으로 접속되어 있다. 부화소 전극(61a, 61b)의 표면은 배향막(62)으로 피복되어 있다.

한편, 대향 기관은 도 4에 도시한 바와 같이, 베이스로 되는 글래스 기관(71)의 한쪽 면측(도 4에서는 하측)에 형성된 컬러 필터(72)와, 컬러 필터(72)의 면 위에 형성된 커먼 전극(73)과, 커먼 전극(73)의 표면을 피복하는 배향막(74)을 구비하고 있다.

이들 TFT 기관 및 대향 기관은 스페이서(도시 생략)를 사이에 두고 배치된다. 그리고, TFT 기관과 대향 기관의 사이에는 액정(80)이 봉입된다.

투과형 액정 표시 장치의 경우, 부화소 전극(61a, 61b)은 ITO(Indium-Tin Oxide) 등의 투명 도전체에 의해 형성된다. 또한, 반사형 액정 표시 장치의 경우, 부화소 전극(61a, 61b)은 알루미늄 등의 반사율이 높은 재료에 의해 형성된다.

도 5는 전술한 TFT 기관을 구비한 액정 표시 장치의 1 화소를 도시하는 등가 회로도이다. 이 도 5에 있어서, C_{LC1} 은 부화소 전극(61b)과 커먼 전극(73)에 의해 구성되는 용량이고, C_s 는 보조 용량 전극(58)과 보조 용량 버스 라인(53)에 의해 구성되는 용량이고, C_c 는 부화소 전극(61a)과 제어 전극(57)에 의해 구성되는 용량이고, C_{LC2} 는 부화소 전극(61a)과 커먼 전극(73)에 의해 구성되는 용량이다. 이 도 5에 도시한 바와 같이, 부화소 전극(61a)과 커먼 전극(73) 사이의 용량 C_{LC2} 와 제어 용량 C_c 로 분압되기 때문에, 부화소 전극(61b)에 인가되는 전압을 V_{px1} 로 하면, 부화소 전극(61a)에 인가되는 전압 V_{px2} 는 하기 수학적 식 1에 나타난 바와 같다.

$$\text{수학적 식 1} \\ V_{px2} = \frac{C_c}{C_c + C_{LC2}} \times V_{px1}$$

실제의 전압비(V_{px2}/V_{px1})는 액정 표시 장치의 표시 특성의 설계 사항이지만, 대개 0.6~0.8이 이상적인 것으로 되어 있다.

이하, 부화소 전극(61a)과 같이 용량 결합을 통하여 표시 전압이 인가되는 부화소 전극을, 플로팅 부화소 전극이라고 한다. 또한, 부화소 전극(61b)과 같이 저저항의 도전체(배선 등)를 통하여 TFT에 전기적으로 접속된 부화소 전극을, TFT에 직결된 부화소 전극이라고 한다.

일본 특허 제3076938호의 명세서(일본 특허 공개 평성 5-66412호 공보)에는, 도 6에 도시한 바와 같이, 화소 전극을 복수(도 6에서는 4개)의 부화소 전극(91a~91d)으로 분할하고, 각 부화소 전극(91a~91d)의 아래쪽에 절연막을 통하여 제어 전극(92a~92d)을 각각 배치한 TN형 액정 표시 장치가 개시되어 있다. 이 액정 표시 장치에서는 TFT(90)를 통하여 제어 전극(92a~92d)에 표시 전압이 인가된다. 각 제어 전극(92a~92d)의 크기는 서로 다르게 되어 있기 때문에, 부화소 전극(91a~91d)에 인가되는 전압도 서로 달라, HT법에 의한 효과, 즉 워시 아웃을 억제하는 효과를 얻을 수 있다. 또한, 이 액정 표시 장치에서는, 부화소 전극(91a~91d) 사이로부터 광이 누설되는 것을 방지하기 위해서, 부화소 전극(91a~91d) 사이에도 제어 전극(93)을 배치하고 있다.

[문헌 1] US 4,840,460 B

[문헌 2] JP 3076938 B

발명이 이루고자 하는 기술적 과제

그러나, 본원 발명자 등의 실험 연구에 의해, 전술한 종래의 플로팅 부화소 전극을 갖는 액정 표시 장치에서는 소부에 의해 표시 특성이 열화되는 것이 판명되었다.

도 7의 (a)~(c) 및 도 8은 소부의 정도를 측정하는 시험 방법을 나타내는 모식도이다. 우선, 액정 표시 장치에, 도 7의 (a)에 도시한 바와 같은 흑백의 체커 패턴(checker pattern)을 일정 시간 연속하여 표시한다. 그 후, 액정 표시 장치의 전면

에, 도 7의 (b)에 도시한 바와 같은 중간조의 표시를 행한다. 이 때, 화면에 소부가 발생하면, 도 7의 (c)에 도시한 바와 같이, 체커 패턴이 얇게 보인다. 체커 패턴의 표시로부터 중간조의 표시로 전환한 후, 예를 들면 도 7의 (c)의 X-X선을 따라서 휘도를 측정한다. 그리고, 도 8에 도시한 바와 같이 어두운 부분의 휘도를 a, 어두운 부분과 밝은 부분의 휘도차를 b로 했을 때에, $100 \times b / (a + b)$ 로 정의되는 소부율을 계산한다.

상기의 방법에 의해, 플로팅 부화소 전극을 갖지 않는 액정 표시 장치의 소부율과 플로팅 부화소 전극을 갖는 액정 표시 장치의 소부율을 측정했다. 그 결과, 플로팅 부화소 전극을 갖지 않는 액정 표시 장치의 소부율이 5% 이하인 데 대하여, 플로팅 부화소 전극을 갖는 액정 표시 장치의 소부율은 10% 이상으로 높은 것이었다.

이상으로부터, 본 발명의 목적은 용량 결합 HT법을 사용하여 워시 아웃을 억제하는 액정 표시 장치에 있어서, 소부의 발생을 방지할 수 있는 액정 표시 장치 및 그 소부 방지 방법을 제공하는 것이다.

발명의 구성

상기한 과제는, 서로 대향하여 배치된 제1 및 제2 기판과, 상기 제1 및 제2 기판 사이에 봉입된 액정과, 상기 제1 기판에 형성된 게이트 버스 라인 및 데이터 버스 라인과, 상기 게이트 버스 라인 및 상기 데이터 버스 라인에 접속된 박막 트랜지스터와, 상기 게이트 버스 라인 및 상기 데이터 버스 라인에 의해 구획되는 화소 영역 내에 형성된 복수의 부화소 전극과, 상기 복수의 부화소 전극 중 적어도 1개와 용량 결합하고, 상기 데이터 버스 라인으로부터 상기 박막 트랜지스터를 통하여 표시 전압이 인가되는 제어 전극을 갖는 액정 표시 장치에 있어서, 상기 제어 전극과 용량 결합한 부화소 전극과 상기 게이트 버스 라인 및 상기 데이터 버스 라인 중 적어도 한쪽의 버스 라인과 사이의 전위차를 실드하는 실드 부재를 갖는 액정 표시 장치에 의해 해결한다.

본 발명에서는, 제어 전극과 용량 결합한 부화소 전극과 게이트 버스 라인 및 데이터 버스 라인 중 적어도 한쪽의 버스 라인과 사이의 전위차를, 예를 들면 일정한 전위로 유지되는 보조 용량 버스 라인에 접속된 실드 부재에 의해 전기적으로 실드한다. 이와 같이, 제어 전극과 용량 결합한 부화소 전극을 실드 부재로 실드함으로써, 게이트 버스 라인 또는 데이터 버스 라인으로부터 부화소 전극으로의 전하의 주입이 방지되고, 그 결과 소부가 방지된다.

실드 부재로서, TFT에 직결된 부화소 전극을 사용할 수도 있다. 예를 들면 제어 전극과 용량 결합한 부화소 전극과 게이트 버스 라인 사이에 TFT에 직결된 부화소 전극을 배치함으로써, 게이트 버스 라인으로부터 제어 전극과 용량 결합한 부화소 전극으로 전하가 주입되는 것을 방지할 수 있다.

상기한 과제는, 서로 대향하여 배치된 제1 및 제2 기판과, 상기 제1 및 제2 기판 사이에 봉입된 액정과, 상기 제1 기판에 형성된 게이트 버스 라인 및 데이터 버스 라인과, 상기 게이트 버스 라인 및 상기 데이터 버스 라인에 접속된 박막 트랜지스터와, 상기 게이트 버스 라인 및 상기 데이터 버스 라인에 의해 구획되는 화소 영역 내에 형성된 복수의 부화소 전극과, 상기 복수의 부화소 전극 중 적어도 1개와 용량 결합하고, 상기 데이터 버스 라인으로부터 상기 박막 트랜지스터를 통하여 표시 전압이 인가되는 제어 전극과, 상기 제2 기판에 형성되고 상기 제1 기판의 상기 복수의 부화소 전극에 대향하는 커먼 전극을 갖는 액정 표시 장치의 소부 방지 방법에 있어서, 상기 커먼 전극의 전위에 대한 상기 데이터 버스 라인의 중심 전위를 V_{ddc} , 상기 커먼 전극의 전위에 대한 상기 게이트 버스 라인의 중심 전위를 V_{gdc} , 상기 제어 전극과 용량 결합한 부화소 전극과 상기 데이터 버스 라인 사이의 저항을 R_d , 상기 제어 전극과 용량 결합한 부화소 전극과 상기 게이트 버스 라인 사이의 저항을 R_g 로 했을 때에, $V_{ddc} - V_{gdc} \times R_d / R_g$ 가 거의 0으로 되도록 상기 제어 전극과 용량 결합한 부화소 전극의 위치 및 형상을 설정하는 액정 표시 장치의 소부 방지 방법에 의해 해결한다.

게이트 버스 라인에는, 프레임 기간중의 대부분의 시간, TFT를 오프 상태로 유지하기 위해서 마이너스의 전압이 인가되고 있다. 한편, 데이터 버스 라인에 흐르는 신호에는, 피드 스루 전압(feed through voltage)을 보상하기 위해서 플러스의 직류 전압이 중첩되어 있다. 따라서, 데이터 버스 라인에 흐르는 신호의 직류 전압 성분(즉, 커먼 전극의 전위에 대한 데이터 버스 라인의 중심 전위)의 영향과, 게이트 버스 라인에 흐르는 신호의 직류 전압 성분(즉, 커먼 전극의 전위에 대한 게이트 버스 라인의 중심 전위)의 영향이 상쇄되도록, 즉 $V_{ddc} - V_{gdc} \times R_d / R_g$ 가 거의 0으로 되도록 부화소 전극(제어 전극과 용량 결합한 부화소 전극)의 위치 및 형상을 설정하면, 소부를 방지할 수 있다.

상기한 과제는, 서로 대향하여 배치된 제1 및 제2 기판과, 상기 제1 및 제2 기판 사이에 봉입된 액정과, 상기 제1 기판에 형성된 게이트 버스 라인 및 데이터 버스 라인과, 상기 게이트 버스 라인 및 상기 데이터 버스 라인에 접속된 박막 트랜지스터와, 상기 게이트 버스 라인 및 상기 데이터 버스 라인에 의해 구획되는 화소 영역 내에 형성된 복수의 부화소 전극과,

상기 복수의 부화소 전극 중 적어도 1개와 용량 결합하고, 상기 데이터 버스 라인으로부터 상기 박막 트랜지스터를 통하여 표시 전압이 인가되는 제어 전극과, 상기 제2 기판에 형성되고 상기 제1 기판의 복수의 부화소 전극에 대향하는 커먼 전극을 갖는 액정 표시 장치에 있어서, 상기 제어 전극과 용량 결합한 부화소 전극과, 상기 박막 트랜지스터에 접속된 부화소 전극의 사이가, 저항체를 통하여 접속되어 있는 액정 표시 장치에 의해 해결한다.

본 발명에서는, 제어 전극과 용량 결합한 부화소 전극(플로팅 부화소 전극)과, 박막 트랜지스터에 직결된 부화소 전극의 사이가, 예를 들면 아몰퍼스 실리콘으로 이루어지는 고저항의 저항체를 통하여 접속되어 있다. 이에 의해, 플로팅 부화소 전극과 제어 전극 사이의 저항치가 감소하고, 액정층에 잔류하는 직류 전압이 낮아져, 소부의 발생이 방지된다. 단, 저항체의 저항치가 지나치게 낮으면 플로팅 부화소 전극과 TFT에 직결된 부화소 전극의 사이에 전류가 흘러 전위차가 작아져, 위시아웃을 방지하는 효과가 작아진다.

상기한 과제는, 서로 대향하여 배치된 제1 및 제2 기판과, 상기 제1 및 제2 기판 사이에 봉입된 액정과, 상기 제1 기판에 형성된 게이트 버스 라인 및 데이터 버스 라인과, 상기 게이트 버스 라인 및 상기 데이터 버스 라인에 접속된 박막 트랜지스터와, 상기 게이트 버스 라인 및 상기 데이터 버스 라인에 의해 구획되는 화소 영역 내에 형성된 복수의 부화소 전극과, 상기 복수의 부화소 전극 중 적어도 1개와 용량 결합하고, 상기 데이터 버스 라인으로부터 상기 박막 트랜지스터를 통하여 표시 전압이 인가되는 제어 전극과, 일정한 전위로 유지되고 상기 제어 전극과의 사이에서 보조 용량을 구성하는 보조 용량 버스 라인을 갖는 액정 표시 장치에 있어서, 상기 제어 전극과 용량 결합한 부화소 전극과 상기 보조 용량 버스 라인의 사이, 또는 상기 제어 전극과 용량 결합한 부화소 전극과 상기 박막 트랜지스터에 접속된 부화소 전극의 사이에, 상기 박막 트랜지스터가 접속된 게이트 버스 라인과는 별도의 게이트 버스 라인에 흐르는 신호로 구동하는 스위칭 소자를 갖는 액정 표시 장치에 의해 해결한다.

본 발명에서는, 플로팅 부화소 전극과 보조 용량 버스 라인의 사이, 또는 플로팅 부화소 전극과 박막 트랜지스터에 직결된 부화소 전극의 사이에, 박막 트랜지스터가 접속된 게이트 버스 라인과는 별도의 게이트 버스 라인에 흐르는 신호로 구동하는 스위칭 소자를 배치하고 있다. 이에 의해, 소정의 타이밍에서 플로팅 부화소 전극에 축적된 전하가 보조 용량 버스 라인 또는 TFT에 직결된 부화소 전극에 흘러, 소부의 발생이 방지된다.

상기한 과제는, 서로 대향하여 배치된 제1 및 제2 기판과, 상기 제1 및 제2 기판 사이에 봉입된 액정과, 상기 제1 기판에 형성된 게이트 버스 라인 및 데이터 버스 라인과, 상기 게이트 버스 라인 및 상기 데이터 버스 라인에 접속된 박막 트랜지스터와, 상기 게이트 버스 라인 및 상기 데이터 버스 라인에 의해 구획되는 화소 영역 내에 형성된 복수의 부화소 전극과, 상기 복수의 부화소 전극 중 적어도 1개와 용량 결합하고, 상기 데이터 버스 라인으로부터 상기 박막 트랜지스터를 통하여 표시 전압이 인가되는 제어 전극과, 일정한 전위로 유지되고 상기 제어 전극과의 사이에서 제1 보조 용량을 구성하는 보조 용량 버스 라인과, 상기 제2 기판에 형성되고 상기 제1 기판의 상기 복수의 부화소 전극에 대향하는 커먼 전극을 갖는 액정 표시 장치의 소부 방지 방법으로서, 상기 제어 전극과 용량 결합한 부화소 전극과 상기 커먼 전극 사이의 용량에 병렬로 제2 보조 용량을 형성하는 액정 표시 장치의 소부 방지 방법에 의해 해결한다.

백 표시부 및 흑 표시부의 플로팅 부화소 전극에서 전위차가 발생하는 원인중 하나는 액정 용량이 변동하기 때문이다. 따라서, 본 발명에서는 액정 용량과 병렬로 제2 보조 용량을 형성하여, 액정 용량의 변동에 의한 영향을 작게 한다.

통상적으로, 보조 용량 버스 라인은 커먼 전극과 동일한 전위 또는 커먼 전극에 대하여 일정한 전위로 유지된다. 따라서, 예를 들면 플로팅 부화소 전극과 보조 용량 버스 라인의 사이에 보조 용량 전극을 형성하고, 이 보조 용량 전극을 플로팅 부화소 전극과 접속하면, 액정 용량과 병렬로 제2 보조 용량을 형성한 것으로 되어, 소부의 발생을 방지할 수 있다.

이하, 본 발명에 대하여 더욱 상세히 설명한다.

통상적으로, 액정 표시 장치의 소부는, 게이트 버스 라인 및 데이터 버스 라인 등에 흐르는 신호에 직류 전압 성분이 존재하고, 백 표시 시와 흑 표시 시에서 액정층의 CR 값(액정 용량 및 액정 저항의 값)이 변화하는 것이 원인이다. 이하에, 플로팅 부화소 전극을 갖는 액정 표시 장치에서 소부가 발생하는 이유에 대하여 설명한다.

도 9는 플로팅 부화소 전극을 구비한 액정 표시 장치의 1 화소를 나타내는 평면도이고, 도 10의 (a)는 도 9의 II-II선의 위치에서의 모식 단면도, 도 10의 (b)는 도 9의 III-III선의 위치에서의 모식 단면도, 도 10의 (c)는 도 9의 IV-IV선의 위치에서의 모식 단면도, 도 10의 (d)는 도 9의 V-V선의 위치에서의 모식 단면도이다.

도 9에 도시하는 액정 표시 장치에서는, 도 10의 (a)에 도시한 바와 같이, 부화소 전극(플로팅 부화소 전극)(61a)과 커먼 전극(73)의 사이에, C_{LC2} 와 R_{LC2} 가 병렬로 접속되어 있다고 간주할 수 있다. 여기서, C_{LC2} 는 부화소 전극(61a)과 커먼 전극(73) 사이의 용량이고, R_{LC2} 는 부화소 전극(61a)과 커먼 전극(73) 사이의 저항이다.

또한, 부화소 전극(61a)과 게이트 버스 라인(52)의 사이에도, C_{gpx2} 와 R_{goff} 가 병렬로 접속되어 있다고 간주할 수 있다. 여기서, C_{gpx2} 는 부화소 전극(61a)과 게이트 버스 라인(52) 사이의 용량이고, R_{goff} 는 부화소 전극(61a)과 게이트 버스 라인(52) 사이의 저항이다.

한편, 부화소 전극(TFT(56)에 직결된 부화소 전극)(61b)과 커먼 전극(73)의 사이에도, 도 10의 (b)에 도시한 바와 같이, C_{LC1} 과 R_{LC1} 이 병렬로 접속되어 있다고 간주할 수 있다. 여기서, C_{LC1} 은 부화소 전극(61b)과 커먼 전극(73) 사이의 용량이고, R_{LC1} 은 부화소 전극(61b)과 커먼 전극(73) 사이의 저항이다.

또한, 부화소 전극(61b)과 게이트 버스 라인(52)의 사이에는, C_{gpx1} 과 R_{gpx1} 이 병렬로 접속되어 있다고 간주할 수 있다. 여기서, C_{gpx1} 은 부화소 전극(61b)과 게이트 버스 라인(52) 사이의 용량이고, R_{gpx1} 은 부화소 전극(61b)과 게이트 버스 라인(52) 사이의 저항이다.

게이트 버스 라인(52)에는, 1 필드 기간의 대부분의 시간, TFT(56)를 오프 상태로 유지하기 때문에, 커먼 전극(73)의 전위에 대하여 $-12V$ 정도 낮은 직류 전압(V_{goff})이 인가된다. 이 직류 전압에 따른 전하가, 용량 C_{gpx2} 와 저항 R_{goff} 를 통하여 부화소 전극(61a, 61b)에 축적된다. 그러나, 통상적으로, 1 필드마다 1회씩 TFT(56)가 온으로 되어 부화소 전극(61b)과 데이터 버스 라인(55)이 전기적으로 접속되기 때문에, 부화소 전극(61b)에서는 TFT(56)가 오프인 기간에 축적된 전하가 데이터 버스 라인(55)으로 흘러, 직류 전압 성분은 잔류하지 않는다. 한편, 부화소 전극(61a)에서는, TFT(56)가 온으로 되어도 부화소 전극(61a)에 축적된 전하는 그대로 유지된다. 이 때문에, 부화소 전극(61a)에는 직류 전압 성분이 잔류한다.

도 10의 (c)에 도시한 바와 같이, 부화소 전극(61a)과 데이터 버스 라인(55)의 사이에는, C_{dpx2} 와 R_{dpx2} 가 병렬로 접속되어 있다고 간주할 수 있다. 여기서, C_{dpx2} 는 부화소 전극(61a)과 데이터 버스 라인(55) 사이의 용량이고, R_{dpx2} 는 부화소 전극(61a)과 데이터 버스 라인(55) 사이의 저항이다.

또한, 도 10의 (d)에 도시한 바와 같이, 부화소 전극(61b)과 데이터 버스 라인(55)의 사이에도, C_{dpx1} 과 R_{dpx1} 이 병렬로 접속되어 있다고 간주할 수 있다. 여기서, C_{dpx1} 은 부화소 전극(61b)과 데이터 버스 라인(55) 사이의 용량이고, R_{dpx1} 은 부화소 전극(61b)과 데이터 버스 라인(55) 사이의 저항이다.

데이터 버스 라인(55)에는 피드 스루 전압을 보상하기 위해서, 커먼 전극(73)의 전위에 대하여 $1 \sim 2V$ 정도 높은 직류 전압을 표시 신호(교류 신호)에 중첩시키고 있다. 이 직류 전압에 따른 전하도, 용량 C_{dpx2} 와 저항 R_{dpx2} 를 통하여 부화소 전극(61a)에 축적된다.

그러나, 상술한 바와 같이, 1 필드마다 1회씩 TFT(56)가 온으로 되어, 부화소 전극(61b)과 데이터 버스 라인(55)이 전기적으로 접속되기 때문에, 부화소 전극(61b)에서는 TFT(56)가 오프인 기간에 축적된 전하가 온인 기간에 데이터 버스 라인(55)에 흐른다. 이 때문에, 부화소 전극(61b)에는 직류 전압 성분은 잔류하지 않는다. 한편, 부화소 전극(61a)에서는, TFT(56)가 온으로 되어도, 부화소 전극(61a)에 축적된 전하는 그대로 유지된다. 이 때문에, 부화소 전극(61a)에는 직류 전압 성분이 잔류한다.

이와 같이, TFT(56)에 직결된 부화소 전극(61b)에서는 직류 전압 성분의 축적은 거의 없는 데에 대하여, 플로팅 부화소 전극(61a)에서는 전하가 축적되어 직류 전압 성분이 잔류한다.

다음으로, 플로팅 부화소 전극에 축적된 전하와 소부의 관계에 대하여 설명한다.

도 11은 플로팅 부화소 전극에 의해 구성되는 부화소의 등가 회로를 도시하는 도면이다. 제어 전극과 커먼 전극 사이의 직류 전압 성분을 ΔV_s 로 하고, 플로팅 부화소 전극의 전하량을 Q , 커먼 전극의 전하량을 Q_1 , 제어 전극의 전하량을 Q_2 로 한다. 과도 상태가 종료하고 정상 상태에 있을 때의 Q_1 , Q_2 , Q 는, 하기 수학적 식 2에 나타난 바와 같다.

수학식 2

$$\left. \begin{aligned} Q1 &= \frac{R_{LC2}}{R_{LC2} + R_c} \times \Delta V_s \times C_{LC2} \\ Q2 &= \frac{R_c}{R_{LC2} + R_c} \times \Delta V_s \times C_c \\ Q &= Q2 - Q1 \\ &= \frac{-((R_{LC2} \times C_{LC2}) - (R_c \times C_c))}{R_{LC2} + R_c} \times \Delta V_s \end{aligned} \right\}$$

제어 전극과 커먼 전극 사이의 직류 전압 성분 ΔV_s 가 제거되더라도, 하기 수학식 3에 나타내는 직류 전압 성분 ΔV_{LC2} 가 액정층에 잔류한다.

수학식 3

$$\begin{aligned} \Delta V_{LC2} &= -Q / Q_{LC2} \\ &= \frac{((R_{LC2} \times C_{LC2}) - (R_c \times C_c))}{(R_{LC2} + R_c) \times Q_{LC2}} \times \Delta V_s \end{aligned}$$

부화소 전극의 면적을 S, 셀 두께를 d로 하면, 액정 용량 C_{LC2} 는 $C_{LC2} = \epsilon(S/d)$ 로 표시된다. 여기서, ϵ 는 액정의 유전율이다. 액정 분자가 기관 면에 수직으로 배향되고 있을 때의 유전율과 수평으로 배향되고 있을 때의 유전율은 서로 다르기 때문에, 체커 패턴의 백 부분을 표시하고 있는 화소와 흑 부분을 표시하고 있는 화소에서는 액정 용량의 값이 서로 다르고, 그 결과 액정층에 인가되는 직류 전압 성분 ΔV_{LC2} 의 값도 서로 다르다. 체커 패턴의 표시로부터 중간조의 표시로 전환하더라도 액정층에 잔류하는 직류 전압 성분은 즉시는 변화하지 않기 때문에, 백을 표시하고 있던 화소와 흑을 표시하고 있던 화소에서는 액정층에 인가되는 전압이 서로 다르다. 이 때문에, 백을 표시하고 있던 화소와 흑을 표시하고 있던 화소에서는 광의 투과율이 서로 달라, 소부가 발생한다. 또한, 이러한 원인에 의해 발생한 소부는 부화소 전극과 제어 전극 및 커먼 전극 사이의 시상수에 따른 시간으로 감소하지만, 표시 품질을 향상시키기 위해서는 소부를 될 수 있는 한 적게 할 필요가 있다.

도 12는 횡축에 제어 전극과 커먼 전극 사이의 직류 전압 성분 ΔV_s 를 취하고, 종축에 액정층에 잔류하는 직류 전압 성분 ΔV_{LC2} 를 취하여, 액정층에 표시 전압이 인가되었을 때(액정 ON)의 ΔV_s 와 ΔV_{LC2} 의 관계와, 액정층에 표시 전압이 인가되어 있을 때(액정 OFF)의 ΔV_s 와 ΔV_{LC2} 의 관계를 나타내는 도면이다. 단, 여기서는, 도 9에 도시하는 구조의 액정 표시 장치를 상정하고 있으며, 화소 피치를 125 μ m, 제어 전극(57)과 용량 결합한 부화소 전극(61a)과 TFT(56)에 직결된 부화소 전극(61b)의 면적비를 3:7, 부화소 전극(플로팅 부화소 전극)(61a)에 인가되는 표시 전압과 부화소 전극(TFT에 직결된 부화소 전극)(61b)에 인가되는 표시 전압의 비를 0.72로 하여 계산하고 있다.

이 도 12로부터 알 수 있듯이, 제어 전극과 커먼 전극 사이의 직류 전압 성분 ΔV_s 의 수 배의 전압이 액정층에 인가된다. 이 때문에, 제어 전극과 커먼 전극 사이의 직류 전압 성분 V_s 를 작게 해도, 소부를 억제하는 효과는 작다.

본원 발명자 등은, 소부를 방지하기 위해서는, 다음의 어느 하나의 대책을 취할 필요가 있다고 생각했다.

- (1) 직류 전압 성분을 갖는 신호가 흐르는 버스 라인(게이트 버스 라인 및 데이터 버스 라인)과 플로팅 부화소 전극의 사이를 전기적으로 실드하여, 플로팅 부화소 전극에의 전하의 축적을 억제한다.
- (2) 게이트 버스 라인에 흐르는 신호가 갖는 직류 전압 성분과 데이터 버스 라인에 흐르는 신호가 갖는 직류 전압 성분은 역 극성이다. 이들 2개의 직류 전압 성분의 영향이 상쇄되도록 플로팅 부화소 전극과 게이트 버스 라인 및 데이터 버스 라인 사이의 저항을 최적화한다.
- (3) 플로팅 부화소 전극과 제어 전극 사이의 저항을 작게 하면, 액정층에 잔류하는 직류 전압 성분이 작아진다. 그러나, 플로팅 부화소 전극과 제어 전극 사이의 저항을 지나치게 작게 하면, 위시 아웃을 억제하는 효과가 얻어지지 않게 된다. 위시 아웃 및 소부가 발생하지 않도록, 플로팅 부화소 전극과 제어 전극 사이의 저항을 최적화한다.

(4) 플로팅 부화소 전극에 축적된 전하를 일정한 주기로 데이터 버스 라인 또는 보조 용량 버스 라인 등에 흘린다.

(5) 플로팅 부화소 전극과 커먼 전극 사이의 용량(액정 용량)과 병렬로 보조 용량을 형성하고, 액정 용량의 변화의 영향을 작게 한다.

이하, 이들 대책을 실시한 본 발명의 실시 형태의 액정 표시 장치에 대하여 설명한다.

(제1 실시 형태)

도 13은 본 발명의 제1 실시 형태에 따른 액정 표시 장치를 도시하는 평면도, 도 14의 (a)는 도 13의 VI-VI선을 따라 취한 단면도, 도 14의 (b)는 도 13의 VII-VII선을 따라 취한 단면도이다.

TFT 기관의 베이스로 되는 글래스 기관(111)의 위에는, 수평 방향(X 방향)으로 연장되는 복수의 게이트 버스 라인(112)과 수직 방향(Y 방향)으로 연장되는 복수의 데이터 버스 라인(115)이 형성되어 있다. 이들 게이트 버스 라인(112) 및 데이터 버스 라인(115)에 의해 구획되는 직사각형의 영역이 각각 화소 영역이다. 또한, 글래스 기관(111)의 위에는 게이트 버스 라인(112)과 평행하게 배치되고, 각 화소 영역의 중앙을 횡단하는 보조 용량 버스 라인(113)이 형성되어 있다.

게이트 버스 라인(112) 및 보조 용량 버스 라인(113)과 데이터 버스 라인(115)의 사이에는, 예를 들면 SiN 또는 SiO₂ 등의 절연재료로 이루어지는 제1 절연막(114)이 형성되어 있고, 이 제1 절연막(114)에 의해 게이트 버스 라인(112) 및 보조 용량 버스 라인(113)과 데이터 버스 라인(115)의 사이가 전기적으로 분리되어 있다.

각 화소 영역에는, TFT(116)와, 접속 전극(117a, 117b)과, 제어 전극(118)과, ITO 등의 투명 도전체로 이루어지는 부화소 전극(121a~121c)이 형성되어 있다. 제어 전극(118)은 보조 용량 버스 라인(113) 및 제1 절연막(114)과 함께 보조 용량 전극을 구성하고 있다. TFT(116)는 도 13에 도시한 바와 같이 게이트 버스 라인(112)의 일부를 게이트 전극으로 하고 있다. 또한, 도 14의 (a)에 도시한 바와 같이, TFT(116)의 활성층으로 되는 반도체막(116a)은 게이트 버스 라인(112)의 위쪽에 형성되어 있고, 이 반도체막(116a)의 위에는 채널 보호막(116b)이 형성되어 있다.

TFT(116)의 드레인 전극(116d)은 데이터 버스 라인(115)에 접속되어 있고, 소스 전극(116s)은 게이트 버스 라인(112)을 사이에 두고 드레인 전극(116d)에 대향하는 위치에 배치되어 있다. 또한, 제어 전극(118)은 제1 절연막(114)을 사이에 두고 보조 용량 버스 라인(113)에 대향하는 위치에 형성되어 있다. 접속 전극(117a)은 부화소 전극(121a)의 아래쪽에 배치되어 있고, 접속 전극(117b)은 부화소 전극(121c)의 아래쪽에 배치되어 있다. 이들 접속 전극(117a, 117b) 및 제어 전극(118)은 배선(119)을 통하여 소스 전극(116s)에 접속되어 있다.

데이터 버스 라인(115), TFT(116), 접속 전극(117a, 117b), 제어 전극(118) 및 배선(119)은, SiN 또는 절연성 수지 등으로 이루어지는 제2 절연막(120)에 의해 피복되어 있고, 이 제2 절연막(120)의 위에 부화소 전극(121a~121c)이 형성되어 있다. 도 13에 도시한 바와 같이, 부화소 전극(플로팅 부화소 전극)(121b)은 화소 영역의 중앙에 배치되어 있고, 제어 전극(118)과 용량 결합하고 있다. 또한, 부화소 전극(121a)은 부화소 전극(121b)과 상측의 게이트 버스 라인(112)의 사이에 배치되고, 부화소 전극(121c)은 부화소 전극(121b)과 하측의 게이트 버스 라인(112)의 사이에 배치되어 있다. 이들 부화소 전극(121a, 121c)은 컨택트홀(120a, 120b), 접속 전극(117a, 117b) 및 배선(119)을 통하여 TFT(116)의 소스 전극(116s)에 전기적으로 접속되어 있다. 또한, 부화소 전극(121a~121c)의 표면은, 예를 들면 폴리이미드로 이루어지는 배향막(122)으로 피복되어 있다.

또한, 게이트 버스 라인(112) 및 보조 용량 버스 라인(113)은, 예를 들면 Cr막 또는 Al-Ti 적층막을 포토리소그래피에 의해 패터닝하여 동시에 형성된다. 또한, 데이터 버스 라인(115), 소스 전극(116s), 드레인 전극(116d) 및 제어 전극(118)은, 예를 들면 Ti-Al-Ti 적층막을 포토리소그래피법에 의해 패터닝하여 동시에 형성된다.

한편, 대향 기관은 도 14의 (a) 및 (b)에 도시한 바와 같이, 베이스로 되는 글래스 기관(131)의 한쪽 면측(도 14의 (a) 및 (b)에서는 하측)에 형성된 컬러 필터(132)와, 컬러 필터(132)의 면 위에 형성된 커먼 전극(133)과, 커먼 전극(133)의 표면을 피복하는 배향막(134)을 구비하고 있다. 커먼 전극(133)은 ITO 등의 투명 도전체에 의해 형성되고, 배향막(134)은 예를 들면 폴리이미드에 의해 형성된다.

TFT 기관과 대향 기관은 각각 배향막이 형성된 면을 내측으로 하여 배치되고, 스페이서를 사이에 두고 접합된다. 그리고, 이들 TFT 기관과 대향 기관의 사이에는 액정(140)이 봉입되어 있다.

전술한 바와 같이 구성된 제1 실시 형태의 액정 표시 장치에 있어서, 부화소 전극(121a, 121c)은 TFT(116)에 전기적으로 접속되어 있기 때문에, TFT(116)가 온으로 되면 데이터 버스 라인(115)에 접속된다. 이 때문에, TFT(116)가 오프인 기간에 게이트 버스 라인(112)에 흐르는 신호의 직류 전압 성분에 의해 부화소 전극(121a, 121b)에 전하가 축적되더라도, 이들 전하는 TFT(116)가 온인 기간에 데이터 버스 라인(115)에 흘러, 전하의 축적이 방지된다. 따라서, 이들 부화소 전극(121a, 121b)에서는 소부가 발생하지 않는다.

한편, 제어 전극(118)과 용량 결합한 부화소 전극(플로팅 부화소 전극)(121b)은, 게이트 버스 라인(112)으로부터 떨어져 있음과 함께, 게이트 버스 라인(112)과의 사이에 부화소 전극(121a, 121c)이 개재하고 있기 때문에, 게이트 버스 라인(112)에 흐르는 신호의 직류 전압 성분에 의한 플로팅 부화소 전극(121b)에의 전하의 축적이 매우 적다. 이에 의해, 소부의 발생이 방지되어, 양호한 표시 품질이 얻어진다.

(변형예 1)

도 15는 제1 실시 형태의 변형예 1의 액정 표시 장치를 도시하는 평면도, 도 16은 도 15의 VIII-VIII선을 따라 취한 단면도이다. 이들 도 15, 도 16에 있어서, 도 13, 도 14와 동일물에는 동일 부호를 붙이고, 그 자세한 설명은 생략한다.

도 15, 도 16에 도시하는 변형예 1의 액정 표시 장치에서는, 1 화소 내에 2개의 부화소 전극(136a, 136b)이 형성되어 있다. 또한, 부화소 전극(136a)의 아래쪽에는 제2 절연막(120)을 사이에 두고 제어 전극(161)이 형성되어 있고, 부화소 전극(136a)은 제어 전극(161)과 용량 결합하고 있다.

보조 용량 버스 라인(113)의 위쪽에는 보조 용량 전극(163)이 형성되어 있고, 이 보조 용량 전극(163)은 콘택트홀(135)을 통하여 부화소 전극(136b)과 전기적으로 접속되어 있다. 또한, 보조 용량 전극(163) 및 제어 전극(161)은, 배선(162)을 통하여 TFT(116)의 소스 전극(116s)에 전기적으로 접속되어 있다.

또한, 부화소 전극(136a)과 데이터 버스 라인(115)의 사이에는, 보조 용량 버스 라인(113)으로부터 연장된 실드 패턴(113a, 113b)이 배치되어 있다. 보조 용량 버스 라인(113)은 커먼 전극(133)과 동일 전위, 또는 커먼 전극(133)의 전위에 대하여 일정한 전위로 유지된다.

이 변형예 1의 액정 표시 장치에서는, 플로팅 부화소 전극(136a)과 데이터 버스 라인(115)의 사이에 보조 용량 버스 라인(113)과 동일 전위로 유지되는 실드 패턴(113a, 113b)이 배치되어 있기 때문에, 데이터 버스 라인(115)에 흐르는 신호의 직류 성분에 의한 플로팅 부화소 전극(136a)에의 전하의 축적이 억제된다. 이에 의해, 소부가 억제된다고 하는 효과를 발휘한다.

(변형예 2)

도 17은 제1 실시 형태의 변형예 2의 액정 표시 장치를 도시하는 평면도, 도 18은 도 17의 IX-IX선을 따라 취한 단면도이다. 이들 도 17, 도 18에 있어서, 도 15, 도 16과 동일물에는 동일 부호를 붙이고, 그 자세한 설명은 생략한다.

도 17, 도 18에 도시하는 변형예 2의 액정 표시 장치에서는, 플로팅 부화소 전극(136a)과 데이터 버스 라인(115)의 사이에, 부화소 전극(136a)과 동일한 층에 형성된 실드 패턴(138a, 138b)이 배치되어 있다. 이들 실드 패턴(138a, 138b)은 제1 및 제2 절연막(114, 120)에 형성된 콘택트홀(137a, 137b)을 통하여 보조 용량 버스 라인(113)에 전기적으로 접속되어 있다. 보조 용량 버스 라인(113)은 변형예 1의 액정 표시 장치와 마찬가지로, 커먼 전극(133)과 동일 전위, 또는 커먼 전극(133)의 전위에 대하여 일정한 전위로 유지된다.

도 15, 도 16에 도시하는 변형예 1의 액정 표시 장치에서는 실드 패턴(113a, 113b)이 데이터 버스 라인(115) 및 부화소 전극(136a)보다도 하층에 형성되어 있는 데 대하여, 변형예 2의 액정 표시 장치에서는 실드 패턴(138a, 138b)이 부화소 전극(136a)과 동일한 층에 형성되어 있다. 이 때문에, 변형예 2의 액정 표시 장치에서는 제1 절연막(114)의 저항 성분이 없어지고, 변형예 1의 액정 표시 장치에 비하여 부화소 전극(136a)을 데이터 버스 라인(115)으로부터 실드하는 효과가 크다. 이에 의해, 변형예 1의 액정 표시 장치에 비하여 소부를 보다 한층 확실하게 방지할 수 있다.

(변형예 3)

도 19는 제1 실시 형태의 변형예 3의 액정 표시 장치를 도시하는 평면도, 도 20은 도 19의 X-X 선을 따라 취한 단면도이다. 이들 도 19, 도 20에 있어서, 도 15, 도 16과 동일물에는 동일 부호를 붙이고, 그 자세한 설명은 생략한다.

도 19, 도 20에 도시하는 변형예 3의 액정 표시 장치에서는, 플로팅 부화소 전극(136a)과 데이터 버스 라인(115)의 사이에, 보조 용량 버스 라인(113)으로부터 연장되는 실드 패턴(113a, 113b)과, 부화소 전극(136a)과 동일한 층에 형성된 실드 패턴(142a, 142b)이 배치되어 있다. 실드 패턴(142a, 142b)은 제1 및 제2 절연막(114, 120)에 형성된 콘택트홀(141a, 141b)을 통하여 실드 패턴(113a, 113b)에 전기적으로 접속되어 있다.

이 변형예 3의 액정 표시 장치에서도, 플로팅 부화소 전극(136a)과 데이터 버스 라인(115)의 사이에 실드 패턴(113a, 113b, 142a, 142b)이 형성되어 있기 때문에, 데이터 버스 라인(115)에 흐르는 직류 전압 성분에 의한 플로팅 부화소 전극(136)에의 전하 축적이 억제되어, 소부를 방지할 수 있다.

(변형예 4)

도 21은 제1 실시 형태의 변형예 4의 액정 표시 장치를 도시하는 평면도이다. 이 도 21에 있어서, 도 15와 동일물에는 동일 부호를 붙이고 그 자세한 설명은 생략한다.

도 21에 도시하는 변형예 4의 액정 표시 장치에서는, 플로팅 부화소 전극(136a)의 주위를, 보조 용량 버스 라인(113)과 동일한 층에 형성되고 보조 용량 버스 라인(113)에 접속된 실드 패턴(143)이 둘러싸고 있다.

이 변형예 4의 액정 표시 장치에서는, 데이터 버스 라인(115)에 흐르는 신호에 포함되는 직류 전압 성분뿐만 아니라, 게이트 버스 라인(112)에 흐르는 신호에 포함되는 직류 전압 성분도 실드할 수 있으므로, 변형예 1의 액정 표시 장치에 비하여 소부를 보다 한층 확실하게 방지할 수 있다고 하는 효과를 발휘한다.

(변형예 5)

도 22는 제1 실시 형태의 변형예 5의 액정 표시 장치를 도시하는 평면도이다. 이 도 22에 있어서, 도 13과 동일물에는 동일 부호를 붙이고, 그 자세한 설명을 생략한다.

도 22에 도시하는 액정 표시 장치에서는, 플로팅 부화소 전극(121b)과 도 22의 상측 및 하측에 도시하는 게이트 버스 라인(112)의 사이에 부화소 전극(121a, 121c)이 배치되어 있다. 이들 부화소 전극(121a, 121c)은 콘택트홀(120a, 120b) 및 배선(119)을 통하여 TFT(116)와 전기적으로 접속되어 있다. 또한, 플로팅 부화소 전극(121b)과 도 22의 우측 및 좌측의 데이터 버스 라인(115)의 사이에는, 각각 보조 용량 버스 라인(113)으로부터 연장된 실드 패턴(145)이 배치되어 있다.

이 변형예 5의 액정 표시 장치에서는, 부화소 전극(121a, 121c) 및 실드 패턴(145)에 의해 플로팅 부화소 전극(121b)이 게이트 버스 라인(112) 및 데이터 버스 라인(115)으로부터 실드되기 때문에, 게이트 버스 라인(112) 및 데이터 버스 라인(115)을 흐르는 신호의 직류 전압 성분에 의한 전하의 축적이 억제되어, 소부를 효과적으로 방지할 수 있다고 하는 효과를 발휘한다.

또한, 변형예 5의 액정 표시 장치에서는, 소부를 TFT(116)에 전기적으로 접속하고 있는 부화소 전극(121a, 121c)과 데이터 버스 라인(115)의 사이에도 실드 패턴(145)이 배치되어 있기 때문에, 데이터 버스 라인(115)을 흐르는 신호에 포함되는 직류 전압 성분에 의한 부화소 전극(121a, 121c)에의 전하의 축적이 억제된다고 하는 효과도 있다.

(변형예 6)

도 23은 제1 실시 형태의 변형예 6의 액정 표시 장치를 도시하는 평면도이다. 이 도 23에 있어서, 도 22와 동일물에는 동일 부호를 붙이고, 그 자세한 설명을 생략한다.

도 23에 도시하는 변형예 6의 액정 표시 장치에서는, 플로팅 부화소 전극(121b)과, TFT(116)에 직결된 부화소 전극(121a, 121c)의 사이에도, 보조 용량 버스 라인(113)과 동일한 층에 형성되고 보조 용량 버스 라인(113)에 접속되어 있는 실드 패턴(146)이 배치되어 있다. 이 변형예 6의 액정 표시 장치에 있어서도, 게이트 버스 라인(112) 및 데이터 버스 라인(115)을 흐르는 신호의 직류 전압 성분에 의한 전하의 축적이 억제되어, 소부를 효과적으로 방지할 수 있다.

(변형예 7)

도 24는 제1 실시 형태의 변형예 7의 액정 표시 장치를 도시하는 평면도이다. 이 도 24에 있어서, 도 13과 동일물에는 동일 부호를 붙이고 그 자세한 설명은 생략한다.

도 24에 도시하는 변형예 7의 액정 표시 장치에서는, 플로팅 부화소 전극(151a)의 주위를 부화소 전극(151b)이 둘러싸고 있다. 이 부화소 전극(151b)은 콘택트홀(120a, 120b) 및 배선(119)을 통하여 TFT(116)의 소스 전극(116s)과 전기적으로 접속되어 있다.

이 변형예 7의 액정 표시 장치에서도, 플로팅 부화소 전극(151a)이 게이트 버스 라인(112) 및 데이터 버스 라인(115)으로부터 실드되기 때문에, 게이트 버스 라인(112) 및 데이터 버스 라인(115)을 흐르는 신호의 직류 전압 성분에 의한 전하의 축적이 억제되어, 소부를 효과적으로 방지할 수 있다고 하는 효과를 발휘한다.

(제2 실시 형태)

이하, 본 발명의 제2 실시 형태에 대하여 설명한다.

도 25는 본 발명의 제2 실시 형태의 원리를 도시하는 도면이다. 이 도 25는 플로팅 부화소 전극 F_{SE} 와 커먼 전극, 제어 전극, 게이트 버스 라인 및 데이터 버스 라인 사이의 등가 회로를 도시하고 있다.

도 25에 도시한 바와 같이, 플로팅 부화소 전극 F_{SE} 와 게이트 버스 라인의 사이에는 저항 R_G 가 존재하고, 플로팅 부화소 전극 F_{SE} 와 데이터 버스 라인의 사이에는 저항 R_D 가 존재하고, 플로팅 부화소 전극 F_{SE} 와 제어 전극의 사이에는 저항 R_C 가 존재하고, 플로팅 부화소 전극 F_{SE} 와 커먼 전극의 사이에는 저항(액정 저항) R_{LC} 가 존재할 수가 있다. 여기서, 제어 전극의 전위를 V_{sdc} , 커먼 전극의 전위를 V_{com} , 게이트 버스 라인을 흐르는 신호의 직류 전압 성분(중심 전위)을 V_{gdc} , 데이터 버스 라인을 흐르는 신호의 직류 전압 성분(중심 전위)을 V_{ddc} 로 한다.

상술한 바와 같이, 게이트 버스 라인에는, TFT를 오프로 하기 위해서, 커먼 전극의 전위에 대하여 -12V 정도의 직류 전압이 인가된다. 또한, 데이터 버스 라인에는, 피드 스루 전압을 보상하기 위해서, 커먼 전극의 전위에 대하여 +2V 정도의 직류 전압을 표시 신호에 중첩시키고 있다. 게이트 버스 라인에 인가되는 직류 전압 성분과 데이터 버스 라인에 인가되는 직류 전압 성분은 역 극성이기 때문에, 하기 수학식 4가 성립하도록 V_{ddc} , V_{gdc} , R_G 및 R_D 의 값을 설정하면, 게이트 버스 라인 및 데이터 버스 라인을 흐르는 신호의 직류 전압 성분에 의한 플로팅 부화소 전극에의 전하의 축적이 방지되고, 나아가서는 소부의 발생을 방지할 수 있다.

수학식 4

$$V_{ddc} \times R_G - V_{gdc} \times R_D = 0$$

게이트 버스 라인에 흐르는 신호의 직류 전압 성분의 영향의 크기 및 데이터 버스 라인에 흐르는 신호의 직류 전압 성분의 영향의 크기는, 전위차와 저항에 의해 결정된다. 그러나, 전위차 V_{ddc} , V_{gdc} 는 TFT의 성능 등에도 관계하고, 조정의 자유도가 비교적 작다.

한편, 저항 R_G , R_D 는 플로팅 부화소 전극의 크기, 형상 및 위치, 및 절연막의 두께 등에 의해 결정되고, 자유도는 비교적 크다. 따라서, 본 실시 형태에서는, 게이트 버스 라인에 흐르는 신호의 직류 전압 성분의 영향과 데이터 버스 라인에 흐르는 신호의 직류 전압 성분의 영향을 상쇄하도록, 플로팅 부화소 전극과 게이트 버스 라인 및 데이터 버스 라인 사이의 저항 R_G , R_D 를 조정한다.

도 26은 횡축에 R_G/R_D 의 값을 취하고, 종축에 플로팅 부화소 전극의 최종 도달 전위를 취하여, 이들 관계를 나타내는 도면이다. 단, 도 26에 있어서, 저항 R_C , R_{LC} 및 R_D 는 동일($R_C=R_{LC}=R_D$)하게 하고 있다. 또한, V_{com} 및 V_{sdc} 는 어느 것이나 0V, V_{gdc} 는 -11.28V, V_{ddc} 는 +1.13V로 하고 있다. 이 경우, 도 26으로부터 알 수 있듯이, 저항 R_G 의 값을 저항 R_D 의 10배($R_G/R_D=10$)로 하면, 게이트 버스 라인에 흐르는 신호의 직류 전압 성분의 영향이 데이터 버스 라인에 흐르는 직류 전압 성분의 영향에 의해 상쇄되어, 소부의 발생을 방지할 수 있다.

도 27은 플로팅 부화소 전극과 게이트 버스 라인 및 데이터 버스 라인 사이의 저항을 조정하는 방법을 도시하는 액정 표시 장치의 화소부의 모식 평면도, 도 28은 마찬가지로 그 모식 단면도이다.

도 27, 도 28에 도시하는 액정 표시 장치는, 게이트 버스 라인(212)과 데이터 버스 라인(215)에 의해 구획되는 화소 영역마다, TFT(216)와 4개의 부화소 전극(221a~221d)과, 제어 전극(218)을 갖고 있다.

제어 전극(218)은 배선(219)을 통하여 TFT(216)의 소스 전극(216s)에 전기적으로 접속되어 있다. 또한, 부화소 전극(221a, 221d)은 콘택트홀(220a, 220c) 및 배선(219)을 통하여 TFT(216)의 소스 전극과 전기적으로 접속되어 있고, 부화소 전극(221c)은 콘택트홀(220b), 제어 전극(218) 및 배선(219)을 통하여 TFT(216)의 소스 전극과 전기적으로 접속되어 있다. 한편, 부화소 전극(플로팅 부화소 전극)(221b)은 제2 절연막(220)을 통하여 제어 전극(218)과 용량 결합하고 있다.

도 28에 도시한 바와 같이, 게이트 버스 라인(212) 및 보조 용량 버스 라인(213)은 글래스 기판(211) 위에 형성되어 있고, 제1 절연막(214)으로 피복되어 있다. 제1 절연막(214)의 위에는 데이터 버스 라인(215), 소스 전극(216s), 드레인 전극(216d), 제어 전극(218) 및 배선(219)이 형성되어 있다. 이들 데이터 버스 라인(215), 소스 전극(216s), 드레인 전극(216d), 제어 전극(218) 및 배선(219)은 제2 절연막(220)으로 피복되어 있고, 제2 절연막(220) 상에 부화소 전극(221a~221d)이 형성되어 있다. 이들 부화소 전극(221a~221d)은 게이트 버스 라인(212) 및 보조 용량 버스 라인(213)의 위쪽에서 굴곡하는 지그재그의 선을 따라서 형성된 슬릿에 의해 분할되어 있다.

또한, 도 27에 있어서, 일점쇄선(231)은 대향 기관 측에 형성되는 뱅크 형상의 돌기(도메인 규제용 구조물)의 위치를 나타내고 있다.

이러한 액정 표시 장치에 있어서, 게이트 버스 라인(212)과 플로팅 부화소 전극(221b)이 대향하는 부분의 길이(도 27중에 화살표 A로 표시한 부분)를 길게 하면 저항 R_G 의 값이 감소하고, 짧게 하면 저항 R_G 의 값이 증가한다. 또한, 게이트 버스 라인(212)과 플로팅 부화소 전극(221b) 사이의 거리(도 27중에 화살표 B로 표시한 부분)를 크게 하면 저항 R_G 의 값이 증가하고, 작게 하면 저항 R_G 의 값이 감소한다. 또한, 제1 절연막(214)과 제2 절연막(220)의 합계의 두께(도 28중에 화살표 C로 표시한 부분)를 두껍게 하면 R_G 의 값이 증가하고, 얇게 하면 저항 R_G 의 값이 감소한다.

또한, 데이터 버스 라인(215)과 플로팅 부화소 전극(221b)이 대향하는 부분의 길이(도 27중에 화살표 D로 표시한 부분)를 길게 하면 저항 R_D 의 값이 감소하고, 짧게 하면 저항 R_D 의 값이 증가한다. 또한, 데이터 버스 라인(215)과 플로팅 부화소 전극(221b) 사이의 거리(도 27중에 화살표 E로 표시한 부분)를 크게 하면 저항 R_D 이 증가하고, 작게 하면 저항 R_D 의 값이 감소한다. 그리고 또한, 제2 절연막(220)의 두께(도 28중에 화살표 F로 표시한 부분)를 두껍게 하면 저항 R_D 가 증가하고, 얇게 하면 저항 R_D 의 값이 감소한다.

제2 실시 형태에서는, 이들 파라미터를 조정함으로써, 게이트 버스 라인(212)에 흐르는 신호에 포함되는 직류 전압 성분의 영향과 데이터 버스 라인(215)에 흐르는 신호에 포함되는 직류 전압 성분의 영향을 제거한다. 이에 의해, 소부를 방지할 수 있어, 양호한 표시 특성을 얻을 수 있다.

(제3 실시 형태)

이하, 본 발명의 제3 실시 형태에 대하여 설명한다.

전술한 수학식 3을 변형하면, 하기 수학식 5가 얻어진다.

수학식 5

$$\begin{aligned}\Delta V_{LC2} &= \frac{((R_{LC2} \times C_{LC2}) - (R_C \times C_C))}{(R_{LC2} + R_C) \times C_{LC2}} \times \Delta V_S \\ &= \frac{(1 - (R_C / R_{LC2} \times C_C / C_{LC2}))}{(1 + R_C / R_{LC2})} \times \Delta V_S\end{aligned}$$

이 수학식 5에 있어서, 제어 전극과 플로팅 부화소 전극 사이의 용량 C_C 와 플로팅 부화소 전극과 커먼 전극 사이의 용량(액정 용량) C_{LC2} 의 비 C_C/C_{LC2} 는, TFT에 직결된 부화소 전극의 전압과 플로팅 부화소 전극의 전압의 전압비에 따라서 결정되는 설계값이다.

도 29는, 횡축에 R_C 와 R_{LC2} 의 비를 취하고, 종축에 직류 전압의 배율을 취하여, C_C/C_{LC2} 를 일정($C_C/C_{LC2}=1.00\sim 9.00$)하게 한 상태에서 제어 전극과 플로팅 부화소 전극 사이의 저항 R_C 와 플로팅 부화소 전극과 커먼 전극 사이의 저항 R_{LC2} 에 대한 소부 전압의 의존성(DC 전압 배율)을 계산한 결과를 나타내는 도면, 도 30은 마찬가지로 그 계산치를 나타내는 도면이다.

도 3, 도 4에 도시하는 구조의 액정 표시 장치의 경우, 액정의 비저항은 TFT의 절연막의 비저항에 비하여 2자릿수 이상 낮기 때문에, R_C/R_{LC2} 의 값은 10^3 에 가까운 값으로 된다. 이러한 경우, 도 29, 도 30으로부터 알 수 있듯이, 직류 전압의 배율은 C_C/C_{LC2} 와 거의 동일해진다. 용량 결합 HT법에서는 플로팅 부화소 전극과 TFT에 직결된 부화소 전극의 전압비는 0.9~0.6 정도로 설정되기 때문에, 직류 전압의 배율은 최대로 9 정도로 되어, 소부가 발생하기 쉽게 된다.

한편, 도 31로부터, 제어 전극과 플로팅 부화소 전극 사이의 R_C 를 저하시킴으로써 플로팅 부화소 전극의 전압을 크게 낮출 수 있음을 알 수 있다. 도 31은, 횡축에 R_C/R_{LC2} 의 값을 취하고, 종축에 백 표시부 및 흑 표시부의 부화소 전극의 전위차를 취하여, 이들 관계를 나타내는 도면이다. 여기서는, $C_{LCON}/C_{LCoff}=1.5$ 로 하여 계산하고 있다.

이 도 31로부터 알 수 있듯이, 플로팅 부화소 전극의 전압(직류 전압 성분)을 낮추기 위해서는, R_C 의 값이 R_{LC2} 의 값의 100배 이하일 필요가 있다.

단, 제어 전극과 플로팅 부화소 전극 사이의 저항 R_C 가 낮아지면, 플로팅 부화소 전극과 TFT에 직결된 부화소 전극의 사이에서 전류가 흐르기 때문에, 이들 부화소 전극간의 전위차가 서서히 없어져, 용량 결합 HT법에 의한 위시 아웃 억제 효과가 작아져 버린다.

도 32는 플로팅 부화소 전극과 TFT에 직결된 부화소 전극을 도시하는 등가 회로도이다. 여기서, C_1 은 TFT에 직결된 부화소 전극이 갖는 용량($C_1=C_{LC}+C_S$), C_2 는 플로팅 부화소 전극이 갖는 용량($C_2=C_{LC2}+C_{S2}$), C_C 는 플로팅 부화소 전극과 TFT에 직결된 부화소 전극 사이의 용량, R 은 플로팅 부화소 전극과 TFT에 직결된 부화소 전극 사이의 저항이다. 이 경우, 시간 t 에 있어서의 플로팅 부화소 전극의 전압 $V_C(t)$ 은, 하기 수학식 6에 의해 구할 수 있다.

수학식 6

$$V_C(t) = V_C(0) \times \exp\left\{-\left(t / \left((C_{se} + C_C) \times R\right)\right)\right\}$$

단, C_{se} 는 C_1 과 C_2 의 직렬 접속 용량($C_{se}=(1/((1/C_1)-(1/C_2)))$)이다.

도 33은 횡축에 플로팅 부화소 전극과 TFT에 직결된 부화소 전극 사이의 저항 R 을 취하고, 종축에 1 프레임 기간($t=16.6\text{msec}$)에 있어서의 전압 유지율을 취하여, 이들 관계를 나타내는 도면이다. 단, 여기서는 도 3, 도 4에 도시하는 구조의 액정 표시 장치를 상정하고 있으며, 화소 피치를 $125\mu\text{m}$, 플로팅 부화소 전극과 TFT에 직결된 부화소 전극과의 면적비를 3:7, 플로팅 부화소 전극에 인가되는 표시 전압과 TFT에 직결된 부화소 전극에 인가되는 표시 전압의 비를 0.72로 하여 계산하고 있다.

이 도 33으로부터 알 수 있듯이, 예를 들면 플로팅 부화소 전극과 TFT에 직결된 부화소 전극 사이의 저항을 $10^{11}\Omega$ 이상으로 하면, 전압 유지율이 약 90% 이상으로 유지된다. 전압 유지율이 50%보다도 낮아지면 저항의 변동에 의한 전위차의 변

동이 최대로 된다는 점으로부터, 표시의 안정성을 고려하면 전압 유지율을 50% 이상으로 하는 것이 바람직하다. 이상의 점으로부터, R_C 가 R_{LC2} 의 100배 이하이고, 1 프레임 기간의 전압 유지율이 50% 이상으로 되도록 플로팅 부화소 전극과 TFT에 직결된 부화소 전극 사이의 저항 R을 설정함으로써, 소부를 방지하는 효과가 얻어진다.

도 34는 상기의 대책을 실시한 제3 실시 형태의 액정 표시 장치의 TFT 기판을 도시하는 평면도, 도 35는 마찬가지로 그 단면도이다.

도 34에 도시한 바와 같이, TFT 기판에는, 수평 방향으로 연장되는 복수(도 34에서는 1개만 도시)의 게이트 버스 라인(312)과, 수직 방향으로 연장되는 복수(도 34에서는 1개만 도시)의 데이터 버스 라인(315)이 형성되어 있다. 이들 게이트 버스 라인(312) 및 데이터 버스 라인(315)에 의해 구획되는 직사각형의 영역이 각각 화소 영역이다. 또한, TFT 기판에는 화소 영역을 가로지르는 보조 용량 버스 라인(313)이 게이트 버스 라인(312)과 평행하게 형성되어 있다. 게이트 버스 라인(312) 및 보조 용량 버스 라인(313)과 데이터 버스 라인(315)의 사이에는 후술하는 바와 같이 제1 절연막(314)이 형성되어 있고, 이 제1 절연막(314)에 의해 게이트 버스 라인(312) 및 보조 용량 버스 라인(313)과 데이터 버스 라인(315)의 사이가 전기적으로 분리되어 있다.

각 화소 영역에는, TFT(316)와, 제어 전극(318)과, 4개의 부화소 전극(321a~321d)이 형성되어 있다. TFT(316)의 드레인 전극(316)은 데이터 버스 라인(315)에 접속되어 있고, 소스 전극(316s)은 배선(319)을 통하여 제어 전극(318)에 접속되어 있다.

부화소 전극(321a~321d)은 게이트 버스 라인(312) 및 보조 용량 버스 라인(313)의 위에서 굴곡되는 지그재그의 선을 따라서 형성된 슬릿에 의해 분리되어 있다. 그리고, 부화소 전극(321a, 321d)은 콘택트홀(320a, 320c) 및 배선(319)을 통하여 소스 전극(316s)에 전기적으로 접속되어 있고, 부화소 전극(321c)은 콘택트홀(320b)을 통하여 제어 전극(318)에 전기적으로 접속되어 있다. 또한, 부화소 전극(플로팅 부화소 전극)(321b)은 후술하는 제2 절연막(320)을 통하여 제어 전극(318)에 용량 결합하고 있다. 또한, 이들 부화소 전극(321a~321d)은, 고저항 도전 재료에 의해 이루어지는 접속부(323)에 의해 전기적으로 접속되어 있다. 또한, 제어 전극(318)은 보조 용량 전극을 겸하고 있으며, 보조 용량 버스 라인(313) 및 제1 절연막(314)과 함께 보조 용량을 구성한다.

이하, 도 35를 참조하여 TFT 기판의 층 구조에 대하여 설명한다.

TFT 기판의 베이스로 되는 글래스 기판(311)의 위에는, 게이트 버스 라인(312) 및 보조 용량 버스 라인(313)이 형성되어 있다. 이들 게이트 버스 라인(312) 및 보조 용량 버스 라인(313)은, 예를 들면 Cr막 또는 Al-Ti 적층막을 포토리소그래피법에 의해 패터닝하여 동시에 형성된다.

또한, 글래스 기판(311)의 위에는, SiN 또는 SiO₂ 등의 절연 재료로 이루어지는 제1 절연막(314)이 형성되어 있고, 이 제1 절연막(314)에 의해 게이트 버스 라인(312) 및 보조 용량 버스 라인(313)이 피복되어 있다.

제1 절연막(314)의 위에는, 데이터 버스 라인(315)과, TFT(316)의 소스 전극(316s) 및 드레인 전극(316d)과, 제어 전극(318)과, 배선(319)이 형성되어 있다. 이들 데이터 버스 라인(315), 소스 전극(316s), 드레인 전극(316d), 제어 전극(318) 및 배선(319)은, 예를 들면 Ti-Al-Ti 적층막을 포토리소그래피법에 의해 패터닝하여 동시에 형성된다.

도 34에 도시한 바와 같이, TFT(316)는 게이트 버스 라인(312)의 일부를 게이트 전극으로 하고 있고, 게이트 전극의 위에 활성층으로 되는 반도체막(도시 생략)과 채널 보호막(316b)이 형성되어 있다. 소스 전극(316s) 및 드레인 전극(316d)은 게이트 버스 라인(312)을 사이에 두고 대향하여 배치되어 있다.

이들 데이터 버스 라인(315), 소스 전극(316s), 드레인 전극(316d), 제어 전극(318) 및 배선(319)은, 예를 들면 SiN 또는 절연성 수지로 이루어지는 제2 절연막(320)으로 피복되어 있다. 이 제2 절연막(320)의 위에 부화소 전극(321a~321d)이 형성되어 있다. 이들 부화소 전극(321a~321d)은 예를 들면 ITO 등의 투명 도전체에 의해 형성되어 있다. 부화소 전극(321a, 321d)은 각각 제2 절연막(320)에 형성된 콘택트홀(320a, 320c)을 통하여 배선(319)에 전기적으로 접속되어 있고, 부화소 전극(321c)은 콘택트홀(320b)을 통하여 제어 전극(318)에 전기적으로 접속되어 있다. 또한, 부화소 전극(321b)은 제2 절연막(320)을 통하여 제어 전극(318)과 용량 결합하고 있다.

부화소 전극(321a~321d)은 고저항의 도전체 재료로 이루어지는 접속부(323)를 통하여 전기적으로 접속되어 있다. 그리고, 부화소 전극(321a~321d) 및 접속부(323)의 위에는, 예를 들면 폴리이미드로 이루어지는 배향막(322)이 형성되어 있다.

접속부(323)는 예를 들면 불순물을 도입한 아몰퍼스 실리콘에 의해 형성되고, 상술한 바와 같이 플로팅 부화소 전극(321b)과 TFT(316)에 직결된 부화소 전극(321a, 321c, 321d) 사이의 저항 R이 플로팅 부화소 전극(321b)과 커먼 전극 사이의 저항의 100배 이하이고, 또한 1 프레임 기간의 전압 유지율이 50% 이상으로 되도록 설정된다.

접속부(323)의 재료는 전술한 아몰퍼스 실리콘에 한정되는 것이 아니라, 예를 들면 유기 도전체 물질에 의해 형성해도 된다. 그러나, 접속부(323)의 재료로서는, 적절한 범위의 저항치를 갖고, 또한 액정을 오염할 우려가 없는 것이 바람직하다. 또한, 배향막 형성 프로세스 등에 내성이 있는 것도 필요하다. 예를 들면, 용제에 녹기 어렵고, 내열성이 높은 것이 바람직하다.

또한, 도 34에 있어서, 일점쇄선(331)은 대향 기관측에 형성되는 뱅크 형상의 돌기(도메인 규제용 구조물)의 위치를 나타내고 있다.

본 실시 형태의 액정 표시 장치에서는, 플로팅 부화소 전극(321b)과 TFT(316)에 직결된 부화소 전극(321a, 321c, 321d)의 사이가 고저항의 접속부(323)에 의해 전기적으로 접속되고, 플로팅 부화소 전극(321b)과 TFT(316)에 직결된 부화소 전극(321a, 321c, 321d) 사이의 저항 R이 플로팅 부화소 전극(321b)과 커먼 전극 사이의 저항의 100배 이하이고, 또한 1 프레임 기간의 전압 유지율이 50% 이상으로 되도록 설정되어 있기 때문에, 위시 아웃을 억제할 수 있음과 함께, 소부의 발생을 방지할 수 있어, 양호한 표시 품질이 얻어진다.

(변형예 1)

도 36은 제3 실시 형태의 변형예 1의 액정 표시 장치를 도시하는 평면도, 도 37은 마찬가지로 그 단면도이다. 이들 도 36, 도 37에 있어서, 도 34, 도 35와 동일물에는 동일 부호를 붙이고 그 자세한 설명은 생략한다.

이 변형예 1의 액정 표시 장치에서는, 플로팅 부화소 전극(321b)과 TFT(316)에 직결된 부화소 전극(321a, 321c, 321d)의 사이를 전기적으로 접속하는 접속부(324)가, 부화소 전극(321a~321d)을 분리하는 슬릿을 따라서 뱅크 형상으로 형성되어 있다. 접속부(324)는 예를 들면 불순물을 도입한 아몰퍼스 실리콘 등의 고저항의 도전 재료에 의해 형성되어 있다. 부화소 전극(321a~321d) 및 접속부(324)의 표면은 배향막(322)으로 피복되어 있다.

한편, 대향 기관의 베이스로 되는 글래스 기관(331)의 한쪽 면측(도 37에서는 하측)에는, 컬러 필터(332) 및 커먼 전극(333)이 형성되어 있고, 커먼 전극(333)의 위(도 37에서는 하측)에는 도메인 규제용 돌기(334)가 뱅크 형상으로 형성되어 있다. 커먼 전극(333) 및 돌기(334)의 표면은 배향막(335)으로 피복되어 있다. 돌기(334)는 유전체에 의해 형성해도 되고, 접속부(324)와 마찬가지로 고저항의 도전 재료에 의해 형성해도 된다.

이 액정 표시 장치에서는, 도 37에 도시한 바와 같이, TFT 기관측에 형성된 뱅크 형상의 접속부(324)와 대향 기관측에 형성된 뱅크 형상의 돌기(334)에 의해 멀티 도메인을 달성할 수 있다. 즉, 전압 인가 시에는 액정 분자(340a)의 경사 방향이 뱅크 형상의 접속부(324) 및 돌기(334)의 양측에서 서로 달라, 경사 방향으로의 광의 누설을 방지할 수 있다.

이 액정 표시 장치에서도, 플로팅 부화소 전극(321b)과 TFT(316)에 직결된 부화소 전극(321a, 321c, 321d)의 사이가 예를 들면 아몰퍼스 실리콘으로 이루어지는 고저항의 접속부(324)에 의해 전기적으로 접속되고, 플로팅 부화소 전극(321b)과 제어 전극(318) 사이의 저항 R이 플로팅 부화소 전극(321b)과 커먼 전극 사이의 저항의 100배 이하이고, 또한 1 프레임 기간의 전압 유지율이 50% 이상으로 되도록 설정되어 있다. 이에 의해, 위시 아웃을 억제할 수 있음과 함께, 소부의 발생을 방지할 수 있어, 양호한 표시 품질이 얻어진다.

또한, 도메인 규제용 돌기로 되는 접속부(324)가 저저항이면, 접속부(324) 전체가 화소 전극(321a~321d)과 동일 전위로 되기 때문에, 접속부(324)로부터 기관 면에 대하여 수직 방향에 전기력선이 발생하도록 되어, 멀티 도메인을 달성할 수 없게 된다. 그러나, 상기의 예에서는 접속부(324)가 고저항의 도전 재료에 의해 형성되어 있기 때문에, 액정 분자를 소정의 방향으로 배향시킬 수 있다.

(제4 실시 형태)

도 38은 본 발명의 제4 실시 형태의 액정 표시 장치를 도시하는 평면도, 도 39는 마찬가지로 그 XI-XI선을 따라 취한 단면도이다. 이들 도 38, 도 39에 있어서, 도 13, 도 14의 (a) 및 (b)와 동일물에는 동일 부호를 붙이고 그 자세한 설명은 생략한다.

본 실시 형태에서는, 게이트 버스 라인(112)과 데이터 버스 라인(115)에 의해 구획되는 1 화소 영역에, 3개의 부화소 전극(121a~121c)을 갖고 있다. 부화소 전극(121a, 121c)은 제2 절연막(120)에 형성된 콘택트홀(120a, 120b)을 통하여, TFT(116)의 소스 전극(116s)으로부터 연장된 배선(119)에 전기적으로 접속되어 있다. 또한, 부화소 전극(플로팅 부화소 전극)(121b)은 제2 절연막(120)을 사이에 두고 제어 전극(118)과 용량 결합하고 있다.

부화소 전극(121b)과 데이터 버스 라인(115)의 사이, 및 부화소 전극(121b)과 부화소 전극(121a)의 사이는, 보조 용량 버스 라인(113)과 접속된 실드 패턴(412)에 의해 실드되어 있다.

부화소 전극(121b)과 부화소 전극(121c)의 사이에는, TFT(411)이 형성되어 있다. 이 TFT(411)의 게이트 전극(411g)은, TFT(116)가 접속되어 있는 게이트 버스 라인(112)(n번째의 게이트 버스 라인)과는 다른 게이트 버스 라인(112)(n-1번째의 게이트 버스 라인)에 접속되어 있고, 소스 전극(411s) 및 드레인 전극(411d)은 콘택트홀(413a, 413b)을 통하여 부화소 전극(121b, 121c)에 접속되어 있다.

도 40은 전술한 액정 표시 장치의 1 화소를 도시하는 등가 회로도이다. 도 40에 있어서, TFT(116)는 n번째의 게이트 버스 라인(112)(n)에 접속된 TFT이고, 상술한 바와 같이 TFT(116)의 소스 전극(116s)은 부화소 전극(121a, 121c) 및 제어 전극(118)에 직결되어 있다. C_{LC} 는 TFT(116)에 직결된 부화소 전극(121a, 121c)과 커먼 전극(133) 사이의 용량(액정 용량)이고, C_S 는 제어 전극(118)과 보조 용량 버스 라인(113) 사이의 용량(보조 용량)이다. 또한, C_C 는 제어 전극(118)과 플로팅 부화소 전극(121b) 사이의 용량이고, C_{LC2} 는 플로팅 부화소 전극(121b)과 커먼 전극(133) 사이의 용량이다.

또한, TFT(411)는 부화소 전극(121b, 121c) 사이에 형성된 TFT이고, 그 게이트 전극(411g)은 n-1번째의 게이트 버스 라인(112)(n-1)에 접속되어 있다.

본 실시 형태의 액정 표시 장치는, TFT(116)를 통하여 부화소 전극(121a, 121c) 및 제어 전극(118)에 표시 전압이 인가되기 전(1 수평 주사 기간의 시간 분만큼 전)에, TFT(411)가 온으로 되어 플로팅 부화소 전극(121b)의 전위가 TFT(116)에 직결된 부화소 전극(121a, 121c) 및 제어 전극(118)의 전위와 동일하게 된다. 이에 의해, 게이트 버스 라인(112) 및 데이터 버스 라인(115)에 흐르는 신호에 포함되는 직류 전압 성분에 기인하여 플로팅 부화소 전극(121b)에 축적된 전하가, 부화소 전극(121a, 121c) 및 제어 전극(118)에 흐른다. 따라서, 플로팅 부화소 전극(121b)에의 전하의 축적이 억제되어, 소부가 방지된다고 하는 효과가 얻어진다.

(변형예 1)

도 41은 제4 실시 형태의 액정 표시 장치의 변형예 1을 도시하는 평면도이다. 이 도 41에 있어서, 도 38과 동일물에는 동일 부호를 붙이고 그 자세한 설명은 생략한다.

본 실시 형태에서는, TFT(116)에 직결된 부화소 전극(121c)과 플로팅 부화소 전극(121b)의 사이에, 2개의 TFT(421, 422)가 배치되어 있다. 이들 TFT(421, 422)는 드레인 전극끼리가 접속되어 있다. 또한, TFT(421, 422)의 게이트 전극(421g, 422g)은 배선(414)을 통하여 n-1번째의 게이트 버스 라인(112)(n-1)에 접속되어 있고, 소스 전극은 각각 플로팅 부화소 전극(121b), 부화소 전극(121c)에 접속되어 있다. 그리고, TFT(421, 422)의 드레인 전극은 접속부(423) 및 배선(424)을 통하여, 보조 용량 버스 라인(113)으로부터 연장된 실드 패턴(412)에 접속되어 있다.

도 42는 전술한 액정 표시 장치의 1 화소를 도시하는 등가 회로도이다. 도 42에 있어서, TFT(116)는 n번째의 게이트 버스 라인(112)(n)에 접속된 TFT이고, 이 TFT(116)의 소스 전극(116s)은 부화소 전극(121a, 121c) 및 제어 전극(118)에 전기적으로 접속되어 있다. C_{LC} 는 TFT(116)에 직결된 부화소 전극(121a, 121c)과 커먼 전극(133) 사이의 용량(액정 용량)이고, C_S 는 제어 전극(118)과 보조 용량 버스 라인(113) 사이의 용량(보조 용량)이다. 또한, C_C 는 제어 전극(118)과 플로팅 부화소 전극(121b) 사이의 용량이고, C_{LC2} 는 플로팅 부화소 전극(121b)과 커먼 전극(133) 사이의 용량이다.

또한, TFT(421, 422)는 부화소 전극(121b, 121c) 사이에 접속된 TFT이다. 이 TFT(421)의 게이트 전극은 n-1번째의 게이트 버스 라인(112)(n-1)에 접속되고, 소스 전극 및 드레인 전극은 플로팅 부화소 전극(121b)과 용량 버스 라인(113)의 사이에 접속되어 있다. 또한, TFT(422)의 게이트 전극도 n-1번째의 게이트 버스 라인(112)(n-1)에 접속되고, 소스 전극 및 드레인 전극은 부화소 전극(121c)과 보조 용량 버스 라인(113)의 사이에 접속되어 있다. 또한, 보조 용량 버스 라인(113)은 대향 기관 측의 커먼 전극과 동일 전위로 유지되는 것으로 한다.

본 실시 형태의 액정 표시 장치에서도, TFT(116)를 통하여 부화소 전극(121a, 121c) 및 제어 전극(118)에 표시 전압이 인가되기 전(1 수평 주사 기간의 시간 분만큼 전)에, TFT(421, 422)가 온으로 되어 플로팅 부화소 전극(121b) 및 TFT(116)에 직결된 부화소 전극(121a, 121c)의 전위가 보조 용량 버스 라인(113)의 전위와 동일하게 된다. 이에 의해, 게이트 버스 라인(112) 및 데이터 버스 라인(115)에 흐르는 신호에 포함되는 직류 전압 성분에 기인하여 플로팅 부화소 전극(121b) 및 부화소 전극(121a, 121c)에 축적된 전하가, 보조 용량 버스 라인(113)에 흐른다. 따라서, 플로팅 부화소 전극(121b)에의 전하의 축적이 억제되어, 소부를 방지할 수 있다고 하는 효과를 얻을 수 있다.

또한, 상기의 변형예 1에서는 TFT(116)에 직결된 부화소 전극(121a, 121c)에 축적되는 전하를 TFT(422)를 통하여 보조 용량 버스 라인(113)에 흘리는 것으로 했지만, 상술한 바와 같이 이들 부화소 전극(121a, 121c)은 1 프레임마다 데이터 버스 라인(115)에 접속되기 때문에, 부화소 전극(121a, 121c)에 축적되는 전하의 영향은 매우 적다. 따라서, TFT(422)를 생략하는 것도 가능하다.

(제5 실시 형태)

이하, 본 발명의 제5 실시 형태에 대하여 설명한다.

도 43은 제5 실시 형태의 원리를 도시하는 화소의 회로도이다. 이 도 43에 있어서, C_C , R_C 는 각각 제어 전극과 플로팅 부화소 전극 사이의 용량 및 저항이고, C_{LC2} , R_{LC2} 는 각각 플로팅 부화소 전극과 커먼 전극 사이의 용량(액정 용량) 및 저항(액정 저항)이다.

상술한 바와 같이, 백 표시부와 흑 표시부에서 플로팅 부화소 전극에 전위차가 발생하는 원인중 하나는, 액정 용량 C_{LC2} 가 변동하기 때문이다. 따라서, 제5 실시 형태에서는, 액정 용량 C_{LC2} 에 병렬로 보조 용량 C_{S2} 를 접속하여, 플로팅 부화소 전극과 커먼 전극 사이의 용량의 변동의 영향을 작게 한다.

도 44는 횡축에 R_C/R_{LC2} 를 취하고, 종축에 백 표시부 및 흑 표시부의 플로팅 부화소 전극의 전위차를 취하여, 보조 용량 C_{S2} 가 없을 때(0.00배), 및 보조 용량 C_{S2} 의 값이 액정 용량 C_{LC2} 의 값의 0.25배~1.5배일 때의 R_C/R_{LC2} 와, 백 표시부 및 흑 표시부의 플로팅 부화소 전극의 전위차와의 관계를 나타내는 도면이다. 단, 여기서는, C_C/C_{LC2} 의 값은 2.57로 하고 있다.

이 도 44와 도 31의 비교로부터 알 수 있듯이, 액정 용량 C_{LC2} 에 병렬로 보조 용량 C_{S2} 를 접속함으로써, 백 표시부 및 흑 표시부의 플로팅 부화소 전극의 전위차가 감소한다. 예를 들면, 보조 용량 C_{S2} 의 값이 액정 용량 C_{LC2} 의 값과 동일($C_{S2}/C_{LC2}=1.00$)하다고 하면, 소부의 원인으로 되는 백 표시부 및 흑 표시부의 플로팅 부화소 전극의 전위차는, 거의 1/2로 감소한다.

도 45는 전술한 대책을 실시한 액정 표시 장치를 도시하는 평면도, 도 46은 도 45의 XII-XII선을 따라 취한 단면도이다. 도 45, 도 46에 있어서, 도 13, 도 14의 (a) 및 (b)와 동일물에는 동일 부호를 붙이고 그 자세한 설명은 생략한다.

본 실시 형태의 액정 표시 장치에서는, 보조 용량 버스 라인(113)의 위쪽에, 제어 전극(511)과 보조 용량 전극(512)이 형성되어 있다. 제어 전극(511)은 제2 절연막(140)을 통하여 플로팅 부화소 전극(121b)에 용량 결합하고 있다. 또한, 제어 전극(511)은 배선(119)을 통하여 TFT(116)의 소스 전극(116s)에 전기적으로 접속되어 있음과 함께, 배선(119)과 콘택트 홀(120a, 120b)을 통하여 부화소 전극(121a, 121c)에 전기적으로 접속되어 있다. 또한, 제어 전극(511)은, 보조 용량 버스 라인(113) 및 제1 절연막(114)과 함께 제1 보조 용량을 구성하고 있다. 또한, 보조 용량 버스 라인(113)은, 대향 기관측의 커먼 전극과 동일 전위로 유지되는 것으로 한다.

보조 용량 전극(512)은 제2 절연막(120)에 형성된 컨택트홀(513)을 통하여 플로팅 부화소 전극(121b)에 전기적으로 접속되어 있다. 또한, 보조 용량 전극(512)은 보조 용량 버스 라인(113) 및 제1 절연막(114)과 함께 제2 보조 용량 CS2를 구성하고 있다.

본 실시 형태에서는, 도 43의 등가 회로도에 도시한 바와 같이, 액정 용량 C_{LC2} 와 병렬로 보조 용량 C_{S2} 를 형성하고 있기 때문에, 백 표시부 및 흑 표시부의 플로팅 부화소 전극의 전위차가 작아져, 소부의 발생을 방지할 수 있다.

또한, 보조 용량 전극(512)을 형성하지 않고 플로팅 부화소 전극(121b)과 보조 용량 버스 라인(113)에 의해 보조 용량 C_{S2} 를 구성하는 것도 생각된다. 그러나, 그 경우에는 플로팅 부화소 전극(121b)과 보조 용량 버스 라인(113)의 사이에 제1 및 제2 절연막(114, 120)이 개재하기 때문에, 보조 용량 C_{S2} 의 용량 값이 작아져, 소부의 발생을 방지하는 효과가 작아져 버린다. 이 때문에, 상술한 바와 같이 제1 절연막(114) 상에 보조 용량 전극(512)을 형성하고, 이 보조 용량 전극(512)과 플로팅 부화소 전극(121b)을 전기적으로 접속하는 것이 바람직하다.

상기 제1 내지 제5 실시 형태에서 설명한 소부 방지 방법은, TN형 액정 표시 장치 및 VA형 액정 표시 장치 등, 다양한 구조의 액정 표시 장치에 적용할 수 있다. 또한, 본 발명은 투과형 액정 표시 장치뿐만 아니라, 반사형 액정 표시 장치 및 반투과형 액정 표시 장치에 적용할 수도 있다.

이하, 본 발명의 여러 양태를 부기로서 정리하여 기재한다.

(부기 1)

서로 대향하여 배치된 제1 및 제2 기관과,

상기 제1 및 제2 기관 사이에 봉입된 액정과,

상기 제1 기관에 형성된 게이트 버스 라인 및 데이터 버스 라인과,

상기 게이트 버스 라인 및 상기 데이터 버스 라인에 접속된 박막 트랜지스터와,

상기 게이트 버스 라인 및 상기 데이터 버스 라인에 의해 구획되는 화소 영역 내에 형성된 복수의 부화소 전극과,

상기 복수의 부화소 전극 중 적어도 1개와 용량 결합하고, 상기 데이터 버스 라인으로부터 상기 박막 트랜지스터를 통하여 표시 전압이 인가되는 제어 전극을 갖는 액정 표시 장치에 있어서,

상기 제어 전극과 용량 결합한 부화소 전극과 상기 게이트 버스 라인 및 상기 데이터 버스 라인 중의 적어도 한쪽의 버스 라인의 사이를 전기적으로 실드하는 실드 부재를 갖는 것을 특징으로 하는 액정 표시 장치.

(부기 2)

상기 실드 부재가, 상기 복수의 부화소 전극 중 상기 박막 트랜지스터에 접속된 부화소 전극인 것을 특징으로 하는 부기 1에 기재된 액정 표시 장치.

(부기 3)

상기 실드 부재로 되는 부화소 전극이, 상기 제어 전극과 용량 결합한 부화소 전극의 주위를 둘러싸고 있는 것을 특징으로 하는 부기 2에 기재된 액정 표시 장치.

(부기 4)

또한, 일정한 전위로 유지되고, 상기 제어 전극과 용량 결합하여 보조 용량을 구성하는 보조 용량 버스 라인을 갖는 것을 특징으로 하는 부기 1에 기재된 액정 표시 장치.

(부기 5)

상기 실드 부재가 상기 보조 용량 버스 라인에 전기적으로 접속되어 있는 것을 특징으로 하는 부기 4에 기재된 액정 표시 장치.

(부기 6)

상기 실드 부재가, 상기 부화소 전극과 동일한 층에 형성되어 있는 것을 특징으로 하는 부기 5에 기재된 액정 표시 장치.

(부기 7)

상기 제어 전극과 용량 결합한 부화소 전극과 상기 게이트 버스 라인의 사이에 상기 실드 부재로서 상기 복수의 부화소 전극 중 상기 박막 트랜지스터에 접속된 부화소 전극이 배치되고, 상기 제어 전극과 용량 결합한 부화소 전극과 상기 데이터 버스 라인의 사이에 상기 보조 용량 버스 라인에 전기적으로 접속된 실드 부재가 배치되어 있는 것을 특징으로 하는 부기 4에 기재된 액정 표시 장치.

(부기 8)

서로 대향하여 배치된 제1 및 제2 기판과,

상기 제1 및 제2 기판 사이에 봉입된 액정과,

상기 제1 기판에 형성된 게이트 버스 라인 및 데이터 버스 라인과,

상기 게이트 버스 라인 및 상기 데이터 버스 라인에 접속된 박막 트랜지스터와,

상기 게이트 버스 라인 및 상기 데이터 버스 라인에 의해 구획되는 화소 영역 내에 형성된 복수의 부화소 전극과,

상기 복수의 부화소 전극 중 적어도 1개와 용량 결합하고, 상기 데이터 버스 라인으로부터 상기 박막 트랜지스터를 통하여 표시 전압이 인가되는 제어 전극과,

상기 제2 기판에 형성되고 상기 제1 기판의 상기 복수의 부화소 전극에 대향하는 커먼 전극을 갖는 액정 표시 장치의 소부 방지 방법으로서,

상기 커먼 전극의 전위에 대한 상기 데이터 버스 라인의 중심 전위를 V_{ddc} , 상기 커먼 전극의 전위에 대한 상기 게이트 버스 라인의 중심 전위를 V_{gdc} , 상기 제어 전극과 용량 결합한 부화소 전극과 상기 데이터 버스 라인 사이의 저항을 R_D , 상기 제어 전극과 용량 결합한 부화소 전극과 상기 게이트 버스 라인 사이의 저항을 R_G 로 했을 때에, $V_{ddc} - V_{gdc} \times R_D / R_G$ 가 거의 0으로 되도록 상기 제어 전극과 용량 결합한 부화소 전극의 크기, 형상 및 위치 및 절연막의 두께를 설정하는 것을 특징으로 하는 액정 표시 장치의 소부 방지 방법.

(부기 9)

서로 대향하여 배치된 제1 및 제2 기판과,

상기 제1 및 제2 기판 사이에 봉입된 액정과,

상기 제1 기판에 형성된 게이트 버스 라인 및 데이터 버스 라인과,

상기 게이트 버스 라인 및 상기 데이터 버스 라인에 접속된 박막 트랜지스터와,

상기 게이트 버스 라인 및 상기 데이터 버스 라인에 의해 구획되는 화소 영역 내에 형성된 복수의 부화소 전극과,

상기 복수의 부화소 전극 중 적어도 1개와 용량 결합하고, 상기 데이터 버스 라인으로부터 상기 박막 트랜지스터를 통하여 표시 전압이 인가되는 제어 전극과,

상기 제2 기관에 형성되고 상기 제1 기관의 복수의 부화소 전극에 대향하는 커먼 전극을 갖는 액정 표시 장치에 있어서,

상기 제어 전극과 용량 결합한 부화소 전극과, 상기 박막 트랜지스터에 접속된 부화소 전극의 사이가, 저항체를 통하여 접속되어 있는 것을 특징으로 하는 액정 표시 장치.

(부기 10)

상기 저항체의 저항치가, 상기 제어 전극과 용량 결합한 부화소 전극과 상기 커먼 전극 사이의 저항 R_{LC} 의 저항치의 100배 이하인 것을 특징으로 하는 부기 9에 기재된 액정 표시 장치.

(부기 11)

상기 저항체의 저항치가, 상기 제어 전극과 용량 결합한 부화소 전극의 1 프레임 기간에 있어서의 전압 유지율이 50% 이상으로 되도록 설정되어 있는 것을 특징으로 하는 부기 9에 기재된 액정 표시 장치.

(부기 12)

상기 저항체가 실리콘에 의해 형성되어 있는 것을 특징으로 하는 부기 9에 기재된 액정 표시 장치.

(부기 13)

상기 저항체가 상기 복수의 부화소 전극 사이를 분리하는 슬릿을 따라서 뱅크 형상으로 형성되고, 해당 저항체가 액정 분자의 경사 방향을 정하는 도메인 규제용 구조물 중 적어도 일부를 구성하는 것을 특징으로 하는 부기 9에 기재된 액정 표시 장치.

(부기 14)

서로 대향하여 배치된 제1 및 제2 기관과,

상기 제1 및 제2 기관 사이에 봉입된 액정과,

상기 제1 기관에 형성된 게이트 버스 라인 및 데이터 버스 라인과,

상기 게이트 버스 라인 및 상기 데이터 버스 라인에 접속된 박막 트랜지스터와,

상기 게이트 버스 라인 및 상기 데이터 버스 라인에 의해 구획되는 화소 영역 내에 형성된 복수의 부화소 전극과,

상기 복수의 부화소 전극 중 적어도 1개와 용량 결합하고, 상기 데이터 버스 라인으로부터 상기 박막 트랜지스터를 통하여 표시 전압이 인가되는 제어 전극과,

일정한 전위로 유지되고, 상기 제어 전극과의 사이에서 보조 용량을 구성하는 보조 용량 버스 라인을 갖는 액정 표시 장치에 있어서,

상기 제어 전극과 용량 결합한 부화소 전극과 상기 보조 용량 버스 라인의 사이, 또는 상기 제어 전극과 용량 결합한 부화소 전극과 상기 박막 트랜지스터에 접속된 부화소 전극의 사이에, 상기 박막 트랜지스터가 접속된 게이트 버스 라인과는 별도의 게이트 버스 라인에 흐르는 신호로 구동하는 스위칭 소자를 갖는 것을 특징으로 하는 액정 표시 장치.

(부기 15)

상기 스위칭 소자가 박막 트랜지스터인 것을 특징으로 하는 부기 14에 기재된 액정 표시 장치.

(부기 16)

서로 대향하여 배치된 제1 및 제2 기판과,

상기 제1 및 제2 기판 사이에 봉입된 액정과,

상기 제1 기판에 형성된 게이트 버스 라인 및 데이터 버스 라인과,

상기 게이트 버스 라인 및 상기 데이터 버스 라인에 접속된 박막 트랜지스터와,

상기 게이트 버스 라인 및 상기 데이터 버스 라인에 의해 구획되는 화소 영역 내에 형성된 복수의 부화소 전극과,

상기 복수의 부화소 전극 중 적어도 1개와 용량 결합하고, 상기 데이터 버스 라인으로부터 상기 박막 트랜지스터를 통하여 표시 전압이 인가되는 제어 전극과,

일정한 전위로 유지되고, 상기 제어 전극과의 사이에서 제1 보조 용량을 구성하는 보조 용량 버스 라인과, 상기 제2 기판에 형성되고 상기 제1 복수의 부화소 전극에 대향하는 커먼 전극을 갖는 액정 표시 장치의 소부 방지 방법으로서,

상기 제어 전극과 용량 결합한 부화소 전극과 상기 커먼 전극 사이의 용량에 병렬로 제2 보조 용량을 형성하는 것을 특징으로 하는 액정 표시 장치의 소부 방지 방법.

(부기 17)

서로 대향하여 배치된 제1 및 제2 기판과,

상기 제1 및 제2 기판 사이에 봉입된 액정과,

상기 제1 기판에 형성된 게이트 버스 라인 및 데이터 버스 라인과,

상기 게이트 버스 라인 및 상기 데이터 버스 라인에 접속된 박막 트랜지스터와,

상기 게이트 버스 라인 및 상기 데이터 버스 라인에 의해 구획되는 화소 영역 내에 형성된 복수의 부화소 전극과,

상기 복수의 부화소 전극 중 적어도 1개와 용량 결합하고, 상기 데이터 버스 라인으로부터 상기 박막 트랜지스터를 통하여 표시 전압이 인가되는 제어 전극과,

일정한 전위로 유지되고, 상기 제어 전극과의 사이에서 제1 보조 용량을 구성하는 보조 용량 버스 라인과,

상기 제어 전극과 용량 결합하는 부화소 전극과 전기적으로 접속하고, 상기 보조 용량 버스 라인과의 사이에서 제2 보조 용량을 구성하는 보조 용량 전극을 갖는 것을 특징으로 하는 액정 표시 장치.

(부기 18)

상기 보조 용량 전극이, 상기 부화소 전극과 상기 보조 용량 버스 라인 사이의 층에 형성되어 있는 것을 특징으로 하는 부기 17에 기재된 액정 표시 장치.

발명의 효과

본 발명에 따르면, 용량 결합 HT법을 사용하여 워시 아웃을 억제하는 액정 표시 장치에 있어서, 소부의 발생을 방지할 수 있다.

도면의 간단한 설명

도 1의 (a) 및 (b)는 MVA형 액정 표시 장치의 일례를 도시하는 모식 단면도.

도 2는 액정 표시 장치의 화면을 정면에서 보았을 때의 T-V(투과율-전압) 특성과, 위쪽 60° 방향으로부터 보았을 때의 T-V 특성을 도시하는 도면.

도 3은 용량 결합에 의한 HT법을 실현하는 액정 표시 장치의 TFT 기관의 일례를 나타내는 평면도.

도 4는 도 3의 I-I선을 따라 취한 단면도.

도 5는 도 3에 도시하는 액정 표시 장치의 1 화소를 도시하는 등가 회로도.

도 6은 일본 특허 제3076938호의 명세서에 개시된 액정 표시 장치를 도시하는 평면도.

도 7의 (a)~(c)는 소부의 정도를 측정하는 시험 방법을 도시하는 모식도(그 1).

도 8은 소부의 정도를 측정하는 시험 방법을 도시하는 모식도(그 2).

도 9는 플로팅 부화소 전극을 구비한 액정 표시 장치의 1 화소를 도시하는 평면도.

도 10의 (a)는 도 9의 II-II선의 위치에서의 모식 단면도, 도 10의 (b)는 도 9의 III-III선의 위치에서의 모식 단면도, 도 10의 (c)는 도 9의 IV-IV선의 위치에서의 모식 단면도, 도 10의 (d)는 도 9의 V-V선의 위치에서의 모식 단면도.

도 11은 플로팅 부화소 전극에 의해 구성되는 부화소의 등가 회로를 도시하는 도면.

도 12는 액정층에 표시 전압이 인가되었을 때(액정 ON)의 ΔV_s 와 ΔV_{LC2} 의 관계와, 액정층에 표시 전압이 인가되어 있지 않을 때(액정 OFF)의 ΔV_s 와 ΔV_{LC2} 의 관계를 도시하는 도면.

도 13은 본 발명의 제1 실시 형태에 따른 액정 표시 장치를 도시하는 평면도.

도 14의 (a)는 도 13의 VI-VI선을 따라 취한 단면도, 도 14의 (b)는 도 13의 VII-VII선을 따라 취한 단면도.

도 15는 제1 실시 형태의 변형예 1의 액정 표시 장치를 도시하는 평면도.

도 16은 도 15의 VIII-VIII선을 따라 취한 단면도.

도 17은 제1 실시 형태의 변형예 2의 액정 표시 장치를 도시하는 평면도.

도 18은 도 17의 IX-IX선을 따라 취한 단면도.

도 19는 제1 실시 형태의 변형예 3의 액정 표시 장치를 도시하는 평면도.

도 20은 도 19의 X-X선을 따라 취한 단면도.

도 21은 제1 실시 형태의 변형예 4의 액정 표시 장치를 도시하는 평면도.

도 22는 제1 실시 형태의 변형예 5의 액정 표시 장치를 도시하는 평면도.

도 23은 제1 실시 형태의 변형예 6의 액정 표시 장치를 도시하는 평면도.

도 24는 제1 실시 형태의 변형예 7의 액정 표시 장치를 도시하는 평면도.

도 25는 본 발명의 제2 실시 형태의 원리를 도시하는 도면.

도 26은 R_G/R_D 와 플로팅 부화소 전극의 최종 도달 전위의 관계를 도시하는 도면.

도 27은 플로팅 부화소 전극과 게이트 버스 라인 및 데이터 버스 라인 간의 저항을 조정하는 방법을 도시하는 액정 표시 장치의 화소부의 모식 평면도.

도 28은 마찬가지로 그 모식 단면도.

도 29는 제어 전극과 플로팅 부화소 전극 사이의 저항 R_C 와 플로팅 부화소 전극과 커먼 전극 사이의 저항 R_{LC2} 에 대한 소부 전압의 의존성(DC 전압 배율)을 계산한 결과를 나타내는 도면.

도 30은 마찬가지로 그 계산치를 나타내는 도면.

도 31은 R_C/R_{LC2} 와 백 표시부 및 흑 표시부의 부화소 전극의 전위차와의 관계를 나타내는 도면.

도 32는 플로팅 부화소 전극과 TFT에 직결된 부화소 전극을 도시하는 등가 회로도.

도 33은 플로팅 부화소 전극과 TFT에 직결된 부화소 전극 사이의 저항 R 과, 1 프레임 기간($t=16.6\text{msec}$)에 있어서의 전압 유지율과의 관계를 나타내는 도면.

도 34는 본 발명의 제3 실시 형태의 액정 표시 장치의 TFT 기관을 도시하는 평면도.

도 35는 마찬가지로 그 단면도.

도 36은 제3 실시 형태의 변형예 1의 액정 표시 장치를 도시하는 평면도.

도 37은 마찬가지로 그 단면도.

도 38은 본 발명의 제4 실시 형태의 액정 표시 장치를 도시하는 평면도.

도 39는 도 38의 X 1-XI선을 따라 취한 단면도.

도 40은 제4 실시 형태의 액정 표시 장치의 1 화소를 도시하는 등가 회로도.

도 41은 제4 실시 형태의 액정 표시 장치의 변형예 1을 도시하는 평면도.

도 42는 제4 실시 형태의 변형예 1의 액정 표시 장치의 1 화소를 도시하는 등가 회로도.

도 43은 본 발명의 제5 실시 형태의 원리를 도시하는 화소의 회로도.

도 44는 R_C/R_{LC2} 와, 백 표시부 및 흑 표시부의 플로팅 부화소 전극의 전위차와의 관계를 나타내는 도면.

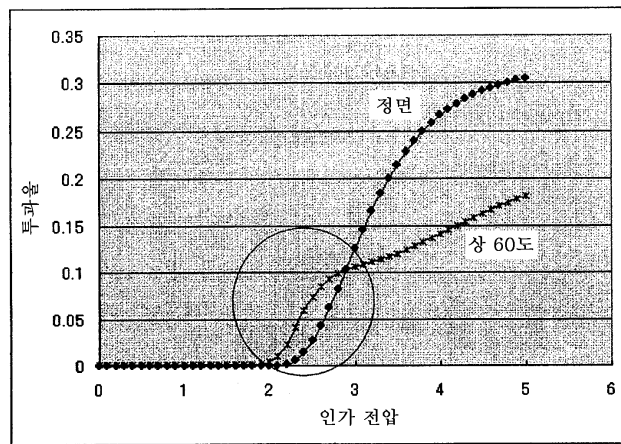
도 45는 제5 실시 형태의 액정 표시 장치를 도시하는 평면도.

도 46은 도 45의 XII-XII선을 따라 취한 단면도.

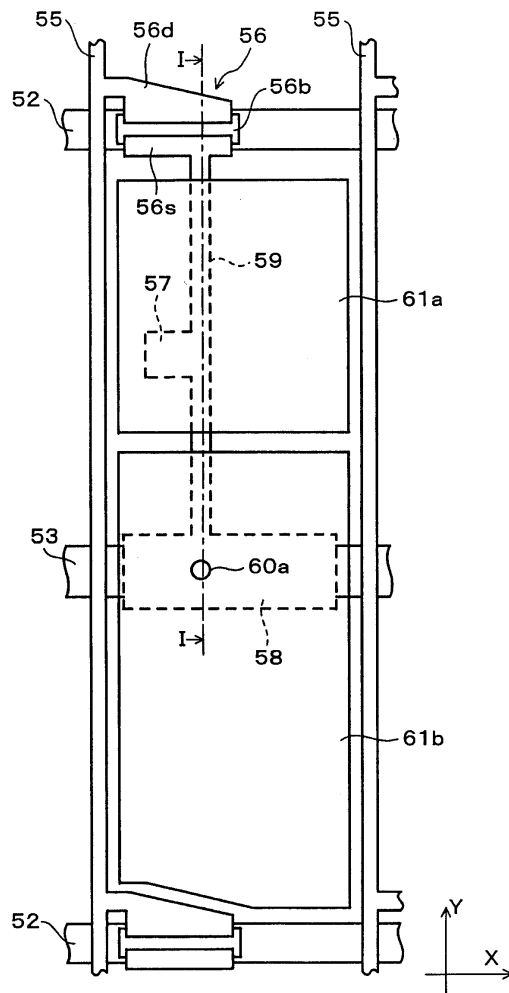
<도면의 주요부분에 대한 부호의 설명>

52, 112, 212, 312 : 게이트 버스 라인

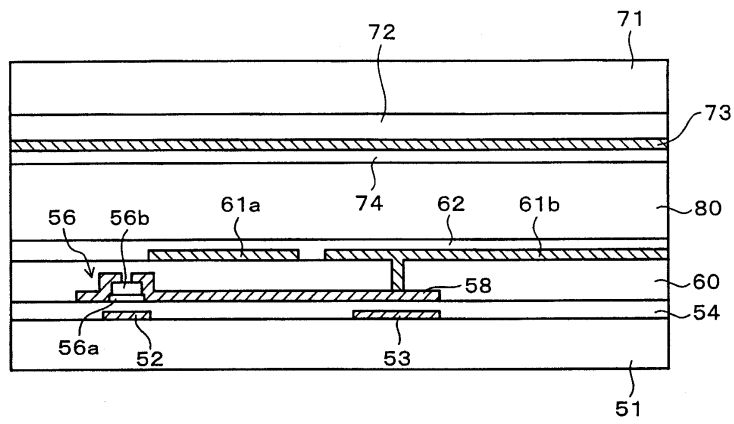
도면2



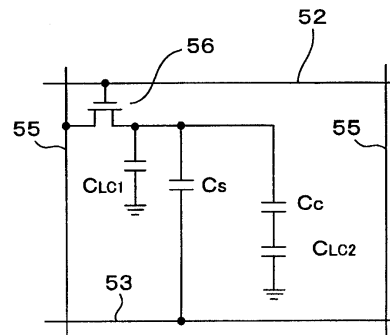
도면3



도면4

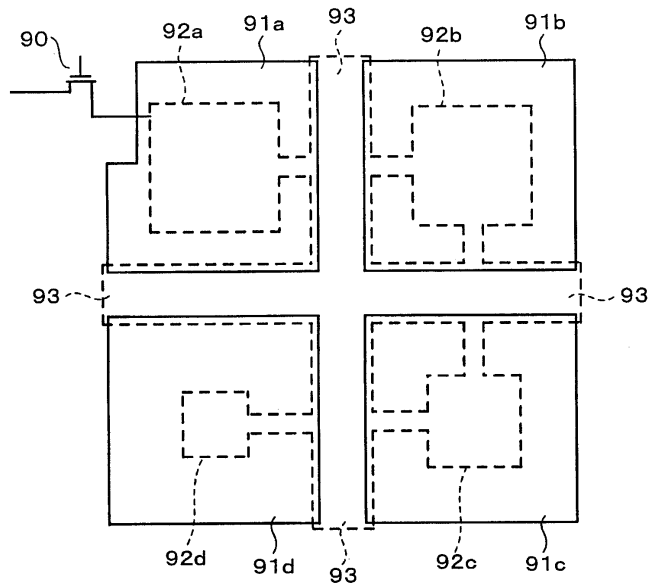


도면5

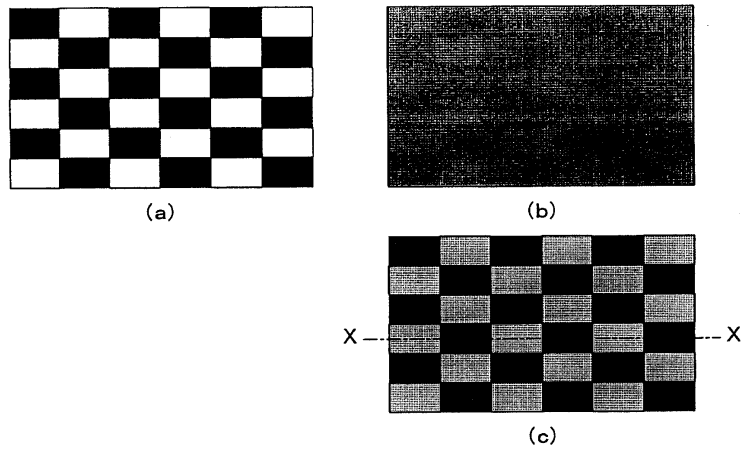


$$V_{px2} = \frac{C_c}{C_c + CLC2} \times V_{px1}$$

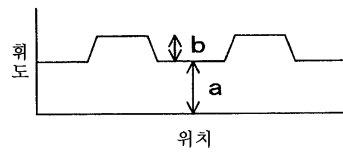
도면6



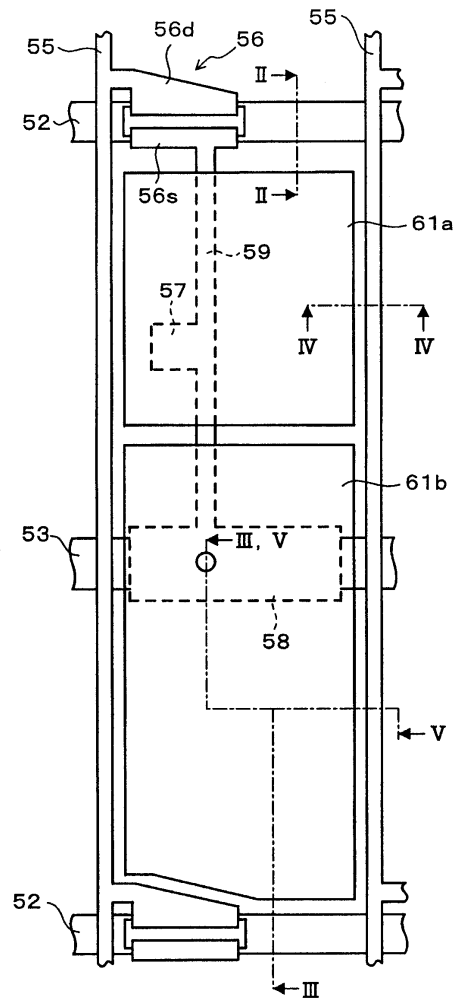
도면7



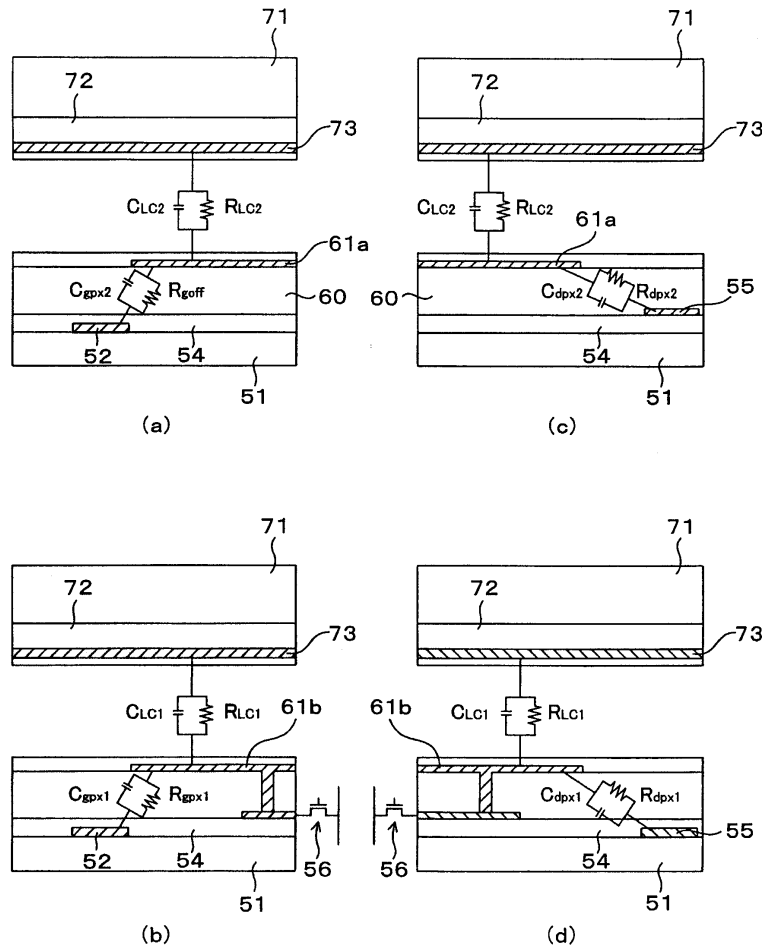
도면8



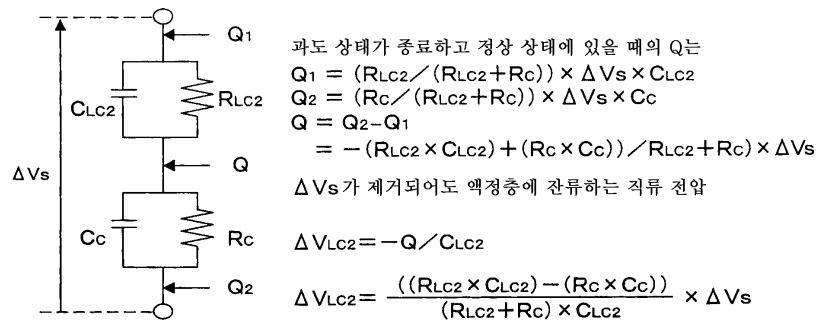
도면9



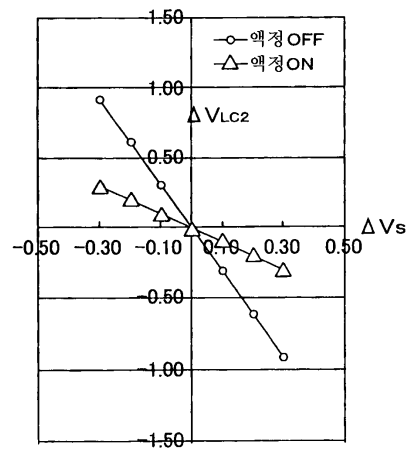
도면10



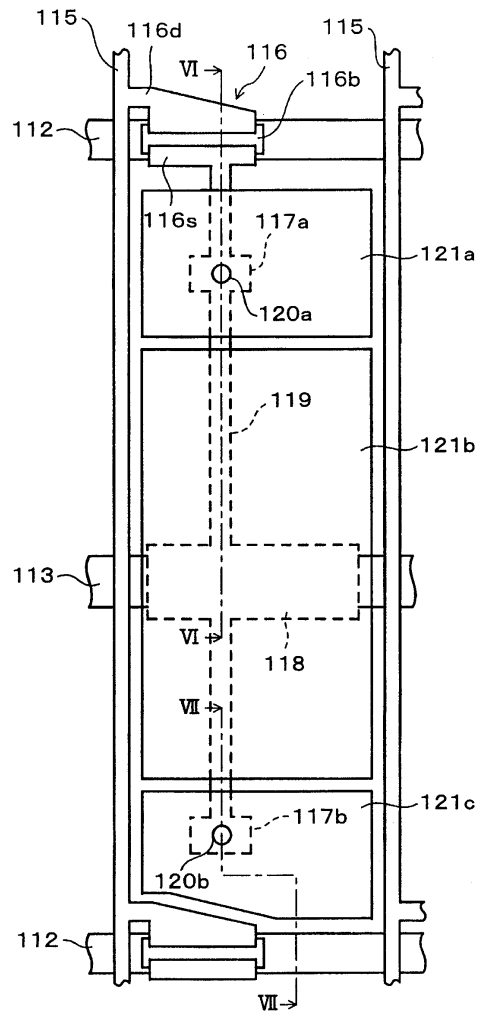
도면11



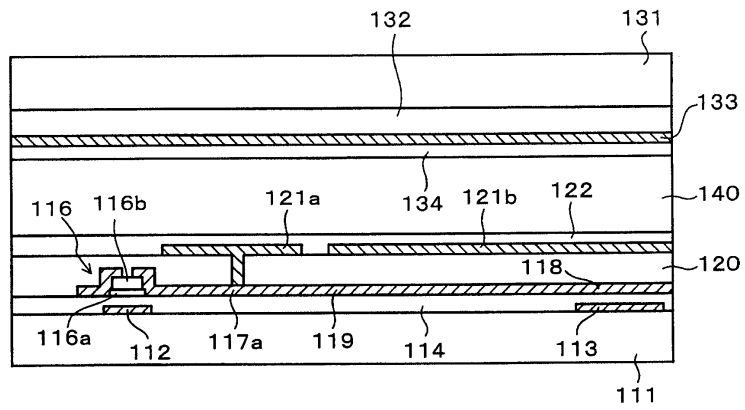
도면12



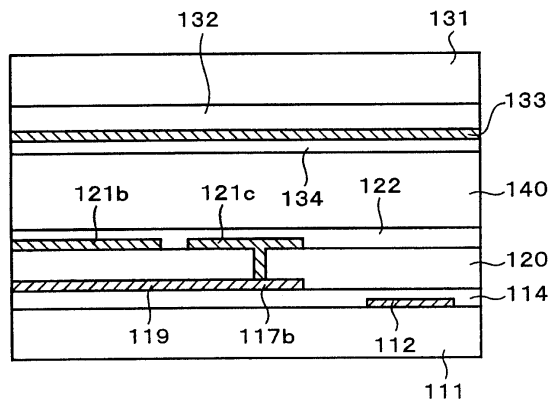
도면13



도면14

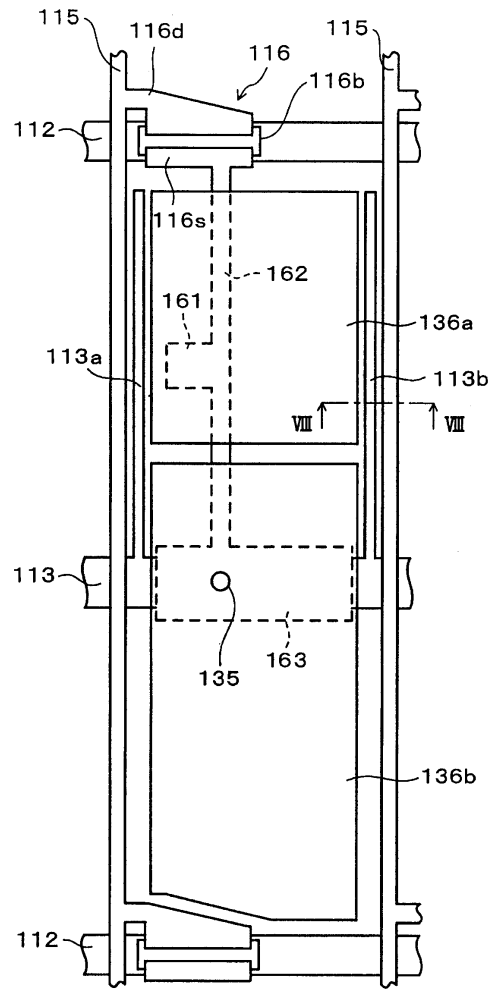


(a)

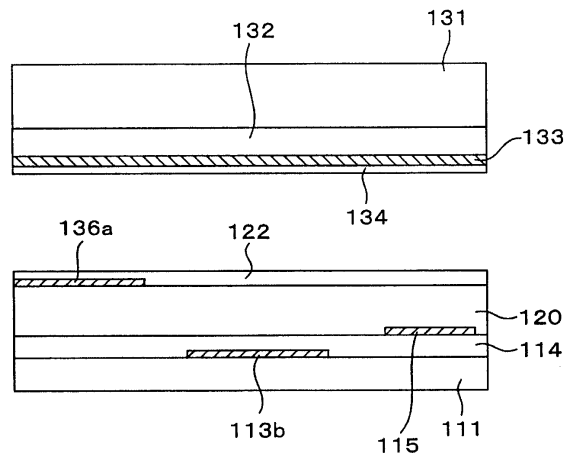


(b)

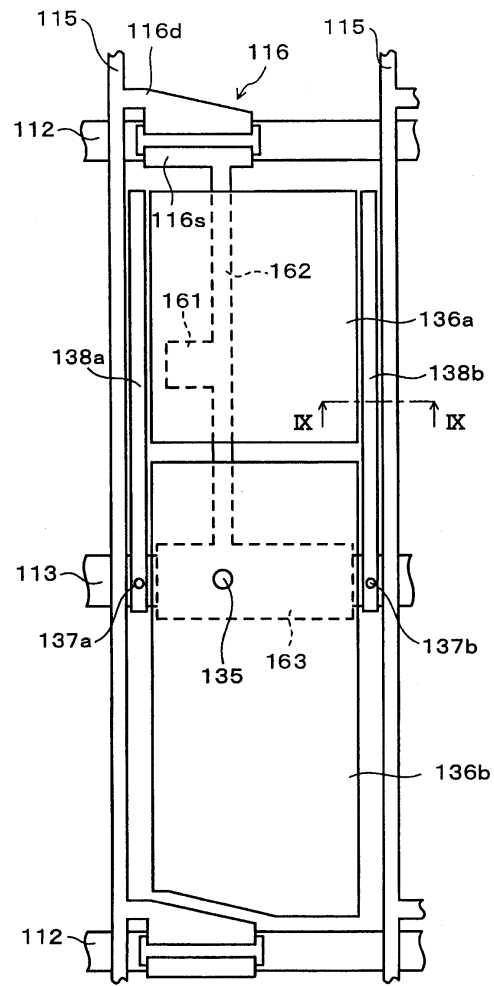
도면15



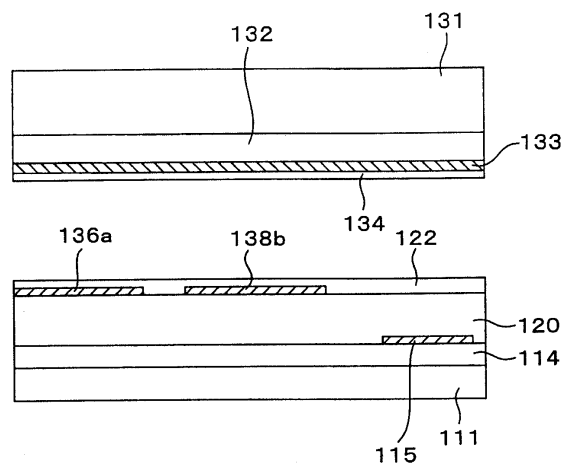
도면16



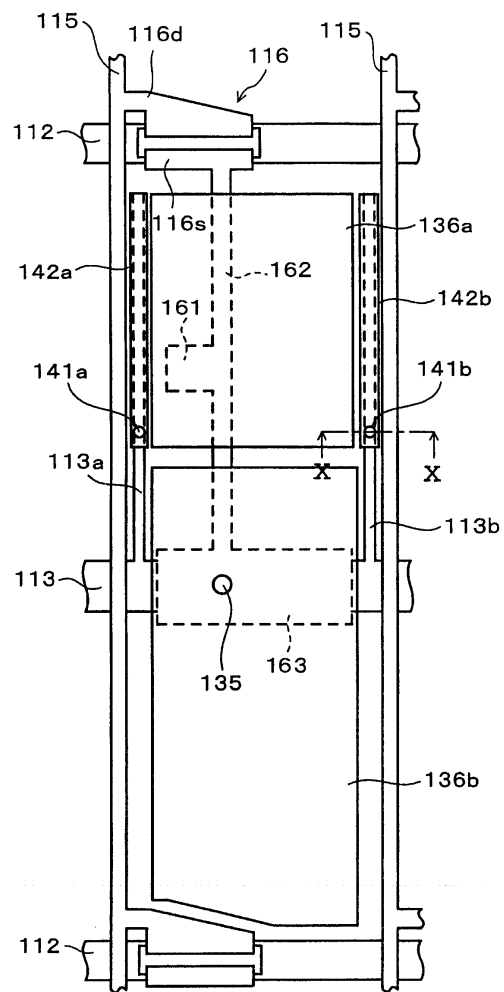
도면17



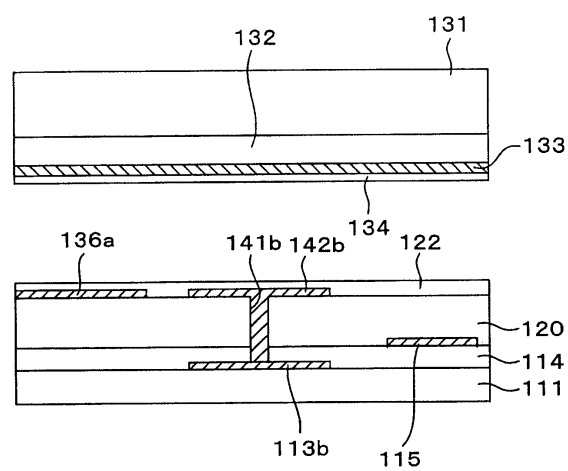
도면18



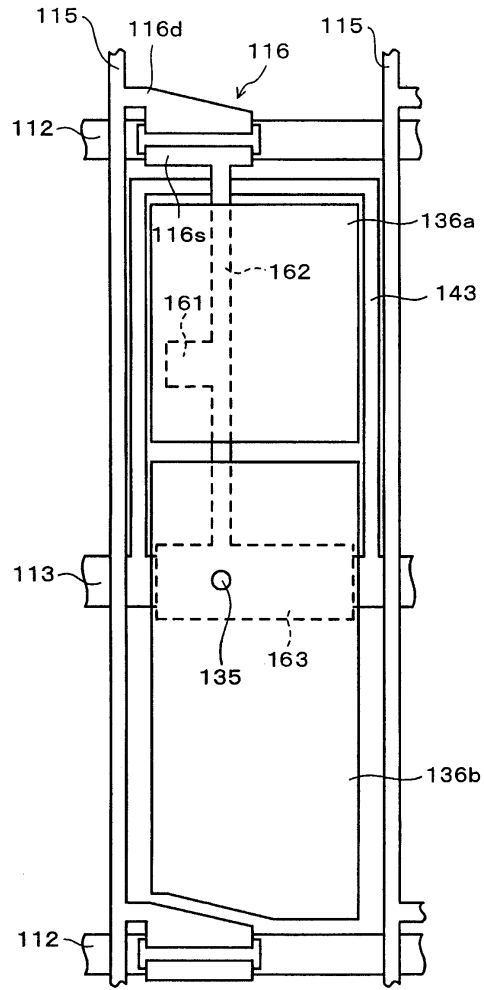
도면19



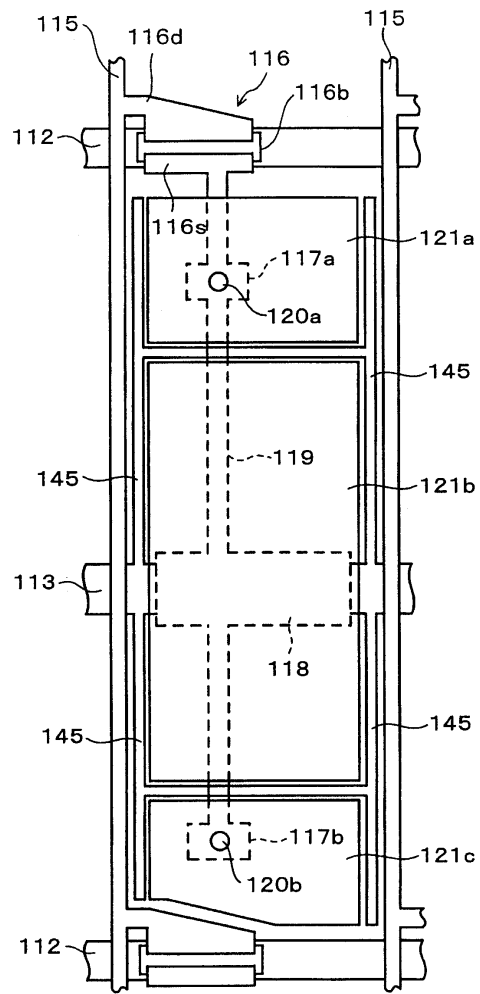
도면20



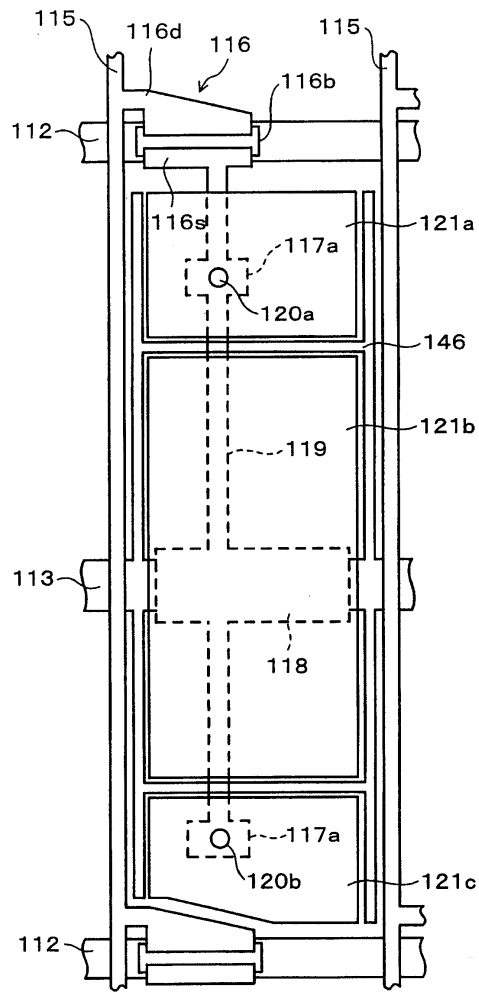
도면21



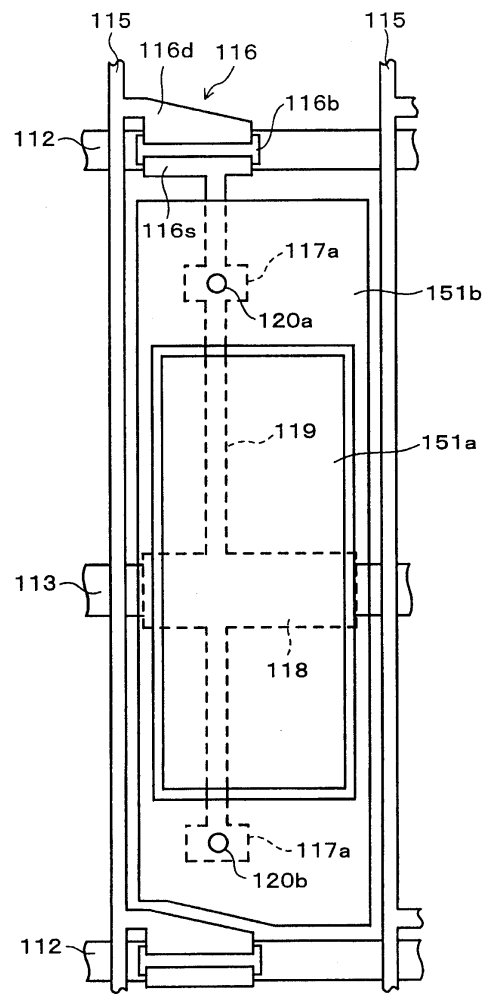
도면22



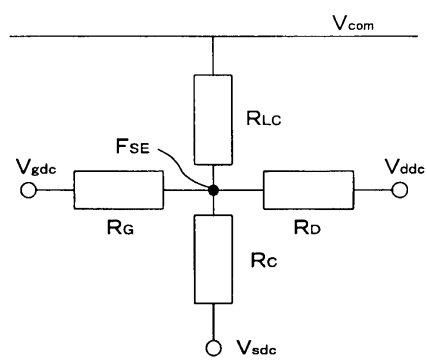
도면23



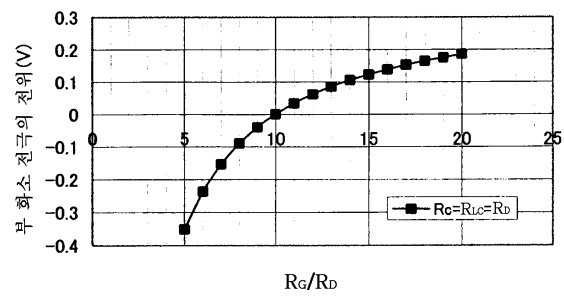
도면24



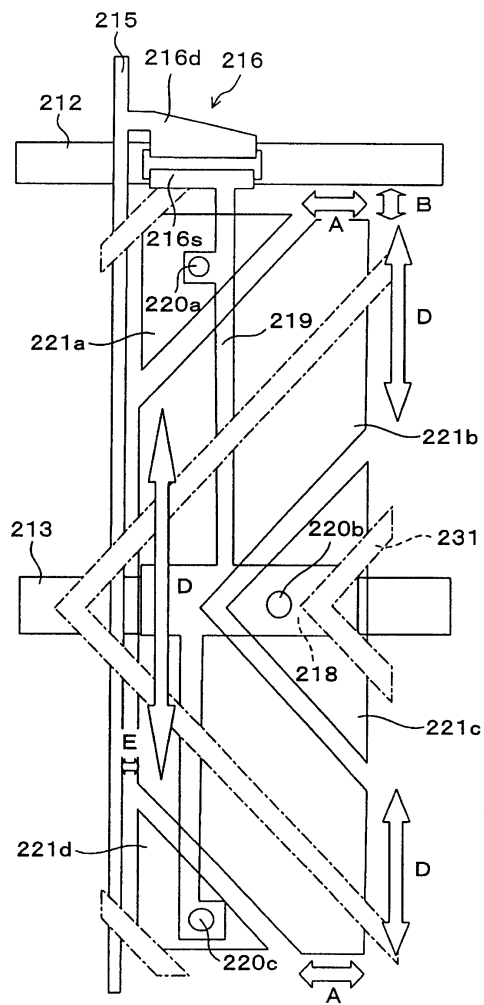
도면25



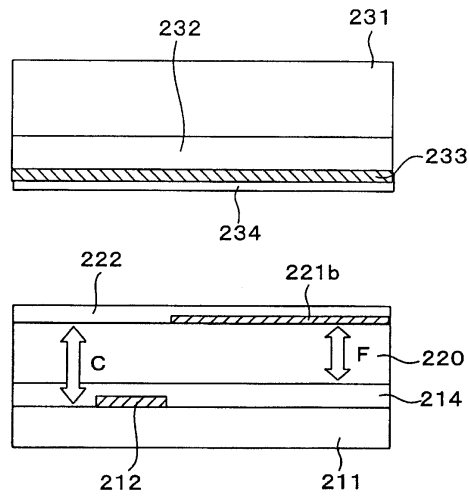
도면26



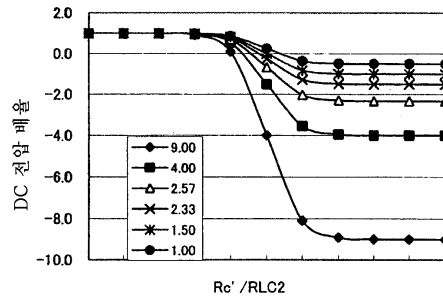
도면27



도면28



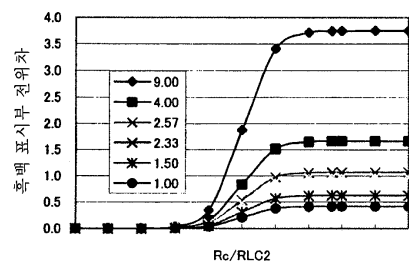
도면29



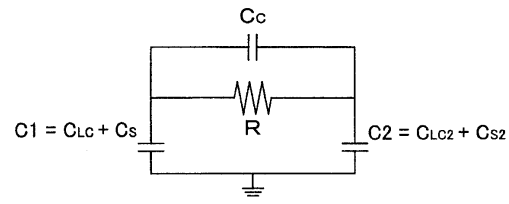
도면30

	0.9	0.8	0.72	0.7	0.6	0.5
	9.00	4.00	2.57	2.33	1.50	1.00
10^{-5}	1.00	1.00	1.00	1.00	1.00	1.00
10^{-4}	1.00	1.00	1.00	1.00	1.00	1.00
10^{-3}	0.99	1.00	1.00	1.00	1.00	1.00
10^{-2}	0.90	0.95	0.97	0.98	0.98	0.99
10^{-1}	0.09	0.55	0.70	0.77	0.82	0.88
1	-4.00	-1.50	-0.67	-0.25	0.00	0.25
10^1	-8.09	-3.55	-2.03	-1.27	-0.82	-0.36
10^2	-8.90	-3.95	-2.30	-1.48	-0.98	-0.49
10^3	-8.99	-4.00	-2.33	-1.50	-1.00	-0.50
10^4	-9.00	-4.00	-2.33	-1.50	-1.00	-0.50
10^5	-9.00	-4.00	-2.33	-1.50	-1.00	-0.50

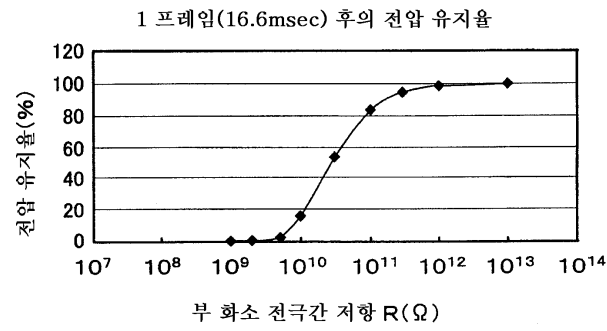
도면31



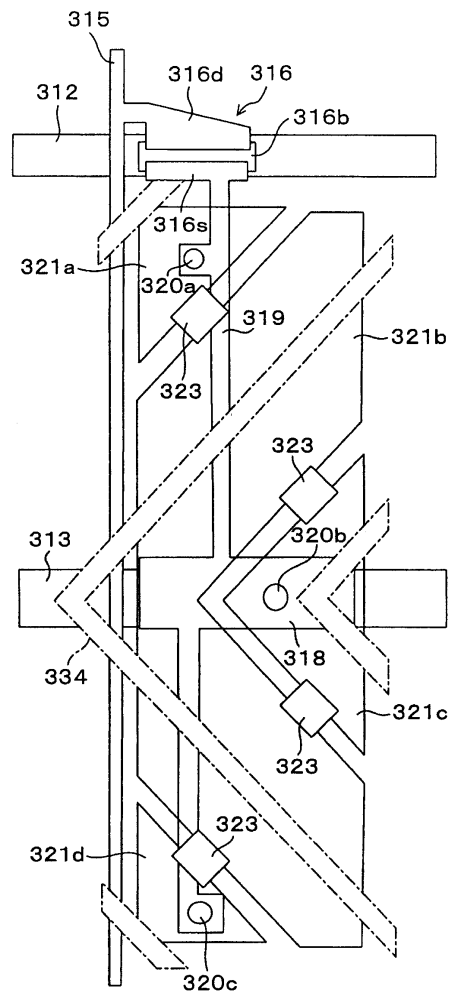
도면32



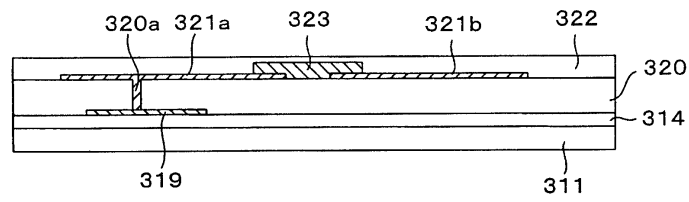
도면33



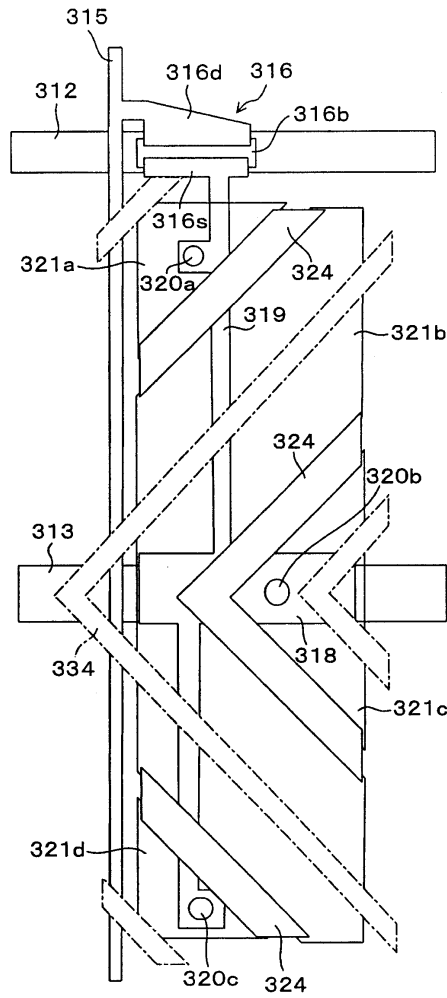
도면34



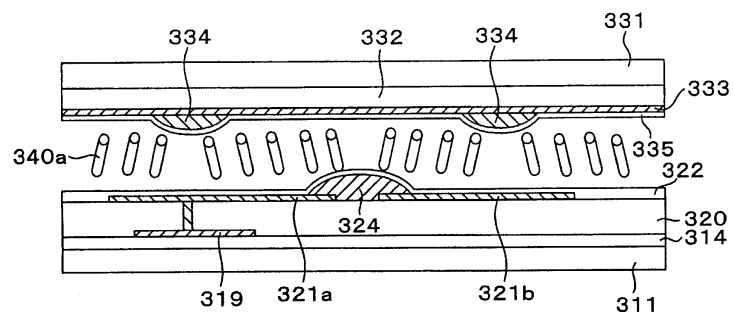
도면35



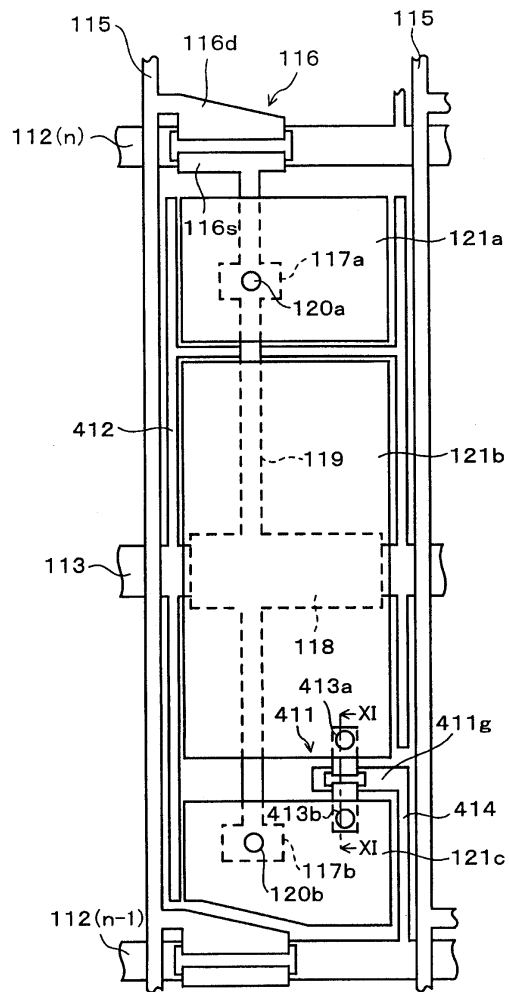
도면36



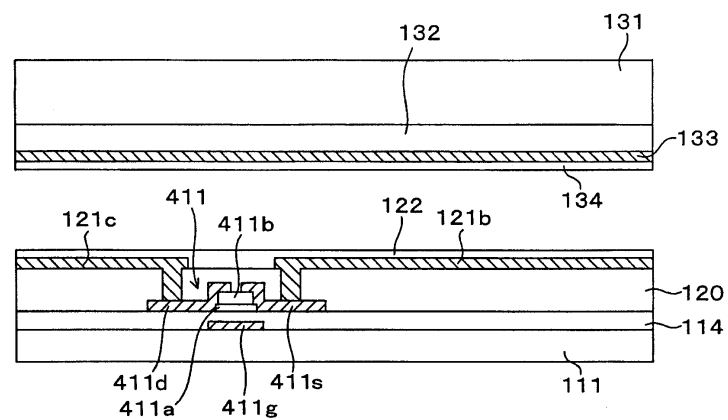
도면37



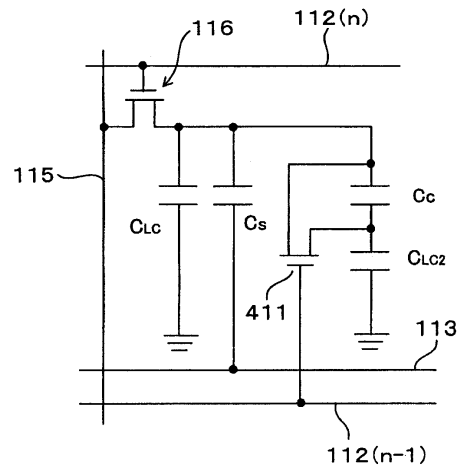
도면38



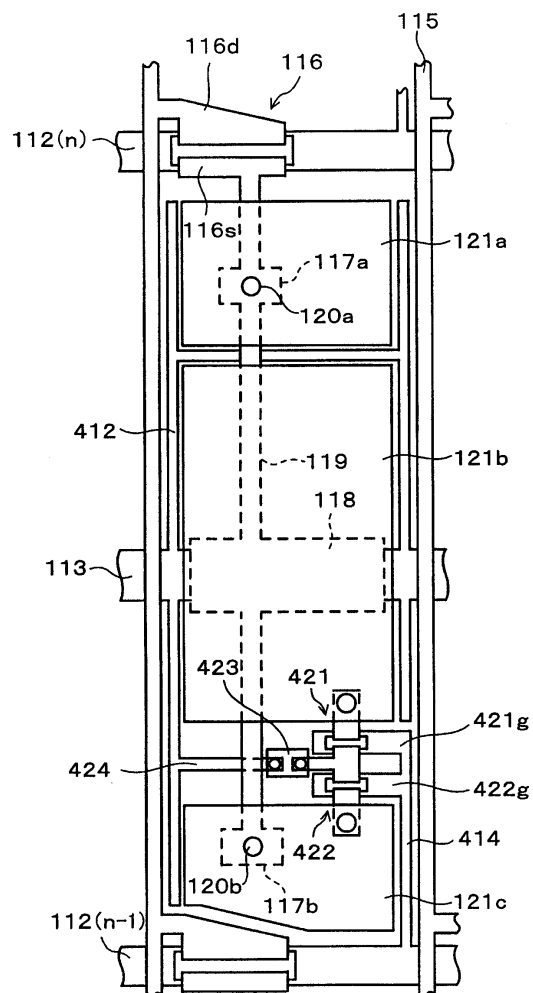
도면39



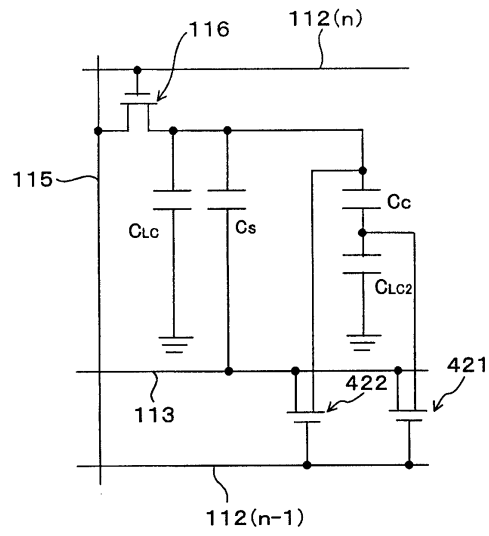
도면40



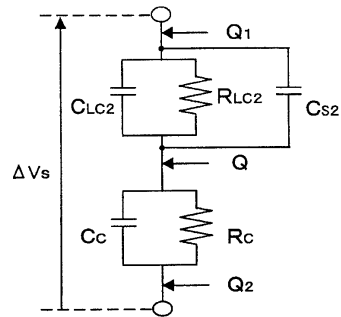
도면41



도면42

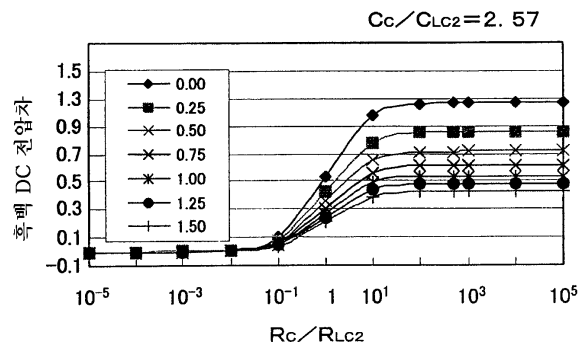


도면43

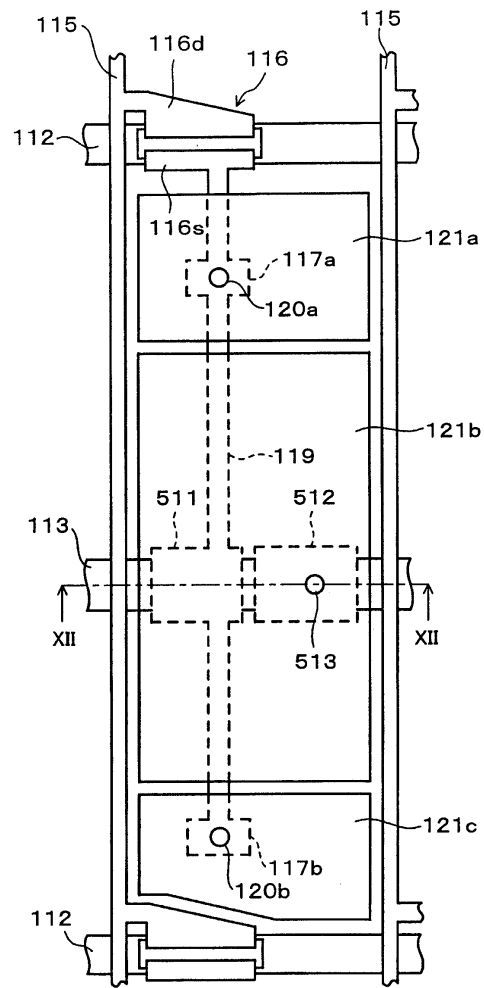


$$\Delta V_{LC2} = \frac{(1 - (R_c / R_{LC2} \times C_c / (C_{LC2} + C_{S2})))}{(1 + R_c / R_{LC2})} \times \Delta V_s$$

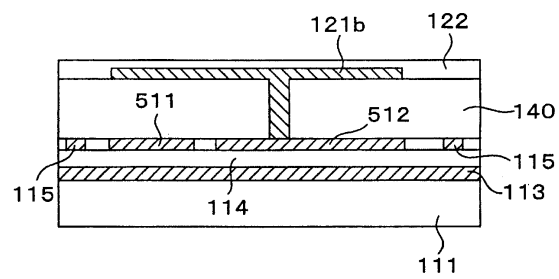
도면44



도면45



도면46



专利名称(译)	液晶显示装置和防止烧结的方法		
公开(公告)号	KR100714955B1	公开(公告)日	2007-05-09
申请号	KR1020050016091	申请日	2005-02-25
[标]申请(专利权)人(译)	富士通株式会社 友达光电股份有限公司		
申请(专利权)人(译)	富士sikki有限公司 我们用鼻子来尼克斯捕法		
当前申请(专利权)人(译)	富士sikki有限公司 我们用鼻子来尼克斯捕法		
[标]发明人	KAMADA TSUYOSHI 가마다쯔요시 SASABAYASHI TAKASHI 사사바야시다까시 UEDA KAZUYA 우에다가즈야 YOSHIDA HIDEFUMI 요시다히데후미		
发明人	가마다쯔요시 사사바야시다까시 우에다가즈야 요시다히데후미		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/136213 G02F2001/134354 G02F2001/136218 B01J47/014 C02F1/42 C02F1/48 C02F1/50 C02F1/68 C02F5/08		
代理人(译)	CHANG, SOO KIL LEE, JUNG HEE CHU, 晟敏		
优先权	2004220263 2004-07-28 JP		
其他公开文献	KR1020060042398A		
外部链接	Espacenet		

摘要(译)

关于使用电容耦合HT (半色调) 方法控制洗出 (洗出) 的液晶显示器, 提供了能够防止产生烘烤和烘烤防止方法的液晶显示器。与TFT (116) 直接相关的子像素电极 (121a, 121c) 布置在控制电极 (118), 子像素电极 (浮置子像素电极) (121b) 和栅极总线之间 (112) 电容耦合。从栅极总线 (112) 防止浮动子像素电极 (121b) 的电荷注入。此外, 形成与浮动子像素电极 (121b) 和数据总线 (115) 之间的辅助电容总线 (113) 电连接的密封图案 (145)。使用该密封图案 (145), 防止浮动子像素电极 (121b) 的电荷从数据总线 (115) 的注入。子像素电极, 电容耦合, 密封, 烘烤, 控制电极, 公共电极。

