

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
G02F 1/1343

(45) 공고일자 2005년09월07일
(11) 등록번호 10-0512896
(24) 등록일자 2005년08월30일

(21) 출원번호 10-2003-0001631
(22) 출원일자 2003년01월10일

(65) 공개번호 10-2003-0061352
(43) 공개일자 2003년07월18일

(30) 우선권주장 JP-P-2002-00003005 2002년01월10일 일본(JP)

(73) 특허권자 엔이씨 엘씨디 테크놀로지스, 엘티디.
일본 가나가와켄 가와사키시 나카하라구 시모누마베 1753

(72) 발명자 마쓰모토기미카즈
일본국도쿄도미나토구시바5쵸메7방1고닛본덴기가부시끼가이샤나이

하누키다카히사
일본국도쿄도미나토구시바5쵸메7방1고닛본덴기가부시끼가이샤나이

(74) 대리인 조의제

심사관 : 박진우

(54) 횡전계를 사용하는 능동매트릭스어드레싱 액정표시장치

요약

횡전계를 사용하는 능동매트릭스어드레싱 LCD장치는 높은 투과도 및 높은 제조수율을 실현하며 제조비용의 상승 없이 개구비를 개선시킨다. 공통전극선들 중의 제1공통전극선, 화소전위층들 중의 제1화소전위층, 및 개재절연층은 화소들의 각각을 위한 제1저장커패시터를 구성하며 동시에 공통전극선들 중의 제2공통전극선, 화소전위층들 중의 제2화소전위층, 및 개재절연층은 동일 화소를 위한 제2저장커패시터를 구성한다. 제1 및 제2화소전위층들은 대응하는 화소전극을 통해서로 전기접속된다. 그러므로, 인가된 전기장에 의해 야기된 액정분자들의 회전은 패널투과도에 전적으로 기여하여 얻을 수 있는 전체 투과도가 낮아지는 것을 방지한다. 이는 더 높은 투과도가 얻어질 수 있다는 것을 의미한다. 상호접속전극이 동일 목적을 위해 추가로 제공될 수도 있다.

대표도

도 1

색인어

공통전극선, 화소전위층, 저장커패시터, 화소전극, 패널투과도

명세서

도면의 간단한 설명

도 1은 발명의 제1실시예에 따른 IPS형 능동매트릭스어드레싱 LCD장치의 능동소자기판의 레이아웃을 보여주는 개략적인 평면도,

도 2는 도 1의 F-F'선을 따르는 개략적인 단면도,

도 3a는 도 1의 제1실시예에 따른 ITO층보다 낮은 LCD장치의 전도층들의 레이아웃을 보여주는 개략적인 평면도,

도 3b는 도 1의 제1실시예에 따른 LCD장치의 상부ITO층의 레이아웃을 보여주는 개략적인 평면도,

도 4는 도 1의 A-A'선, B-B'선, C-C'선, D-D'선, 및 E-E'선을 따르는 부분적인 개략적 단면도들과 단자구역들인 G 및 H의 단면도들로서, 이 도면들은 단일 도면에서 한 덩어리로 보여지며 구부러진 선들에 의해 서로 분리되어 있는 도면,

도 5a 내지 5c는 각각 도 1의 A-A'선, B-B'선, C-C'선, D-D'선, 및 E-E'선을 따르는 부분적인 개략적 단면도들과 단자구역들인 G 및 H의 단면도들로서, 도 1의 제1실시예에 따른 LCD장치를 제조하는 방법의 공정단계들을 보여주는 도면들,

도 6a 내지 6c는 각각 도 1의 A-A'선, B-B'선, C-C'선, D-D'선, 및 E-E'선을 따르는 부분적인 개략적 단면도들과 단자구역들인 G 및 H의 단면도들로서, 도 1의 제1실시예에 따른 LCD장치의 제조방법의 제5a 내지 5c의 단계들에 뒤따르는 공정단계들을 보여주는 도면들,

도 7은 발명의 제2실시예에 따른 IPS형 능동매트릭스어드레싱 LCD장치의 능동소자기판의 레이아웃을 보여주는 개략적인 평면도,

도 8은 도 7의 F-F'선을 따르는 부분적인 개략적 단면도,

도 9a는 도 7의 제2실시예에 따른 LCD장치의 데이터선층보다 아래에 있는 전도층들의 레이아웃을 보여주는 개략적인 평면도,

도 9b는 도 7의 제2실시예에 따른 LCD장치의 데이터선층의 레이아웃을 보여주는 개략적인 평면도,

도 10a 내지 10c는 각각 도 7의 A-A'선, B-B'선, C-C'선, D-D'선, 및 E-E'선을 따르는 부분적인 개략적 단면도들과 단자구역들인 G 및 H의 단면도들로서, 도 7의 제2실시예에 따른 LCD장치를 제조하는 방법의 공정단계들을 보여주는 도면들,

도 11은 발명의 제3실시예에 따른 IPS형 능동매트릭스어드레싱 LCD장치의 능동소자기판의 레이아웃을 보여주는 개략적인 평면도,

도 12는 도 11의 F-F'선을 따르는 부분적인 개략적 단면도,

도 13a는 도 11의 제3실시예에 따른 LCD장치의 데이터선층보다 아래에 있는 전도층들의 레이아웃을 보여주는 개략적인 평면도,

도 13b는 도 11의 제3실시예에 따른 LCD장치의 데이터선층의 레이아웃을 보여주는 개략적인 평면도,

도 14는 도 11의 A-A'선, B-B'선, C-C'선, D-D'선, 및 E-E'선을 따르는 부분적인 개략적 단면도들과 단자구역들인 G 및 H의 단면도들로서, 이 도면들은 단일 도면에서 한 덩어리로 보여지며 구부러진 선들에 의해 서로 분리되어 있는 도면,

도 15는 발명의 제4실시예에 따른 IPS형 능동매트릭스어드레싱 LCD장치의 능동소자기판의 레이아웃을 보여주는 개략적인 평면도,

도 16은 도 15의 F-F'선을 따르는 부분적인 개략적 단면도,

도 17은 도 15의 A-A'선, B-B'선, C-C'선, D-D'선, 및 E-E'선을 따르는 부분적인 개략적 단면도들과 단자구역들인 G 및 H의 단면도들로서, 이 도면들은 단일 도면에서 한 덩어리로 보여지며 구부러진 선들에 의해 서로 분리되어 있는 도면,

도 18은 발명의 제5실시예에 따른 IPS형 능동매트릭스어드레싱 LCD장치의 능동소자기판의 레이아웃을 보여주는 개략적인 평면도,

도 19는 도 18의 F-F'선을 따르는 부분적인 개략적 단면도,

도 20은 발명의 제6실시예에 따른 IPS형 능동매트릭스어드레싱 LCD장치의 능동소자기판의 레이아웃을 보여주는 개략적인 평면도,

도 21은 도 20의 F-F'선을 따르는 부분적인 개략적 단면도,

도 22는 전형적인 능동매트릭스어드레싱 LCD장치에 형성된 정상 및 비정상영역들에서의 전기장의 상태들을 설명하는 개략적인 평면도.

*도면의 주요부분에 대한 부호의 설명

1 : 액정표시장치 24 : 데이터선

26 : 공통전극 26a, 26b : 공통전극선

27 : 화소전극 30 : TFT

30a : 드레인전극 30b : 소스전극

30c : 게이트전극

39a, 39b, 39c : 화소전극용 접촉홀 42a, 42b : 화소전위층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 대체로 액정표시(LCD)장치에 관한 것이다. 보다 상세하게는, 본 발명은 횡전계를 사용하며 투과도 및 제조수율을 향상시키는 능동매트릭스어드레싱 LCD장치에 관한 것이다.

박막트랜지스터들(TFT들)을 개별 화소들을 위한 스위칭소자들로서 사용하는 능동매트릭스어드레싱 LCD장치들은 고레벨의 영상품질을 제공하는 것으로, 휴대형 또는 노트북형 컴퓨터를 위한 표시기기로서 광범위하게 사용되고 있다. 최근, 이 LCD장치들은 공간절약형 데스크탑 컴퓨터들의 모니터기기로서도 사용되고 있다.

능동매트릭스어드레싱 LCD장치들은 두 종류로 분류된다. 제1종류의 장치들에서는, "방향자(director)"라 불리는 액정의 분자축의 배향은 기판들의 쌍에 수직인 평면에서 회전되어, 소망의 영상들을 표시한다. 제2종류의 장치들에서, "방향자"는 기판들의 쌍에 평행한 평면에서 회전되어, 소망의 영상들을 표시한다. 제1종류의 LCD장치들 중의 전형적인 하나는 트위스트네마틱(TN)형이다. 제2종류의 LCD장치들 중의 전형적인 하나는 면내스위칭(IPS; In-Plane Switching)형이고, 이것은 액정층에 존재하는 액정분자들이 기판들의 쌍에 거의 평행하게 발생하는 전기장에 의해 회전 또는 구동되기 때문에 "횡전계(lateral electric field)"형이라고도 불린다.

IPS형 LCD장치는 TN형 LCD장치들의 시야각보다 넓은 시야각을 얻을 수 있다는 이점을 가지고, 그러므로 이 종류의 장치는 대형표시장치들에 흔히 사용되고 있다. 이것은 다음의 이유 때문이다. 구체적으로는, IPS형 LCD장치에서, 관람자 또

는 사용자는 그/그녀가 그/그녀의 관점을 이동시키는 경우에도 항상 액정분자들의 대략 단축을 따라 표시되는 영상들을 본다. 그러므로, 액정분자들의 "경사각(tilt angle)"이 시야각 의존도를 가지지 않거나 매우 낮게 가지고, 결과적으로 넓은 시야각을 가진다.

한편, IPS형 LCD장치는 얻을 수 있는 개구비가 낮고 그 결과 투과도가 감소한다는 단점을 가진다. 이것은, 주사선들 또는 데이터선들을 위해 불투명 전도성 재료로 만들어진 구동전극들이, 그것들 간에 액정층을 유지하는 방식으로 서로 쌓을 이루는 기관들 중의 하나에 형성되기 때문이다. 따라서, 지금까지 투과도를 높이기 위해 다양한 개량물들이 논의되어 왔고 개발되어 왔다.

이전에 개발된 개량물들 중의 하나는 2000년 10월 27일자로 공고된 미국특허 제3123273호에 개시되어 있다. 이 개량물 또는 기법은 다음의 특징들을 가진다:

(i) 액정층을 마주하는 신호선들의 부분들은 부분적으로 도체로 덮여있다. (ii) 이 도체는 기관들에 대략 평행한 전기장을 액정층에 인가하기 위해 소스전극들 또는 공통전극에 전기접속된다.

이러한 특징 (i) 및 (ii) 때문에, 신호선들로부터의 원치 않는 전기장은 공통전극으로 차폐 또는 차단되어, 각 화소의 유효 표시영역이 확장된다. 그 결과, 각 화소의 개구비는 증가되어, 광이용효율은 향상된다.

또, 1997년 3월 18일자로 공개된 일본공개특허공보 평9-73101호는 액정을 구동하기 위한 전극들을 만드는데 투명재료를 사용하여 광이용효율을 향상시킨 개량물을 개시하고 있다.

그런데, 능동매트릭스어드레싱 LCD장치는 다음과 같은 기본동작원리를 가진다. 이 원리는 LCD장치의 동작방식에 무관하게 적용될 수 있다.

구체적으로는, 소망의 전하들이 스위칭소자들인 TFT들에 의해 유전성의 액정층에 써넣어져, 그렇게 써넣어진 전하들에 의해 발생한 전기장을 사용하여 액정층에 존재하는 액정분자들의 배향을 제어한다. 따라서, 액정층을 통과하는 외부광의 투과상태는 제어되어 LCD장치의 화면상에는 영상들이 소망하는 대로 표시된다.

써넣어진 전하들(즉, 발생한 전기장)은 새로운 전하들이 다음 타이밍에서 액정층에 써넣어지기까지(즉 한 프레임 내에서) 유지되는 것이 이상적이다. 그러나, 액정은 유전상수이방성을 가지고 따라서, 액정분자들은 전기장에 따라 회전된다. 이는 아래에서 "유전완화(dielectric relaxaion)"라 이름지어질, 발생한 전기장의 감소를 이끌어 낸다. 유전완화로 인한 전기장 감소를 억제하기 위해, 액정커패시터들의 커패시턴스에 특정 비를 가지는 커패시턴스를 갖는 "저장커패시터들(또는 축적커패시터들)"은 TFT들이 턴 온될 때 쓰여질 전하들의 양을 증가시키도록 형성된다. 그 결과, 유전완화가 일어나고 전기장이 감소되는 경우에도, 저장커패시터들에 써넣어진 전하들은 액정커패시터들 내에서 분산되어 전기장 감소를 보상한다.

저장커패시터들은 TFT들이 턴온상태에서 턴오프상태로 옮겨가는 경우에 발생하는 화소전압감소(이것은 일반적으로 "관통(feed through)전압 ΔV_p "이라 불림)를 억제하는 효과를 가진다. 그러므로, 이러한 저장커패시터들은 깜박임(flickers)에 대한 대책으로서도 사용된다.

"관통"의 원인은 TFT의 게이트전극 및 그 소스전극 간의 기생용량(C_{gs})이다. 구체적으로는, TFT가 게이트펄스신호에 의해 턴 온되는 경우, 전하는 각 화소의 액정커패시터(커패시턴스: C_{lc}) 및 저장커패시터(커패시턴스: C_{sc})에 써넣어지고 저장된다. TFT가 턴 오프되는 순간, 액정커패시터 및 저장커패시터에 저장되어 있던 전하는 개별 커패시터들에 재분배되어, "관통"현상이 일어나게 된다.

횡전계를 사용하는 LCD장치는 TN형 LCD장치의 섹필터기관(즉, 대향기관)상에 형성된 투명전극을 필요로 하지 않으므로, 화소전극들 및 공통전극으로부터 발생하는 전기력의 선들은 대향기관 상에 마련된 색층을 관통할 것이다. 다시 말하면, 횡전계를 사용하는 LCD장치의 관통전압(ΔV_p)은 색층커패시터(커패시턴스: C_{color})의 함수로서 표현된다. 그 결과, 관통전압(ΔV_p)은 다음의 수학적 식 (1)로 주어진다.

수학식 1

$$\Delta V_p = C_{gs} / (C_{gs} + C_{sc} + C_{ls} + C_{color}) \times (V_{gon} - V_{goff})$$

여기서 Vgon과 Vgoff는 각각 TFT의 턴온게이트전압 및 턴오프게이트전압이다.

위의 설명으로부터 이해되는 바와 같이, 관통전압(ΔVp)을 억제 또는 감소하기 위해서는, IPS형 LCD장치의 경우 저장커패시턴스(Csc)를 증가시키는 것이 필요하다.

아래에서 보인 설명은 횡전계를 사용하는 LCD장치들의 전형적인 예인 IPS형 LCD장치에 관해 이루어졌지만, 횡전계를 사용하는 어떠한 다른 형(mode)의 LCD장치들에도 적용할 수 있음은 물론이다.

IPS형 LCD장치의 저장커패시터들은 전형적으로 화소전극들과 두 방법인 "공통저장(common storage)"법 및 "게이트저장"법에 의해 고정된 전압으로 유지되는 금속 또는 전도층 사이에 층간절연층을 형성함으로써 실현된다.

"게이트저장"법은 앞단의 주사선과 대응하는 화소전극 사이에 저장커패시터를 형성하는 방법이다. 이 방법에서, 앞단의 주사선과 대응하는 화소전극 사이의 저장커패시터는 대응하는 주사선의 부하로서 소용되고, 그러므로 대응하는 게이트신호가 지연되기 쉽다는 단점과 패널면 내의 패널투과도가 분산되기 쉽다는 단점이 있다.

한편, "공통저장"법은 공통전극과 화소전극 사이에 저장커패시터를 형성하는 방법이다. IPS형 LCD장치에서는, 빗살형 공통전극이 각 화소에 마련되고, 따라서 저장커패시터는 공통전극 및 화소전극에 의해 쉽사리 형성된다. 더욱이, 주사선신호에 부하가 주어지지 않으므로, 주사신호는 쉽사리 지연되는 않는다. 따라서, "공통저장"법은 바람직하게는 대규모 IPS형 LCD장치들에 사용된다.

공통전극선들과 데이터선들은 LCD장치가 대형인 경우 통상 불투명 전도성재료로 만들어진다. 그 이유는 다음과 같다:

구체적으로는, 공통전극선들은 공통전극전압 또는 전위의 전과지연을 방지하기 위해 저저항배선재료(예컨대, 단층의 Cr, Ti, Mo, W, 또는 Al 또는 다층구조의 이러한 금속들)를 사용하여 형성되는 것이 필요하다. 이러한 전극재료들은 불투명하므로, 공통전극선들로 덮인 영역들은 개구들로서 소용되지 않고 따라서 그것들은 광의 전달에 기여하지 않는다. 더욱이, TFT들의 필요한 제조공정단계들의 증가를 피하기 위해 공통전극선들이 주사선들을 형성하는 동일한 공정단계에서 주사선들의 재료와 동일한 재료로 형성되는 경우, 저저항의 불투명한 전도성재료는 주사선들 및 공통전극선들의 배선저항을 낮추는데 그리고 외부광에 대한 TFT들의 백채널구역들을 보호하는데 사용될 필요가 있다. 이 경우에도, 공통전극선들로 덮인 영역들은 개구들로서 소용되지 않고 따라서 그것들은 광의 전달에 기여하지 않는다. 게다가, 저저항, 불투명의 배선재료들은 데이터선들의 배선저항을 낮추는데 사용될 필요가 있다.

더욱이, 데이터선신호들에 의해 발생된 전기장이 개구들을 통해 액정층에 인가되는 것을 방지하기 위해 공통전극들이 데이터선들을 덮도록 형성된다면, 데이터선들 및 공통전극 사이의 기생용량은 증가한다. 이는 데이터선신호들의 전송을 지연시키기 쉽다. 데이터선신호들의 지연을 방지하기 위해, 데이터선들 및 공통전극 사이의 기생용량의 증가는 억제될 필요가 있다. 이것은 낮은 유전상수를 갖는 층간절연층을 데이터선들과 이 데이터선들을 차폐하는 공통전극 사이에 형성함으로써, 또는 비교적 높은 유전상수를 갖는 두꺼운 층간절연층을 데이터선들과 공통전극 사이에 형성함으로써 실현된다. 그 결과, 안정적인 표시동작을 위한 충분히 큰 커패시턴스를 갖는 저장커패시터는 데이터선들의 레벨과 공통전극의 레벨 사이에 형성될 수 없는데도, 이 커패시터는 공통전극선들의 레벨과 데이터선들의 레벨 사이에 형성될 필요가 있다. 만약 그렇다면, 공통전극선들과 데이터선들 사이의 층간절연층은 상기 저장커패시터의 커패시턴스를 증가시키기 위해 얇게 되어야 할 것이다. 그러나, 라인들 간의 전기적 단락으로 인해 제조수율이 떨어질 확률은 증가할 것이고, 동시에 TFT들의 스위칭 특성들은 악영향을 받을 것이다. 따라서, TFT어레이에서는 2개의 공통전극선들이 주사선들 사이에 끼우개끔 형성되어 저장커패시터의 영역을 증가시키는 것이 가장 효과적이다.

게다가, IPS형 LCD장치에서는, 도 22에 보인 것처럼, 액정층에 인가된 전기장의 방향이 각 "난(column)"의 끝에서 복잡해진다. "난"은 빗살형 공통전극의 살과 빗살형 화소전극의 이웃하는 살에 의해 둘러싸인 기다란 영역으로서 정해진다. 따라서, 복잡한 전기장으로 인해 다음의 현상이 일어나는 경향이 있다.

구체적으로는, 액정분자들의 배향이 소망의 방향으로 회전되는 영역(즉, 정상영역)이 형성되고 동시에 액정분자들의 배향이 소망의 방향에 반대 방향으로 회전되는 영역(즉, 비정상영역)이 형성된다. 비정상영역에서, 액정분자들의 배향은 정

상영역의 전기장보다 강한 전기장이 인가되지 않는 한 소망의 방향으로 회전될 수 없다. 그 결과, 비정상영역은 LCD장치의 패널투과도의 증가에 거의 기여하지 않고, 이는 패널투과도가 낮다는 것을 의미한다. 더욱이, 액정분자들의 배향은 인가된 전기장의 강도에 무관하게 정상 및 비정상영역들 간의 경계에서 거의 회전하지 않으므로, 경계의 존재는 각 화소에서 패널투과도를 낮춘다. 따라서, IPS형 LCD장치의 경우 비정상영역의 형성을 방지하기 위해서는 얼마간의 고안이 필요하다.

비정상영역의 형성을 방지하기 위한 기법은 1999년 9월 31일자로 공개된 일본특허 제2973934호에 개시되어 있다. 이 기법에서는, 액정층을 구동하기 위한 전극들(즉, 화소전극들 및 공통전극)은, 전극들의 각각이 횡방향돌기들 및 오목부들을 가지는 스테퍼형 또는 요철형 패턴들을 가지도록 형성된다. 이 스테퍼형 또는 요철형 전극들을 사용하면, 액정층에 가해진 전기장은 만족스럽게 제어된다.

위에서 설명한 바와 같이, 난의 끝들에서 복잡한 전기장방향을 제약 또는 조정하는 것과, 주사선을 2개의 공통전극선들으로써 끼우고 있는 것(다시 말하면, 각 화소마다 2개의 공통전극선들을 형성하는 것)이 필요하다. 이러한 것들은 주사선들로부터의 누설된 전기장과 액정분자들의 반대방향회전으로 인한 액정분자들의 정렬의 무질서를 방지하여, 소망의 LCD신뢰도 향상을 구현한다. 그러므로, 2개의 공통전극선들이 각 화소마다 제공되기 때문에, 표시동작을 안정화하기 위한 적어도 2개의 저장커패시터들이 각 화소마다 형성될 수 있어, 전체 저장커패시터스를 유익하게 증가시킬 수 있다. 그러나, 적어도 2개의 커패시터들이 각 화소 내에서 서로 떨어져 있게 형성된다면, 패턴화된 "화소전압 또는 전위층들"은 데이터선들과 동일 레벨에 형성될 필요가 있고 동시에 화소전위층들은 TFT들을 통해 인가되는 화소전극들의 전위들과 동일한 전위들로 유지될 필요가 있다.

화소전위층들이 각 화소에 형성되고 이것들이 각 화소에 2개 이상의 저장커패시터들을 형성하는데 사용되어 전도층의 부분들을 통해 서로 전기 접속되는 방식으로 구성된다면, 다음의 문제들이 일어날 수 있었다.

첫 번째 문제는 전체 패널투과도가 낮아진다는 것이다. 구체적으로는, 각 화소의 저장커패시터들을 서로 상호접속하기 위한 전도층이 데이터선들과 동일한 금속층에 의해 형성되고 동시에 상기 금속층이 화소전극들에 의해 겹쳐진다면, 인가된 전기장에 의해 야기된 액정분자들의 회전은 상기 금속층 및 화소전극들의 겹침영역들에서의 패널투과도에 기여하지 않는다. 그 결과, 얻을 수 있는 전체 패널투과도는 낮아진다.

두 번째 문제는 유효개구비가 감소하고 투과도가 낮아진다는 것이다. 구체적으로는, 전도층(즉, 데이터선들의 재료와 동일한 재료로 만들어진 금속층)과 화소전극들은 다른 공정단계들에서 다른 레벨들에 형성된다. 그러므로, 겹침오차가 이러한 두 층들에 존재한다면, 전도층 및 화소전극들의 겹침영역들은 확장되고 따라서 각 화소에 대한 유효개구비는 감소한다. 이는 투과도가 낮아짐을 의미한다.

세 번째 문제는 전체백색표시동작 시에 휘도가 낮아진다는 것이다. 구체적으로는, 전도층(즉, 데이터선들의 재료와 동일한 재료로 만들어진 금속층) 및 빗살형 화소전극들의 겹침영역들에서는, 전기장세기가 국부적으로 증가한다. 따라서, 전기장은 각 화소마다 변동하고, 이는 전체백색표시동작 시에 휘도가 낮아지게 한다.

네 번째 문제는 제조수율이 낮아진다는 것이다. 구체적으로는, 투명화소전극들과 투명공통전극은 식각공정에서 화소 및 공통전극들과 그것들 아래의 금속층들(즉, 주사선들 및 데이터선들) 간의 단형상의 틈들로 인해 국소적으로 연결이 끊어지는 경향이 있어, 패턴화된 전극들에서는 원치않는 연결끊김이 생기게 된다. 따라서, 횡전계는 액정층에 부분적으로 인가되지 않아, 표시동작에서 결함을 일으킨다. 이는 LCD장치의 제조수율에 낮아지게 한다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 더 높은 투과도와 더 높은 제조수율을 실현하는 횡전계를 사용하는 능동매트릭스어드레싱 LCD장치를 제공함에 있다.

본 발명의 다른 목적은 제조비용의 상승 없이 개구비를 개선하는 횡전계를 사용하는 능동매트릭스어드레싱 LCD장치를 제공함에 있다.

전술한 목적은 구체적으로 언급되지 않은 목적들과 함께 다음의 설명으로부터 당업자에게는 명확하게 될 것이다.

발명의 구성 및 작용

본 발명의 제1양태에 따르면, 능동매트릭스어드레싱 LCD장치가 제공된다. 이 장치는, 능동소자기관; 능동소자기관과 결합되는 대향기관; 능동소자기관 및 대향기관 사이에 형성된 액정층; 능동소자기관 상에 화소들을 매트릭스배열로 배치되게 형성하는 식으로 형성된 화소전극들; 능동소자기관 상에 모든 화소들에 대해 공통적으로 사용되는 식으로 형성된 공통전극; 능동소자기관 상에 형성되어 개별 화소들을 위해 사용되는 스위칭소자들; 능동소자기관 상에 형성되며 주사신호들이 스위칭소자들에 전송되게 하는 주사선들; 능동소자기관 상에 형성되며 데이터신호들이 스위칭소자들에 전송되게 하는 데이터선들; 능동소자기관 상에 형성되며 고정된 전위가 공통전극에 인가되게 하는 공통전극선들로서, 공통전극선들 중의 2개는 화소들의 각각을 위해 사용되는 공통전극선들; 및 능동소자기관 상에 공통전극선들과는 개재절연층을 개재하여 겹쳐지는 식으로 형성된 패턴화된 화소전위층들로서, 화소전위층들 중의 2개는 화소들의 각각을 위해 사용되는 패턴화된 화소전위층들을 포함하며, 공통전극선들 중의 제1공통전극선, 화소전위층들 중의 제1화소전위층, 및 개재절연층은 화소들의 각각을 위한 제1저장커패시터를 구성하며 동시에 공통전극선들 중의 제2공통전극선, 화소전위층들 중의 제2화소전위층, 및 개재절연층은 동일 화소를 위한 제2저장커패시터를 구성하며, 제1화소전위층과 제2화소전위층은 화소전극들 중의 대응하는 화소전극을 통해 서로 전기접속되며, 제1 및 제2화소전위층들은 공통전극 및 화소전극보다는 액정층으로부터 더 먼 위치에 위치되고, 이웃하는 2개의 주사선들 사이에 놓인 하나의 화소 내에서, 제1저장커패시터는 상기 이웃하는 2개의 주사선들 중 대응하는 주사선 근처에 위치되며 제2저장커패시터는 상기 이웃하는 2개의 주사선들 중의 다른 주사선 근처에 위치된다.

본 발명의 제1양태에 따른 LCD장치에서는, 공통전극선들 중의 제1공통전극선, 화소전위층들 중의 제1화소전위층, 및 개재절연층은 화소들의 각각을 위한 제1저장커패시터를 구성하며 동시에, 공통전극선들 중의 제2공통전극선, 화소전위층들 중의 제2화소전위층, 및 개재절연층은 동일 화소를 위한 제2저장커패시터를 구성한다. 또한, 화소전위층들 중의 제1화소전위층과 화소전위층들 중의 제2화소전위층은 화소전극들 중의 대응하는 화소전극을 통해 서로 전기접속된다. 이 화소전극들은 투명성이다.

그러므로, 위에서 밝힌 첫 번째 문제가 해결된다. 다시 말하면, 인가된 전기장에 의해 야기된 액정분자들의 회전은 패널 투과도에 충분히 기여하게 된다. 그 결과, 획득가능한 전체 패널투과도가 낮아지는 것이 방지된다. 이는 더 높은 투과도가 얻어질 수 있음을 의미한다.

부가적인 상호접속금속층이 각 화소에서의 제1 및 제2저장커패시터들을 상호접속하기 위해 필요하지 않기 때문에, 제조 공정단계들의 수는 감소된다. 이는 제조수율이 더 높아지게 한다.

더욱이, 화소전위층들 중의 제1하나와 화소전위층들 중의 제2하나를 화소전극들 중의 대응하는 하나에 의해 서로 전기접속된다. 부가적인 상호접속금속층이 필요하지 않다. 그러므로, 위에서 밝힌 두 번째 문제에서 언급된 가능한 겹침오차를 피할 수 있다. 그 결과, 개구비는 제조비용의 상승 없이 향상될 수 있다.

발명의 제1양태에 따른 LCD장치의 바람직한 실시예에서, 무기재료로 이루어진 단일 층간절연층이 데이터선들 및 공통전극 사이에 추가로 제공된다.

발명의 제1양태에 따른 LCD장치의 다른 바람직한 실시예에서, 색층이 대향기관에 더 제공된다.

발명의 제1양태에 따른 LCD장치의 또다른 바람직한 실시예에서, 색층이 대향기관에 제공되지 않는다.

발명의 제1양태에 따른 LCD장치의 추가의 바람직한 실시예에서, 화소들의 각각을 위한 제1 및 제2화소전위층들은 데이터선들에 대략 평행한 방향에서 서로로부터 떨어져 있게 배치된다. 제1 및 제2화소전위층들의 각각은 접촉홀을 통해 대응하는 화소전극에 전기 접속된다.

발명의 제1양태에 따른 LCD장치의 또다른 추가의 바람직한 실시예에서, 공통전극 및 화소전극들은 투명성이며 데이터선들보다는 액정층에 더 가까운 레벨에 위치된다. 데이터선들은 주사선들의 부근들을 제외하고는 절연층을 개재하여 공통전극으로 완전히 덮여있다. 공통전극은 개별 화소들에 대해 대응하는 접촉홀들을 통해 공통전극선들에 전기 접속된다. 흑매트릭스는 데이터선들이 공통전극으로 완전히 덮여있는 영역들에서 공통전극의 폭보다 좁은 폭을 가지는 식으로 대향기관 상에 형성된다. 차광층은 데이터선들을 완전히 덮는 공통전극과 이것에 인접하는 화소전극 사이에 형성되지 않는다.

이 실시예에서, 화소전극들과 공통전극은 동일 레벨에 형성되는 것이 바람직하다. 그러나, 화소전극들 및 공통전극은 절연층을 개재하여 다른 레벨들에 형성되어도 좋다. 이 경우, 바람직하게는, 공통전극은 배향층을 개재하여 액정층에 마주한다.

화소전극들 및 공통전극이 절연층을 개재하여 다른 레벨들에 형성되는 경우, 그 제조비용은 이러한 전극들이 동일 레벨에 형성되는 경우에 비해 약간 상승한다. 그러나 그 대신, 전극들을 설계하기 위한 마진은 증가하고 그 결과 투과도가 개선된다는 이점이 있다.

공통전극이 배향층을 개재하여 액정층에 마주하는 경우, 데이터선들과 이것들을 덮고 있는 공통전극 사이의 기생용량들은 감소되고 동시에 데이터선들을 통한 데이터선들의 지연은 방지된다. 그 결과, 개구비가 더 높아지고 영상의 균일성이 더 높아진다는 부가적인 이점이 있다.

발명의 제1양태에 따른 LCD장치의 또다른 추가의 바람직한 실시예에서, 공통전극은 주사선들, 데이터선들 및 공통전극선들 중의 적어도 하나에 전기신호를 인가하는데 사용되는 단자들의 재료와 동일한 전도성 재료로 이루어진다. 이 공통전극은 단자들과 동일한 공정단계에서 형성된다. 그래서, 어떠한 제조공정의 증가 없이도 단자들이 형성되는 추가적인 이점이 있다.

이 실시예에서, 바람직하게는, 화소전극들 및 공통전극은, 화소전극들 및 공통전극이 공통전극선들 및 데이터선들과 겹치는 영역들에서 공통전극선들 및 데이터선들보다 더 넓게 되도록 형성된다. 그래서, 화소전극들 및 공통전극의 국부적인 단절이 방지된다는 추가 이점이 있다.

화소전극들과 공통전극들은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)로 이루어지는 것이 바람직하다. ITO 및 IZO는 전기화학적 안정하므로, 화소전극들 및 공통전극이 소망하는 바의 높은 투명성이 되도록 형성될 수 있다는 추가적인 이점이 있다.

본 발명의 제2양태에 따르면, 다른 능동매트릭스어드레싱 LCD장치가 제공된다. 이 장치는, 능동소자기관; 능동소자기관과 결합되는 대향기관; 능동소자기관 및 대향기관 사이에 형성된 액정층; 능동소자기관 상에 화소들을 매트릭스배열로 배치되게 형성하는 식으로 형성된 화소전극들; 능동소자기관 상에 모든 화소들에 대해 공통적으로 사용되는 식으로 형성된 공통전극; 능동소자기관 상에 형성되어 개별 화소들을 위해 사용되는 스위칭소자들; 능동소자기관 상에 형성되며 주사신호들이 스위칭소자들에 전송되게 하는 주사선들; 능동소자기관 상에 형성되며 데이터신호들이 스위칭소자들에 전송되게 하는 데이터선들; 능동소자기관 상에 형성되며 고정된 전위가 공통전극에 인가되게 하는 공통전극선들로서, 공통전극선들 중의 2개는 화소들의 각각을 위해 사용되는 공통전극선들; 및 능동소자기관 상에 공통전극선들과는 개재절연층을 개재하여 겹쳐지는 식으로 형성된 패터화된 화소전위층들로서 화소전위층들 중의 2개는 화소들의 각각을 위해 사용되는 패터화된 화소전위층들을 포함하며, 공통전극선들 중의 제1공통전극선, 화소전위층들 중의 제1화소전위층, 및 개재절연층은 화소들의 각각을 위한 제1저장커패시터를 구성하며 동시에 공통전극선들 중의 제2공통전극선, 화소전위층들 중의 제2화소전위층, 및 개재절연층은 동일 화소를 위한 제2저장커패시터를 구성하며, 제1화소전위층과 제2화소전위층은 제1 및 제2 화소전위층들을 기준으로 화소전극과는 반대편에서 능동소자기관에 형성된 상호접속전극을 통해 서로 전기적으로 접속되며, 이웃하는 2개의 주사선들 사이에 놓인 하나의 화소 내에서, 제1저장커패시터는 상기 이웃하는 2개의 주사선들 중 대응하는 주사선 근처에 위치되며 제2저장커패시터는 상기 이웃하는 2개의 주사선들 중의 다른 주사선 근처에 위치된다.

발명의 제2양태에 따른 LCD장치는, "화소전위층들 중의 제1하나와 화소전위층들 중의 제2하나가 이 화소전위층들을 기준으로 화소전극과는 반대편에서 능동소자기관 상에 형성된 상호접속전극을 통해 서로 연결된다"는 점을 제외하면, 발명의 제1양태에 따른 LCD장치와 동일한 구조를 가진다.

그러므로, 투과광은 상호접속전극들에 의해 차단된다. 그러나, 이 전극들은 액정으로부터 충분히 떨어져 있다. 따라서, 상호접속전극들은 액정층의 액정에 매우 약한 전기장을 가할 것이다. 이는 각 화소에서의 개별 난들에 대한 전기장변동이 작아질 것임을 의미한다. 다시 말하면, 상호접속전극들은 얻을 수 있는 투과도에 나쁜 영향을 주지 않고, 이는 상호접속전극들이 투명한 화소전극들에 의해 형성되는 제1실시예의 장치에 상응한다. 그 결과, 발명의 제2양태의 장치는 발명의 제1양태의 장치의 이점들과 동일한 이점들을 가진다.

발명의 제2양태에 따른 장치의 바람직한 실시예에서, 상호접속전극들은 공통전극선들 및 주사선들과는 동일한 레벨에 위치된다.

발명의 제2양태에 따른 장치의 다른 바람직한 실시예에서, 공통전극선들은 주사선들의 레벨과는 다른 레벨에 위치된다. 상호접속전극들은 공통전극선들과 동일 레벨에 위치된다.

발명의 제2양태에 따른 장치의 또다른 바람직한 실시예에서, 화소들의 각각을 위한 제1 및 제2화소전위층들은 데이터선들에 대략 평행한 방향에서 서로로부터 떨어져 있게 배치된다. 제1 및 제2화소전위층들의 각각은 접촉홀을 통해 화소전극들 중의 대응하는 하나와 전기적으로 접속된다.

발명의 제2양태에 따른 장치의 추가의 바람직한 실시예에서, 공통전극과 화소전극들은 투명성이며 데이터선들보다 액정층에 더 가까운 레벨에 위치된다. 데이터선들은 주사선들의 부근들을 제외하고는 절연층을 개재하여 공통전극으로 완전히 덮여있다. 공통전극은 개별 화소들마다 대응하는 접촉홀들을 통해 공통전극선들에 전기 접속된다. 흑매트릭스는 데이터선들이 공통전극으로 완전히 덮여있는 영역들에서 공통전극의 폭보다 더 좁은 폭을 가지는 식으로 대향기관 상에 형성된다. 차광층은 데이터선들을 완전히 덮는 공통전극과 이것에 인접하는 화소전극 사이에 형성되지 않는다.

이 실시예에서, 화소전극들과 공통전극은 동일 레벨에 형성된다. 그러나, 화소전극들 및 공통전극은 절연층을 개재하여 다른 레벨들에 형성된다. 이 경우, 바람직하게는, 공통전극은 배향층을 개재하여 액정층에 마주한다.

발명의 제2양태에 따른 장치의 다른 추가의 바람직한 실시예에서, 공통전극은 주사선들, 데이터선들 및 공통전극선들 중의 적어도 하나에 전기신호를 인가하는데 사용되는 단자들의 재료와 동일한 전도성 재료로 이루어진다. 이 공통전극은 단자들과 동일한 공정단계에서 형성된다.

이 실시예에서, 바람직하게는, 화소전극들과 공통전극은, 화소전극들 및 공통전극이 공통전극선들 및 데이터선들과 접치는 영역들에서 공통전극선들 및 데이터선들보다 더 넓게 되도록 형성된다.

화소전극들과 공통전극들은 ITO 또는 IZ로 이루어지는 것이 바람직하다.

본 발명이 쉽사리 수행될 수 있게 하기 위해, 본 발명의 바람직한 실시예들은 첨부된 도면들을 참조하여 아래에서 상세히 설명될 것이다.

제1실시예

본 발명의 제1실시예에 따른 IPS형 능동매트릭스어드레싱 LCD장치(1)는 도 1, 2, 3a, 3b 및 4에 보인 바와 같은 구조를 가진다.

도 2에서 명료하게 보인 것처럼, 제1실시예에 따른 LCD장치(1)는 직사각형 능동소자기관(11), 기관(11)과 짝을 이루고 서로 평행한 직사각형 대향기관(12), 및 기관들(11 및 12)에 의해 끼어있고 기관들(11 및 12) 사이의 틈에 갇혀있는 액정층(13)을 포함한다. 두 기관들(11 및 12)과 개재된 액정층(13)의 조합물을 이후 "LCD패널"이라 한다.

이 명세서에서, 액정층(13)에 가까운 능동소자기관(11)의 측면 또는 표면은 "내면" 또는 "내표면"이라 부르고 액정층(13)에서 먼 능동소자기관의 측면 또는 표면은 "외면" 또는 "외표면"이라 부른다. 이 정의는 대향기관(12)에도 적용된다.

도 2에 보인 것처럼, 대향기관(12)은 그것의 외표면에 고정된 편광판(14)을 가진다. 능동소자기관(11)은 그것의 외표면에 고정된 편광판(21)을 가진다.

대향기관(12)은 다음의 구조를 가진다.

구체적으로는, 대향기관(12)은 직사각형의 투명한 제2절연판(16), 이 판(16)의 내표면에 형성된 흑매트릭스(17), 판(16)의 내표면에서 흑매트릭스(17)를 덮도록 형성된 색층(18), 및 색층(18)상에 형성된 평탄화층(19)을 포함한다. 흑매트릭스(17)는 패터닝된 차광층으로서 사용되는 것으로서 판(16)의 내표면을 구획함으로써 화소영역들을 형성 또는 정하는 것이다. 색층(18)은 개별 화소영역들에 위치되고 그것의 주변영역에서는 흑매트릭스(17)와 겹쳐지도록 패터닝된다. 색층(18)은 적색(R), 녹색(G) 및 청색(B)의 염료들 또는 안료들을 함유하는 패터닝된 수지층에 의해 형성된다. 평탄화층(19)은 색층(18)과 색층(18)으로부터 노출된 흑매트릭스(17)를 덮는다. 평탄화층(19)은 투명한 오버코트층에 의해 형성된다. LCD패널의 외표면과 사용자의 손의 접촉으로 인한 대전이 액정층(13)에 전기적 영향을 주는 것을 방지하기 위해, 투명전도층(15)이 제2투명판(16)의 외표면에 형성된다. 편광판(14)은 투명전도층(15) 위에 놓인다.

한편, 능동소자기관(11)은 다음의 구조를 가진다.

구체적으로는, 능동소자기관(11)은 직사각형의 투명한 제1절연판(22), 주사선들(28), TFT들(30)의 게이트전극들(30c), 공통전극선들(26a 및 26b), 제1층간절연층(23), 비정질실리콘(a-Si)섬들(41), 데이터선들(24), TFT들(30)의 소스전극들(30b), TFT들(30)의 드레인전극들(30a), 제1절연층(25a), 제2절연층(25b), 공통전극(26), 및 화소전극들(27)을 포함한다.

절연성의 투명한 제1판(22)은 대향기관(12)의 제2판(16)과 유사한 재료(예컨대, 유리)로 만들어진다. 주사선들(28), 게이트전극들(30c), 및 공통전극선들(26a 및 26b)은 판(22)의 내표면에 형성된 패턴화된 제1금속층에 의해 형성된다. 게이트전극들(30c)은 대응하는 주사선들(28)과 일체로 된다. 제1층간절연층(23)은 제1금속층 상에(즉, 주사선들(28), 게이트전극들(30c), 및 공통전극선들(26a 및 26b)상)에 형성된다. a-Si섬들(41)은 제1층간절연층(23)상에 형성되는 것으로, 게이트전극들(30c)과의 개개의 접촉영역들에 위치된다. 데이터선들(24), 소스전극들(30b) 및 드레인전극들(30a)은 제1층간절연층(23)상에 형성된 제2금속층에 의해 형성된다. 제2층간절연층(25)은 제2금속층 상에 형성된 제1절연서브층(25a)과 서브층(25a) 상에 형성된 제2절연서브층(25b)에 의해 형성된다. 공통전극(26)과 화소전극들(27)은 제2층간절연층(25)상에 놓인 투명전도성 재료로 이루어진다.

능동소자기관(11)은 그것의 내표면에 배향층(31)을 더 포함한다. 대향기관(12)은 그것의 내표면에 배향층(20)을 더 포함한다. 도 1에 보인 것처럼, 이러한 두 배향층들(31 및 20)은 액정층(13)에 갇혀있는 액정분자들이 스틱형(또는 빗살형) 화소전극들과 스틱형(또는 빗살형) 공통전극(26)의 연장방향에 대하여 대략 10°내지 30° 기울어진 방향으로 등질적으로(homogeneously) 정렬되는 식으로 러빙처리된다. 배향층들(31 및 20)은 특정 틸을 두고 서로 대향한다. 정렬방향의 초기 각은 액정분자들의 "초기정렬방향"이라 불린다. 이러한 두 기관들(11 및 12)은 그것들 간에 지정된 틸을 남기도록 서로 결합되어 LCD패널을 형성한다. 이 틸은 기관들(11 및 12)의 주변을 따라 연장하는 봉지부재(미도시)에 의해 봉지된다. 액정은 틸 내에 갇혀 액정층(13)을 형성한다.

다음, 능동소자기관(11)의 구조가 도 3a, 3b, 및 4를 참조하여 더 상세히 설명될 것이다.

도 3a는 제1 및 제2금속층들과 이것들의 아래에 있는 층들이 형성된 상태를 보여준다. 도 3b는 투명전극재료(예컨대, ITO)가 형성된 상태를 보여준다. 도 4는 A-A'선(TFT(30)), B-B'선(화소영역의 일부), C-C'선(공통전극(26)용 접촉홀(39a)), D-D'선(화소전위층(42b)용 접촉홀(39c)), 및 E-E'선(화소전극(27)의 일부)을 따르는 단면도들을 보여준다. 도 4는 부가적으로 도 1, 2, 3a 및 3b에 보여지진 않았던, 공통전극선들(26a 및 26b)의 외부접촉 또는 단자구역(G)과 데이터선들(24)의 외부접촉 또는 단자구역(H)의 단면도들을 보여준다.

도 3a에 보인 것처럼, 능동소자기관(11)의 내표면에는, 주사선들(28; 이것들을 통해 주사신호들이 전송됨)과 공통전극선들(26a 및 26b; 이것들을 통해 기준전압 또는 전위가 인가됨)이 낮은 저항의 금속, 이를테면 크롬(Cr)으로 이루어진 제1금속층에 의해 X방향(즉, 도 1의 가로방향)을 따라 연장하는 식으로 형성된다. 기준전압 또는 전위는 이러한 도면들에서 보여지진 않은 LCD패널의 주변부의 특정 위치들에서 공통전극선들(26a 및 26b)에 인가된다. 주사선들(28)(및 TFT들(30)의 게이트전극들(30c))은 개별 화소들에 대해 X방향에 수직인 Y방향(즉, 도 1의 세로방향)으로 등간격으로 배열된다. 공통전극선들(26a) 중의 하나와 이것에 인접하는 공통전극선들(26b) 중의 하나는 그것들 사이에 주사선들(28) 중의 대응하는 하나를 끼우고 있는 식으로 배치된다.

마찬가지로, 데이터선들(24; 데이터신호들이 인가되는 것들임)은 저저항금속(예컨대, Cr)으로 이루어진 제2금속층에 의해 Y방향으로 연장하는 식으로 그리고 X방향으로는 개별 화소들마다 등간격으로 배열되는 식으로 형성된다. 나중에 설명되는 바와 같이, TFT들(30)의 드레인 및 소스전극들(30a 및 30b)과 화소전위층들(42a 및 42b)은 제2금속층에 의해 형성된다. 화소영역들의 각각에서, 화소전위층들 중의 하나(42a)는 주사선(28) 근처의 자단(自段)에 위치되고 화소전위층들 중의 하나(42b)는 주사선(28) 근처의 앞(또는 다음)단에 위치된다. 이후로는 전자인 층(42a)은 "제1화소전위층" 또는 "자단의 화소전위층"이라 하고 후자인 층(42b)은 "제2화소전위층" 또는 "앞단의 화소전위층"이라 할 것이다.

개별 화소들을 위한 TFT들(30)은 주사선들(28)과 데이터선들(24)의 개개의 교차부들 근처에 위치된다. 게이트전극들(30c)은 개개의 주사선들(28)의 부분들에 의해 형성된다. 게이트전극들(30c)을 덮는 제1층간절연층(23) 상에는, TFT들(30)의 a-Si섬들(41)이 형성된다. TFT들(30)의 드레인전극들(30a)과 소스전극들(30b)은 데이터선들(24)을 형성하는데 사용되는 제2금속층에 의해 개개의 섬들(41)에 접하도록 형성된다. 따라서, 게이트전극들(30c)은 대응하는 주사선들(28)과 일체로 되는 반면 드레인전극들(30a)은 데이터선들(24)에 전기접속된다. 소스전극들(30b)은 대응하는 자단의 주사선들(28)에 인접한 대응하는 화소전위층들(42a)과 일체로 된다.

제2층간절연층(25)은 패턴화된 제2금속층을 덮도록 형성된다. 여기서, 도 4에 보인 것처럼, 제2층간절연층(25)은 하부의 제1절연서브층(25a)과 상부의 제2절연서브층(25b)을 포함하는 2층구조를 가진다. 제2층간절연층(25)은 여기서는 1 내지 2 μ m의 총두께를 가지는 것으로, 단일의 유기 또는 무기층에 의해 형성되어도 좋다. 제2층간절연층(25)이 임의의 다른 유전성 재료에 의해 형성되고 임의의 다른 두께를 가질 수 있음은 물론이다.

제2층간절연층(25)상에는, 도 3b에 보인 것처럼, 공통전극(26)과 화소전극들(27)이 형성된다. 이러한 전극들(26 및 27)은 투명한 전극(즉, 전도성)재료, 즉, 산화인듐주석(ITO)으로 이루어진다. 공통전극(26)은 대략 사다리형 또는 매트릭스형이고 X 및 Y방향들로 연장하는 개개의 공통전극선들(26b)과 데이터선들(24)과 겹치도록 형성된다. 공통전극(26)의 일부들은 나머지 부분보다 더 넓게 되도록 형성되어, 데이터선들(24)과 주사선들(28)의 교차부들 및 그 부근들을 제외하고는 밑에 있는 데이터선들(24)을 완전히 덮는다. 화소전극들(27)은 개개의 화소들에 대해 주사선들(28)과 데이터선들(24)의 개개의 교차부들 근처에 위치된다. 공통전극(26) 및 대응하는 화소전극들(27)의 살들 또는 스틱들에 의해 둘러싸인 기다란 영역들은 "난들(columns)"이라 부른다.

화소들의 각각에서, 공통전극(26)과 화소전극(27)은 빗살형이다. 전극들(26 및 27)의 스틱들 또는 살들의 열들은, 데이터선들(24)에 평행하게 연장하는 것으로, 도 3b에 명확히 보인 것처럼, 주사선들(28)을 따라 서로 맞물리듯이 끼워지고 번갈아 배치된다. 공통전극(26)은 대응하는 공통전극선들(26a 및 26b)에 개개의 접촉홀들(39a)에 의해 연결된다. 화소전극(27)은 도 3a에 보인 것처럼 접촉홀들(39b 및 39c)에 의해 TFT(30)의 대응하는 소스전극(30b)과 앞단의 제2화소전위층(42b)에 각각 연결된다. 이러한 접촉홀들(39a, 39b 및 39c)의 형상 및 배치는 여기서 보인 예로 한정되지 않는다.

한편, 대향기관(12)에서, 흑매트릭스(17)는, 도 2에 보인 것처럼, 흑매트릭스(17)의 데이터선들(24)과의 겹침영역들에서 전체 데이터선들(24)을 덮는 공통전극(26)의 대응하는 부분들보다 국부적으로 더 좁게 되도록 형성된다. 이것은 인접한 화소들로부터의 광누설을 차단하나 공통전극(26)을 관통하는 광을 차단하지 않는다.

진술한 구조를 갖는 제1실시에에 따른 IPS형 능동매트릭스어드레싱 LCD장치(1)에서, 화소들은 주사선들(28)을 통해 공급되는 주사신호들에 의해 선택된 다음, 그렇게 선택된 화소들에는 데이터선들(24)을 통해 데이터신호들이 공급된다. 선택된 화소들의 각각에서, 전기장은 공통전극(26) 및 대향 화소전극(27) 사이에서 제1 및 제2판들(22 및 16)에 대략 평행하게 발생된다. 그렇게 발생한 전기장은 액정층(13)에 존재하는 액정분자들의 배향을 판들(16 및 22)에 평행한 면에서 회전시켜, LCD장치(1)의 화면상에는 소망의 영상들을 표시한다.

공통전극(26) 및 화소전극들(27)이 투명한 전도성 재료(즉, ITO)로 이루어지므로, 전체 투명영역은 공통전극(26)에 의해 점유된 영역들만큼 연장되어, 개구비를 높인다.

더욱이, 제2금속층에 의해 형성된 화소전위층들(42a 및 42b)은 제1층간절연층(23)상에 데이터선들(24)과 함께 공통전극선들(26a 및 26b)과는 겹치도록 하는 식으로 각각 형성된다. 화소전위층들(42a 및 42b)은 (i) 액정커패시터들에 평행하게 전기접속되는 큰 저장커패시터들을 형성하는 것과, (ii) 액정분자들이 역방향으로 회전하는 것을 방지하는 구조를 구성하기 위한 것이다. 화소전위층들(42a 및 42b)은 각 화소에서 데이터선들(24)을 따라 2개의 별개의 위치들에 위치된다. 자단의 게이트전극(30c)에 가까이 위치된 화소전위층(42a)은 대응하는 소스전극(30b)과 일체로 되고, 따라서 화소전위층(42a)에는 소스전극(30b)을 위한 전압 또는 전위가 공급된다. 앞단의 주사선(28) 가까이 위치된 화소전위층(42b)은 접촉홀(39c)에 의해 화소전극(27)에 전기 접속된다. 따라서, 화소전위층(42b)에는 화소전극(27)을 위한 전압 또는 전위가 공급된다. 그에 더하여, 접촉홀(39a)은 공통전극(26)을 대응하는 공통전극선(26b)에 전기접속하는데 사용된다. 접촉홀(39b)은 소스전극(30b)을 대응하는 화소전극(27)에 전기접속하는데 사용된다.

위에서 설명한 바와 같이, 각 화소에서의 2개의 화소전위층들(42a 및 42b)은 대응하는 투명화소전극(27)을 다리로서 사용하여 서로 상호접속되어, 전체 저장용량을 증가시킨다. 이는 표시동작이 안정화됨을 의미한다. 더욱이, 그렇게 형성된 2개의 저장커패시터들은 화소전극(27)을 관통하는 광을 차단하지 않고 동시에 개개의 난들에서의 전기장은 균일하게 될 것이다. 그러므로, LCD장치(1)에서 얻을 수 있는 투과도는 상승된다.

부가적으로, 도 3a에 명료하게 보인바와 같이, 화소전위층들(42a 및 42b)과 공통전극선들(26a 및 26b)은 그것들의 안쪽 가장자리들에서 스테퍼형이 되도록 패턴화된다. 그러므로, 액정층(13)에서의 액정분자들의 배향의 역회전은 방지된다.

앞서 설명된 바와 같이, 공통전극(26)의 폭은, 데이터선들(24) 및 주사선들(28)의 개개의 교차부들과 그것들의 근처들을 제외하고는 전체 데이터선들(24)을 덮는 식으로 결정된다. 데이터선들(24)의 폭 및 공통전극(26)의 개개의 부분들의 폭이 각각 L(D) 및 L(COM)이라면, 다음의 관계가 성립된다.

L(COM) > L(D)

데이터선들(24)과 주사선들(28)의 교차부들 및 그것들의 근처들에서는, 큰 단차들(즉, 높이차)이 존재한다. 그러므로, 공통전극(26)의 폭은 선들(24 및 28)간의 전기적 단락을 피하기 위해 이러한 영역들에서의 데이터선들(24)을 덮지 않도록 결정된다.

다음으로, "수직크로스토크"가 이하에서 설명될 것이다.

공통전극(26)이 데이터선들(24)을 완전히 덮지 않도록 형성된다면, 전기장은 비접침부분들과 인접한 화소전극들(27) 간에 발생되어, 결과적으로 액정의 원치않는 움직임이 일어날 것이다. 구체적으로는, 액정의 움직임은 공통전극(26) 및 화소전극들(27) 사이의 전위차에 따라 결정되지 않는다. 이 현상은 "수직크로스토크"라 부른다.

제1실시예의 LCD장치(1)에서는, 공통전극(26)이 데이터선들(24)을 거의 완전히 덮도록 형성되고, 그러므로 데이터선들(24)로부터 나온 전기장은 공통전극(26)에 의해 차폐된다. 따라서, "수직크로스토크"는 발생이 방지된다. 공통전극(26)은 대응하는 데이터선(24)의 각 측에서 그것의 가장자리로부터 1.5 μ m 이상 횡방향으로 돌출하는(또는 내미는) 부분들을 가지는 것이 바람직하다.

수직크로스토크가 방지되기 때문에, 흑매트릭스(17)는 데이터선들(24)로부터의 누설되는 전기장으로 인한 표시기능불량을 방지하는 기능을 가질 필요가 없다. 그러므로, 흑매트릭스(17)는 콘트라스트를 개선하는 기능 하나만을 가지는 것이 필요하다. 이는 흑매트릭스(17)의 폭이 감소될 수 있다는 것을 의미한다. 이렇게 함으로써, 얻을 수 있는 개구비는 더욱 증가한다.

따라서, 데이터선들(24) 위의 흑매트릭스(17)의 부분들은 공통전극(26) 위의 흑매트릭스(17)의 부분들보다 더 좁게 된다. LCD장치(1)의 평면도에서, 비차폐층은 데이터선들(24)을 덮는 공통전극(26)과 인접한 화소전극들(27) 사이에 존재한다. 데이터선들(24)보다 좁은 흑매트릭스(17)는, 데이터선들(24)과 완전히 겹쳐진다. 다시 말하면, 데이터선들(24)의 폭과 흑매트릭스(17)의 폭이 L(D) 및 L(BM)으로 각각 정의된다면, 다음의 관계가 성립된다.

L(D) > L(BM)

흑매트릭스(17)는 데이터선들(24)보다 폭이 좁으므로, 공통전극(26)의 내미는 또는 돌출하는 부분들을 관통하는 모든 광은 이용될 수 있다. 이것은 패널투과도가 더욱 상승될 수 있음을 의미한다.

제1실시예에서, 흑매트릭스(17)의 폭은 예를 들면 6 μ m로 설정된다. 그러나, 이 폭은 이것에 한정되지는 않는다. 흑매트릭스(17)의 폭은 6 μ m 이상으로 설정되는 것이 바람직하다. 이것은 그 폭이 6 μ m보다 작다면 반사되는 광의 양이 증가하여 LCD장치(1)의 화면은 사용자가 보기 어렵게 되기 때문이다.

다음으로, 데이터선들(24) 아래에 마련된 차광층이 이하에서 설명될 것이다.

대향기관(12)에 마련된 흑매트릭스(17)가 충분히 넓다면, 기능불량유발영역들을 차단하기에 충분하다. 그러나, 흑매트릭스(17)는 제1실시예에 따른 LCD장치(1)에서 데이터선들(24)을 완전히 덮지 않는다. 그러므로, 기능불량유발영역들을 차단하기 위해서는, 차광층은, 백라이트(미도시)로부터 출사된 광을 차폐하기 위해 데이터선들(24) 아래, 즉 이 차광층이 공통전극(26)에 전기접속되는 장소에 마련되는 것이 좋다. 차광층이 공통전극(26)에 전기접속되지 않는다면, 전위는 불안전하고 그 결과 직류(dc)전기장은 공통전극(26) 및 화소전극들(27) 사이에서 발생하는 경향이 있거나 또는 크로스토크와 같은 기능불량을 야기하는 경향이 있다.

구체적으로 말하면, 차광층은 주사선들(28)을 위한 제1금속층에 의해 공통전극선들(26a)에 전기접속되는 식으로 형성되는 것이 바람직하다. 공통전극선들(26a 및 26b)이 공통전극(26)에 접촉홀들(39a)을 통해 전기접속되므로, 공통전극선들(26a 및 26b)은 당해 차광층으로서 사용되어도 좋다. 차광층은 Cr, Ti, Mo, W 또는 Al으로 이루어진 단층 또는 이러한 금속들로 이루어진 2개의 층들을 포함하는 다층구조일 수 있다. 다층구조가 취해진다면, 저항은 더욱 감소될 수 있다.

공통전극(26)은 투명한 전도성 재료(즉, ITO)로 이루어지고 따라서 제1실시예의 LCD장치(1)의 전체 투명영역은 전술한 바와 같이 증가되어 개구비를 증대시킨다. 그러나, ITO의 시트저항이 대략 $100\Omega/\square$ 정도로 높다는 불리한 점이 있다. 공통전극(26)이 화소들의 각각에서 공통전극선(26a 또는 26b)에 전기접속되므로, 공통전극(26)의 전체저항은 낮아지고 동시에 여분이 주어진다. 따라서, ITO로써 공통전극을 만듦으로써, 제1실시예의 LCD장치(1)의 신뢰도는 향상된다.

공통전극(26)은 LCD장치(1)의 단자들을 덮는 재료와 동일한 재료로 이루어질 수 있다. 구체적으로는, 도 4의 공통전극 접속구역(G)에서 보인 것처럼, 단자들은 ITO층과 동일한 층으로 이루어질 수 있다. 마찬가지로, 도 4의 데이터선단자구역(H)에서 보인 데이터선단자들과 주사선단자(미도시)는 공통전극(26)의 재료(즉, ITO)와 동일한 재료로 이루어질 수 있다. 이 경우, 공통전극(26)은 당해 단자구역들과 동일한 공정단계에서 당해 단자구역들의 재료와 동일한 재료에 의해 형성될 수 있다. 이것은 공통전극(26)을 형성하는데 필요한 공정단계들의 수가 증가되는 것이 방지된다는 부가적인 이점이 있다는 것을 의미한다.

공통전극(26)과 화소전극들(27)의 둘 다가 제1실시예의 LCD장치(1)에서 제2층간절연층 위에 형성되므로, 이러한 전극들(26 및 27)은 동일한 공정단계에서 동일 재료로 만들어질 수 있다. 이는 LCD장치(1)의 제조효율을 높인다.

공통전극(26) 및 데이터선들(24) 사이에 위치한 제2층간절연층에서 유전상수(ϵ)에 대한 두께(d)의 비(d/ ϵ)가 크다면, 데이터선들(24) 및 공통전극(26) 사이의 기생용량은 감소될 수 있다.

도 1 및 3b에 보인 것처럼, 투명한 재료로 만들어진 공통전극(26) 및 화소전극들(27)은 밑에 있는 공통전극선들(26a 및 26b) 및 밑에 있는 데이터선들(24)과의 각각의 겹침영역들에서 그것들의 나머지영역보다 부분적으로는 더 넓다. 따라서, 전극들(26 및 27)의 국소적인 단선 또는 단절이 피해될 수 있고 그 결과 제1실시예의 LCD장치(1)의 높은 투과도 및 높은 제조수율이 소망하는 대로 얻어질 수 있다.

이어서, 전술한 제1실시예의 LCD장치(1)를 제조하는 방법이, 도 4에 보인 것들과는 동일한 단면들을 각각 보여주는 도 5a 내지 5c 및 도 6a 내지 6c를 참조하여 이하에서 설명될 것이다.

먼저, 도 5a에 보인바와 같이, 제1금속층인 Cr층이 투명유리판(22)의 표면에 형성된 다음, 포토리소그래피 및 식각법들에 의해 패터닝되어 TFT들(30)의 게이트전극들(30c) 및 주사선들(28)이 형성된다. 다음, 이렇게 형성된 게이트전극들(30c) 및 주사선들(28)을 덮도록 제1층간절연층(23)이 유리판(22)의 전체 표면에 형성된다. 제1층간절연층(23)은 하부의 이산화실리콘(SiO_2)서브층 및 상부의 실리콘질화물(SiN_x)서브층을 포함하는 2층구조를 가진다.

그 후, 비도핑비정질Si(a-Si)층(32)과 n^+ 형a-Si층(33)이 제1층간절연층(23)상에 연속적으로 형성된다. n^+ 형a-Si층(33)은 n형도핑제로 진하게 도핑된다. 이 단계에서의 상태는 도 5a에 보여진다.

이렇게 형성된 a-Si층들(32 및 33)은 포토리소그래피 및 식각법에 의해 패터닝되어 도 5b에 보인 바와 같은 TFT들(30)의 a-Si섬들(41)을 형성한다. 섬들(41)은 a-Si층들(32 및 33)로 이루어진다.

그 다음, 제2금속층인 Cr층이 제1층간절연층(23)상에 a-Si섬들(41)을 덮도록 형성된다. 그 후, 이렇게 형성된 Cr층은 포토리소그래피 및 식각법들에 의해 패터닝되어, 도 5c에 보인 바와 같이, TFT들(30)의 드레인전극들(30a) 및 소스전극들(30b), 데이터선들(24) 및 화소전위층들(42a 및 42b)을 형성한다. 화소전위층들 중의 하나(42a)와 화소전위층들 중의 하나(42b)는 서로 떨어져 있는 것으로 각 화소마다 형성된다.

각 화소에서, 도 5c에 보인바와 같이, 화소전위층(42a)과 공통전극선(26a)은 제1층간절연층(23)을 세로방향에서 사이에 끼우고 있는 식으로 위치된다. 마찬가지로, 화소전위층(42b)과 공통전극선(26b)은 제1층간절연층(23)을 세로방향에서 사이에 끼우고 있는 식으로 위치된다. 도 3a에서 명확히 보인 것처럼, 자단의 TFT(30)의 게이트전극(30c) 근처에 위치된 화소전위층(42a)은 소스전극(30b)과 일체로 된다. 이와는 달리, 앞단의 TFT(30)의 게이트전극(30c) 근처에 위치된 화소전위층(42b)은 소스전극(30b)과 일체로 되지 않고 분리된다.

이어서, a-Si섬들(41; 즉, 패터닝된 a-Si층들(32 및 33))은 드레인 및 소스전극들(30a 및 30b)을 마스크로서 사용하여 선택적으로 식각되어, 도 6a에 보인 것처럼 드레인 및 소스전극들(30a 및 30b)간에 개구들을 형성한다. 개구들의 바닥들은 밑에 있는 a-Si층(32)의 내부에 도달한다. 따라서, TFT들(30)의 채널영역들이 형성된다.

그런 다음, SiNx(즉, 무기재료)로 이루어진 제1절연서브층(25a)이 유리판(22)의 전체표면 위에 퇴적된다. 이렇게 퇴적된 SiNx서브층(25a)상에는, 감광성아크릴수지(즉, 유기재료)로 이루어진 제2절연서브층(25b)이 퇴적된다. 무기계의 제1서브층(25a)은 얇은 반면 유기계의 제2서브층(25b)은 매우 두껍다. 그 후, 감광성아크릴수지의 서브층(25b)은 마스크(미도시)를 사용하여 선택적으로 노광, 현상 및 소결되어, 도 6b에 보인 것처럼 접촉홀들(39a, 39b 및 39c)을 형성한다.

자단의 게이트전극들(30c) 근처에 위치된 소스전극들(30b) 위쪽에 위치되고 화소전극들(27)을 위해 사용되는 접촉홀들(39b)은, 제2층간절연층(25)의 하부 SiNx서브층(25a)을 노출시킨다. 앞단의 게이트전극들(30c) 근처에 위치되며 화소전극들(27)을 위해 사용되는 접촉홀들(39c)은, 제2층간절연층(25)의 하부 SiNx서브층(25a)을 노출시킨다. 공통전극선들(26b) 위쪽에 위치되며 동일한 라인들(26b)을 위해 사용되는 접촉홀들(39a)은, 제2층간절연층(25)의 하부 SiNx서브층(25a)을 노출시킨다.

이 공정단계를 뒤따라, 화소전극들(27)을 위한 접촉홀들(39b 및 39c)과 공통전극(26)을 위한 접촉홀들(39a)을 통해, 제2층간절연층(25)의 노출된 SiNx서브층(25)은 선택적으로 식각된다. 또, 밑에 있는 제1층간절연층(23)은 홀들(39a)을 통해 선택적으로 식각된다. 따라서, 홀들(39b)은 소스전극들(30b)을 노출시키며, 홀들(39c)은 화소전위층들(42a 또는 42b)을 노출시키고, 홀들(39a)은 공통전극선들(26a 또는 26b)을 노출시킨다.

그 후 ITO층(46)은 전체 유리판(22)위에 접촉홀들(39a, 39b 및 39c)을 덮도록 퇴적된다. 따라서, 이러한 홀들(39a, 39b 및 39c)의 내면들은 ITO층(46)으로 덮인다. 그 후 ITO층(46)은 포토리소그래피 및 식각법에 의해 패턴화되어, 각 화소에 대해 공통전극(26) 및 화소전극(27)을 형성한다. 이런 식으로, 능동소자기관(11)이 완성된다.

이렇게 완성된 기관(11)에서는, 각 화소에서 화소전위층(42a)을 사용하는 제1저장커패시터는 자단의 게이트전극(30c) 근처에 제공되고 동시에, 화소전위층(42b)을 사용하는 제2저장커패시터는 앞단의 게이트전극(30c) 근처에 제공된다. 화소전위층(42a)은 투명화소전극(27)을 통해 화소전위층(42b)에 전기 접속되고 따라서 각 화소를 위한 제1 및 제2저장커패시터들은 서로 병렬로 전기접속된다.

한편, 대향기관(12)은 다음의 방식으로 제작된다.

구체적으로는, 차광층 또는 흑매트릭스(17), 색층(18), 및 오버코트층 또는 평탄화층(19)은 제2투명유리판(16)의 내표면에 선택적으로 그리고 연속적으로 도 2에 보인 것과 같은 그것들의 특정 패턴들을 가지도록 형성된다. 판(16)의 외표면에는, 투명한 전도성 층(예컨대, ITO층)(15)이 스퍼터링법에 의해 형성된다. 이것은 LCD장치(1)의 LCD패널을 사용자가 손으로 접촉함으로써 야기되는 차지업으로 인해 표시되는 영상들이 고르지 않게 되는 것을 방지한다.

이렇게 제조된 능동소자기관(11)과 대향기관(12)은 그 후 이격기들(미도시)으로써 특정 틈을 형성하는 식으로 서로 결합된다. 네마틱액정이 이 틈에 채워진 다음, 틈은 밀봉되어, 기관들(11 및 12) 사이에 액정층(13)을 형성한다. 따라서 액정패널이 완성된다. 여기서 사용된 네마틱액정은 +8(589nm 및 20°C에서)의 유전상수이방성($\Delta\epsilon$), 0.075의 굴절계수이방성(Δn), 및 $1.5 \times 10^{12} \Omega \cdot \text{cm}$ 의 비저항 또는 저항률을 가진다. 액정층(13)의 두께(즉, 셀간격)는 4.0 μm 로 설정된다.

기관들(11 및 12)의 내표면들에는, 배향층(31 및 20)이 오프셋인쇄법 등에 의해 개별적으로 형성된다. 이 층들(31 및 20)은 액정분자들을 정렬시키기 위해 도 1에서 화살표로 보인 방향으로 공지의 러빙법에 의해 문질러진다. 따라서, 액정분자들은 초기에는 빗살형 화소 및 공통전극들(27 및 26)의 폭방향에 대하여 15°에서 정렬된다.

최종적으로, 편광판들(21 및 14)이 기관들(11 및 12)의 외표면들에 각각 고정된다.

발명자들은 위에서 설명된 것과 동일한 방식으로 제1실시에에 따른 LCD장치(1)를 실제로 제작하였다. 그런 다음, 액정층(13)(즉, LCD패널)을 관통하는 빛의 세기는 외부신호전압들으로써 액정층(13)에 존재하는 액정분자들의 정렬상태 또는 배향상태를 바꿈으로써 조절되어, "통상흑색표시모드"에서 영상들을 계조들로 표시하였다. "통상흑색표시모드"에서, "흑색"은 전압이 모든 화소전극들(27) 및 공통전극(26)에 걸리지 않는 때에 표시된다. "백색"은 적당한 신호전압들이 화소전극들(27) 및 공통전극(26)에 걸리어 액정층(13)에서 기관들(11 및 12)에 대략 평행하게 전기장을 발생시킬 때에 표시된다. 따라서, "백색"이 표시될 때, 액정층(13)에서의 액정분자들은 그것들의 초기정렬각도로부터 대략 45° 회전되어, LCD패널을 관통하는 광의 세기를 최대화한다.

그런 다음, 이렇게 제조된 LCD장치(1)는 구동기유닛에 조립되어 이 구동기유닛을 사용하여 동작되었다. 그 결과, 제1 실시예의 LCD장치(1)는 종래기술의 LCD장치들보다 더 높은 광투과도를 갖는 IPS형 LCD장치로서 동작됨이 확인되었다.

제2실시예

도 7과 도 8 및 도 9a 및 9b는 발명의 제2실시예에 따른 IPS형 능동매트릭스어드레싱 LCD장치(2)를 보여준다.

도 7은 능동소자기판의 평면도를 보여준다. 도 8은 도 7의 F-F'선을 따르는 단면도를 보여준다. 도 9a 및 9b는 데이터선들보다 낮은 층들의 패턴들의 레이아웃과 데이터선들의 층의 레이아웃을 각각 보여준다. 이러한 도면들에서, 동일한 참조 번호들 또는 기호들이 전술한 제1실시예에 따른 LCD장치(1)에서 보인 것과 동일한 요소들에 부여된다. 따라서, 동일한 요소들에 관한 설명은 설명의 단순화를 위해 여기서는 생략되었다.

제2실시예의 LCD장치(2)를 제1실시예의 LCD장치와 비교하면, 제2실시예의 구성은, 각 화소에서 자단의 게이트전극(30c) 근처의 화소전위층(42a)과 앞단의 게이트전극(30c) 근처의 화소전위층(42b)을 서로 전기적으로 상호접속하는 구조를 제외하면, 능동소자기판(11)에 대하여는 제1실시예의 구조와 동일하다.

구체적으로는, 제1실시예의 LCD장치(1)에서, 화소전위층들(42a 및 42b)은 투명화소전극(27)을 통해 서로 전기적으로 상호접속된다. 이와는 달리, 제2실시예의 LCD장치(2)에서는, 화소전위층들(42a 및 42b)은, 도 8 및 9에 보인 것처럼, 주사선들(28)과 동일한 투명한 전도성의 재료로 이루어진 상호접속전극(43)을 통해 전기적으로 상호접속된다. 대향기판(12)은 제1실시예의 대향기판과 동일한 구성을 가진다.

다음으로, 제2실시예의 LCD장치(2)를 제조하는 방법이 도 10a 내지 10c를 참조하여 이하에서 설명될 것이다.

먼저, Cr층이 포토리소그래피 및 건식식각법들에 의해 패턴화되어 유리판(22) 위에 게이트전극들(30c), 주사선들(28) 및 공통전극선들(26a 및 26b)을 형성하는 제1실시예의 도 5a의 단계에서, 상호접속전극들(43)은 도 10a에 보인 것처럼 동일한 Cr층으로써 유리판(22) 위에 형성된다. 상호접속전극들(43)은 도 9a에 보인 것처럼 대략 직선평면형상을 가진다.

다음으로, 도 5a 내지 5c의 단계들과 동일한 방식으로, SiO₂서브층 및 SiN_x서브층을 포함하는 2층구조를 갖는 제1층간절연층(23)이 전체 유리판(22) 위에 형성된 다음, TFT들(30)의 a-Si섬들(41)이 제1층간절연층(23)위에 형성된다.

이어서, 도 10b에 보인 것처럼, 제1층간절연층(23)은 제1층간절연층(23)을 관통하는 접촉홀들(44a 및 44b)을 형성하도록 선택적으로 식각되어, 도 9a 및 10b에 보인 것처럼, 밑에 있는 상호접속전극들(43)(이것들은 제1금속층에 의해 형성됨)을 노출시킨다. 그 후, Cr층(즉, 제2금속층)이 전체 유리판(22) 위에 퇴적되고 포토리소그래피 및 건식식각법들에 의해 패턴화되어, TFT들(30)의 드레인 및 소스전극들(30a 및 30b), 데이터선들(24), 및 화소전위층들(42a 및 42b)을 형성한다. 서로 떨어져 있는 화소전위층들 중의 하나(42a)와 화소전위층들 중의 하나(42b)는 각 화소마다 형성된다.

각 화소에서, 도 10b에 보인 것처럼, 화소전위층(42a)은 상호접속전극(43)과는 겹치도록 그리고 이 전극(43)과는 접촉홀(44a)을 통해 접촉하도록 위치된다. 마찬가지로, 화소전위층(42b)은 상호접속전극(43)과는 겹치도록 그리고 이 전극(43)과는 접촉홀(44b)을 통해 접촉하도록 위치된다. 이 단계에서의 상태는 도 10b에 보여진다.

도 9b에 명확히 보인 것처럼, 자단의 TFT(30)의 게이트전극(30c) 근처에 위치된 화소전위층(42a)은 그 소스전극(30b)과 일체로 된다. 이와는 달리, 앞단의 TFT(30)의 게이트전극(30c) 근처에 위치된 화소전위층(42b)은 그 소스전극(30b)과 일체로 되지 않고 분리되어 있다.

이어서, 도 10c에 보인 것처럼, a-Si섬들(41)은 드레인 및 소스전극들(30a 및 30b)을 마스크로서 사용하여 선택적으로 식각되어, 드레인 및 소스전극들(30a 및 30b) 사이에 개구들을 형성한다. 개구들의 바닥들은 밑에 있는 a-Si층(32)의 내부에 이르게 된다. 이 개구들은 층(32)을 관통하지 않고, 따라서 TFT들(30)의 채널들이 형성된다. 그런 다음, SiN_x로 이루어진 제1절연서브층(25a)이 유리판(22)의 전체 표면 위에 형성된다. SiN_x서브층(25a) 위에는, 감광성아크릴수지로 이루어진 제2절연서브층(25b)이 퇴적된다. 무기계의 제1서브층(25a)은 얇은 반면 유기계의 제2서브층(25b)은 매우 두껍다. 그 후, 감광성아크릴수지의 서브층(25b)은 마스크(미도시)를 사용하여 선택적으로 노광되며, 현상 및 소결되어, 도 10c에 보인 것처럼 접촉홀들(39a 및 39b)을 형성한다.

자단의 게이트전극들(30c)의 근처에 위치한 소스전극들(30b)의 위쪽에 위치되며 화소전극들(27)을 위해 사용되는 접촉홀들(39b)은, 제2층간절연층(25)의 하부 SiNx서브층(25a)을 노출시킨다. 공통전극선들(26b) 위쪽에 위치되며 이 전극선들(26b)을 위해 사용되는 접촉홀들(39a)은, 제2층간절연층(25)의 하부 SiNx서브층(25a)을 노출시킨다.

그 이후로, 화소전극들(27)을 위한 접촉홀들(39b)과 공통전극선들(26a 및 26b)을 위한 접촉홀들(39a)을 통해, 제2층간절연층(25)의 노출된 SiNx서브층(25a)은 선택적으로 식각된다. 게다가, 밑에 있는 제1층간절연층(23)은 홀들(39a)을 통해 선택적으로 식각된다. 따라서, 홀들(39b)은 소스전극들(30b)을 노출시키고, 홀들(39a)은 공통전극선들(26a 또는 26b)을 노출시킨다.

그 후, ITO층(46)이 전체 유리판(22) 위에 퇴적되어 접촉홀들(39a 및 39b)을 덮는다. 따라서, 이러한 접촉홀들(39a 및 39b)의 내부면들은 ITO층(46)으로 덮여진다. ITO층(46)은 그 후 포토리소그래피 및 식각법들에 의해 패터닝되어, 각 화소마다 공통전극(26) 및 화소전극(27)을 형성한다. 이런 식으로, 능동소자기판(11)이 완성된다.

이렇게 완성된 기판(11)에서는, 각 화소에서 화소전위층(42a)을 사용하는 제1저장커패시터는 자단의 게이트전극(30c) 근처에 제공되고 동시에, 화소전위층(42b)을 사용하는 제2저장커패시터는 앞단의 게이트전극(30c) 근처에 제공된다. 화소전위층(42a)은 불투명한 상호접속전극(43)과 접촉홀들(44a 및 44b)을 통해 화소전위층(42b)에 전기 접속되고 그러므로 제1 및 제2저장커패시터들은 각 화소에서 서로 병렬로 전기접속된다.

제1실시예와 동일한 방식으로 제작된 능동소자기판(11)과 대향기판(12)은 그 후 네마틱액정을 포함하는 액정층(13)을 형성하는 식으로 서로 결합되어, LCD패널이 된다.

발명자들은 위에서 설명된 것과 동일한 방식으로 제2실시예에 따른 LCD장치(2)를 실제로 제작하였다. 그런 다음, 액정층(13)(즉, LCD패널)을 관통하는 빛의 세기는 외부신호전압들으로써 액정층(13)에 존재하는 액정분자들의 정렬상태 또는 배향상태를 바꿈으로써 조절되어, "통상흑색표시모드"에서 영상들을 계조들로 표시하였다. "통상흑색표시모드"에서, "흑색"은 모든 화소전극들(27) 및 공통전극(26)에 전압이 걸리지 않는 때에 표시된다. "백색"은 적당한 신호전압들이 이 전극들(27 및 26)에 걸리어 액정층(13)에서 기판들(11 및 12)에 대략 평행하게 전기장을 발생시킬 때에 표시된다. 따라서, "백색"이 표시될 때, 액정층(13)에서의 액정분자들은 그것들의 초기정렬각도로부터 대략 45° 회전되어, LCD패널을 관통하는 광의 세기를 최대화한다.

그런 다음, 이렇게 제조된 LCD장치(2)는 구동기유닛에 조립되어 이 구동기유닛을 사용하여 동작되었다. 그 결과, 제2실시예의 LCD장치(2)는 종래기술의 LCD장치들보다 더 높은 광투과도를 갖는 IPS형 LCD장치로서 동작됨이 확인되었다.

특히, 제2실시예의 LCD장치(2)에서, 자단의 게이트전극(30c) 근처에 위치된 화소전위층(42a)과 앞단의 게이트전극(30c) 근처에 위치된 화소전위층(42b)은 각 화소에서 상호접속전극(43)을 통해 서로 전기접속된다. 상호접속전극(43)은 공통전극선들(26a 및 26b), 주사선들(28) 및 게이트전극들(30c)을 형성하기 위한 불투명한 Cr층에 의해 형성되며, 이 Cr층은 LCD장치(2) 내의 액정층(13)으로부터 가장 멀리 위치된다. 그러므로, 투과광은 상호접속전극(43)에 의해 바람직하지 못하게 차단된다. 그러나, 상호접속전극(43)은 가장 낮은 레벨에 있으며 액정층(13)으로부터 충분히 떨어져 있다. 따라서, 상호접속전극(43)은 액정층(13)의 액정분자들에 매우 약한 전기장을 가할 것이다. 이것은 각 화소에서의 개개의 난들에 대한 전기장변동이 작을 것임을 의미한다. 다시 말하면, 상호접속전극(43)은 획득가능한 투과도에 악영향을 주지 않는다.

더구나, 제2실시예의 LCD장치(2)에서, 상호접속전극들(43)은 공통전극선들(26a 및 26b) 및 주사선들(28)과 동일한 층에 의해 형성되었지만, 본 발명은 이것에 한정되지는 않는다. 공통전극선들(26a 및 26b)이 주사선들(28)의 전도층과는 다른 전도층에 의해 형성된다면, 상호접속전극들(43)은 액정층(13)에서 가장 멀리 위치된 층에 의해 형성되는 것이 바람직하다.

제3실시예

도 11과 도 12 및 도 13a 및 13b는 발명의 제3실시예에 따른 IPS형 능동매트릭스어드레싱 LCD장치(3)를 보여준다.

도 11은 능동소자기판의 평면도를 보여준다. 도 12는 도 11의 F-F'선을 따르는 단면도를 보여준다. 도 13a 및 13b는 데이터선들보다 낮은 층들의 패턴들의 레이아웃과 데이터선들의 층의 레이아웃을 각각 보여준다. 이러한 도면들에서, 동일한 참조번호들 또는 기호들이 전술한 제1실시예에 따른 LCD장치(1)에서 보인 것과 동일한 요소들에 부여된다. 따라서, 동일한 요소들에 관한 설명은 설명의 단순화를 위해 여기서는 생략되었다.

제3실시예의 LCD장치(3)를 제2실시예의 LCD장치와 비교하면, 제3실시예의 구성은, 각 화소에서 자단의 게이트전극(30c) 근처의 화소전위층(42a)과 앞단의 게이트전극(30c) 근처의 화소전위층(42b)을 서로 전기적으로 상호접속하는 구조를 제외하면, 능동소자기판(11)에 대하여는 제2실시예의 구조와 동일하다.

구체적으로는, 제2실시예의 LCD장치(2)에서, 화소전위층들(42a 및 42b)은 공통전극선들(26a 및 26b) 및 주사선들(28)을 형성하기 위한 불투명한 제1금속층에 의해 형성된 상호접속전극(43)을 통해 서로 전기적으로 상호접속된다. 이와는 달리, 제3실시예의 LCD장치(3)에서는, 주사선들(28)은 공통전극선들(26a 및 26b)을 위한 전도층과는 다른 전도층에 의해 형성되고 동시에 상호접속전극(43)은 공통전극선들(26a 및 26b)을 위한 층에 의해 형성된다. 대향기판(12)은 제1 및 제2실시예들에서와 동일한 구성을 가진다.

다음으로, 제3실시예의 LCD장치(3)를 제조하는 방법이 도 14를 참조하여 이하에서 설명될 것이다.

먼저, 도 5a의 단계와 동일한 방식으로, 유리판(22) 위에 형성된 Cr층은, 포토리소그래피 및 건식식각법들에 의해 패턴화되어 공통전극선들(26a 및 26b) 및 상호접속전극(43)을 형성한다. 상호접속전극들(43)은 도 13a에 보인 것처럼 대략 직선 평면형상을 가진다.

다음으로, SiNx로 이루어진 제3층간절연층(45)이 전체 판(22) 위에 공통전극선들(26a 및 26b) 및 상호접속전극(43)을 덮도록 형성된다. 그 후, Cr로 이루어진 제3금속층이 제3층간절연층(45) 위에 형성된다. 제3금속층은 그 후 포토리소그래피 및 건식식각법들에 의해 패턴화되어, 주사선들(28)을 형성한다. 제1 및 제2실시예들에서 사용되었던 제1층간절연층(23)은 제3층간절연층(45) 위에 형성된다.

그런 다음, a-Si층(32)과 n⁺형 a-Si층(33)이 제1층간절연층(23) 위에 계속하여 형성된다. a-Si층들(32 및 33)은 포토리소그래피 및 건식식각법들에 의해 패턴화되어 제1층간절연층(23) 위에 TFT들(30)의 a-Si섬들(41)을 형성한다. 이어서, 제1 및 제3층간절연층들(23 및 45)은 동시에 선택적으로 식각되어 제1 및 제3층간절연층들(23 및 45)을 관통하여 밑에 있는 상호접속전극(43)(이것은 제1금속층에 의해 형성됨)을 노출시키는 접촉홀들(44a 및 44b)을 형성한다. 이 접촉홀들(44a 및 44b)은 상호접속전극(43)을 위한 것이다.

이어서, Cr층(즉, 제2금속층)이 전체 유리판(22) 위에 퇴적되고 포토리소그래피 및 건식식각법들에 의해 패턴화되어, TFT들(30)의 드레인 및 소스전극들(30a 및 30b), 데이터선들(24), 및 화소전위층들(42a 및 42b)을 형성한다. 서로 떨어져 있는 화소전위층들 중의 하나(42a)와 화소전위층들 중의 하나(42b)는 각 화소마다 형성된다. 각 화소에서, 도 13a 및 13b에 보인 것처럼, 화소전위층(42a)은 상호접속전극(43)과는 겹치도록 그리고 이 전극(43)과는 접촉홀(44a)을 통해 접촉하도록 위치된다. 마찬가지로, 화소전위층(42b)은 상호접속전극(43)과는 겹치도록 그리고 이 전극(43)과는 접촉홀(44b)을 통해 접촉하도록 위치된다.

도 13b에 명확히 보인 것처럼, 자단의 TFT(30)의 게이트전극(30c) 근처에 위치된 화소전위층(42a)은 그 소스전극(30b)과 일체로 된다. 이와는 달리, 앞단의 TFT(30)의 게이트전극(30c) 근처에 위치된 화소전위층(42b)은 그 소스전극(30b)과 일체로 되지 않고 분리되어 있다.

다음의 공정단계들은 제2실시예의 그것들과 동일하다.

구체적으로는, a-Si섬들(41)은 드레인 및 소스전극들(30a 및 30b)을 마스크로서 사용하여 선택적으로 식각되어, 드레인 및 소스전극들(30a 및 30b) 사이에 개구들을 형성한다. 개구들의 바닥들은 밑에 있는 a-Si층(32)의 내부에 이르게 된다. 이 개구들은 층(32)을 관통하지 않고, 따라서 TFT들(30)의 채널들이 형성된다. 그런 다음, SiNx로 이루어진 제1절연서브층(25a)이 유리판(22)의 전체 표면 위에 형성된다. SiNx서브층(25a) 위에는, 감광성아크릴수지로 이루어진 제2절연서브층(25b)이 퇴적된다. 무기계의 제1서브층(25a)은 얇은 반면 유기계의 제2서브층(25b)은 매우 두껍다. 그 후, 감광성아크릴수지의 서브층(25b)은 마스크(미도시)를 사용하여 선택적으로 노광되며, 현상 및 소결되어, 접촉홀들(39a 및 39b)을 형

성한다. 자단의 게이트전극들(30c)의 근처에 위치한 소스전극들(30b)의 위쪽에 위치되며 화소전극들(27)을 위해 사용되는 접촉홀들(39b)은, 제2층간절연층(25)의 하부 SiNx서브층(25a)을 노출시킨다. 공통전극선들(26b) 위쪽에 위치되며 이 전극선들(26b)을 위해 사용되는 접촉홀들(39a)은, 제2층간절연층(25)의 하부 SiNx서브층(25a)을 노출시킨다.

이 공정단계를 뒤이어, 화소전극들(27)을 위한 접촉홀들(39b)과 공통전극선들(26a 및 26b)을 위한 접촉홀들(39a)을 통해, 제2층간절연층(25)의 노출된 SiNx서브층(25a)은 선택적으로 식각된다. 게다가, 밑에 있는 제1층간절연층(23)은 홀들(39a)을 통해 선택적으로 식각된다. 따라서, 홀들(39b)은 소스전극들(30b)을 노출시키고, 홀들(39a)은 공통전극선들(26a 또는 26b)을 노출시킨다.

이어서, ITO층(46)이 전체 유리판(22) 위에 퇴적되어 접촉홀들(39a 및 39b)을 덮는다. 따라서, 이러한 접촉홀들(39a 및 39b)의 내부면들은 ITO층(46)으로 덮여진다. ITO층(46)은 그 후 포토리소그래피 및 식각법들에 의해 패터닝되어, 각 화소마다 공통전극(26) 및 화소전극(27)을 형성한다. 이런 식으로, 능동소자기판(11)이 완성된다.

이렇게 완성된 기판(11)에서는, 각 화소에서, 화소전위층(42a)을 사용하는 제1저장커패시터는 자단의 게이트전극(30c) 근처에 제공되고 동시에, 화소전위층(42b)을 사용하는 제2저장커패시터는 앞단의 게이트전극(30c) 근처에 제공된다. 화소전위층(42a)은 불투명한 상호접속전극(43)과 접촉홀들(44a 및 44b)을 통해 화소전위층(42b)에 전기 접속되고 그러므로 제1 및 제2저장커패시터들은 각 화소에서 서로 병렬로 전기접속된다. 상호접속전극(43)은 공통전극선들(26a 및 26b)과 동일한 불투명한 금속층에 의해 형성되며, 당해 금속층은 액정층(13)으로부터 가장 멀리 위치된다.

제1실시예와 동일한 방식으로, 제작된 능동소자기판(11)과 대향기판(12)은 그 후 네마틱액정을 포함하는 액정층(13)을 형성하는 식으로 서로 결합되어, LCD패널이 완성된다.

발명자들은 위에서 설명된 것과 동일한 방식으로 제3실시예에 따른 LCD장치(3)를 실제로 제작하였다. 그런 다음, 액정층(13)(즉, LCD패널)을 관통하는 빛의 세기는 외부신호전압들로서 액정층(13)에 존재하는 액정분자들의 정렬상태 또는 배향상태를 바꿈으로써 조절되어, "통상흑색표시모드"에서 영상들을 계조들로 표시하였다. 그 후, 이렇게 제조된 LCD장치(3)는 구동기유닛에 조립되어 이 구동기유닛을 사용하여 동작되었다. 그 결과, 제3실시예의 LCD장치(3)는 종래기술의 LCD장치들보다 더 높은 광투과도를 갖는 IPS형 LCD장치로서 동작됨이 확인되었다.

제3실시예의 LCD장치(3)에서는, 각 화소에서, 화소전위층(42a)을 사용하는 제1저장커패시터는 자단의 게이트전극(30c) 근처에 위치되며 동시에 화소전위층(42b)을 사용하는 제2저장커패시터는 앞단의 게이트전극(30c) 근처에 위치된다. 화소전위층(42a)은 불투명한 상호접속전극(43)과 접촉홀들(44a 및 44b)을 통해 화소전위층(42b)에 전기적으로 접속되고, 따라서 제1 및 제2저장커패시터들은 서로 병렬로 전기 접속된다. 상호접속전극들(43)은 공통전극선들(26a 및 26b)과 동일한 불투명한 금속층에 의해 형성되고, 당해 금속층은 액정층(13)에서 가장 멀리 위치된다. 그러므로, 투과광은 상호접속전극(43)에 의해 바람직하지 못하게 차단된다. 그러나, 상호접속전극(43)은 가장 낮은 레벨에 있으며 액정층(13)으로부터 충분히 떨어져 있다. 따라서, 상호접속전극들(43)은 액정층(13)의 액정분자들에 매우 약한 전기장을 가할 것이고, 이는 개개의 난들에 대한 전기장변동이 작을 것임을 의미한다. 다시 말하면, 상호접속전극(43)은 획득가능한 투과도에 나쁜 영향을 주지 않는다.

제4실시예

도 15, 16 및 17은 발명의 제4실시예에 따른 IPS형 능동매트릭스어드레싱 LCD장치(4)를 보여준다.

도 15는 능동소자기판의 평면도를 보여준다. 도 16은 도 15의 F-F'선을 따르는 단면도를 보여준다. 이러한 도면들에서, 동일한 참조번호들 또는 기호들이 전술한 제1실시예에 따른 LCD장치(1)에서 보인 것과 동일한 요소들에 부여된다. 따라서, 동일한 요소들에 관한 설명은 설명의 단순화를 위해 여기서는 생략되었다.

제4실시예의 LCD장치(4)를 전술한 제1실시예의 LCD장치와 비교하면, 제4실시예의 구성은, 화소전극들(27) 및 공통전극들(26)의 구조들을 제외하면, 능동소자기판(11)에 대하여는 제1실시예의 구성과 동일하다.

구체적으로는, 제4실시예의 LCD장치(4)에서는, 제1실시예와 마찬가지로, 화소전위층들(42a 및 42b)은 각 화소에서 투명화소전극(27)에 의해 형성된 상호접속전극(43)을 통해 서로 전기적으로 상호접속된다. 그러나, 제1실시예와는 달리, 화소전극들(27)은 제2층간절연층(25) 위에 형성되고 동시에 공통전극들(26)은 화소전극들(27)을 덮는 제4층간절연층(47) 위에 형성된다. 대향기판(12)은 제1 및 제2실시예들과 구성이 동일하다.

다음으로, 제4실시예의 LCD장치(4)를 제조하는 방법이 도 17을 참조하여 이하에서 설명될 것이다.

제4실시예의 LCD장치(4)의 제조방법에서는, 먼저, 제1실시예의 도 5a 내지 6b에 보인 것과 동일한 공정단계들이 행해진다. 그런 다음, 제2층간절연층(25)은 소스 및 드레인전극들(30a 및 30b), 데이터선들(24) 및 화소전위층들(42a 및 42b)을 덮도록 형성된다. 이렇게 형성된 제2층간절연층(25)의 감광성아크릴수지서브층(25b)은 마스크(미도시)를 사용하여 선택적으로 노광, 현상 및 소결되어 접촉홀들(39a, 39b 및 39c)이 형성된다.

자단의 게이트전극들(30c) 근처에 위치한 소스전극들(30b) 위쪽에 위치되며 화소전극들(27)을 위해 사용되는 접촉홀들(39b)은, 제2층간절연층(25)의 하부SiNx서브층(25a)을 노출시킨다. 앞단의 게이트전극들(30c) 근처에 위치되며 화소전극들(27)을 위해 사용되는 접촉홀들(39c)은, 제2층간절연층(25)의 하부SiNx서브층(25a)을 노출시킨다. 공통전극선들(26b) 위쪽에 위치되며 이 전극선들(26b)을 위해 사용되는 접촉홀들(39a)은 제2층간절연층(25)의 하부SiNx서브층(25a)을 노출시킨다.

이 공정단계를 뒤이어, 화소전극들(27)을 위한 접촉홀들(39b 및 39c)과 공통전극선들(26a 및 26b)을 위한 접촉홀들(39a)을 통해, 제2층간절연층(25)의 노출된 SiNx서브층(25a)이 선택적으로 식각된다. 게다가, 밑에 있는 제1층간절연층(23)은 접촉홀(39a)을 통해 선택적으로 식각된다. 따라서, 홀들(39b)은 소스전극들(30b)을 노출시키며, 홀들(39c)은 화소전위층들(42a 및 42b)을 노출시키고, 홀들(39a)은 공통전극선들(26a 또는 26b)을 노출시킨다.

이어서, ITO층(46)은 전체 유리판(22)위에 퇴적되어 접촉홀들(39a, 39b 및 39c)을 덮는다. 따라서, 이러한 접촉홀들(39a, 39b 및 39c)의 내면들은 ITO층(46)으로 덮인다. ITO층(46)은 그 후 포토리소그래피 및 건식식각법에 의해 패터닝되어, 개개의 화소들을 위한 화소전극들(27)을 형성한다. 그런 다음, 감광성아크릴수지(즉, 유기재료)로 이루어진 제4층간절연층(47)이 화소전극들(27)을 덮도록 퇴적된다. 제4층간절연층(47)은 제2층간절연층(25)의 SiNx서브층(25b)보다 더 두껍고 감광성아크릴수지서브층(25b)보다 더 얇다. 그 후, 감광성아크릴수지의 층(47)은 마스크(미도시)를 사용하여 선택적으로 노광되며, 현상 및 소결되어, 공통전극선들(26b)에 도달하는 접촉홀들(39a)이 만들어진다.

더욱이, ITO층(미도시)이 전체 유리판(22) 위의 제4층간절연층(47)상에 퇴적되어, 접촉홀들(39a, 39b 및 39c)을 덮는다. 이렇게 퇴적된 ITO층은 포토리소그래피 및 건식식각법에 의해 패터닝되어, 각 화소마다 공통전극(26)을 형성한다. 이런 식으로, 능동소자기판(11)이 완성된다.

이렇게 완성된 능동소자기판(11)에서는, 각 화소에서, 화소전위층(42a)을 사용하는 제1저장커패시터는 자단의 게이트전극(30c) 근처에 제공되며 동시에 화소전위층(42b)을 사용하는 제2저장커패시터는 앞단의 게이트전극(30c) 근처에 제공된다. 화소전위층(42a)은 투명한 화소전극(27)을 통해 화소전위층(42b)에 전기 접속되고, 따라서 제1 및 제2저장커패시터들은 서로 병렬로 전기 접속된다.

제1실시예와 동일한 방식으로, 이렇게 제조된 능동소자기판(11)과 대향기판(12)은 그 후 네마틱액정을 포함하는 액정층(13)을 형성하는 식으로 서로 결합되어, LCD패널이 완성된다.

발명자들은 위에서 설명된 것과 동일한 방식으로 제4실시예에 따른 LCD장치(4)를 실제로 제작하였다. 그런 다음, 액정층(13)(즉, LCD패널)을 관통하는 빛의 세기는 외부신호전압들로서 액정층(13)에 존재하는 액정분자들의 정렬상태 또는 배향상태를 바꿈으로써 조절되어, "통상흑색표시모드"에서 영상들을 계조들로 표시하였다. 그런 다음, 이렇게 제작된 LCD장치(4)는 구동기유닛에 조립되어 이 구동기유닛을 사용하여 동작되었다. 그 결과, 제4실시예의 LCD장치(4)는 종래 기술의 LCD장치들보다 더 높은 광투과도를 갖는 IPS형 LCD장치로서 동작됨이 확인되었다.

제4실시예의 LCD장치(4)에서, 공통전극들(26)은 화소전극들(27)을 위한 재료와는 다른 전도성재료에 의해 형성되며 제4층간절연층(47)을 통해 다른 레벨들에 위치되었다. 그러므로, 그 제조비용은 동일한 전도층에 의해 전극들(27 및 26)이 형성되는 경우에 비해 약간 증가하였으나, 그 대신, 전극들의 설계마진이 확대되었고 그 결과 투과도는 추가로 향상되는 부가적인 이점이 있었다.

공통전극(26)이 제4실시예처럼 화소전극들(27)의 레벨과는 다른 레벨에 위치된다면, LCD장치의 표시안정성과 신뢰도의 관점에서 볼 때 공통전극들(26)은 화소전극들(27)보다 액정층(13)에 더 가까이 위치되는 것이 바람직하다.

제5실시예

도 18 및 19는 발명의 제5실시예에 따른 IPS형 능동매트릭스어드레싱 LCD장치(5)를 보여준다.

도 18은 능동소자기관의 평면도를 보여준다. 도 19는 도 18의 F-F'선을 따르는 단면도를 보여준다. 이러한 도면들에서, 동일한 참조번호들 또는 기호들이 전술한 제1실시예에 따른 LCD장치(1)에서 보인 것과 동일한 요소들에 부여된다. 따라서, 동일한 요소들에 관한 설명은 설명의 단순화를 위해 여기서는 생략되었다.

제5실시예의 LCD장치(5)를 전술한 제1실시예의 LCD장치와 비교하면, 제5실시예의 구성은, 제2층간절연층(25)의 구조를 제외하면, 능동소자기관(11)에 대하여는 제1실시예의 구성과 동일하다.

구체적으로는, 제5실시예의 LCD장치(5)에서, 데이터선들(24)과 공통전극들(26) 사이에 위치한 제2층간절연층(25)은 단일 무기층, 즉 SiNx층(25a)에 의해 형성된다. 대향기관(12)은 제1 및 제2실시예들과 구성이 동일하다.

다음으로, 제5실시예의 LCD장치를 제조하는 방법이 이하에서 설명될 것이다.

제5실시예의 LCD장치(5)의 제조방법에서는, 먼저, 도 6a에 보인 제2층간절연층(25)을 형성하는 공정단계를 제외하고는, 제1실시예의 도 5a 내지 6b에 보인 것과 동일한 공정단계들이 행해진다. 제2층간절연층(25)을 형성하는 공정단계에서는, 제1실시예와는 달리, SiNx층(25)만이 소스 및 드레인전극들(30a 및 30b), 데이터선들(24) 및 화소전위층들(42a 및 42b)을 덮는 층간절연층으로서 전체 유리판(22) 위에 형성된다.

그런 다음, 제1실시예와 유사하게, 이렇게 형성된 SiNx층(25)은 선택적으로 식각되어, 접촉홀들(39a, 39b 및 39c)을 형성한다. 자단의 게이트전극들(30c) 근처에 위치한 소스전극들(30b) 위쪽에 위치되며 화소전극들(27)을 위해 사용되는 접촉홀들(39b)은, SiNx의 제1층간절연층(23)을 노출시킨다. 접촉홀들(39c)은 앞단의 게이트전극선들(30c) 근처에 위치되며 화소전극들(27)을 위해 사용된다. 접촉홀들(39a)은 공통전극선들(26b) 위쪽에 위치되며 이 전극선들(26b)을 위해 사용된다. 접촉홀들(39a)을 통해, 밑에 있는 제1층간절연층(23)은 홀들(39a)을 통해 선택적으로 식각된다. 따라서, 홀들(39b)은 소스전극들(30b)을 노출시키며, 홀들(39c)은 화소전위층들(42a 또는 42b)을 노출시키고, 홀들(39a)은 공통전극선들(26a 또는 26b)을 노출시킨다.

이어서, 제1실시예에서와 동일한 공정단계들을 통해, 제5실시예의 능동소자기관(11)이 제조된다. 이렇게 완성된 능동소자기관(11)에서는, 각 화소에서, 화소전위층(42a)을 사용하는 제1저장커패시터는 자단의 게이트전극(30c) 근처에 제공되며 동시에 화소전위층(42b)을 사용하는 제2저장커패시터는 앞단의 게이트전극(30c) 근처에 제공된다. 화소전위층(42a)은 투명화소전극(27)을 통해 화소전위층(42b)에 전기접속되어, 제1 및 제2저장커패시터들은 서로 병렬로 전기접속된다.

제1실시예와 동일한 방식으로, 이렇게 제조된 능동소자기관(11)과 대향기관(12)은 그 후 네마틱액정을 포함한 액정층(13)을 형성하는 식으로 서로 결합되어, LCD패널이 완성된다.

발명자들은 위에서 설명된 것과 동일한 방식으로 제5실시예에 따른 LCD장치(5)를 실제로 제작하였다. 그런 다음, 액정층(13)(즉, LCD패널)을 관통하는 빛의 세기는 외부신호전압들로서 액정층(13)에 존재하는 액정분자들의 정렬상태 또는 배향상태를 바꿈으로써 조절되어, "통상흑색표시모드"에서 영상들을 계조들로 표시하였다. 그런 다음, 이렇게 제작된 LCD장치(5)는 구동기유닛에 조립되어 이 구동기유닛을 사용하여 동작되었다. 그 결과, 제5실시예의 LCD장치(5)는 종래 기술의 LCD장치들보다 더 높은 광투과도를 갖는 IPS형 LCD장치로서 동작됨이 확인되었다.

제6실시예

도 20 및 21은 발명의 제6실시예에 따른 IPS형 능동매트릭스어드레싱 LCD장치(6)를 보여준다.

도 20은 능동소자기관의 평면도를 보여준다. 도 21은 도 20의 F-F'선을 따르는 단면도를 보여준다. 이러한 도면들에서, 동일한 참조번호들 또는 기호들이 전술한 제1실시예에 따른 LCD장치(1)에서 보인 것과 동일한 요소들에 부여된다. 따라서, 동일한 요소들에 관한 설명은 설명의 단순화를 위해 여기서는 생략되었다.

제6실시예의 LCD장치(6)를 전술한 제1실시예의 LCD장치와 비교하면, 제6실시예의 구성은, 색층(18)이 대향기관(12)에서 생략되었다는 점을 제외하면, 제1실시예의 구성과 동일하다.

구체적으로는, 제6실시예의 LCD장치(6)에서, 차광층 또는 흑매트릭스(17)는 유리판(16)의 내표면에 소망의 영역들을 덮도록 선택적으로 형성되고, 오버코트 또는 평탄화층(19)은 흑매트릭스(17)를 덮도록 선택적으로 형성된다. 유리판(16)의 외부표면에는, 투명한 전도성층(예컨대, ITO층)(15)이 스퍼터링법에 의해 형성된다. 이것은 LCD패널에 사용자의 손 접촉에 의해 야기되는 차지업으로 인해 표시되는 영상들이 고르지 않게 되는 것을 방지한다. 능동소자기관(11)은 제1실시예와 동일한 구성을 가진다.

제1실시예와 동일한 방식으로, 이렇게 제조된 능동소자기관(11)과 대향기관(12)은 그 후 네마틱액정을 포함한 액정층(13)을 형성하는 식으로 서로 결합되어, LCD패널이 완성된다.

발명자들은 위에서 설명된 것과 동일한 방식으로 제6실시예에 따른 LCD장치(6)를 실제로 제작하였다. 그런 다음, 액정층(13)(즉, LCD패널)을 관통하는 빛의 세기는 외부신호전압들로서 액정층(13)에 존재하는 액정분자들의 정렬상태 또는 배향상태를 바꿈으로써 조절되어, "통상흑색표시모드"에서 영상들을 계조들로 표시하였다. 그런 다음, 이렇게 제작된 LCD장치(6)는 구동기유닛에 조립되어 이 구동기유닛을 사용하여 동작되었다. 그 결과, 제6실시예의 LCD장치(6)는 종래 기술의 LCD장치들보다 더 높은 광투과도를 갖는 IPS형 LCD장치로서 동작됨이 확인되었다.

변형예

본 발명의 전술한 제1 내지 제6실시예들은 발명의 바람직한 예들이기 때문에 본 발명은 이러한 실시예들로 한정되지 않음은 물론이다. 어떠한 변경 또는 변형이라도 발명의 정신 내에서 이러한 실시예들에 추가될 수 있다.

예를 들면, 공통전극(26)과 화소전극들(27)은 전술한 실시예들에서 투명한, 전도성 재료인 ITO로 이루어진다. 이것은 높은 수준의 신뢰도를 보장한다. 그러나, 그것들은 IZO(Indium Zinc Oxide) 또는 다른 재료로 이루어져도 좋다. 이는 ITO의 사용과 유사한 효과들 또는 이점들이 얻어질 수 있기 때문이다.

더욱이, 전술한 제1 내지 제6실시예들에서는, 액정을 위한 구동전극들로서 소용되는 공통 및 화소전극들이 빗살과 유사한 형상(즉, "선형" 살들 또는 스틱들)을 가진다. 그러나, 본 발명은 이것에 한정되지 않고, 구동전극들이 선형이 아니고 주름형 또는 리브형인 이른바 다중도메인구조에 적용가능하다. 이 경우, 돌출된 공통전극과 동일한 이점이 얻어질 수 있어, 시야각이 더욱 확대된다는 추가적인 이점을 제공한다.

본 발명의 바람직한 실시형태가 설명되었으나, 발명의 정신에서 벗어나지 않는 변형들이 있을 수 있음이 이 기술분야의 당업자에게는 명백할 것이다. 그러므로, 본 발명의 범위 또는 범주는 다음의 청구항들에 의해서만 결정된다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따르면, 인가된 전기장에 의해 야기된 액정분자들의 회전은 패널투과도에 충분히 기여하게 되어, 더 높은 투과도가 얻어질 수 있고, 제조비용의 상승 없이 개구비를 향상시킬 수 있고, 또 제조수율도 높은 IPS형 능동매트릭스어드레싱 액정표시장치가 제공된다.

(57) 청구의 범위

청구항 1.

능동소자기관;

능동소자기관과 결합되는 대향기관;

능동소자기관 및 대향기관 사이에 형성된 액정층;

능동소자기관 상에 화소들을 매트릭스배열로 배치되게 형성하는 식으로 형성된 화소전극들;

능동소자기관 상에 모든 화소들에 대해 공통적으로 사용되는 식으로 형성된 공통전극;

능동소자기판 상에 형성되어 개별 화소들을 위해 사용되는 스위칭소자들;

능동소자기판 상에 형성되며 주사신호들이 스위칭소자들에 전송되게 하는 주사선들;

능동소자기판 상에 형성되며 데이터신호들이 스위칭소자들에 전송되게 하는 데이터선들;

능동소자기판 상에 형성되며 고정된 전위가 공통전극에 인가되게 하는 공통전극선들로서, 공통전극선들 중의 2개는 화소들의 각각을 위해 사용되는 공통전극선들; 및

능동소자기판 상에 공통전극선들과는 개재절연층을 개재하여 겹쳐지는 식으로 형성된 패터화된 화소전위층들로서, 화소전위층들 중의 2개는 화소들의 각각을 위해 사용되는 패터화된 화소전위층들을 포함하며,

공통전극선들 중의 제1공통전극선, 화소전위층들 중의 제1화소전위층, 및 개재절연층은 화소들의 각각을 위한 제1저장커패시터를 구성하며 동시에 공통전극선들 중의 제2공통전극선, 화소전위층들 중의 제2화소전위층, 및 개재절연층은 동일 화소를 위한 제2저장커패시터를 구성하며,

제1화소전위층과 제2화소전위층은 화소전극들 중의 대응하는 화소전극을 통해 서로 전기접속되며, 제1 및 제2화소전위층들은 공통전극 및 화소전극보다는 액정층으로부터 더 먼 위치에 위치되고,

이웃하는 2개의 주사선들 사이에 놓인 하나의 화소 내에서, 제1저장커패시터는 상기 이웃하는 2개의 주사선들 중 대응하는 주사선 근처에 위치되며 제2저장커패시터는 상기 이웃하는 2개의 주사선들 중의 다른 주사선 근처에 위치되는 능동매트릭스어드레싱 LCD장치.

청구항 2.

제1항에 있어서, 무기재료로 이루어지며 데이터선들 및 공통전극 사이에 마련된 단일 층간절연층을 더 포함하는 능동매트릭스어드레싱 LCD장치.

청구항 3.

제1항에 있어서, 대향기판에 제공된 색층을 더 포함하는 능동매트릭스어드레싱 LCD장치.

청구항 4.

제1항에 있어서, 색층이 대향기판에 제공되지 않는 능동매트릭스어드레싱 LCD장치.

청구항 5.

제1항에 있어서, 화소들의 각각을 위한 제1 및 제2화소전위층들은 데이터선들에 대략 평행한 방향에서 서로로부터 떨어져 있게 배치되며,

제1 및 제2화소전위층들의 각각은 접촉홀을 통해 대응하는 화소전극에 전기 접속되는 능동매트릭스어드레싱 LCD장치.

청구항 6.

제1항에 있어서, 공통전극 및 화소전극들은 투명성이며 데이터선들보다는 액정층에 더 가까운 레벨에 위치되며,

데이터선들은 주사선들의 부근들을 제외하고는 절연층을 개재하여 공통전극으로 완전히 덮여있으며,

공통전극은 개별 화소들에 대해 대응하는 접촉홀들을 통해 공통전극선들에 전기 접속되며,

흑매트릭스는 데이터선들이 공통전극으로 완전히 덮여있는 영역들에서 공통전극의 폭보다 좁은 폭을 가지는 식으로 대향기관 상에 형성되고,

차광층은 데이터선들을 완전히 덮는 공통전극과 이것에 인접하는 화소전극 사이에 형성되지 않는 능동매트릭스어드레싱 LCD장치.

청구항 7.

제6항에 있어서, 화소전극들과 공통전극은 동일 레벨에 형성되는 능동매트릭스어드레싱 LCD장치.

청구항 8.

제6항에 있어서, 화소전극들 및 공통전극은 절연층을 개재하여 다른 레벨들에 형성되는 능동매트릭스어드레싱 LCD장치.

청구항 9.

제8항에 있어서, 공통전극은 배향층을 개재하여 액정층에 마주하는 능동매트릭스어드레싱 LCD장치.

청구항 10.

제1항에 있어서, 공통전극은 주사선들, 데이터선들 및 공통전극선들 중의 적어도 하나에 전기신호를 인가하는데 사용되는 단자들의 재료와 동일한 전도성 재료로 이루어지며,

공통전극은 상기 단자들과 동일한 공정단계에서 형성되는 능동매트릭스어드레싱 LCD장치.

청구항 11.

제10항에 있어서, 화소전극들과 공통전극은, 화소전극들 및 공통전극이 공통전극선들 및 데이터선들과 겹치는 영역들에서 공통전극선들 및 데이터선들보다 더 넓게 되도록 형성된 능동매트릭스어드레싱 LCD장치.

청구항 12.

제1항에 있어서, 화소전극들과 공통전극들은 ITO(Indium Tin Oxide) 및 IZO(Indium Zinc Oxide) 중의 하나로 이루어진 능동매트릭스어드레싱 LCD장치.

청구항 13.

능동소자기관;

능동소자기판과 결합되는 대향기관;

능동소자기판 및 대향기관 사이에 형성된 액정층;

능동소자기판 상에 화소들을 매트릭스배열로 배치되게 형성하는 식으로 형성된 화소전극들;

능동소자기판 상에 모든 화소들에 대해 공통적으로 사용되는 식으로 형성된 공통전극;

능동소자기판 상에 형성되어 개별 화소들을 위해 사용되는 스위칭소자들;

능동소자기판 상에 형성되며 주사신호들이 스위칭소자들에 전송되게 하는 주사선들;

능동소자기판 상에 형성되며 데이터신호들이 스위칭소자들에 전송되게 하는 데이터선들;

능동소자기판 상에 형성되며 고정된 전위가 공통전극에 인가되게 하는 공통전극선들로서, 공통전극선들 중의 2개는 화소들의 각각을 위해 사용되는 공통전극선들; 및

능동소자기판 상에 공통전극선들과는 개재절연층을 개재하여 겹쳐지는 식으로 형성된 패터화된 화소전위층들로서, 화소전위층들 중의 2개는 화소들의 각각을 위해 사용되는 패터화된 화소전위층들을 포함하며,

공통전극선들 중의 제1공통전극선, 화소전위층들 중의 제1화소전위층, 및 개재절연층은 화소들의 각각을 위한 제1저장커패시터를 구성하며 동시에 공통전극선들 중의 제2공통전극선, 화소전위층들 중의 제2화소전위층, 및 개재절연층은 동일 화소를 위한 제2저장커패시터를 구성하며,

제1화소전위층과 제2화소전위층은 제1 및 제2화소전위층들을 기준으로 화소전극과는 반대편에서 능동화소기관에 형성된 상호접속전극을 통해 서로 전기적으로 접속되며, 제1 및 제2화소전위층들은 공통전극 및 화소전극보다는 액정층으로부터 더 먼 위치에 위치되고,

이웃하는 2개의 주사선들 사이에 놓인 하나의 화소 내에서, 제1저장커패시터는 상기 이웃하는 2개의 주사선들 중 대응하는 주사선 근처에 위치되며 제2저장커패시터는 상기 이웃하는 2개의 주사선들 중의 다른 주사선 근처에 위치되는 능동매트릭스어드레싱 LCD장치.

청구항 14.

제13항에 있어서, 상호접속전극들은 공통전극선들 및 주사선들과는 동일한 레벨에 위치되는 능동매트릭스어드레싱 LCD장치.

청구항 15.

제13항에 있어서, 공통전극선들은 주사선들의 레벨과는 다른 레벨에 위치되며,

상호접속전극들은 공통전극선들과 동일 레벨에 위치되는 능동매트릭스어드레싱 LCD장치.

청구항 16.

제13항에 있어서, 화소들의 각각을 위한 제1 및 제2화소전위층들은 데이터선들에 대략 평행한 방향에서 서로로부터 떨어져 있게 배치되며,

제1 및 제2화소전위층들의 각각은 접촉홀을 통해 화소전극들 중의 대응하는 하나와 전기적으로 접속되는 능동매트릭스 어드레싱 LCD장치.

청구항 17.

제13항에 있어서, 공통전극과 화소전극들은 투명성이며 데이터선들보다 액정층에 더 가까운 레벨에 위치되며,

데이터선들은 주사선들의 부근들을 제외하고는 절연층을 개재하여 공통전극으로 완전히 덮여있고,

공통전극은 개별 화소들마다 대응하는 접촉홀들을 통해 공통전극선들에 전기 접속되며,

데이터선들이 공통전극으로 완전히 덮여있는 영역들에서 공통전극의 폭보다 더 좁은 폭을 가지는 식으로 흑매트릭스는 대향기판 상에 형성되고,

차광층은 데이터선들을 완전히 덮는 공통전극과 이것에 인접하는 화소전극 사이에 형성되지 않는 능동매트릭스어드레싱 LCD장치.

청구항 18.

제17항에 있어서, 화소전극들과 공통전극은 동일 레벨에 형성되는 능동매트릭스어드레싱 LCD장치.

청구항 19.

제17항에 있어서, 화소전극들 및 공통전극은 절연층을 개재하여 다른 레벨들에 형성되는 능동매트릭스어드레싱 LCD장치.

청구항 20.

제19항에 있어서, 공통전극은 배향층을 개재하여 액정층에 마주하는 능동매트릭스어드레싱 LCD장치.

청구항 21.

제13항에 있어서, 공통전극은 주사선들, 데이터선들 및 공통전극선들 중의 적어도 하나에 전기신호를 인가하는데 사용되는 단자들의 재료와 동일한 전도성 재료로 이루어지며,

공통전극은 상기 단자들과 동일한 공정단계에서 형성되는 능동매트릭스어드레싱 LCD장치.

청구항 22.

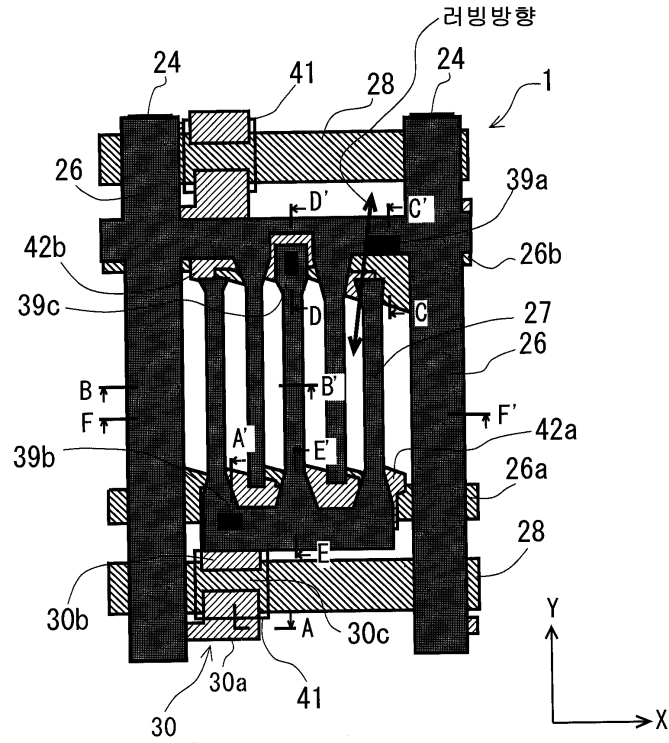
제21항에 있어서, 화소전극들과 공통전극은, 화소전극들 및 공통전극이 공통전극선들 및 데이터선들과 겹치는 영역들에서 공통전극선들 및 데이터선들보다 더 넓게 되도록 형성된 능동매트릭스어드레싱 LCD장치.

청구항 23.

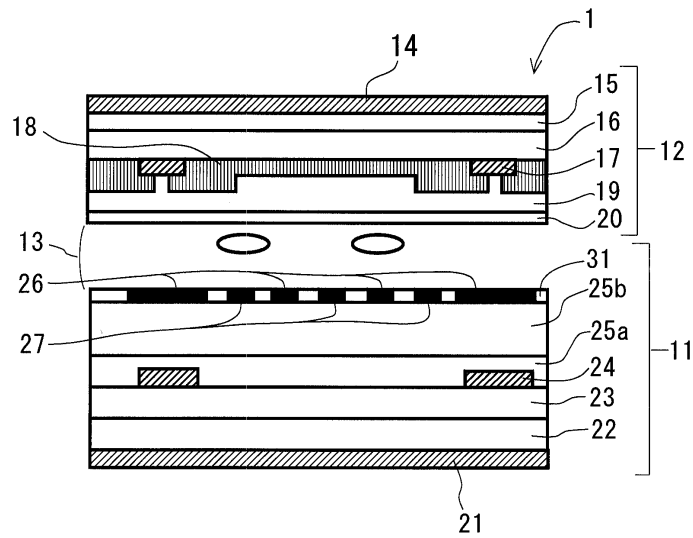
제13항에 있어서, 화소전극들과 공통전극들은 ITO 및 IZO 중의 하나로 이루어진 능동매트릭스어드레싱 LCD장치.

도면

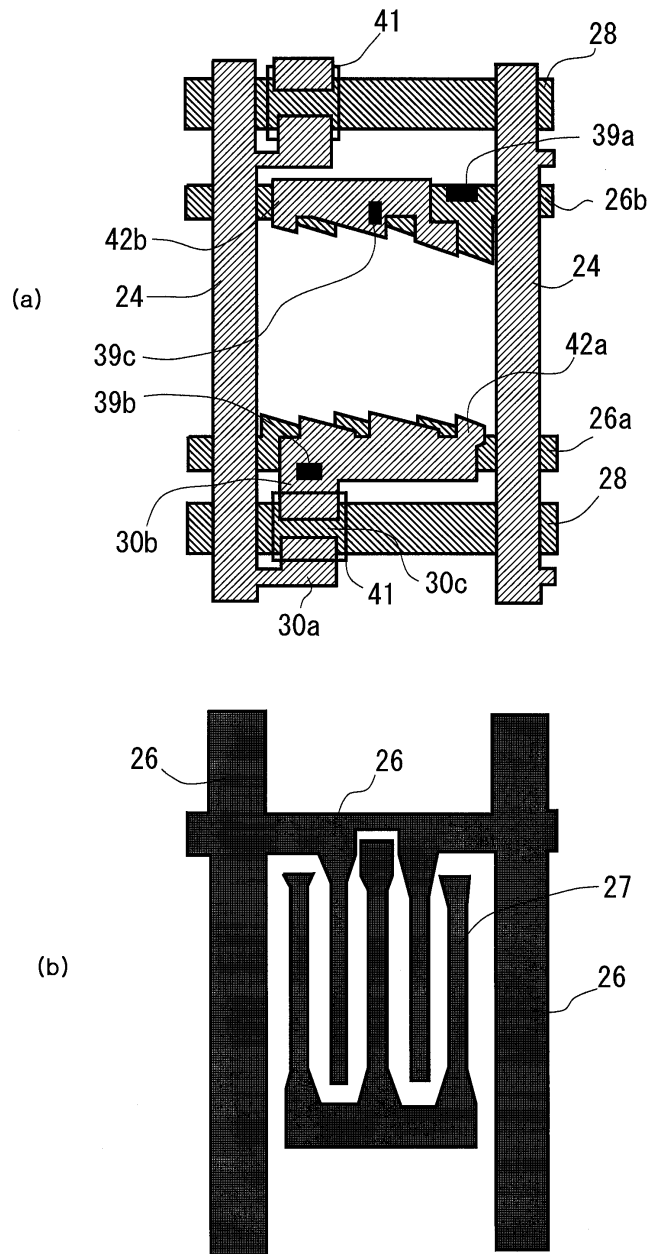
도면1



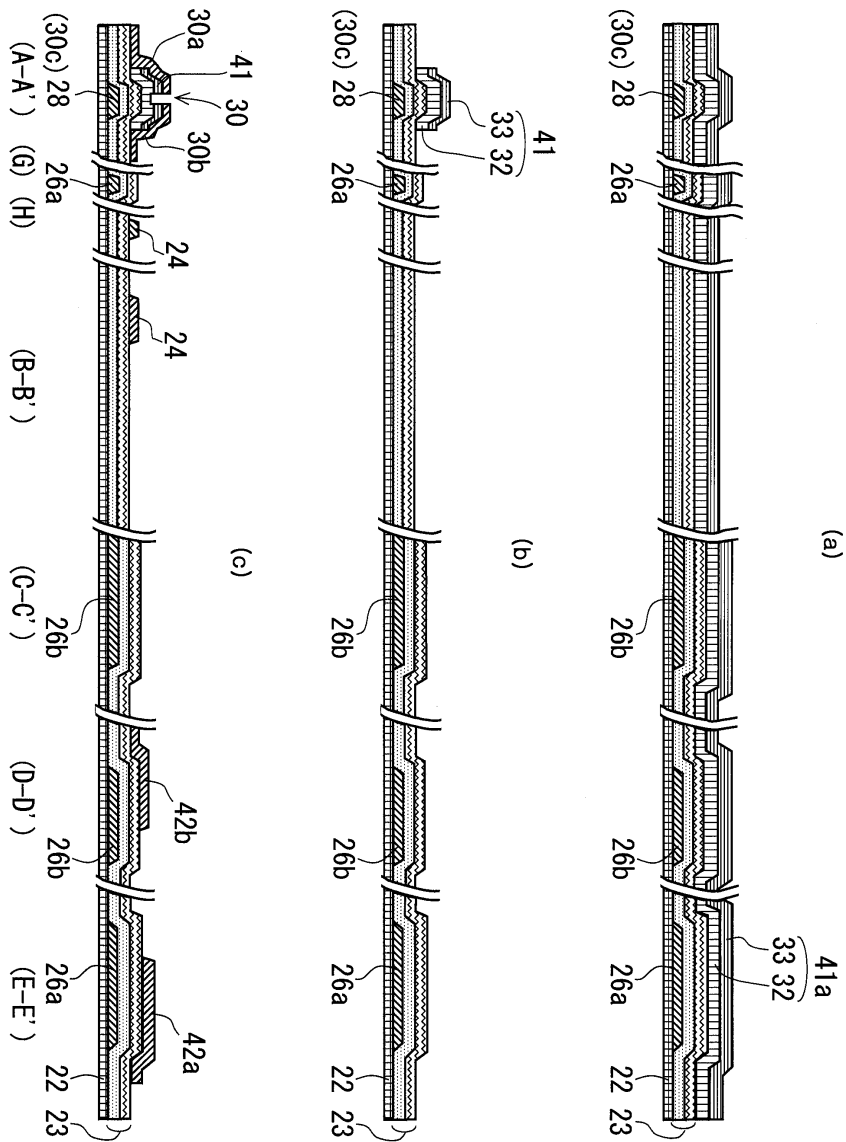
도면2



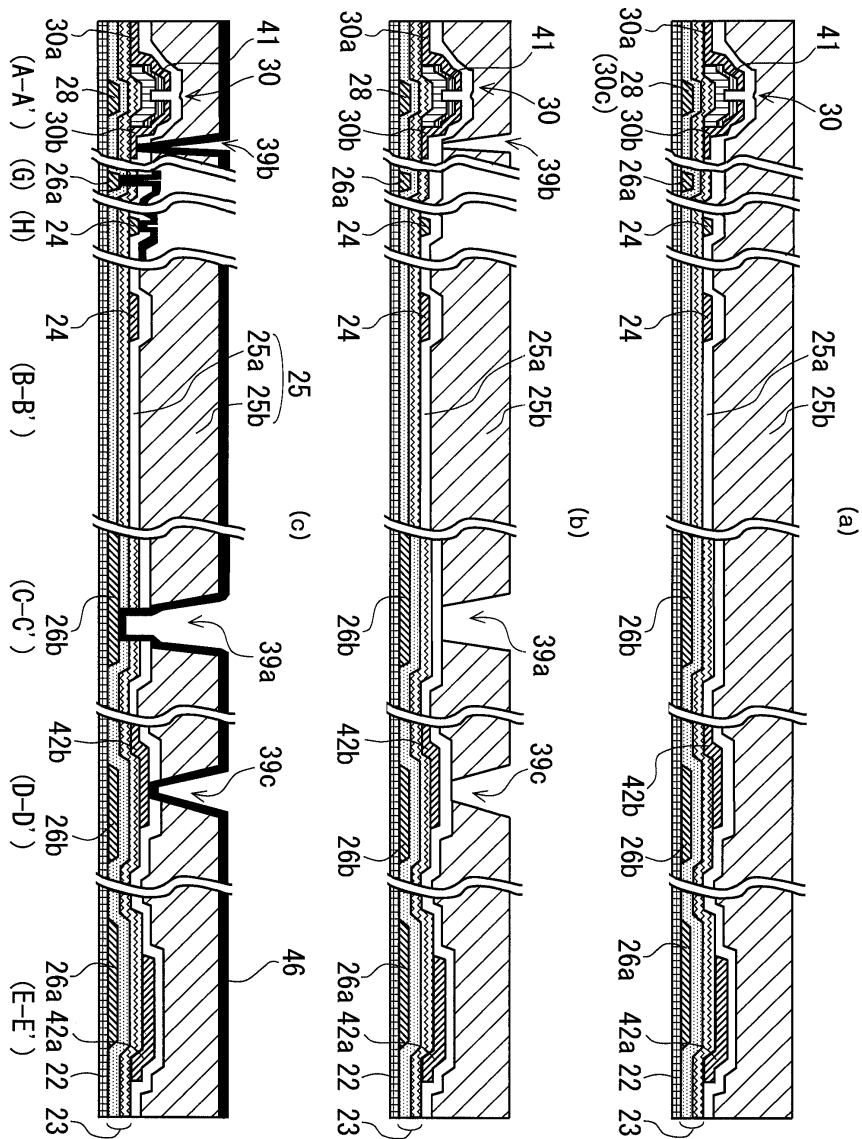
도면3



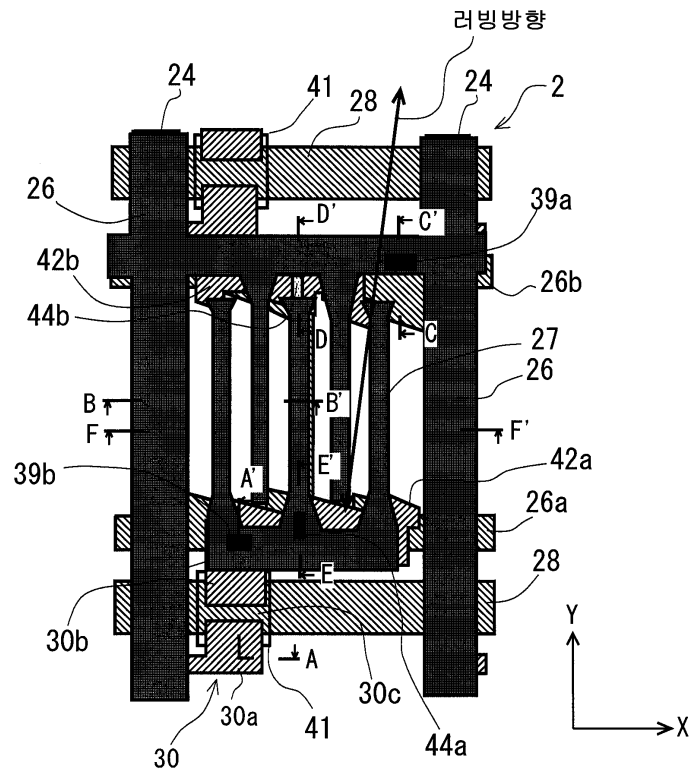
도면5



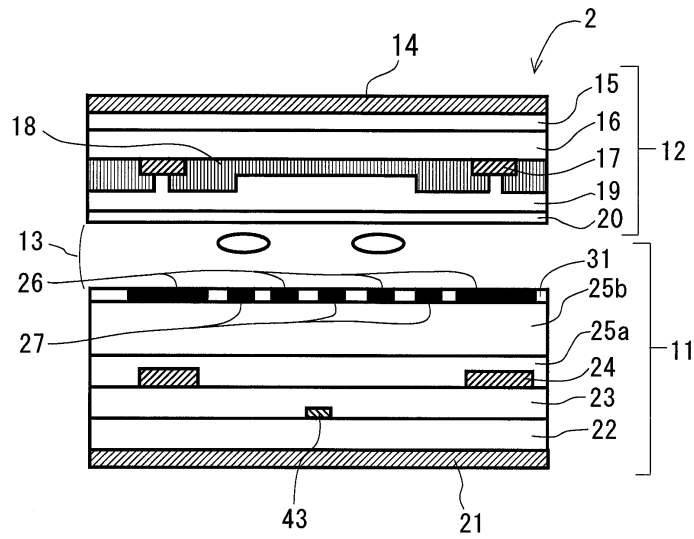
도면6



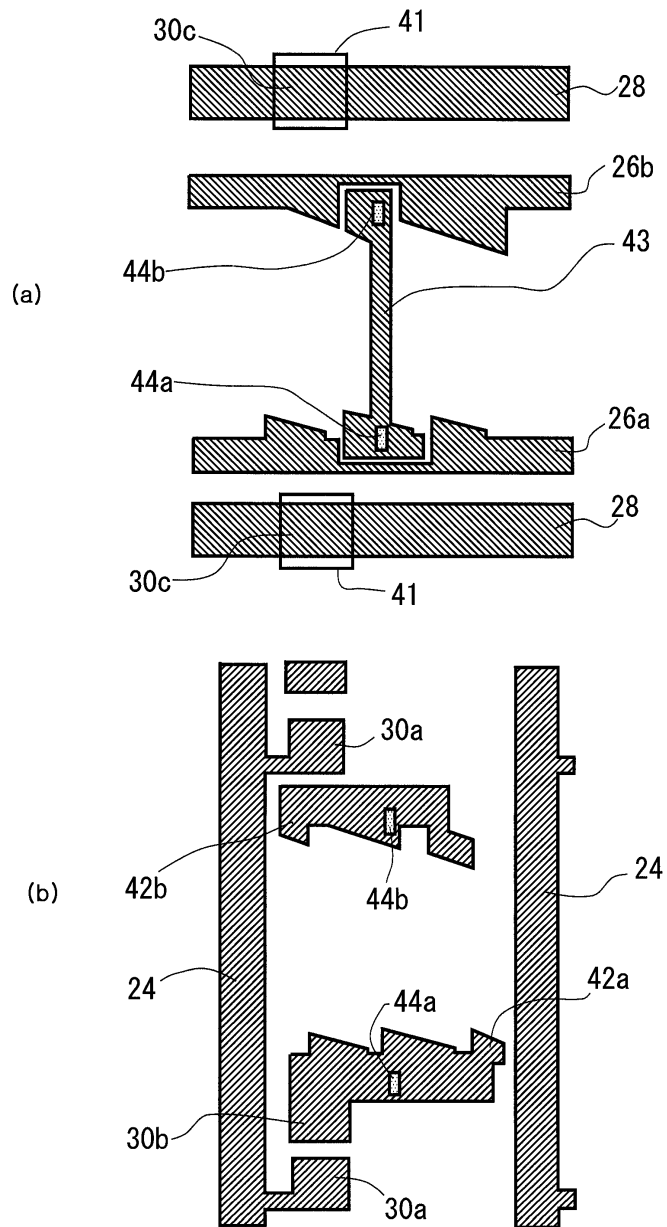
도면7

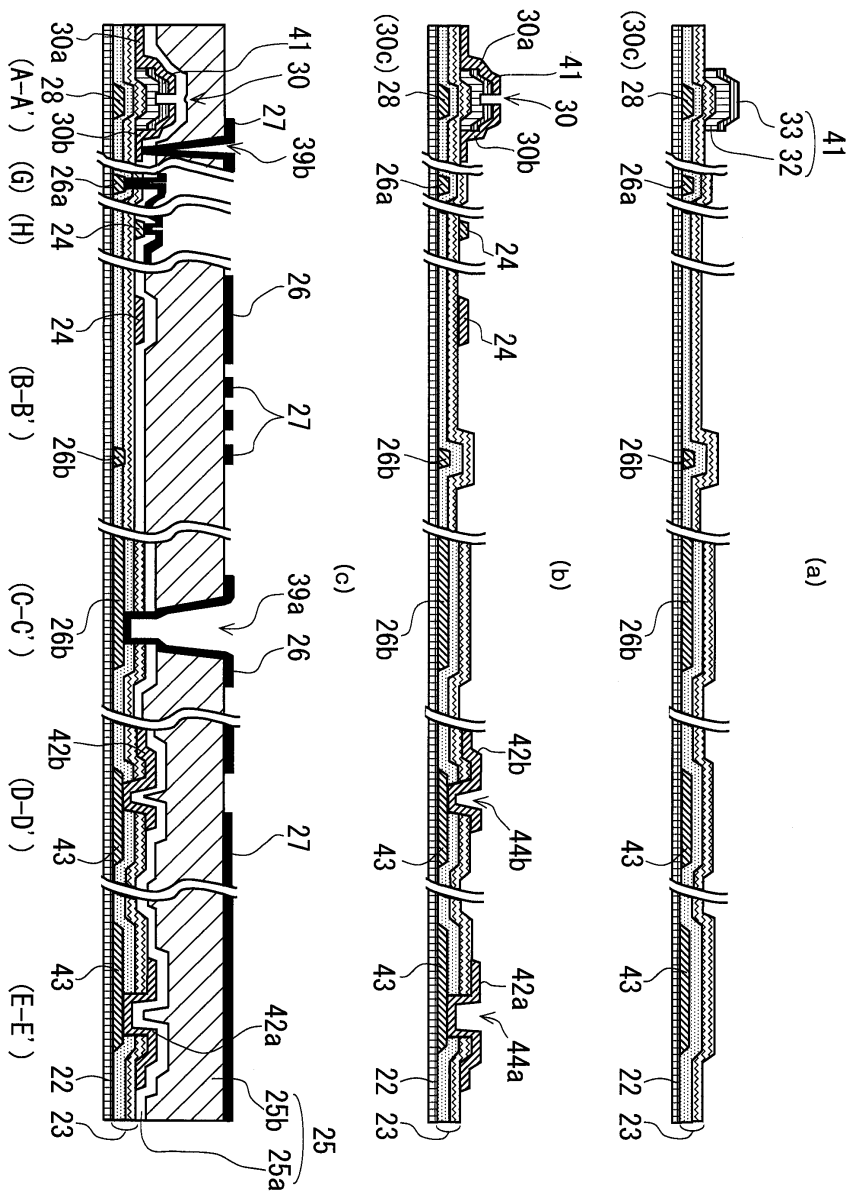


도면8



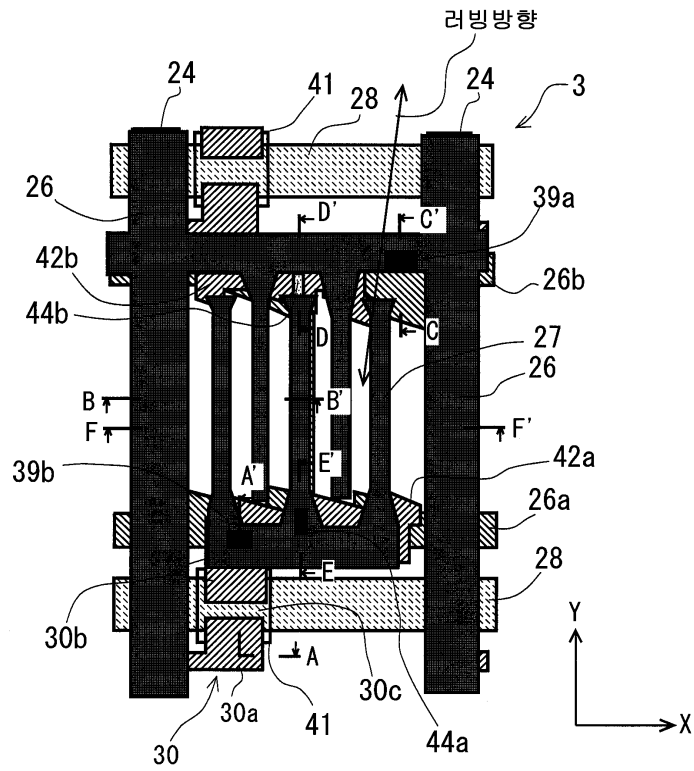
도면9



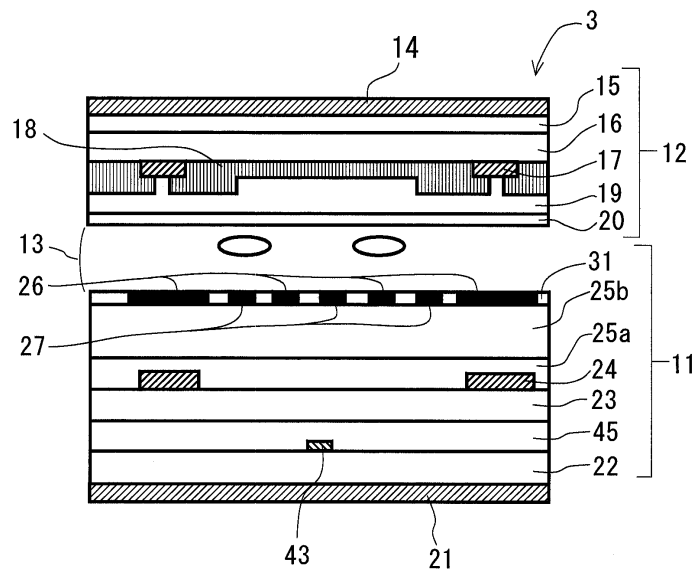


도면10

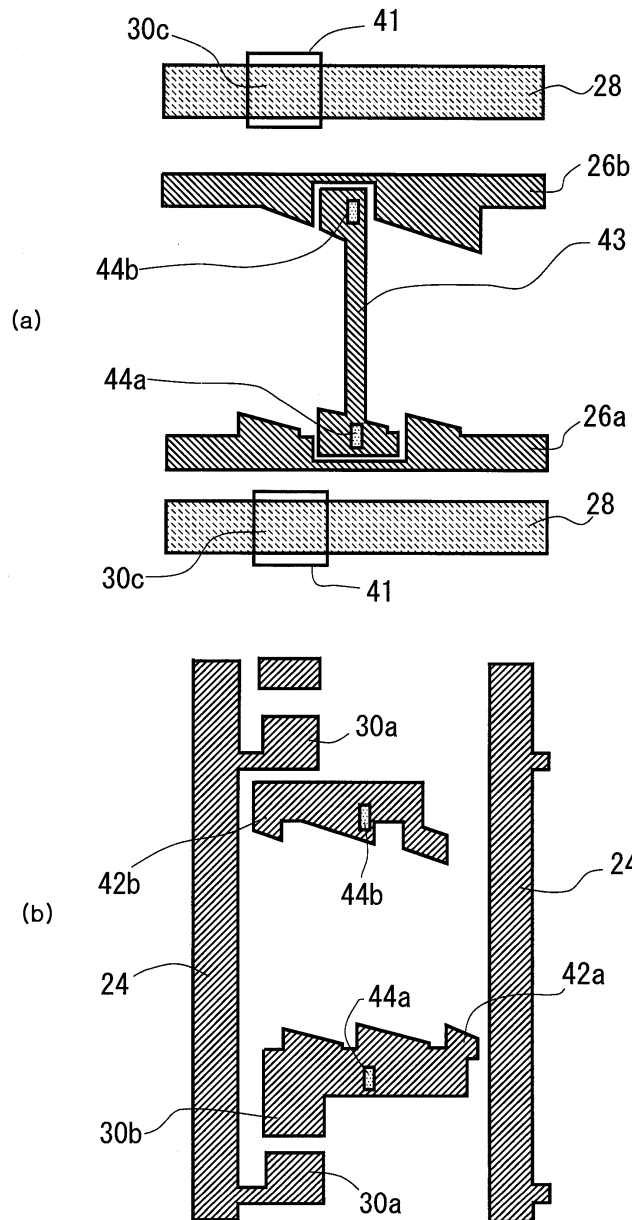
도면11



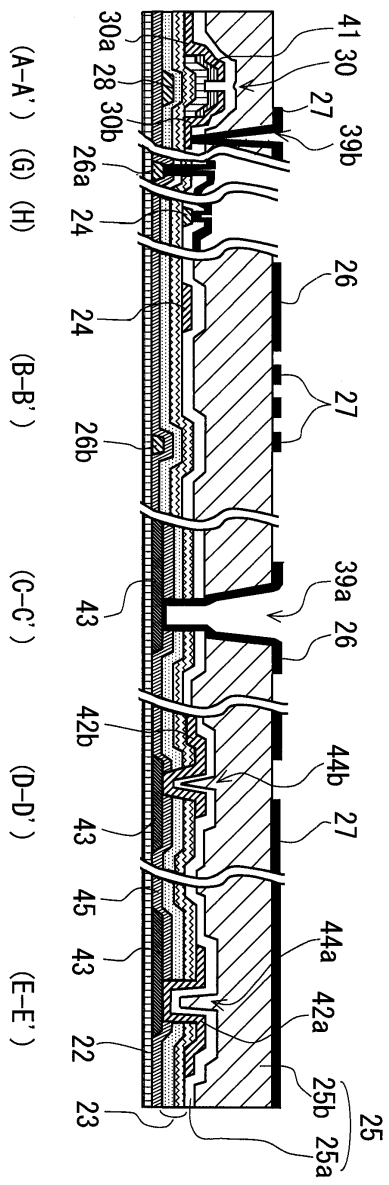
도면12



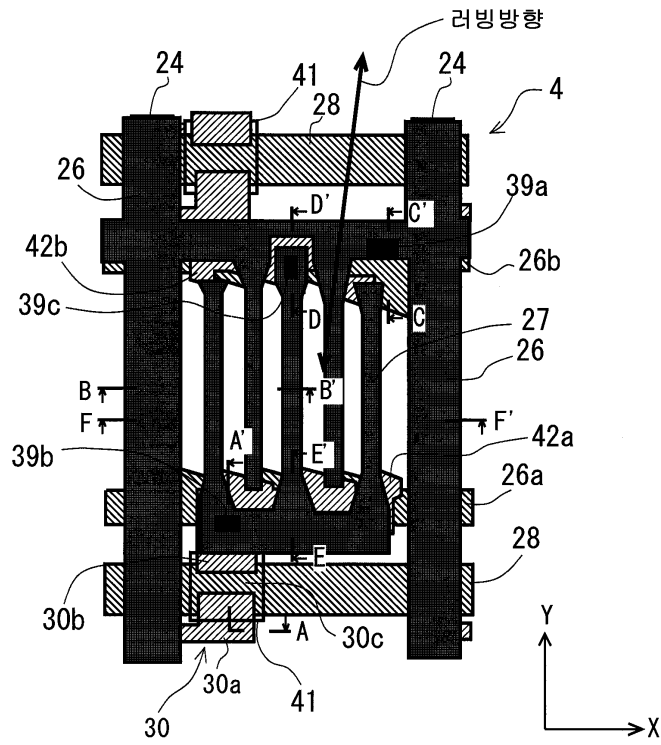
도면13



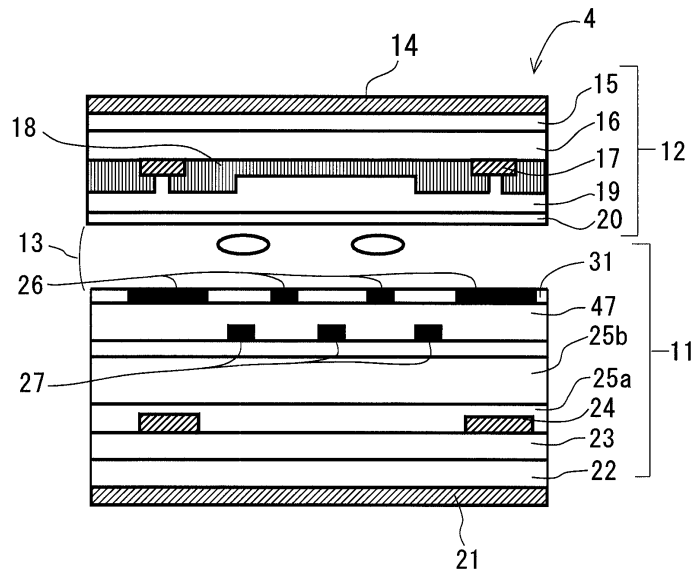
도면14



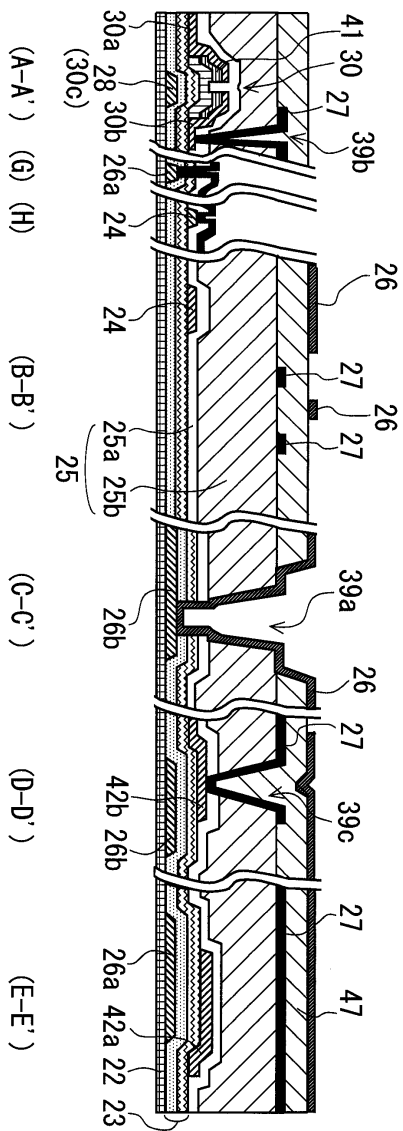
도면15



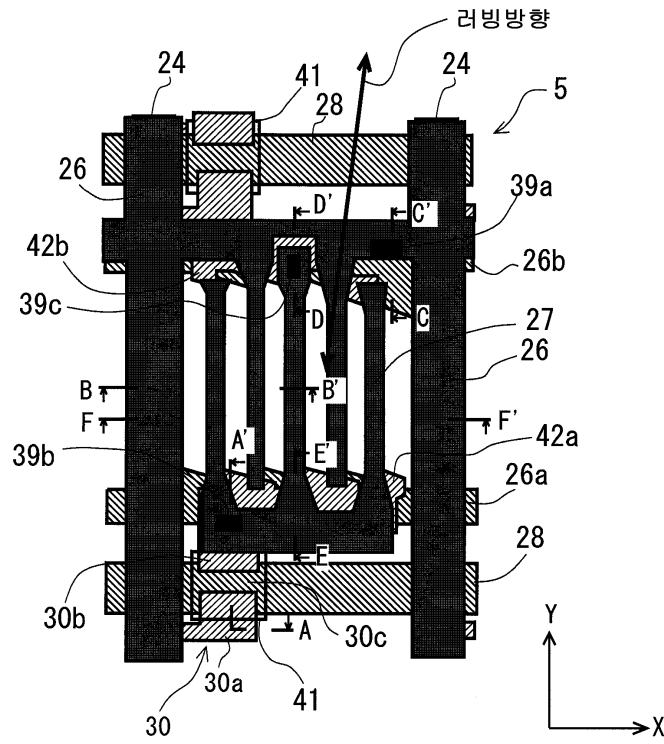
도면16



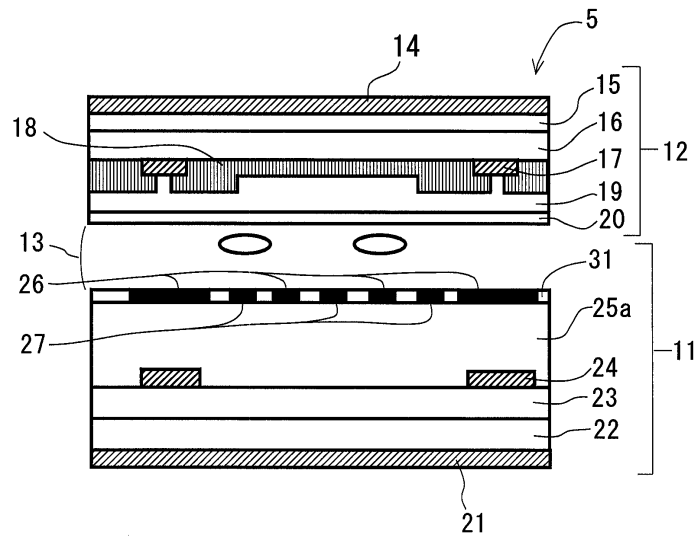
도면17



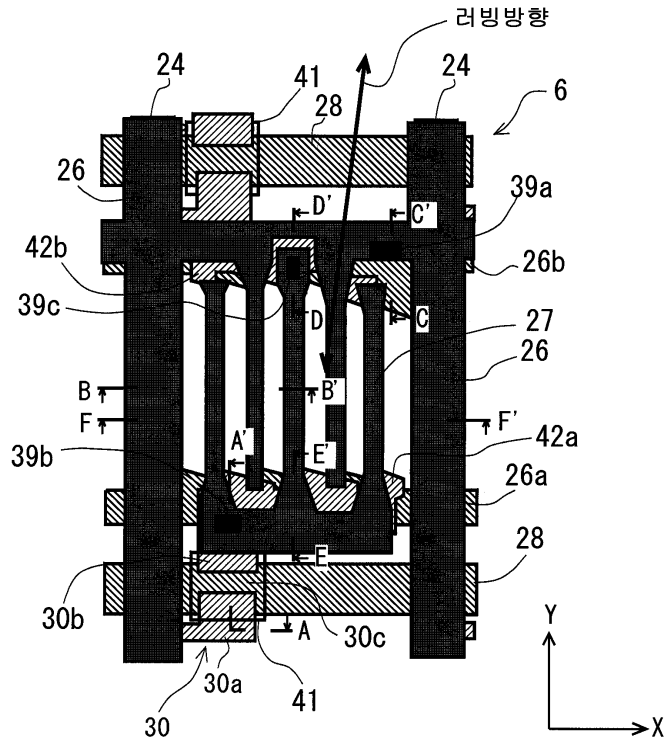
도면18



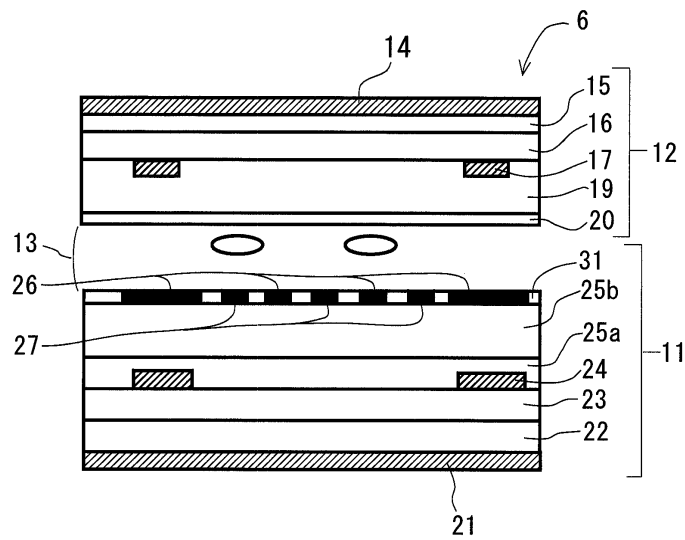
도면19



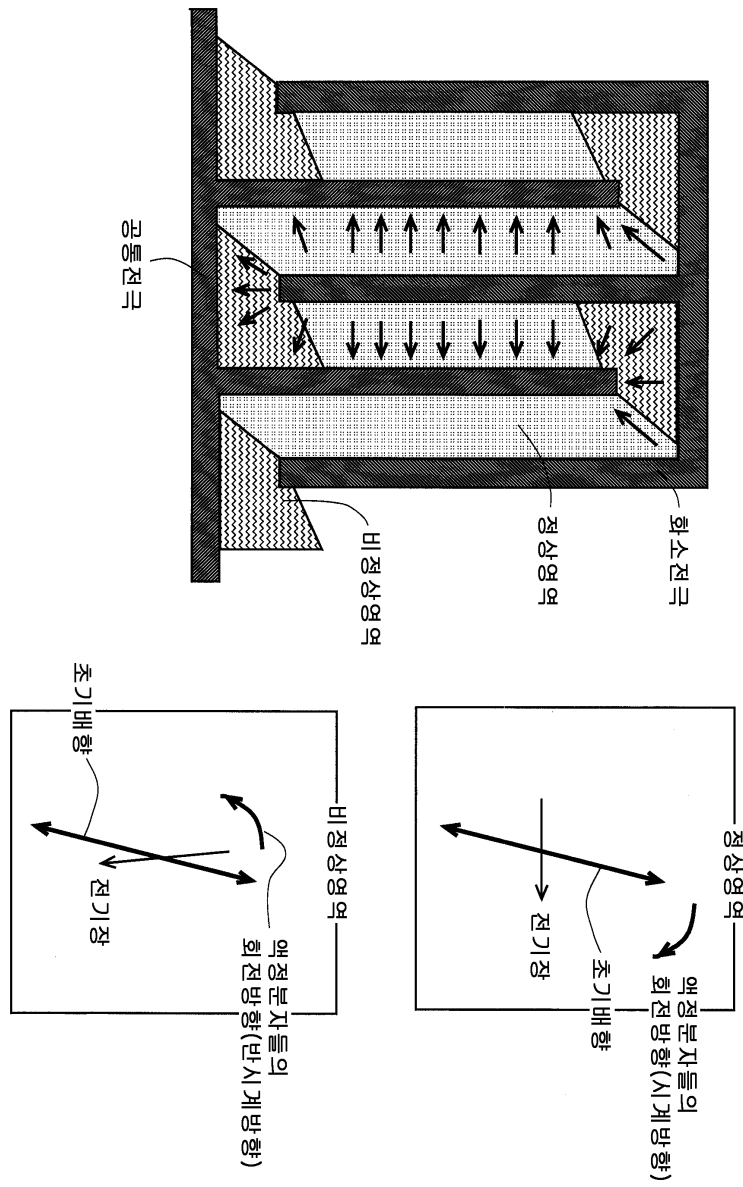
도면20



도면21



도면22



专利名称(译)	使用横向电场的有源矩阵寻址液晶显示器		
公开(公告)号	KR100512896B1	公开(公告)日	2005-09-07
申请号	KR1020030001631	申请日	2003-01-10
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	日元号技术可否让这个夏		
当前申请(专利权)人(译)	日元号技术可否让这个夏		
[标]发明人	MATSUMOTO KIMIKAZU 마쓰모토기미카즈 HANNUKI TAKAHISA 하누키다카히사		
发明人	마쓰모토기미카즈 하누키다카히사		
IPC分类号	G02F1/1362 G02F1/1343 H01L21/336 G09F9/30 H01L29/786 G02F1/1368 G09F9/35		
CPC分类号	G02F1/136213 G02F1/134363		
代理人(译)	JO, EUI JE		
优先权	2002003005 2002-01-10 JP		
其他公开文献	KR1020030061352A		
外部链接	Espacenet		

摘要(译)

在不增加制造成本的情况下改善了开口面积比，而使用平面内切换的有源矩阵寻址LCD设备实现了高磁导率和高制造产量。同时，公共电极线中的第二公共电极线和像素电位层中的第二像素电位层的第二存储电容器和插入绝缘层结合的像素被组织，同时第一公共电极线中的第一公共电极线公共电极线和像素电位层和插入绝缘层中的第一像素电位层为每个像素组织第一存储电容器。第一和第二像素电位层通过相应的像素电极彼此电连接。因此，它防止了由施加的电场引起的液晶分子的旋转完全有助于面板渗透性并且可以降低的整体透明度。这意味着可以获得更高的渗透率。可以为相同的物体另外提供互连电极。公共电极线，像素电位层，存储电容器，像素电极，面板导通性。

