

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
G02F 1/1362

(45) 공고일자 2005년08월31일
(11) 등록번호 10-0511041
(24) 등록일자 2005년08월22일

(21) 출원번호 10-2002-0051413 (65) 공개번호 10-2003-0019199
(22) 출원일자 2002년08월29일 (43) 공개일자 2003년03월06일

(30) 우선권주장 JP-P-2001-00261680 2001년08월30일 일본(JP)

(73) 특허권자 가부시킴가이샤 히타치세이사쿠쇼
일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자 나카야마다카노리
일본지바켄모바라시아찌요1-17-4-101

와타나베류우타
일본지바켄모바라시모바라1538

오이다준
일본지바켄모바라시미도리가오까3-4-13

고또야스꼬
일본지바켄모바라시아찌요1-3-11

미야자끼가오리
일본지바켄모바라시시모나가요시1007

(74) 대리인 장수길
구영창

심사관 : 이종주

(54) 액정 표시 장치

요약

액정을 사이에 두고 대향 배치되는 각 기관 중 한쪽 기관의 액정층의 면의 각 화소 영역에 박막 트랜지스터를 구비하고, 이 박막 트랜지스터는 게이트 신호선에 접속되는 게이트 전극과, 이 게이트 전극과 절연막을 사이에 두고 적층되는 반도체층과, 이 반도체층 위에 드레인 신호선에 접속되는 드레인 전극과, 화소 전극에 접속되는 소스 전극으로 구성되어 있음과 함께, 상기 반도체층은 적어도 상기 소스 전극이 인출되는 면에서 상기 소스 전극의 폭보다 대략 큰 폭 구간에서 주기적인 요철 형상으로 되어 있다.

대표도

도 1

색인어

액정, 얼라인먼트, 박막 트랜지스터, 요철

명세서

도면의 간단한 설명

- 도 1은 본 발명에 따른 액정 표시 장치의 화소의 일 실시예를 도시하는 평면도.
- 도 2는 본 발명에 따른 액정 표시 장치의 일 실시예를 도시하는 전체 평면도.
- 도 3은 도 1의 III-III선에 있어서의 단면도.
- 도 4는 본 발명에 따른 액정 표시 장치의 효과를 나타내는 설명도.
- 도 5는 본 발명의 액정 표시 장치의 다른 실시예를 도시하는 주요부 평면도.
- 도 6은 본 발명에 따른 액정 표시 장치의 화소의 다른 실시예를 도시하는 평면도.
- 도 7은 본 발명에 따른 액정 표시 장치의 화소의 다른 실시예를 도시하는 평면도.
- 도 8은 도 7의 VIII-VIII선에 있어서의 단면도.
- 도 9는 본 발명에 따른 액정 표시 장치의 화소의 다른 실시예를 나타내는 단면도.
- 도 10은 본 발명에 따른 액정 표시 장치의 화소의 다른 실시예를 도시하는 평면도.
- 도 11은 도 10의 X I-X I 선에 있어서의 단면도.
- 도 12는 본 발명에 따른 액정 표시 장치의 화소의 다른 실시예를 도시하는 평면도.
- 도 13은 도 12의 X III-X III선에 있어서의 단면도.
- 도 14는 본 발명의 액정 표시 장치의 다른 실시예를 도시하는 주요부 평면도.
- 도 15는 본 발명에 따른 액정 표시 장치의 화소의 다른 실시예를 도시하는 평면도.
- 도 16은 본 발명에 따른 액정 표시 장치의 화소의 다른 실시예를 도시하는 주요부 평면도.
- 도 17은 본 발명에 따른 액정 표시 장치의 화소의 다른 실시예를 도시하는 주요부 평면도.
- 도 18은 본 발명에 따른 액정 표시 장치의 화소의 다른 실시예를 도시하는 평면도.
- 도 19는 본 발명에 따른 액정 표시 장치의 화소의 다른 실시예를 도시하는 평면도.
- 도 20은 도 18에 도시한 구성에 기초하여 실제 설계 단계에서 정하는 치수를 가미하여 도시하는 평면도.

〈도면의 주요 부분에 대한 부호의 설명〉

SUB : 투명 기관

GL : 게이트 신호선

DL : 드레인 신호선

TFT : 박막 트랜지스터

Cadd : 용량 소자

PX : 화소 전극

CT : 대향 전극

AS : 반도체층

SD1 : 드레인 전극

SD2 : 소스 전극

CND : 도전층

SP : 지주 형상의 스페이서

PRO : 돌출부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 특히 액티브 매트릭스형 액정 표시 장치에 관한 것이다.

액티브 매트릭스형 액정 표시 장치는, 액정을 사이에 두고 대향 배치되는 각 기관 중 한쪽 기관의 액정층의 면에, 그 x 방향으로 연장하고 y 방향으로 병렬 배치되는 게이트 신호선과, y 방향으로 연장하고 x 방향으로 병렬 배치되는 드레인 신호선이 형성되어 있다.

그리고, 이들 각 신호선에 둘러싸인 각 영역을 화소 영역으로 하고, 이들 각 화소 영역에는 게이트 신호선으로부터의 주사 신호에 의해 구동하는 박막 트랜지스터와, 이 박막 트랜지스터를 통해 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극이 구비되어 있다.

이 화소 전극은 액정을 사이에 두고 배치되는 대향 전극과의 사이에 전계를 발생시켜, 이 전계에 의해 해당 액정의 광 투과율을 변화시키도록 작동시키도록 되어 있다.

또한, 화소 영역에는, 화소 전극에 공급된 영상 신호를 비교적 오래 축적시키기 위해서 화소 전극과 전위가 안정된 신호선 사이에 용량 소자를 구비하고 있는 것이 통상이다.

발명이 이루고자 하는 기술적 과제

그러나, 이러한 구성의 액정 표시 장치는 최근의 고정밀화의 경향에 따라, 박막 트랜지스터 또는 용량 소자의 얼라인먼트에 의한 어긋남에 따른 문제점이 크게 영향을 주는 것에 이르고 있다.

박막 트랜지스터 또는 용량 소자의 얼라인먼트에 의한 어긋남이 생긴 경우, 이들의 용량이 미묘하게 변화하고, 이것이 표시의 얼룩을 생기게 하거나 하기 때문이다.

본 발명은 이러한 사정에 기초하여 이루어진 것이다. 본 발명의 이점의 하나는 박막 트랜지스터 또는 용량 소자의 얼라인먼트에 의한 어긋남에 따른 문제점을 해소시킨 액정 표시 장치를 제공하는 데 있다.

발명의 구성 및 작용

본원에 있어서 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면, 다음과 같다.

(1) 본 발명에 따른 액정 표시 장치는, 예를 들면 액정을 사이에 두고 대향 배치되는 각 기판 중 한쪽 기판의 액정층의 면의 각 화소 영역에 박막 트랜지스터를 포함하고,

상기 박막 트랜지스터는 게이트 신호선에 접속되는 게이트 전극과, 이 게이트 전극과 절연막을 사이에 두고 적층되는 반도체층과, 이 반도체층 위에 드레인 신호선에 접속되는 드레인 전극과, 화소 전극에 접속되는 소스 전극으로 구성되어 있음과 함께,

상기 반도체층은 적어도 해당 소스 전극이 인출되는 변에서 해당 소스 전극의 폭보다 대략 큰 폭 구간에서 주기적인 요철 형상으로 되어 있는 것을 특징으로 한다.

(2) 본 발명에 따른 액정 표시 장치는, 예를 들면 액정을 사이에 두고 대향 배치되는 각 기판 중 한쪽 기판의 액정층의 면의 각 화소에 박막 트랜지스터를 포함하고,

상기 박막 트랜지스터는 게이트 신호선과, 이 게이트 신호선의 하나의 영역 상에 절연막을 사이에 두고 적층되는 반도체층과, 이 반도체층 위에 드레인 신호선에 접속되는 드레인 전극과, 화소 전극에 접속되는 소스 전극으로 구성되어 있음과 함께,

상기 반도체층은 적어도 해당 소스 전극이 인출되는 변에서 해당 소스 전극의 폭보다 대략 큰 폭 구간에서 주기적인 요철 형상으로 되어 있으며,

상기 게이트 신호선은 그 박막 트랜지스터 형성 영역의 근방에서, 해당 소스 전극이 인출되는 측의 변이 돌출되어 형성됨으로써, 폭이 넓어지는 것을 특징으로 한다.

(3) 본 발명에 따른 액정 표시 장치는, 예를 들면 액정을 사이에 두고 대향 배치되는 각 기판 중 한쪽 기판의 액정층의 면에, 병렬 배치되는 복수의 게이트 신호선과 이들 각 게이트 신호선과 교차하여 병렬 배치되는 복수의 드레인 신호선과,

이들 게이트 신호선과 드레인 신호선에 의해 둘러싸이는 각 화소 영역에, 일측의 게이트 신호선으로부터의 주사 신호에 의해 구동되는 박막 트랜지스터와, 이 박막 트랜지스터를 통해 일측의 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 이 화소 전극과 다른 일측의 게이트 신호선 사이에 형성되는 용량 소자를 포함하고,

상기 용량 소자는 상기 다른 일측의 게이트 신호선 상에, 상기 박막 트랜지스터의 게이트 절연막이 연장되어 형성되는 제1 절연막과, 이 절연막 상에 형성되는 도전층과, 이 도전층 상에 상기 박막 트랜지스터를 덮는 보호막이 연장되어 형성되는 제2 절연막과, 이 제2 절연막 상에 형성되는 상기 화소 전극의 연장부를 포함하고, 해당 연장부는 상기 제2 절연막에 형성된 관통홀을 통해 상기 도전층에 형성되는 것인 것을 특징으로 한다.

(4) 본 발명에 따른 액정 표시 장치는, 예를 들면 액정을 사이에 두고 대향 배치되는 각 기판 중 한쪽 기판의 액정층의 면에, 병렬 배치되는 복수의 게이트 신호선과 이들 각 게이트 신호선과 교차하여 병렬 배치되는 복수의 드레인 신호선과,

이들 게이트 신호선과 드레인 신호선에 의해 둘러싸인 각 화소 영역에, 일측의 게이트 신호선으로부터의 주사 신호에 의해 구동되는 박막 트랜지스터와, 이 박막 트랜지스터를 통해 일측의 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 이 화소 전극과 다른 일측의 게이트 신호선 사이에 형성되는 용량 소자를 포함하고,

상기 용량 소자는 상기 다른 일측의 게이트 신호선 상에, 상기 박막 트랜지스터의 게이트 절연막이 연장되어 형성되는 제1 절연막과, 이 절연막 상에 형성되는 도전층과, 이 도전층 상에 상기 박막 트랜지스터를 덮는 보호막이 연장되어 형성되는 제2 절연막과, 이 제2 절연막 상에 형성되는 상기 화소 전극의 연장부와를 포함하고, 해당 연장부는 상기 제2 절연막에 형성된 관통홀을 통해 상기 도전층에 형성되는 것임과 함께,

상기 도전층은 게이트 신호선의 폭 방향으로 연장되어 해당 게이트 신호선을 걸쳐도록 하여 형성되어 있는 것을 특징으로 한다.

(5) 본 발명에 따른 액정 표시 장치는, 예를 들면 액정을 사이에 두고 대향 배치되는 각 기관 중 한쪽 기관의 액정층의 면에, 병렬 배치되는 복수의 게이트 신호선과 이들 각 게이트 신호선과 교차하여 병렬 배치되는 복수의 드레인 신호선과,

이들 게이트 신호선과 드레인 신호선에 의해 둘러싸인 각 화소 영역에, 일측의 게이트 신호선으로부터의 주사 신호에 의해 구동되는 박막 트랜지스터와, 이 박막 트랜지스터를 통해 일측의 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 이 화소 전극과 다른 일측의 게이트 신호선 사이에 형성되는 용량 소자를 포함하고,

상기 용량 소자는 상기 다른 일측의 게이트 신호선 상에, 상기 박막 트랜지스터의 게이트 절연막이 연장되어 형성되는 제1 절연막과, 이 절연막 상에 형성되는 도전층과, 이 도전층 상에 상기 박막 트랜지스터를 덮는 보호막이 연장되어 형성되는 제2 절연막과, 이 제2 절연막 상에 형성되는 상기 화소 전극의 연장부를 포함하고, 해당 연장부는 상기 제2 절연막에 형성된 관통홀을 통해 상기 도전층에 형성되는 것임과 함께,

상기 각 기관 중 다른 쪽 기관의 액정층의 면에 형성되고, 상기 용량 소자의 형성 영역 내에 대향하는 지주 형상의 스페이서를 포함하고, 이 스페이서는 상기 관통홀의 형성 영역을 회피하여 형성되어 있는 것을 특징으로 한다.

(6) 본 발명에 따른 액정 표시 장치는, 예를 들면 액정을 사이에 두고 대향 배치되는 각 기관 중 한쪽 기관의 액정층의 면의 각 화소 영역에 박막 트랜지스터를 포함하고,

해당 박막 트랜지스터는, 게이트 전극 상에, 게이트 절연막과, 이 절연막 상에 형성되어 상기 게이트 전극을 사이에 두고 배치되는 다른 화소 영역측에 원호부를 갖는 거의 반원형의 패턴을 이루는 반도체층과, 이 반도체층 위에 해당 반도체층의 원호부를 따른 원호 형상으로 되어 있는 드레인 전극과, 이 원호형을 이루는 드레인 전극의 중심점에 위치 결정되는 원형 형상으로 그 직경과 거의 같은 폭으로 해당 화소 영역측으로 연장하는 연장부를 갖는 소스 전극을 갖고,

상기 반도체층은 그 소스 전극이 인출되는 상기 원호부 이외의 면에서 해당 소스 전극의 폭보다 큰 폭 구간에서 주기적인 요철 형상으로 되어 있는 것을 특징으로 한다.

(7) 본 발명에 따른 액정 표시 장치는, 예를 들면 액정을 사이에 두고 대향 배치되는 각 기관 중 한쪽 기관의 액정층의 면에, 병렬 배치되는 복수의 게이트 신호선과 이들 각 게이트 신호선과 교차하여 병렬 배치되는 복수의 드레인 신호선과,

이들 게이트 신호선과 드레인 신호선에 의해 둘러싸이는 각 화소 영역에, 일측의 게이트 신호선으로부터의 주사 신호에 의해 구동되는 박막 트랜지스터와, 이 박막 트랜지스터를 통해 일측의 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 이 화소 전극과 다른 일측의 게이트 신호선 사이에 형성되는 용량 소자를 포함하고,

상기 박막 트랜지스터는 상기 일측의 게이트 신호선 상에, 게이트 절연막과, 이 절연막 상에 형성되어 상기 일측의 게이트 신호선을 사이에 두고 배치되는 다른 화소 영역측에 원호부를 갖는 거의 반원형의 패턴을 이루는 반도체층과, 이 반도체층 위에 해당 반도체층의 원호부를 따른 원호 형상으로 되어 있는 드레인 전극과, 이 원호형을 이루는 드레인 전극의 중심점에 위치 결정되는 원형 형상으로 그 직경과 같은 폭으로 해당 화소 영역측으로 연장하는 연장부를 갖는 소스 전극을 갖고,

상기 용량 소자는 상기 다른 일측의 게이트 신호선 상에, 적어도, 상기 박막 트랜지스터의 게이트 절연막이 연장되어 형성되는 제1 절연막과, 상기 박막 트랜지스터를 덮는 보호막이 연장되어 형성되는 제2 절연막과, 이 제2 절연막 상에 형성되는 상기 화소 전극의 연장부를 갖고,

상기 용량 소자의 일부를 구성하는 상기 다른 일측의 게이트 신호선은 이 게이트 신호선을 사이에 두는 다른 화소 영역의 화소 전극의 일부와 중첩하는 돌출부를 포함하는 것을 특징으로 한다.

(8) 본 발명에 따른 액정 표시 장치는, 예를 들면 액정을 사이에 두고 대향 배치되는 각 기관 중 한쪽 기관의 액정층의 면의 각 화소 영역에 박막 트랜지스터를 포함하고,

해당 박막 트랜지스터는 게이트 전극 상에, 게이트 절연막과, 이 절연막 상에 형성되고 상기 게이트 전극을 사이에 두고 배치되는 다른 화소 영역측에 원호부를 갖는 거의 반원형의 패턴을 이루는 반도체층과, 이 반도체층 위에 해당 반도체층의 원호부를 따른 원호 형상으로 되어 있는 드레인 전극과, 이 원호형을 이루는 드레인 전극의 중심점에 위치 결정되는 원형 형상으로 그 직경과 거의 같은 폭으로 해당 화소 영역측으로 연장하는 연장부를 갖는 소스 전극을 갖고,

상기 게이트 전극은 그 박막 트랜지스터의 소스 전극이 인출되는 측의 변에서 해당 소스 전극과 중첩되어 해당 소스 전극의 연장 방향으로 연장하는 돌출부를 포함하는 것을 특징으로 한다.

(9) 본 발명에 따른 액정 표시 장치는, 예를 들면 액정을 사이에 두고 대향 배치되는 각 기관 중 한쪽 기관의 액정측의 면에, 병렬 배치되는 복수의 게이트 신호선과 이들 각 게이트 신호선과 교차하여 병렬 배치되는 복수의 드레인 신호선과,

이들 게이트 신호선과 드레인 신호선에 의해 둘러싸이는 각 화소 영역에, 일측의 게이트 신호선으로부터의 주사 신호에 의해 구동되는 박막 트랜지스터와, 이 박막 트랜지스터를 통해 일측의 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 이 화소 전극과 다른 일측의 게이트 신호선 사이에 형성되는 용량 소자를 포함하고,

상기 박막 트랜지스터는 상기 일측의 게이트 신호선 상에, 게이트 절연막과, 이 절연막 상에 형성되고 상기 일측의 게이트 신호선을 사이에 두고 배치되는 다른 화소 영역측에 원호부를 갖는 거의 반원형의 패턴을 이루는 반도체층과, 이 반도체층 위에 해당 반도체층의 원호부를 따른 원호 형상으로 되어 있는 드레인 전극과, 이 원호형을 이루는 드레인 전극의 중심점에 위치 결정되는 원형 형상으로 그 직경과 거의 같은 폭으로 해당 화소 영역측으로 연장하는 연장부를 갖는 소스 전극을 갖고,

상기 용량 소자는 상기 다른 일측의 게이트 신호선 상에, 적어도, 상기 박막 트랜지스터의 게이트 절연막이 연장되어 형성되는 제1 절연막과, 상기 박막 트랜지스터를 덮는 보호막이 연장되어 형성되는 제2 절연막과, 이 제2 절연막 상에 형성되는 상기 화소 전극의 연장부를 갖고,

상기 제2 절연막은, 유기 재료층만 또는 무기 재료층 및 유기 재료층의 순차적인 적층체로 구성되어 있음과 함께,

상기 용량 소자의 일부를 구성하는 상기 다른 일측의 게이트 신호선은 이 게이트 신호선을 사이에 두는 다른 화소 영역의 화소 전극의 일부와 중첩하는 돌출부를 포함하는 것을 특징으로 한다.

이하, 본 발명에 따른 액정 표시 장치의 실시예를 도면을 이용하여 설명을 한다.

〈제1 실시예〉

도 2는 본 발명에 따른 액정 표시 장치의 일 실시예를 도시하는 평면도이다.

도 2에서, 액정을 사이에 두고 상호 대향 배치되는 한 쌍의 투명 기관 SUB1, SUB2가 있고, 해당 액정은 하나의 투명 기관 SUB1에 대하여 다른 하나의 투명 기관 SUB2의 고정시키는 기능을 겸하는 시일재 SL에 의해 봉입되어 있다. 시일재 SL에 의해 둘러싸인 상기 하나의 투명 기관 SUB1의 액정측의 면에는 그 x 방향으로 연장하고 y 방향으로 병렬 배치된 게이트 신호선 GL과 y 방향으로 연장하고 y 방향으로 병렬 배치된 드레인 신호선 DL이 형성되어 있다.

각 게이트 신호선 GL과 각 드레인 신호선 DL로 둘러싸인 영역은 화소 영역을 구성함과 함께, 이들 각 화소 영역의 매트릭스 형상의 집합체는 액정 표시부 AR을 구성하도록 되어 있다.

각 화소 영역에는 그 편측의 게이트 신호선 GL로부터의 주사 신호에 의해 작동되는 박막 트랜지스터 TFT와, 이 박막 트랜지스터 TFT를 통해 편측의 드레인 신호선 DL로부터의 영상 신호가 공급되는 화소 전극 PX가 형성되어 있다.

이 화소 전극 PX는 다른 하나의 투명 기관 SUB2측의 각 화소 영역에 공통으로 형성한 대향 전극(도시 생략)과의 사이에 전계를 발생시켜, 이 전계에 의해 액정의 광 투과율을 제어시키도록 되어 있다.

상기 게이트 신호선 GL의 각각의 일단은 상기 시일재 SL을 넘어 연장되고, 그 연장단은 수직 주사 구동 회로 V의 출력 단자가 접속되는 단자를 구성하도록 되어 있다. 또한, 상기 수직 주사 구동 회로 V의 입력 단자는 액정 표시 패널의 외부에 배치된 프린트 기관으로부터의 신호가 입력되도록 되어 있다.

수직 주사 구동 회로 V는 복수개의 반도체 장치로 이루어지고, 상호 인접하는 복수의 게이트 신호선끼리 그룹화되고, 이들 각 그룹마다 한 개의 반도체 장치가 할당되어 있다.

마찬가지로, 상기 드레인 신호선 DL의 각각의 일단은 상기 시일재 SL을 넘어 연장되고, 그 연장단은 영상 신호 구동 회로 He의 출력 단자가 접속되는 단자를 구성하도록 되어 있다. 또한, 상기 영상 신호 구동 회로 He의 입력 단자는 액정 표시 패널의 외부에 배치된 프린트 기판으로부터의 신호가 입력되도록 되어 있다.

이 영상 신호 구동 회로 He도 복수개의 반도체 장치로 이루어지고, 상호 인접하는 복수의 드레인 신호선 DL끼리 그룹화되고, 이들 각 그룹마다 한 개의 반도체 장치가 할당되어 있다.

상기 각 게이트 신호선 GL은 수직 주사 회로 V로부터의 주사 신호에 의해, 그 하나가 순차적으로 선택되도록 되어 있다.

또한, 상기 각 드레인 신호선 DL의 각각에는 영상 신호 구동 회로 He에 의해, 상기 게이트 신호선 GL의 선택의 타이밍에 맞춰 영상 신호가 공급되도록 되어 있다.

도 1은 상기 화소 영역에서의 구성을 나타내는 도면이고, 도 1의 III-III선에 있어서의 단면도를, 도 3에 도시하고 있다.

도 1에서, 투명 기판 SUB1의 액정층의 면에, 우선, x 방향으로 연장하고 y 방향으로 병렬 배치되는 한 쌍의 게이트 신호선 GL이 형성되어 있다.

이들 게이트 신호선 GL은 후술하는 한 쌍의 드레인 신호선 DL과 함께 구형의 영역을 둘러싸도록 되어 있으며, 이 영역을 화소 영역으로서 구성하도록 되어 있다.

또, 이 게이트 신호선 GL의 형성과 동시에 형성되는 차광막 CL이 있으며, 이 차광막 CL은 화소 영역의 좌우의 측면에 드레인 신호선 DL에 평행하게, 근접 설치되어 있다.

이 차광막 CL은 투명 기판 SUB2측에 형성되는 블랙 매트릭스와 함께 화소 영역을 구획하는 것으로써, 해당 차광막 CL의 존재에 의해, 투명 기판 SUB1에 대한 투명 기판 SUB2의 정합 시의 여유도를 크게 할 수 있다.

이와 같이 게이트 신호선 GL 및 차광막 CL이 형성된 투명 기판 SUB1의 표면에는, 예를 들면 SiN으로 이루어지는 절연막 GI가 해당 게이트 신호선 GL을 피복하여 형성되어 있다.

이 절연막 GI는 후술하는 드레인 신호선 DL의 형성 영역에서는 상기 게이트 신호선 GL에 대한 층간 절연막으로서의 기능을, 후술하는 박막 트랜지스터 TFT의 형성 영역에서는 그 게이트 절연막으로서의 기능을, 후술하는 용량 소자 Cadd의 형성 영역에서는 그 유전체막으로서의 기능을 갖게 되어 있다.

그리고, 이 절연막 GI의 표면에서, 상기 게이트 신호선 GL의 일부에 중첩하도록 하여, 예를 들면 비정질 Si로 이루어지는 반도체층 AS가 형성되어 있다.

이 반도체층 AS는 박막 트랜지스터 TFT의 반도체층이고, 그 상면에 드레인 전극 SD1 및 소스 전극 SD2를 형성함으로써, 게이트 신호선 GL의 일부를 게이트 전극으로 하는 역스태거 구조의 MIS형 트랜지스터를 구성할 수 있다.

여기서, 상기 드레인 전극 SD1 및 소스 전극 SD2는 예를 들면 드레인 신호선 DL의 형성 시에, 동시에 형성되도록 되어 있다.

즉, y 방향으로 연장되고 x 방향으로 병렬 배치되는 드레인 신호선 DL이 형성되고, 그 일부가 상기 반도체층 AS의 상면에까지 연장되어 드레인 전극 SD1이 형성되고, 또한 이 드레인 전극 SD1과 박막 트랜지스터 TFT의 채널 길이만큼 이격되어 소스 전극 SD2가 형성되어 있다.

이 소스 전극 SD2는 반도체층 AS면으로부터 화소 영역측의 절연막 GI의 상면에 이를 때까지 약간 연장되어, 후술하는 화소 전극 PX와의 접속을 도모하기 위한 콘택트부 CN이 형성되어 있다.

여기서, 상기 반도체층 AS는 적어도, 그 상층에 형성되는 소스 전극 SD2가 해당 반도체층 AS가 형성되어 있지 않는 영역에까지 인출되는 변부에서, 주기적인 요철이 반복되는 톱 형상의 패턴으로 형성되어 있다.

이와 같이 한 이유는, 반도체층 AS의 단차부에서의 소스 전극 SD2의 절단에 따른 문제점을 상기 톱 형상의 패턴으로 함으로써 단차부의 길이를 길게 하여, 절단이 생기는 부분이 해당 단차부의 전부에 미치지 않도록 한 것에 있다.

또한, 반도체층 AS에 대하여 소스 전극 SD2를 형성하는 경우에, 가령 소스 전극 SD2의 얼라인먼트의 어긋남(특히, x 방향의 어긋남)에 의해서도 반도체층 AS에 대하여 해당 소스 전극 SD가 중첩하는 면적이 변화하지 않도록 한 것에 있다.

여기서, x 방향의 얼라인먼트 어긋남을 문제로 하는 것은, 액정 표시부 AR은 그 y 방향 변보다 x 방향 변이 큰 것이 일반적이고, 이에 의해, x 방향의 얼라인먼트 어긋남이 y 방향의 얼라인먼트 어긋남보다 커서, 이를 무시할 수 없기 때문이다.

또, 반도체층 AS와 드레인 전극 SD1 및 소스 전극 SD2와의 계면에는 고농도의 불순물이 도핑된 얇은 층이 형성되고, 이 층은 콘택트층으로서 기능하도록 되어 있다.

이 콘택트층은 예를 들면 반도체층 AS의 형성 시에, 그 표면에 이미 고농도의 불순물층이 형성되어 있어서, 그 상면에 형성한 드레인 전극 SD1 및 소스 전극 SD2의 패턴을 마스크로 하여 그것으로부터 노출된 상기 불순물층을 에칭함으로써 형성할 수 있다.

이와 같이 박막 트랜지스터 TFT, 드레인 신호선 DL, 드레인 전극 SD1, 및 소스 전극 SD2가 형성된 투명 기판 SUB1의 표면에는, 예를 들면 SiN 등의 무기 재료층과 수지 등의 유기 재료층의 순차적인 적층체로 이루어지는 보호막 PSV가 형성되어 있다. 이 보호막 PSV는 상기 박막 트랜지스터 TFT가 액정과 직접적인 접촉을 회피하도록 층으로부터, 해당 박막 트랜지스터 TFT의 특성 열화를 방지하도록 되어 있다.

보호막 PSV의 상면에는 화소 전극 PX가 형성되어 있다. 이 화소 전극 PX는 예를 들면 ITO(Indium-Tin-Oxide)막으로 이루어지는 투광성 도전막으로 구성되어 있다.

이 화소 전극 PX는 박막 트랜지스터 TFT의 형성 영역을 회피하여 화소 영역의 대부분을 차지하도록 하여 형성되어 있다. 그리고, 그 일부가 상기 보호막 PSV의 일부에 형성된 콘택트홀 CH를 통해 박막 트랜지스터 TFT의 소스 전극 SD2에 전기적으로 접속되어 있다.

또한, 화소 전극 PX는 이것에 접속되는 상기 박막 트랜지스터 TFT를 구동하는 게이트 신호선 GL이 아닌 다른 인접하는 게이트 신호선 GL의 상방에 이를 때까지 연장되어, 해당 다른 게이트 신호선 GL과 중첩하는 부분을 형성하고 있다. 이 부분에서, 화소 전극 PX와 다른 게이트 신호선 GL 사이에 상기 보호막 PSV를 유전체막으로 하는 용량 소자 Cadd가 형성되도록 되어 있다.

이 용량 소자 Cadd는, 예를 들면 화소 전극 PX에 공급된 영상 신호를 비교적 오래 축적시키는 등의 기능을 갖도록 하고 있다.

그리고, 이와 같이 화소 전극 PX가 형성된 투명 기판 SUB1의 상면에는 해당 화소 전극 PX를 피복하여 배향막(도시 생략)이 형성되어 있다. 이 배향막은 액정과 직접적으로 접촉하는 막으로, 그 표면에 형성된 러빙에 의해 해당 액정의 분자의 초기 배향 방향을 결정하게 되어 있다.

이와 같이 구성한 액정 표시 장치는, 박막 트랜지스터 TFT의 소스 전극 SD2를 형성할 때에, 반도체층 AS에 대하여 얼라인먼트의 어긋남(특히 도면의 x 방향의 어긋남)이 생긴 경우에도 반도체층 AS와 소스 전극 SD의 중첩된 부분에서 면적이 불변하는 것은 상술하였다.

도 4는 반도체층 AS에 대하여 소스 전극 SD가 정상적으로 형성된 경우와, 그에 대하여 좌우 방향의 각각에 어긋남이 생긴 경우를 나타내는 설명도이다.

반도체층 AS의 소스 전극 SD2가 인출되는 변이 주기적인 요철이 반복되는 톱 형상의 패턴으로 형성되어 있기 때문에, 해당 소스 전극 SD2가 어긋나고, 그 어긋남 방향의 변에서, 가령 반도체층 AS와 보다 많이 중첩하게 되어도 그 반대층의 변에서 반도체층과 그 만큼만 중첩이 없어지는 관계가 형성된다.

이 때문에, 박막 트랜지스터 TFT의 게이트-소스간 용량(Cgs)은 일정치로 유지되어, 소스 전극 SD2의 얼라인먼트의 어긋남에 의해 변하는 것은 없게 된다.

이로 인해, 반도체층 AS에 형성되는 주기적인 요철 형상은, 해당 소스 전극 SD2의 폭보다 큰 폭 구간으로 형성되어 있을 것이 필요하게 되고, 그 폭은 경험칙에 의한 해당 소스 전극 SD의 얼라인먼트 어긋남의 최대치에 기초하여 정해진다.

또, 상술한 실시예에서는 반도체층 AS의 소스 전극 SD2의 인출 측에 형성하는 주기적인 요철의 반복은 직선을 지그재그로 굴곡시킨 톱 형상으로 한 것이다. 그러나, 이것은 엄밀히 정해지는 것이 아니고, 예를 들면 도 5의 (a) 내지 도 5의 (d)에 도시한 바와 같은 패턴이어도 된다. 요는 주기적인 동형의 요철의 반복이 행해지는 패턴에 의해 본 발명의 효과를 달성할 수 있다.

〈제2 실시예〉

도 6은 본 발명에 따른 액정 표시 장치의 다른 실시예를 도시하는 구성도로, 도 1에 대응한 도면이다.

도 1의 경우와 비교하여 상이한 구성은, 게이트 신호선 GL 중 박막 트랜지스터 TFT의 반도체층 AS가 중첩되는 근방부에서 폭이 넓어져 있으며, 특히, 해당 박막 트랜지스터 TFT의 소스 전극 SD2의 인출측의 변부가 화소 영역측으로 돌출한(비어져 나옴) 패턴으로 형성되어 있는 것에 있다.

이와 같이 한 경우, 게이트 신호선 GL에 대한 반도체층 AS의 얼라인먼트 어긋남에 의해, 해당 반도체층 AS의 일부가 게이트 신호선 GL로부터 돌출하여 형성되는 것을 회피할 수 있다.

제1 실시예에 도시한 반도체층 AS의 상술한 특징적인 패턴에 의한 효과는, 해당 반도체층 AS가 게이트 신호선 GL 상에 중첩되어 형성되어 있는 것이 전제가 되고, 해당 반도체층 AS의 일부가 게이트 신호선 GL로부터 돌출된 경우에는 상술한 효과를 얻을 수 없음에 기초하고 있다.

〈제3 실시예〉

도 7은 본 발명에 따른 액정 표시 장치의 다른 실시예를 도시하는 구성도로, 도 1에 대응한 도면이다. 또한, 도 7의 VIII-VIII선에 있어서의 단면을, 도 8에 도시하고 있다.

도 1의 경우와 비교하여 상이한 구성은, 용량 소자 Cadd의 부분에 있다. 게이트 신호선 GL과 절연막 GI를 사이에 두고 도전층 CND가 형성되고, 이 도전층 CND는 그 상층에 형성되는 보호막 PSV에 형성된 관통홀을 통해 화소 전극 PX의 연장부에 접속되어 있다.

여기서, 상기 도전층 CND는, 예를 들면 드레인 신호선 DL의 형성 시에 동시에 형성되도록 되어 있다.

이에 의해, 화소 영역의 개구부를 작게 하지 않고, 용량 소자 Cadd의 용량을 크게 할 수 있다.

이 경우, 용량 소자 Cadd의 용량은, 용량이 커진 만큼, 상기 도전층 CND의 얼라인먼트의 어긋남에 의해 용량치의 변동이 커지는 것은 부정할 수 없다.

이 때문에, 본 실시예에서는 상기 도전층 CND는 게이트 신호선 GL의 폭 방향에서 해당 게이트 신호선 GL을 충분히 걸치도록 하여 형성되어 있다. 이에 의해, 해당 도전층 CND에 도면 중 y 방향의 얼라인먼트 어긋남이 생겨도, 해당 도전층 CND와 게이트 신호선 GL의 중첩부에서의 면적이 변하지 않기 때문에, 용량 소자 Cadd의 용량이 변동하지 않게 되는 효과를 갖는다.

도 8에 도시한 바와 같이 게이트 신호선 GL의 폭을 W5, 이 게이트 신호선 GL을 걸쳐 형성되는 상기 도전층 CND의 한쪽의 돌출부는 돌출 폭을 W4로 하고, 게이트 신호선 GL과 화소 전극 PX의 이격 거리를 W3으로 한 경우, 다음 식(1)의 관계가 성립하도록 설정함으로써, 화소 전극 PX의 기생 용량의 증가를 회피할 수 있음과 함께, 용량 소자 Cadd의 용량치 변동을 억제할 수 있다.

수학식 1

$$\frac{1}{4} \times W3 \leq W4 \leq \frac{3}{4} \times W3$$

또한, 본 실시예에서는 박막 트랜지스터 TFT와 그 소스 전극 SD2와의 얼라인먼트의 어긋남 대책을 실시하고 있지 않는 구성으로 되어 있다. 그러나, 제1 실시예, 제2 실시예에 도시한 바와 같은 구성을 그대로 채용해도 되는 것은 물론이다.

〈제4 실시예〉

도 9는 본 발명에 따른 액정 표시 장치의 다른 실시예를 도시하는 구성도로, 도 8에 대응한 도면이다.

도 8의 경우와 비교하여 상이한 구성은, 보호막 PSV를 무기 재료층으로 이루어지는 보호막 IPAS와 유기 재료층으로 이루어지는 보호막 OPAS와의 순차적인 적층체로 형성하고, 상기 도전층 CND와 화소 전극 PX와의 전기적 접속은 해당 적층체에 형성한 관통홀을 통해 이루어지고 있는 것에 있다.

이러한 보호막 PSV를 형성함으로써, 그 표면은 평탄화되고, 화소 전극 PX를 피복하여 형성되는 배향막 ORI1의 러빙 처리에 신뢰성이 있는 것을 얻을 수 있다. 그리고, 유기 재료층으로 이루어지는 보호막 OPAS의 형성에 의해, 용량 소자 Cadd의 용량치의 감소는 벗어나지 않지만, 그 감소량은 매우 적은 범위로 억제할 수 있는 효과를 갖는다.

또, 본 실시예에서는 보호막 PSV를 무기 재료층으로 이루어지는 보호막 IPAS와 유기 재료층으로 이루어지는 보호막 OPAS와의 순차적인 적층체로 형성한 것이지만, 유기 재료층으로 이루어지는 보호막 OPAS만으로 형성해도 마찬가지로의 효과를 발휘하는 것은 물론이다.

또한, 본 실시예에서는 박막 트랜지스터 TFT와 그 소스 전극 SD2와의 얼라인먼트의 어긋남 대책을 실시하고 있지 않는 구성으로 되어 있다. 그러나, 제1 실시예, 제2 실시예에 도시한 바와 같은 구성을 그대로 채용해도 되는 것은 물론이다.

〈제5 실시예〉

도 10은 본 발명에 따른 액정 표시 장치의 다른 실시예를 도시하는 구성도로, 도 7에 대응한 도면이다. 또한, 도 10의 X I-X I 선에 있어서의 단면을, 도 11에 도시하고 있다.

도 7의 경우와 비교하여 상이한 구성은, 화소 전극 PX가 게이트 신호선 GL 측에 연장되고, 이에 의해, 해당 게이트 신호선 GL의 x 방향 변의 일부와 중첩하도록 되어 있는 것에 있다. 또한, 해당 화소 전극 PX는 드레인 신호선 DL 측에도 연장되고, 해당 드레인 신호선 DL의 일부와 중첩하도록 되어 있다.

이에 의해, 화소 영역의 개구율을 향상시킬 수 있다. 이 경우, 화소 전극 PX가 상기 도전층 CND와 일부 중첩하게 되지만, 이들 사이에 생기는 용량은 유기 재료로 이루어지는 보호막 OPAS에 의해 대폭 억제할 수 있어, 화질에 대한 영향을 방지할 수 있는 효과를 갖는다.

〈제6 실시예〉

도 12는 본 발명에 따른 액정 표시 장치의 다른 실시예를 도시하는 구성도로, 도 7에 대응한 도면이다. 또한, 도 12의 X III-X III 선에 있어서의 단면을, 도 13에 도시하고 있다.

도 13의 경우와 비교하여 상이한 구성은 투명 기판 SUB1에 대한 투명 기판 SUB2의 겹을 균일하게 하기 위한 스페이서 SP의 구성을 명확하게 하고 있는 것에 있다.

해당 스페이서 SP는 투명 기판 SUB2의 액정층의 면에 형성된 지주 형상의 스페이서 SP로 이루어지고, 이 스페이서 SP는 용량 소자 Cadd에 대향하도록 형성되어 있다. 용량 소자 Cadd의 형성 영역은 비교적 큰 면적을 갖고, 이에 대향하도록 하여 해당 스페이서 SP를 배치하도록 하면, 개구율을 저감시키지 않게 되기 때문이다.

또, 지주 형상의 스페이서 SP는 투명 기판 SUB2의 액정층의 면의 전역에 도포된 유기 재료층을 포토리소그래피 기술에 의한 선택 에칭법에 의해 형성되는 것으로, 그 형성 개소는 임의로 설정할 수 있다.

그리고, 해당 지주 형상의 스페이서 SP는 용량 소자 Cadd의 형성 영역 내에서 도전층 CND와 화소 전극 PX의 연장부와의 접촉을 도모하는 관통홀부 CH를 회피하여 배치되어 있다. 관통홀부 CH에 대향시켜 해당 스페이서 SP를 배치시킨 경우에 겹 정밀도를 확보할 수 없기 때문이다.

또한, 도 13에 도시한 바와 같이 스페이서의 정상부의 크기(단면이 원인 경우의 그 직경, 단면이 구형인 경우의 그 폭)를 W6으로 하고, 관통홀부 CH의 저면의 크기(단면이 원인 경우의 그 직경, 단면이 구형인 경우의 그 폭)를 W7로 한 경우, W6>W7의 관계를 갖도록 설정하는 것이 바람직하다.

투명 기관 SUB1에 대한 투명 기관 SUB2의 정합 시에, 이들 상대 위치가 미묘하게 어긋나서, 스페이서 SP가 관통홀부 CH에 완전히 감입되어 빠져 나가지 않는 것을 방지하기 위함이다.

또, 상기 스페이서 SP는 용량 소자 Cadd의 형성 영역 내에서 상기 관통홀부 CH를 회피하는 개소에 형성되어 있으면, 예를 들면, 도 14의 (a) 내지 도 14의 (c)에 도시한 바와 같은 부분에 배치되어 있어도 된다.

〈제7 실시예〉

도 15는 본 발명에 따른 액정 표시 장치의 다른 실시예를 도시하는 구성도로, 도 12에 대응한 도면이다.

도 12의 경우와 비교하여 상이한 구성은, 박막 트랜지스터 TFT에 있다. 즉, 그 반도체층 AS는 해당 화소 영역과 반대측에서 원호부를 갖는 거의 반원형의 패턴을 이루고, 그 드레인 전극 SD1은 해당 반도체층 AS의 원호부를 따른 원호 형상으로 되어 있음과 함께, 소스 전극 SD2는 원호형을 이루는 드레인 전극 SD1의 중심점에 위치되는 원형 형상으로 그 직경과 같은 폭으로 해당 화소 영역측으로 연장하는 연장부로 구성되어 있다.

이와 같이 구성되는 박막 트랜지스터 TFT는 원호형을 이루는 드레인 전극 SD1의 길이에 따른 기입 능력을 가짐과 함께, 소스 전극 SD2의 폭이 대폭 작아지기 때문에, 게이트-소스간 용량(Cgs)을 작게 할 수 있어, 그 변동을 작게 할 수 있다.

그러나, 소스 전극 SD2의 폭이 작으면, 반도체층 AS의 단차의 부분에서의 절단이 생기기 쉽고, 본 실시예에서는 특히, 거의 반원형 패턴을 이루는 반도체층 AS에서, 그 원호부를 제외한 부분, 즉, 소스 전극 SD2가 인출되는 변부를 주기적인 요철 형상으로 하였다.

이와 같이 하면, 소스 전극 SD2에 의해 피복되는 반도체층 AS의 단차부는 그 사행(蛇行; zigzag arrangement)에 의해 길이를 크게 할 수 있어, 가령 한 곳에서 절단이 생겼다고 해도 다른 개소에서 전기적인 접촉을 확보할 수 있게 된다.

또한, 반도체층 AS에 대하여 소스 전극 SD2의 얼라인먼트의 어긋남이 생겨도 게이트-소스간 용량(Cgs)의 변동은 거의 생기지 않는 것은 제1 실시예에서 설명한 것과 마찬가지이다.

또, 상기 실시예에서는 드레인 전극 SD1의 형상은 반원호형으로 하고 있는 것이지만, 이에 한정되지 않고, 도 16에 도시한 바와 같이 거의 60°의 개방각을 갖는 원호형이어도 되는 것은 물론이다. 드레인 전극 SD1의 상기 개방각은 박막 트랜지스터 TFT의 채널 폭을 어느 정도로 설정할지로 결정되기 때문이다.

〈제8 실시예〉

도 17은 본 발명에 따른 액정 표시 장치의 다른 실시예를 도시하는 구성도로, 도 15에 대응한 도면이며, 박막 트랜지스터 TFT의 형성 영역 근방을 나타낸 도면으로 되어 있다.

도 15와 비교하여 상이한 구성은, 제7 실시예에 도시한 박막 트랜지스터 TFT의 구성을, 소위 횡전계 방식의 액정 표시 장치의 박막 트랜지스터 TFT에 적용한 것이다.

여기서, 횡전계 방식의 액정 표시 장치는, 대향 전극 CT가 화소 전극 PX와 함께 투명 기관 SUB1의 액정층의 면에 형성되어 있으며, 그들은 서로 맞물리는 빗살형 패턴으로 형성되어 있다.

이와 같이 구성된 액정 표시 장치는, 화소 전극 PX와 대향 전극 CT 사이에 발생하는 전계 중 수평 방향의 성분으로 액정을 거동하도록 되어 있으며, 액정 표시 장치에 대하여 경사진 방향으로부터의 관찰이라도 화질이 양호한, 소위 광 시야각 특성을 갖는다.

박막 트랜지스터 TFT의 소스 전극 SD2와 화소 전극 PX와의 접속에 관해서는 지금까지의 실시예와 상황이 완전히 동일하므로, 그대로 적용할 수 있다.

〈제9 실시예〉

도 18은 본 발명에 따른 액정 표시 장치의 다른 실시예를 도시하는 구성도로, 도 15에 대응한 도면이다.

여기서, 도 15의 경우와 비교하여 상이한 구성은, 용량 소자 Cadd의 구성에 있다.

즉, 해당 용량 소자 Cadd의 형성 영역에서의 게이트 신호선 GL의 일부가 화소 영역측으로 연장되어 돌출부 PRO1이 설치되고, 그 돌출부 PRO1의 선단부가 화소 전극 PX와 중첩되도록 하여 형성되어 있다.

박막 트랜지스터 TFT는 상술한 바와 같이 그 소스 전극 SD2의 폭이 비교적 좁게 형성되어 있으며, 그 게이트-소스 용량(Cgs)을 확보할 수 없기 때문에, 상기 용량 소자 Cadd의 형성 영역에서 게이트-소스 용량을 확보하도록 하고 있다.

이 경우, 게이트 신호선 GL을 공통으로 하는 각 화소 영역의 용량 소자 Cadd에서, 주사 신호의 공급단으로부터 그 반대측의 단에 걸쳐서 순차적으로 게이트-소스 용량을 소(小)에서 대(大)로 변화하도록 조정함으로써, 주사 신호의 신호 왜곡에 의한, 소위 신호 스킵에 의한 폐해를 방지할 수 있음과 함께, 해당 조정이 매우 용이하게 되는 효과를 발휘할 수 있다. 폭이 좁은 소스 전극 SD2를 구비하는 박막 트랜지스터 TFT를 갖는 경우, 해당 박막 트랜지스터 TFT의 게이트-소스 용량을 조정하는 것은 곤란하기 때문이다.

또, 도 20은 본 실시예의 구성을 실제의 설계 단계에서 정하는 치수를 가미한 평면도를 나타내는 것으로, 박막 트랜지스터 TFT와 용량 소자 Cadd의 근방을 나타내고 있다.

〈제10 실시예〉

도 19는 본 발명에 따른 액정 표시 장치의 다른 실시예를 도시하는 구성도로, 도 15에 대응한 도면이다.

도 15의 경우와 비교하여 상이한 구성은, 우선 상기 보호막 PSV는 유기 재료층만, 또는 무기 재료층 및 유기 재료층과의 순차적인 적층체로 구성되어 있는 것에 있다.

그리고, 박막 트랜지스터 TFT의 형성 영역에서, 게이트 신호선 GL의 일부가 박막 트랜지스터 TFT의 소스 전극 SD2의 길이 방향을 따라 연장된 돌출부 PRO2를 갖고, 그 돌출부 PRO2가 해당 소스 전극 SD2와 중첩되어 있는 것에 있다.

즉, 상기 보호막의 게이트-소스 용량이 충분히 확보되지 않는 것에 감안하여, 박막 트랜지스터 TFT의 소스 전극 SD2와 게이트 신호선 GL의 중첩 영역을 증대시키고 있는 것에 있다.

그리고, 게이트 신호선 GL을 공통으로 하는 각 화소 영역의 박막 트랜지스터 TFT의 게이트-소스 용량의 조정은 게이트 신호선 GL의 연장부의 연장 방향의 길이로 조정하도록 되어 있다.

또, 본 실시예에 설명한 박막 트랜지스터 TFT의 구성은, 상술한 횡전계 방식의 액정 표시 장치에도 적용할 수 있는 것은 물론이고, 또한 그 외의 구성의 액정 표시 장치에도 적용할 수 있고, 또한 박막 트랜지스터 TFT를 구비하는 EL(Electro Luminescence)을 이용한 표시 장치에도 적용할 수 있는 것은 물론이다.

발명의 효과

이상 설명한 것로부터 분명한 바와 같이, 본 발명에 따른 액정 표시 장치에 따르면, 그 박막 트랜지스터 또는 용량 소자의 얼라인먼트에 의한 어긋남에 따른 문제점을 해소시킬 수 있게 된다.

(57) 청구의 범위**청구항 1.**

액정을 사이에 두고 대향 배치되는 각 기관 중 한쪽 기관의 액정층의 면의 각 화소 영역에 박막 트랜지스터를 포함하고,

이 박막 트랜지스터는 게이트 신호선에 접속되는 게이트 전극과, 이 게이트 전극과 절연막을 사이에 두고 적층되는 반도체층과, 이 반도체층 위에 드레인 신호선에 접속되는 드레인 전극과, 화소 전극에 접속되는 소스 전극을 포함하여 구성되어 있음과 함께,

상기 반도체층은, 적어도 해당 소스 전극이 인출되는 면에서 해당 소스 전극의 폭보다 대략 큰 폭 구간에서 주기적인 요철 형상으로 되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 2.

액정을 사이에 두고 대향 배치되는 각 기관 중 한쪽 기관의 액정층의 면의 각 화소에 박막 트랜지스터를 포함하고,

이 박막 트랜지스터는 게이트 신호선과, 이 게이트 신호선의 한 영역 상에 절연막을 사이에 두고 적층되는 반도체층과, 이 반도체층 위에 드레인 신호선에 접속되는 드레인 전극과, 화소 전극에 접속되는 소스 전극을 포함하여 구성되어 있음과 함께,

상기 반도체층은 적어도 해당 소스 전극이 인출되는 면에서 해당 소스 전극의 폭보다 대략 큰 폭 구간에서 주기적인 요철 형상으로 되어 있으며,

상기 게이트 신호선은 그 박막 트랜지스터 형성 영역의 근방에서, 해당 소스 전극이 인출되는 층의 면이 돌출되어 형성됨으로써, 폭이 넓어져 있는 것을 특징으로 하는 액정 표시 장치.

청구항 3.

액정을 사이에 두고 대향 배치되는 각 기관 중 한쪽 기관의 액정층의 면에, 병렬 배치되는 복수의 게이트 신호선과 이들 각 게이트 신호선과 교차하여 병렬 배치되는 복수의 드레인 신호선과,

이들 게이트 신호선과 드레인 신호선에 의해 둘러싸이는 각 화소 영역에, 일측의 게이트 신호선으로부터의 주사 신호에 의해 구동되는 박막 트랜지스터와, 이 박막 트랜지스터를 통해 일측의 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 이 화소 전극과 다른 일측의 게이트 신호선 사이에 형성되는 용량 소자를 포함하고,

상기 용량 소자는 상기 다른 일측의 게이트 신호선 상에, 상기 박막 트랜지스터의 게이트 절연막이 연장되어 형성되는 제1 절연막과, 이 절연막 상에 형성되는 도전층과, 이 도전층 상에 상기 박막 트랜지스터를 덮는 보호막이 연장되어 형성되는 제2 절연막과, 이 제2 절연막 상에 형성되는 상기 화소 전극의 연장부로 이루어지고, 해당 연장부는 상기 제2 절연막에 형성된 관통홀을 통해 상기 도전층에 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 4.

액정을 사이에 두고 대향 배치되는 각 기관 중 한쪽 기관의 액정층의 면에, 병렬 배치되는 복수의 게이트 신호선과 이들 각 게이트 신호선과 교차하여 병렬 배치되는 복수의 드레인 신호선과,

이들 게이트 신호선과 드레인 신호선에 의해 둘러싸인 각 화소 영역에, 일측의 게이트 신호선으로부터의 주사 신호에 의해 구동되는 박막 트랜지스터와, 이 박막 트랜지스터를 통해 일측의 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 이 화소 전극과 다른 일측의 게이트 신호선 사이에 형성되는 용량 소자를 포함하고,

상기 용량 소자는, 상기 다른 일측의 게이트 신호선 상에, 상기 박막 트랜지스터의 게이트 절연막이 연장되어 형성되는 제1 절연막과, 이 절연막 상에 형성되는 도전층과, 이 도전층 상에 상기 박막 트랜지스터를 덮는 보호막이 연장되어 형성되는 제2 절연막과, 이 제2 절연막 상에 형성되는 상기 화소 전극의 연장부로 이루어지고, 해당 연장부는 상기 제2 절연막에 형성된 관통홀을 통해 상기 도전층에 형성되는 것임과 함께,

상기 도전층은 게이트 신호선의 폭 방향으로 연장되어 해당 게이트 신호선을 겹치도록 하여 형성되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 5.

제4항에 있어서,

상기 제2 절연막은 무기 재료층과 유기 재료층의 순차적인 적층체로 이루어지는 것을 특징으로 하는 액정 표시 장치.

청구항 6.

제3항 내지 제5항 중 어느 하나의 항에 있어서,

상기 각 기관 중 다른 쪽의 기관의 액정층의 면에 형성되고, 상기 용량 소자의 형성 영역 내에 대향하는 지주 형상의 스페이서를 포함하고, 이 스페이서는 상기 관통홀의 형성 영역을 회피하여 형성되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 7.

액정을 사이에 두고 대향 배치되는 각 기관 중 한쪽 기관의 액정층의 면의 각 화소 영역에 박막 트랜지스터를 포함하고,

해당 박막 트랜지스터는, 게이트 전극 상에, 게이트 절연막과, 이 절연막 상에 형성되고 상기 게이트 전극을 사이에 두고 배치되는 다른 화소 영역측에 원호부를 갖는 거의 반원형의 패턴을 이루는 반도체층과, 이 반도체층 위에 해당 반도체층의 원호부를 따른 원호 형상으로 되어 있는 드레인 전극과, 이 원호형을 이루는 드레인 전극의 중심점에 위치 결정되는 원형 형상으로 그 직경과 거의 같은 폭으로 해당 화소 영역측으로 연장하는 연장부를 갖는 소스 전극을 포함하고,

상기 반도체층은 그 소스 전극이 인출되는 변에서 해당 소스 전극의 폭보다 큰 폭 구간에서 주기적인 요철 형상으로 되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 8.

액정을 사이에 두고 대향 배치되는 각 기관 중 한쪽 기관의 액정층의 면에, 병렬 배치되는 복수의 게이트 신호선과 이들 각 게이트 신호선과 교차하여 병렬 배치되는 복수의 드레인 신호선과,

이들 게이트 신호선과 드레인 신호선에 의해 둘러싸이는 각 화소 영역에, 일측의 게이트 신호선으로부터의 주사 신호에 의해 구동되는 박막 트랜지스터와, 이 박막 트랜지스터를 통해 일측의 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 이 화소 전극과 다른 일측의 게이트 신호선 사이에 형성되는 용량 소자를 포함하고,

상기 박막 트랜지스터는 상기 일측의 게이트 신호선 상에, 게이트 절연막과, 이 절연막 상에 형성되고 상기 일측의 게이트 신호선을 사이에 두고 배치되는 다른 화소 영역측에 원호부를 갖는 거의 반원형의 패턴을 이루는 반도체층과, 이 반도체층 위에 해당 반도체층의 원호부를 따른 원호 형상으로 되어 있는 드레인 전극과, 이 원호형을 이루는 드레인 전극의 중심점에 위치 결정되는 원형 형상으로 그 직경과 같은 폭으로 해당 화소 영역측으로 연장하는 연장부를 갖는 소스 전극을 갖고,

상기 용량 소자는 상기 다른 일측의 게이트 신호선 상에, 적어도, 상기 박막 트랜지스터의 게이트 절연막이 연장되어 형성되는 제1 절연막과, 상기 박막 트랜지스터를 덮는 보호막이 연장되어 형성되는 제2 절연막과, 이 제2 절연막 상에 형성되는 상기 화소 전극의 연장부를 갖고,

상기 용량 소자의 일부를 구성하는 해당 다른 일측의 게이트 신호선은 이 게이트 신호선을 사이에 두는 다른 화소 영역의 화소 전극의 일부와 중첩하는 돌출부를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 9.

액정을 사이에 두고 대향 배치되는 각 기관 중 한쪽 기관의 액정층의 면의 각 화소 영역에 박막 트랜지스터를 포함하고,

해당 박막 트랜지스터는, 게이트 전극 상에, 게이트 절연막과, 이 절연막 상에 형성되고 상기 게이트 전극을 사이에 두고 배치되는 다른 화소 영역측에 원호부를 갖는 거의 반원형의 패턴을 이루는 반도체층과, 이 반도체층 위에 해당 반도체층의 원호부를 따른 원호 형상으로 되어 있는 드레인 전극과, 이 원호형을 이루는 드레인 전극의 중심점에 위치 결정되는 원형 형상으로 그 직경과 거의 같은 폭으로 해당 화소 영역측으로 연장하는 연장부를 갖는 소스 전극을 포함하고,

상기 게이트 전극은 그 박막 트랜지스터의 소스 전극이 인출되는 측의 면에서 해당 소스 전극과 중첩되어 해당 소스 전극의 연장 방향으로 연장하는 돌출부를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 10.

액정을 사이에 두고 대향 배치되는 각 기관 중 한쪽 기관의 액정층의 면에, 병렬 배치되는 복수의 게이트 신호선과 이들 각 게이트 신호선과 교차하여 병렬 배치되는 복수의 드레인 신호선과,

이들 게이트 신호선과 드레인 신호선에 의해 둘러싸이는 각 화소 영역에, 일측의 게이트 신호선으로부터의 주사 신호에 의해 구동되는 박막 트랜지스터와, 이 박막 트랜지스터를 통해 일측의 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 이 화소 전극과 다른 일측의 게이트 신호선 사이에 형성되는 용량 소자를 포함하고,

상기 박막 트랜지스터는 상기 일측의 게이트 신호선 상에, 게이트 절연막과, 이 절연막 상에 형성되고 상기 일측의 게이트 신호선을 사이에 두고 배치되는 다른 화소 영역측에 원호부를 갖는 거의 반원형의 패턴을 이루는 반도체층과, 이 반도체층 위에 해당 반도체층의 원호부를 따른 원호 형상으로 되어 있는 드레인 전극과, 이 원호형을 이루는 드레인 전극의 중심점에 위치 결정되는 원형 형상으로 그 직경과 거의 같은 폭으로 해당 화소 영역측으로 연장하는 연장부를 갖는 소스 전극을 포함하고,

상기 용량 소자는 상기 다른 일측의 게이트 신호선 상에, 적어도, 상기 박막 트랜지스터의 게이트 절연막이 연장되어 형성되는 제1 절연막과, 상기 박막 트랜지스터를 덮는 보호막이 연장되어 형성되는 제2 절연막과, 이 제2 절연막 상에 형성되는 상기 화소 전극의 연장부를 갖고,

상기 제2 절연막은 유기 재료층만 또는 무기 재료층 및 유기 재료층의 순차적인 적층체로 이루어짐과 함께,

상기 용량 소자의 일부를 구성하는 해당 다른 일측의 게이트 신호선은 이 게이트 신호선을 사이에 두는 다른 화소 영역의 화소 전극의 일부와 중첩하는 돌출부를 포함하는 것을 특징으로 하는 액정 표시 장치.

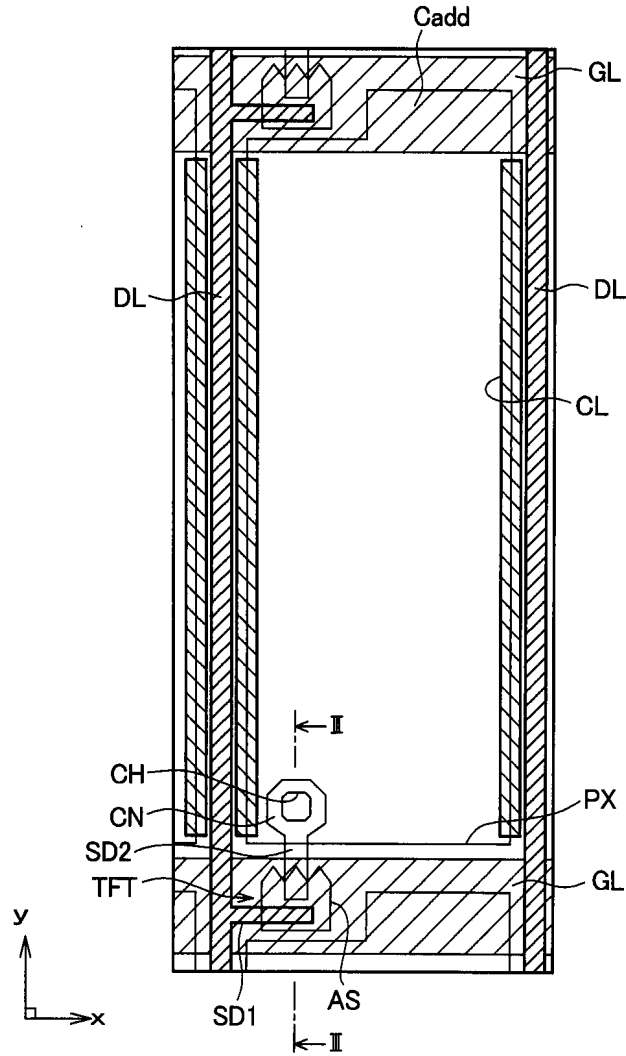
청구항 11.

제7항 내지 제10항 중 어느 하나의 항에 있어서,

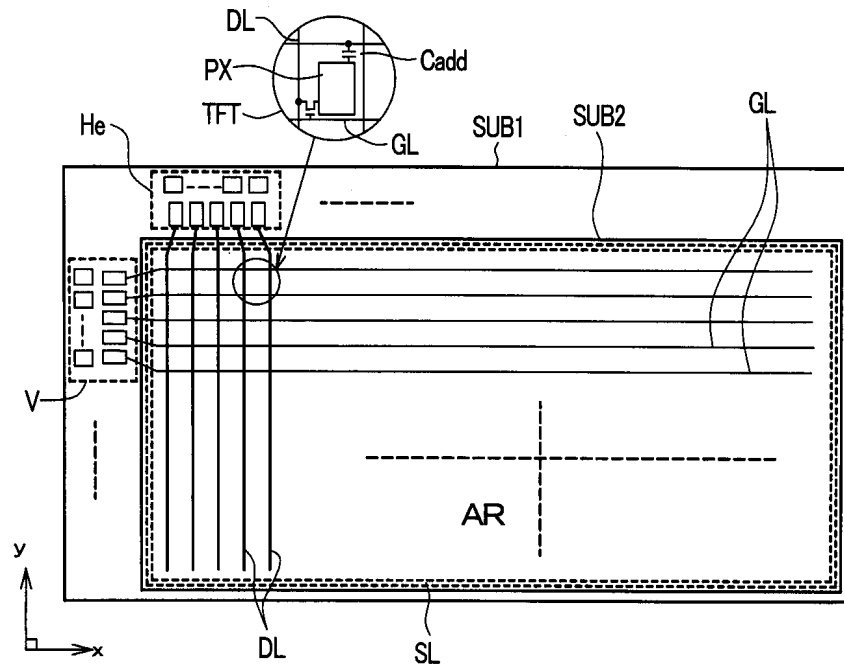
상기 각 기관 중 다른 하나의 기관의 액정층의 면에 형성되고, 상기 용량 소자의 형성 영역 내에 대향하는 지주 형상의 스페이서를 포함하고, 이 스페이서는 상기 관통홀의 형성 영역을 회피하여 형성되어 있는 것을 특징으로 하는 액정 표시 장치.

도면

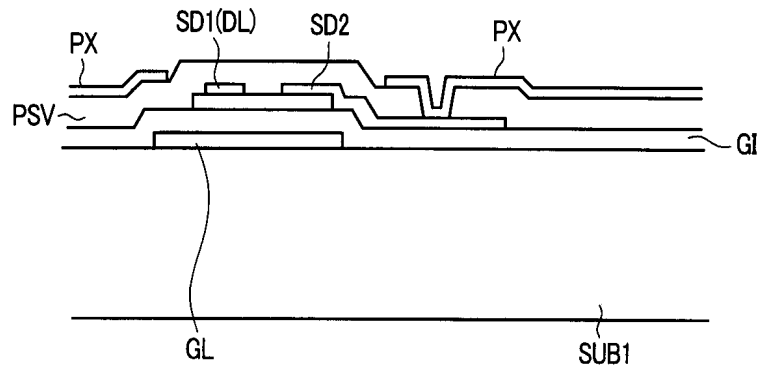
도면1



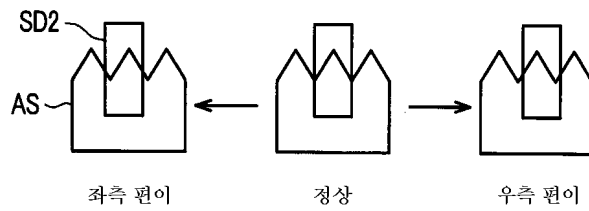
도면2



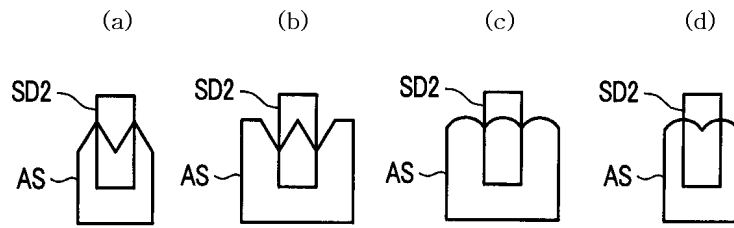
도면3



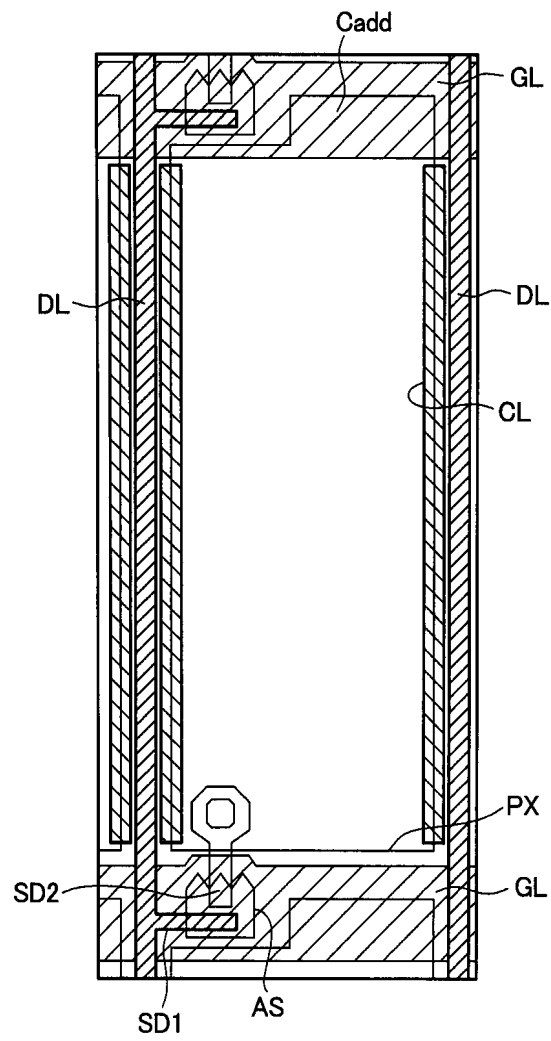
도면4



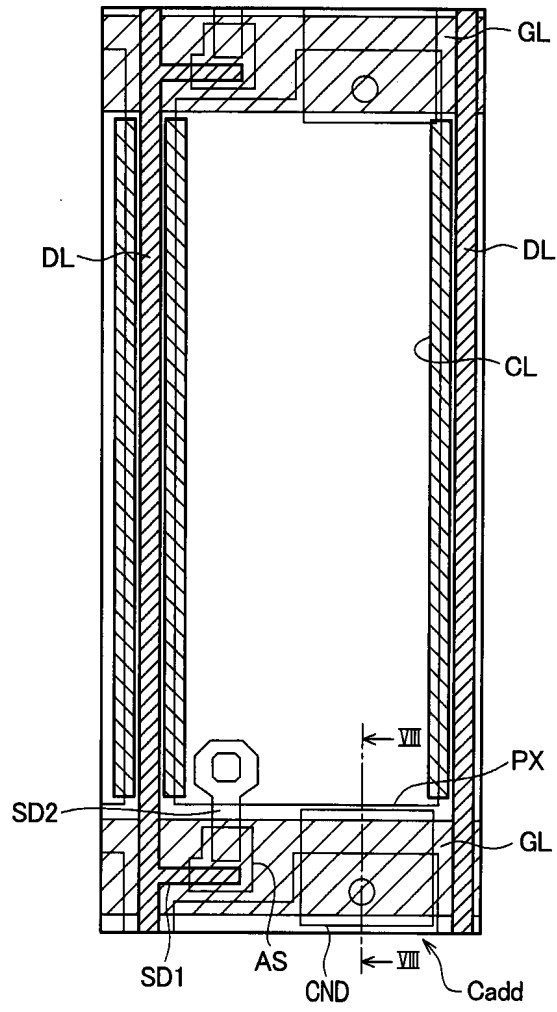
도면5



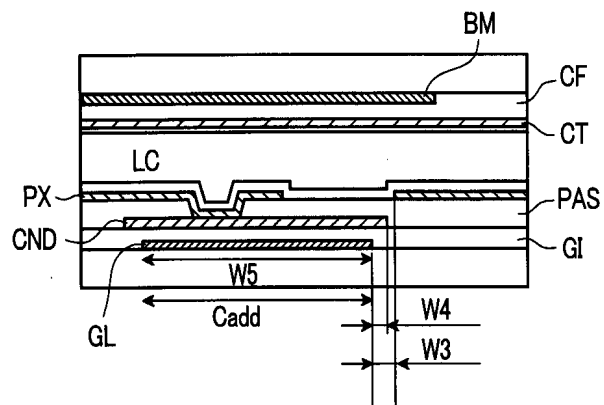
도면6



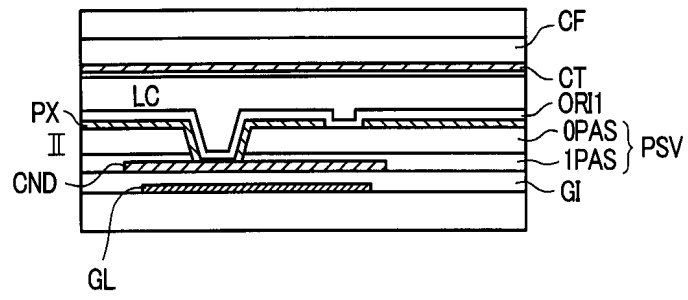
도면7



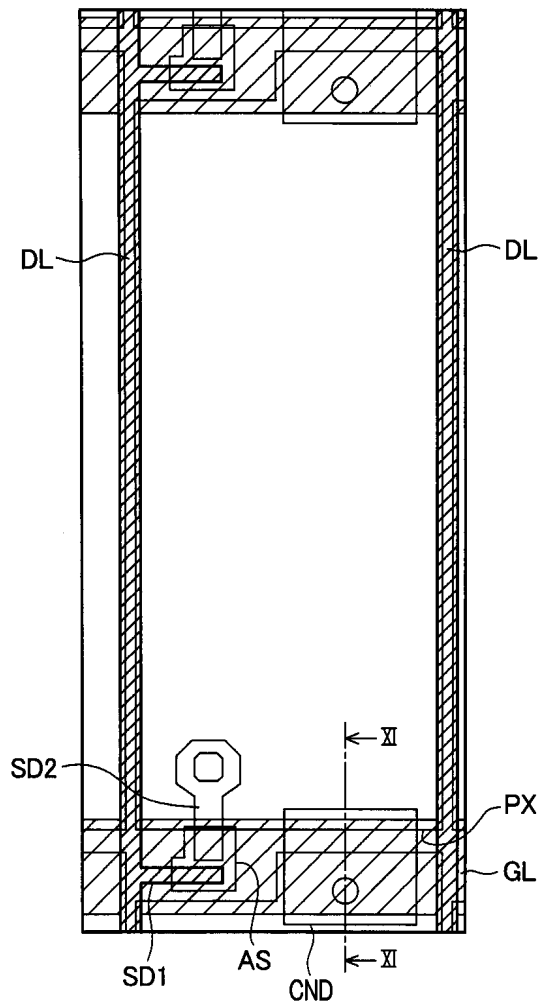
도면8



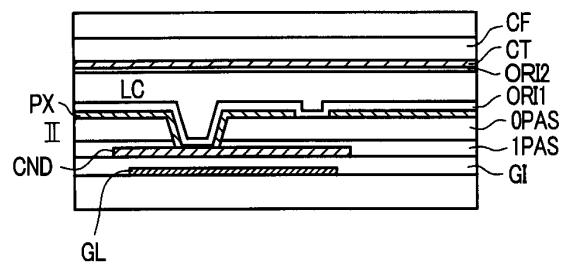
도면9



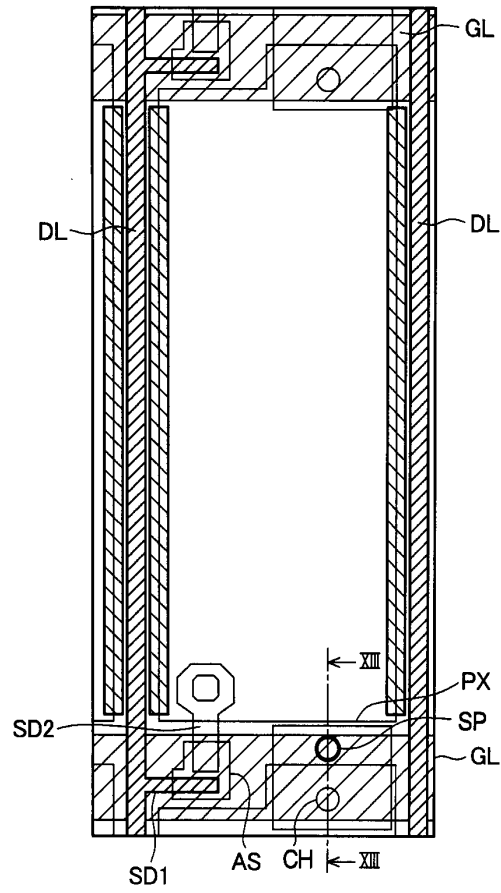
도면10



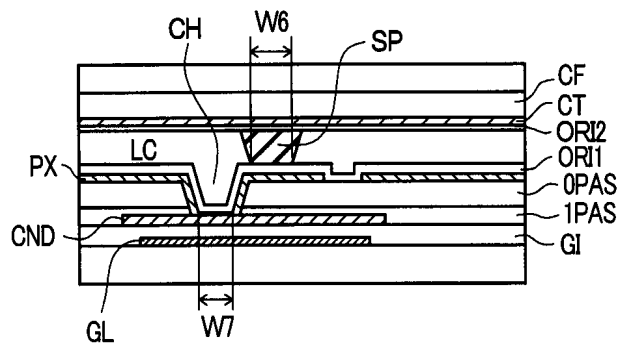
도면11



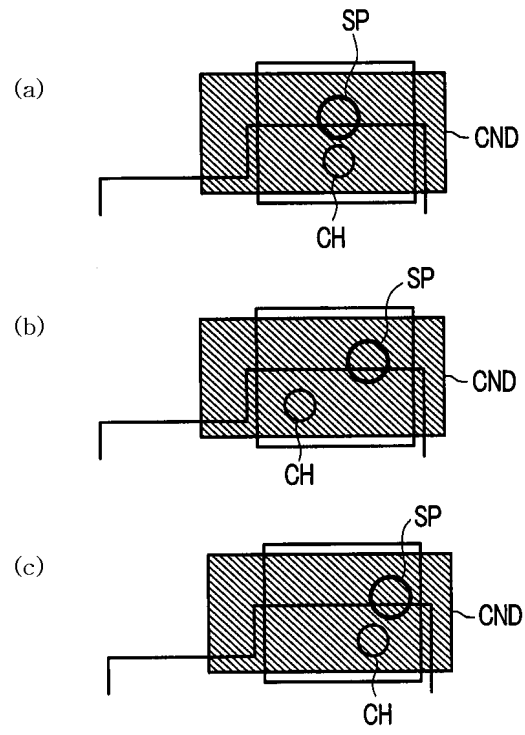
도면12



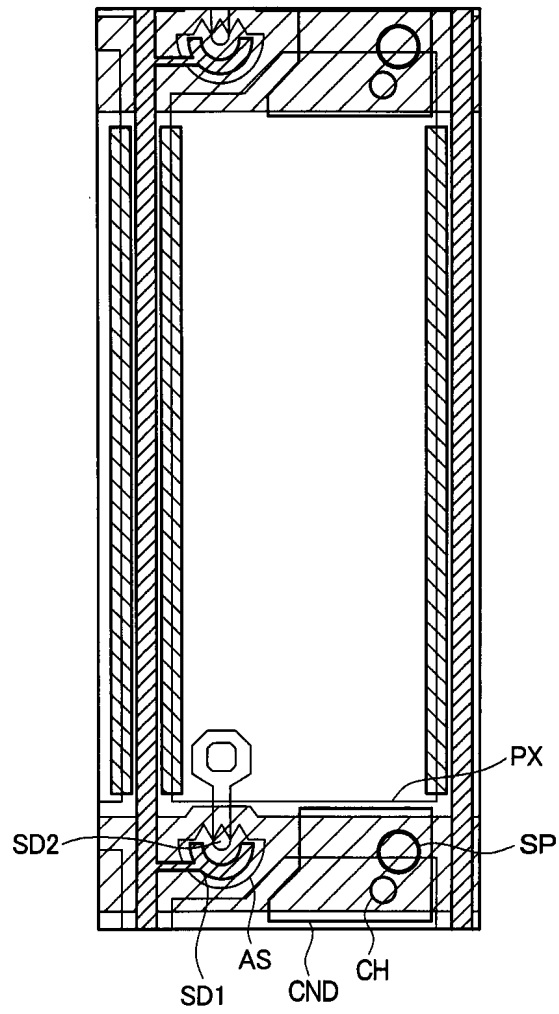
도면13



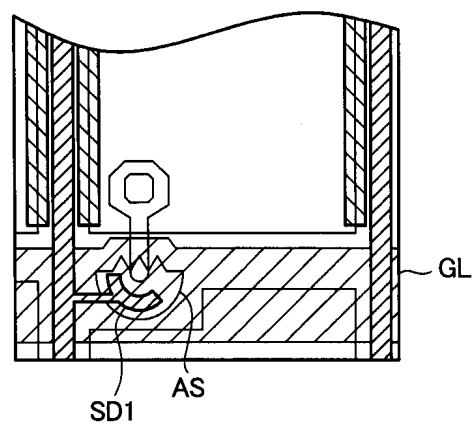
도면14



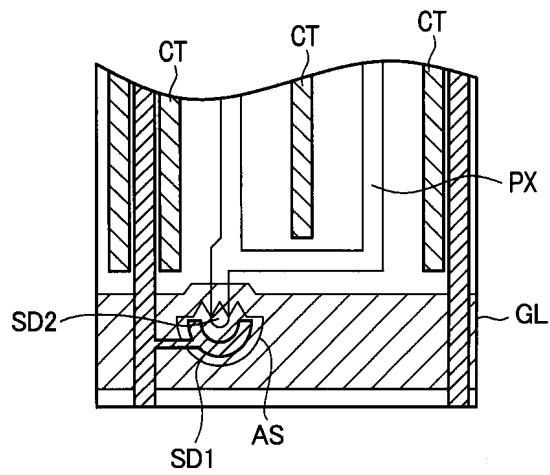
도면15



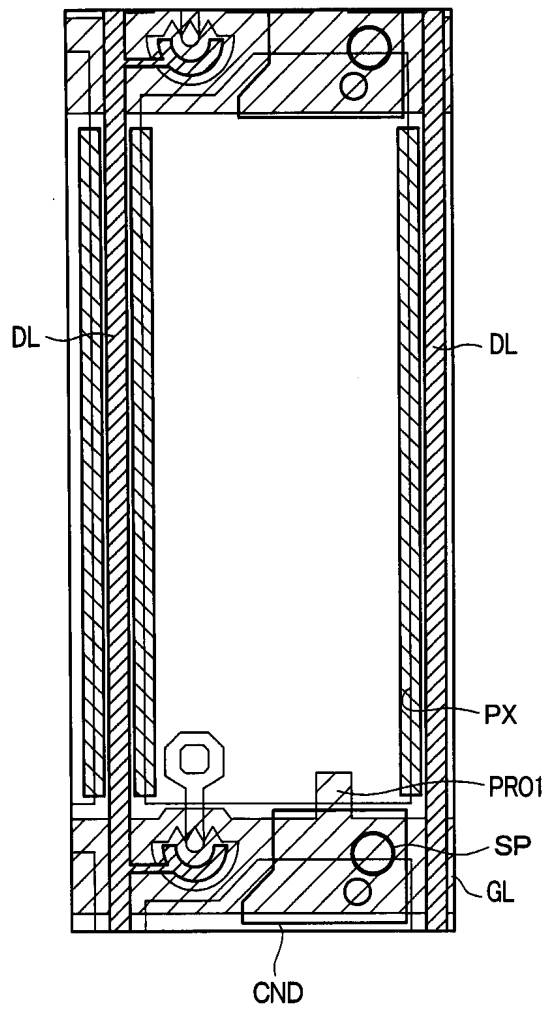
도면16



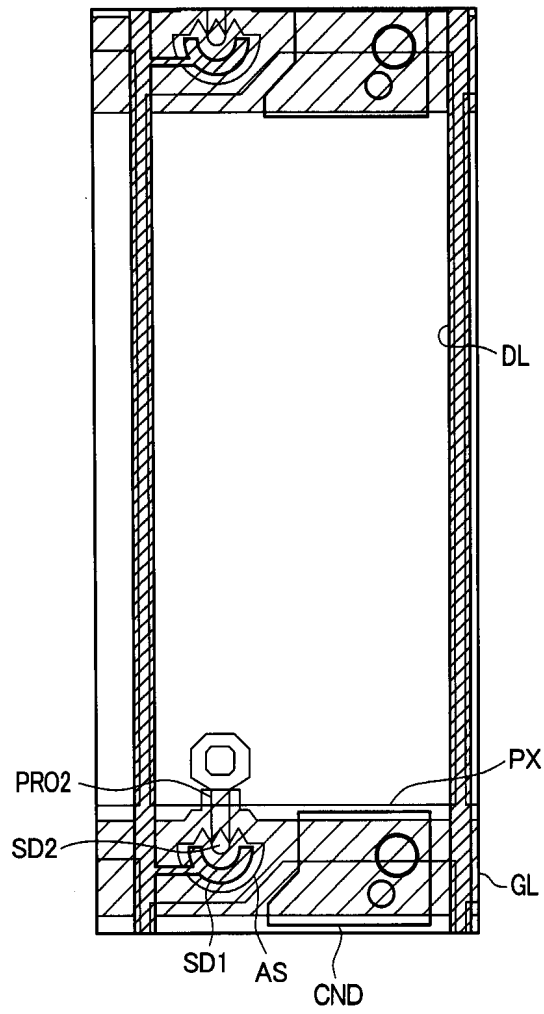
도면17



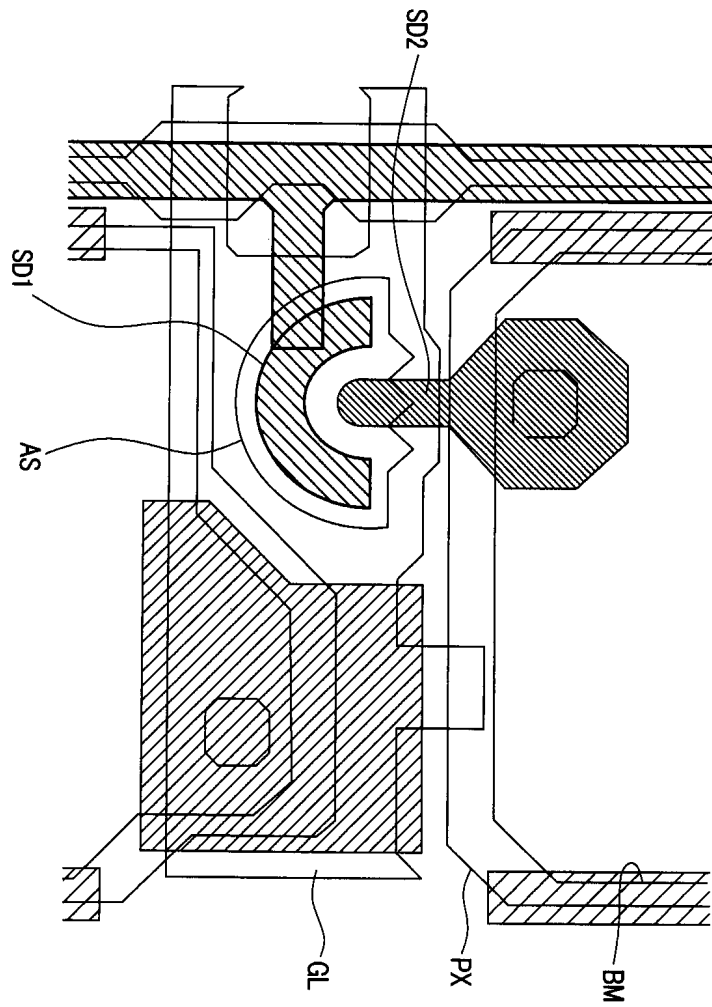
도면18



도면19



도면20



专利名称(译)	液晶显示器		
公开(公告)号	KR100511041B1	公开(公告)日	2005-08-31
申请号	KR1020020051413	申请日	2002-08-29
[标]申请(专利权)人(译)	日立HITACHI SEISAKUSHODBA		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	NAKAYAMA TAKANORI 나까야마다까노리 WATANABE RYUUTA 와따나베류우타 OOIDA JUN 오이다준 GOTOU YASUKO 고토야스꼬 MIYAZAKI KAORI 미야자끼가오리		
发明人	나까야마다까노리 와따나베류우타 오이다준 고토야스꼬 미야자끼가오리		
IPC分类号	G09F9/30 H01L29/786 G02F1/1368 G02F1/1362 G09F9/35 G02F1/1343		
CPC分类号	H01L29/78618 G02F1/136213 G02F1/1368 H01L29/78696 H01L29/78669		
代理人(译)	CHANG, SOO KIL		
优先权	2001261680 2001-08-30 JP		
其他公开文献	KR1020030019199A		
外部链接	Espacenet		

摘要(译)

薄膜晶体管设置在彼此面对的一个基板的液晶侧表面的每个像素区域中，液晶夹在它们之间。薄膜晶体管具有连接到栅极信号线的栅电极，并且，源极连接到像素电极，其中半导体层至少形成在引出源电极的一侧，并且源电极连接到漏电极，其大大大于突起的宽度。1 指数方面 液晶，对准，薄膜晶体管，不均匀

