

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁷ G02F 1/1343		(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년08월26일 10-0510564 2005년08월19일
(21) 출원번호 (22) 출원일자	10-2003-0005758 2003년01월29일	(65) 공개번호 (43) 공개일자	10-2003-0065396 2003년08월06일
(30) 우선권주장	JP-P-2002-00021184	2002년01월30일	일본(JP)
(73) 특허권자	엔이씨 엘씨디 테크놀로지스, 엘티디. 일본 가나가와현 가와사키시 나카하라구 시모누마베 1753		
(72) 발명자	아사이다꾸야 일본도쿄도미나토구시바5초메7방1고닛뽕텐끼가부시끼가이샤나이 구로하쇼우이찌 일본도쿄도미나토구시바5초메7방1고닛뽕텐끼가부시끼가이샤나이 사사끼다끼시 일본도쿄도미나토구시바5초메7방1고닛뽕텐끼가부시끼가이샤나이		
(74) 대리인	특허법인코리아나		

심사관 : 박진우

(54) 횡방향 전계 액정 표시 장치

요약

횡방향 전계 액정 표시 장치에서, 횡방향 전계를 발생시키는 주전극부는 타전극들 및 라인들이 형성되는 층과 다른 층을 이용하여 형성된다. 이 경우, 주전극부는 타 전극들 및 라인들의 각각의 두께의 1/20 내지 1/3의 두께로 형성된다. 따라서, 배향층의 기초 막의 평탄성이 크게 개선되고, 배향층 재료가 높은 평탄성을 갖고 기초 막상에 코팅되고 형성될 수 있으며, 배향층 재료의 러빙이 전체 기관 표면에 대해 균일하게 이루어질 수 있다

대표도

도 3

색인어

횡방향 전계 액정 표시 장치, 픽셀 전극, 공통 전극

명세서

도면의 간단한 설명

도 1 은 종래의 액정 표시 장치의 TFT 기관의 픽셀 부분을 나타내는 평면도.

도 2 는 도 1 의 라인 X-X'을 따라 취해진 단면도.

도 3 은 본 발명에 따른 액정 표시 장치의 TFT 기관의 픽셀 부분을 나타내는 평면도.

도 4 는 도 3 의 라인 X-X'에 따라 취해진 단면도.

*도면의 주요부분에 대한 부호의 설명

4 : 공통 라인

5 ; 공통 전극

8, 9 : 소스/드레인 전극들

10 : 신호 라인

11 : 제 1 픽셀 전극

12 : 제 1 층간 절연막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 횡방향 전계 액정 표시 장치에 관한 것이다. 특히, 본 발명은 능동 소자 기관의 전극 구조에 관한 것이다.

통상, 횡방향 전계 액정 표시 장치는 픽셀 전극 및 공통의 전극이 동일 기관상에 제공되고 전계가 그 사이에 인가되도록 구성된다. 각각의 픽셀 전극이 능동 매트릭스 기관 (TFT 기관) 을 구성하도록 박막 트랜지스터 (TFT) 와 같은 능동 소자에 접속된다. 액정이 TFT 기관과 대향 기관 사이에 충전된다. 횡방향 전계 액정 표시 장치에서는, 액정이 기관 표면에 평행하게 인가되는 전계에 의해 제어되기 때문에, 광시야 각 (wide viewing) 이 획득될 수 있다.

이상에서 설명된 유형의 TFT 기관이 도 1 및 도 2 를 참조하여 설명될 것이다. 도 1 은 액정의 측부로부터 관찰되는 종래의 액정 표시 장치의 TFT 기관의 하나의 픽셀을 나타내는 평면도이다. 도 2 는 도 1 의 X-X' 선을 따라 취해진 단면도이다.

스캐닝 라인 (103), 스캐닝 라인 (103) 에 접속된 게이트 전극 (102), 공통 라인 (104) 및 그 공통 라인 (104) 의 일부분으로서 확장되는 공통 전극 (105) 이, 예를 들어 유리로 된 투명 절연 기관 (101) 상에 동일한 층으로 금속막으로 형성된다. 게이트절연막 (106) 이 이 라인들 및 전극들상에 형성된다. 공통 전극 (105) 이 부분적으로 이하에 설명되는 픽셀 전극에 평행하게 형성된다. 이 후, 반도체층 (107) 은 게이트 전극 막 (106) 상에 형성된다. 그 후, 신호 라인 (110), TFT의 소스/드레인 전극들 (108 및 109), 및 소스/드레인 전극 (109) 에 접속되는 픽셀 전극 (111) 이 소스/드레인 전극을 형성하는데 이용되는 금속과 동일한 금속막을 이용하여 형성되며, 신호 라인 (110), TFT의 소스/드레인 전극들 (108 및 109) 은 부분적으로 이들에 접속되는 반도체층 (107) 상에 형성된다. 픽셀 전극들 (111) 및 이 전에 형성된 공통 전극 (105) 이 부분적으로 서로 평행하게 형성된다. 또한, 층간 절연막 (112) 및 배향층 (113) 이 반도체층 (107), 소스/드레인 전극들 (108 및 109), 및 픽셀 전극 (111) 을 커버하는 방식으로 형성된다. 이러한 방법으로, TFT 기관 (300) 의 형성이 완성된다. 저장 커패시터는 픽셀 전극 (111) 과 공통 라인 (104) 가 서로 오버래핑 (overlapping) 하는 곳 (빗금친 부분으로 도시된 오버랩 부분 (122)) 에 형성된다.

차광막 (152) 이 TFT 기판상의 픽셀들을 분할하고 반도체섬 (semiconductor island; 107) 을 커버하도록 (107) 투명 절연 기판 (151) 상에 형성된다. 절연막 (153) 및 배향층 (154) 이 차광막 (152) 을 커버하도록 형성됨으로써, 대향 기판 (400) 을 구성한다.

액정 (127) 은 TFT 기판 (300) 과 대향 기판 (400) 사이에 충전되어, 액정 표시 장치를 형성한다. 도 2 에서, 편광판 (polarizer) 등은 개략적인 도시를 위해 생략되었다.

스캐닝 라인 (103), 공통 라인 (104), 및 신호 라인 (110) 이 충분한 두께를 가져 저항값이 감소되도록 형성된다. 공통 라인 (104) 및 공통 전극 (105) 이 스캐닝 라인 (103) 과 함께 형성되기 때문에, 이들은 모두 동일한 두께를 갖는다. 따라서, 도 2 에 도시된 바와 같이, 이 전극들 및 라인들을 커버하는 층간 절연막 (112) 이 스텝의 높이에서의 큰 변화 (variation) 를 갖고 형성된다. 이 경우, 층간 절연막 (112) 상에 큰 스텝 높이로 코팅되는 배향층 재료가 러빙 처리될 때, 재료는 TFT 기판상에 걸쳐서 균일하게 러빙될 수 없다. 그 결과, 배향층 (113) 이 불균일한 러빙에 기인하여 평탄하지 않게 형성되어, 액정 표시 장치가 불균일하게 표시하도록 한다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 배향층상에 걸쳐서 균일하게 러빙을 실시하기 위해 배향막 아래에 감소된 스텝 높이로 형성된 절연막을 갖도록 구성된 횡방향 전계 액정 표시 장치를 제공하는 것이다.

발명의 구성 및 작용

본 발명에 따르면, TFT 기판, 대향 기판, 및 TFT 기판과 대향 기판 사이에 위치하는 액정층을 구비하고, TFT 기판이 신호 라인, 공통 라인, 픽셀 전극, 및 공통 전극을 포함하는 횡방향 전계 액정 표시 장치가 제공된다. 이렇게 구성되는 액정 표시 장치는, 픽셀 전극이 신호 라인 및 공통 라인위에 이들과 다른 층에 부분적으로 형성되고, 공통 전극이 상기 층에 형성되고, 공통 전극 및 상기 층에 형성된 픽셀 전극의 부분이 신호 라인 및 공통 라인보다 더 얇게 형성되는 것을 특징으로 한다.

이렇게 구성되는 액정 표시 장치는 또한 픽셀 전극이 신호 라인에 이용되는 층과 동일한 층에 형성되며 공통 전극을 덮도록 형성된 보조 용량 전극을 더 포함하는데 특징이 있다.

또한, 이렇게 구성되는 액정 표시 장치는 픽셀 전극의 부분이 콘택홀을 통해 박막 트랜지스터 (TFT) 의 드레인 전극에 접속되고 공통 전극이 콘택홀을 통해 공통 라인에 접속되는데 특징이 있다.

이렇게 구성되는 액정 표시 장치는 또한 TFT 기판이 투명 기판, 스캐닝 라인을 커버하기 위해 투명 기판상에 형성되는 게이트 절연막, 반도체 막을 커버하기 위해 게이트 절연막상에 형성되는 제 1 층간 절연막, 제 1 절연막상에 형성되는 제 2 절연막, 및 제 2 절연막상에 형성되는 배향층을 더 포함하는데 특징이 있다. 또한, 공통 라인이 스캐닝 라인과 함께 투명 기판상에 형성되고 신호 라인이 게이트 절연막과 제 1 층간 절연막 사이에 형성되며 반도체 막의 한 쪽 단부에 접속되고, 픽셀 전극이 신호 라인과 함께 게이트 절연막상에 형성되고 반도체 막의 다른 쪽 단부에 접속되는 하부 층의 픽셀 전극을 포함하며, 공통 전극이 제 1 층간 절연막과 제 2 층간 절연막 사이에 형성되고 공통 라인에 접속되며, 픽셀 전극은 공통 전극과 함께 제 1 층간 절연막상에 형성되고 하부층 픽셀 전극에 접속되는 상부층 픽셀 전극을 더 포함하며, 상부층 픽셀 전극은 신호 라인 및 공통 라인보다 더 얇게 되도록 상술한 액정 표시 장치가 구성된다.

또한, 이렇게 구성되는 액정 표시 장치는 공통 전극과 상부층 픽셀 전극의 각각의 두께가 신호 라인 및 공통 라인의 각각의 두께의 1/20 내지 1/3의 범위에 있다는데 특징이 있다.

따라서, 배향층에 대한 하부 막의 평탄성이 크게 개선되고, 배향층에 대한 재료는 또한 매우 평탄하게 하부 막상에 형성될 수 있으므로, 배향층에 대한 재료의 러빙이 기판상에 걸쳐서 균일하게 실행될 수 있다. 따라서, 균일하게 러빙된 배향층이 획득되고, 액정 표시 장치는 평탄하지 않은 러빙에 기인하여 디스플레이 불량을 크게 감소시킬 수 있다.

이하, 본 발명에 따른 액정 표시 장치의 실시예를 도 3 및 도 4 를 참조하여 설명한다.

200 내지 500nm의 두께를 갖는 (Cr, Al, 또는 Ta, 또는 이 금속들의 합금으로 된) 금속막이 스캐닝 라인 (3), 스캐닝 라인 (3) 에 접속되는 게이트 전극 (2), 및 공통 라인 (4) 을 동시에 형성하기 위해 예를 들어 유리로 형성되는 투명 절연 기판

(1) 상에 패터닝된다. 그 후, (예를 들어, 비결정질 실리콘 또는 폴리실리콘의) 반도체층 (7) 이 기판상에 형성된다. 그 후, (예를 들어, 비결정질 실리콘 또는 폴리실리콘의) 반도체층 (7) 이 게이트 절연막 (6) 상에 형성된다. 그 후, 200 내지 500nm의 두께를 갖는 (Cr, Al, 또는 Ta, 또는 이 금속들의 합금의) 금속막이 증착되고, 이 후 신호 라인 (10), 소스/드레인 전극 (8, 9) 및 소스/드레인 전극 (9) 에 접속되는 제 1 픽셀 전극 (11; 하부층 픽셀 전극) 을 형성하기 위해 패터닝된다. 도 3 에 도시된 바와 같이, 이 제 1 픽셀 전극 (11) 은, 후에 형성되는 공통 전극 (5) 에 평행한 전극들에 더하여 공통 라인 (4) 을 오버래핑 (overlapping) 하는 용량 전극 (22) 을 포함하도록 형성된다. 공통 라인 (4) 및 용량 전극 (22) 은 보조 커패시터를 형성한다. 따라서, 하부층 픽셀 전극도 용량 저장 전극으로 기능한다.

200 내지 500nm의 두께를 갖는, 예를 들어, SiNx로 된 제 1 층간 절연막 (12) 은 반도체층 (7), 소스/드레인 전극들 (8, 9), 신호 라인 (10), 및 제 1 픽셀 전극 (11) 을 커버하도록 기판상에 증착된다. 이 후, 공통 전극용 콘택홀 (31) 은 픽셀 전극용 콘택홀 (32) 이 공통 라인 (4) 및 소스/드레인 전극 (9) 상에 위치하는 절연막의 부분들이 개구 (open) 되도록 절연막에 형성된다.

20 내지 120nm의 두께를 갖는 (Cr, Al, 또는 Ta, 또는 이 금속들의 합금의) 금속막이 제 1 층간 절연막 (12) 상의 신호 라인 (10) 보다 더 얇은 막으로서, 바람직하게는 신호 라인 (10) 의 두께의 1/20 내지 1/3의 두께로 증착된 후, 패터닝되어 공통 전극용 콘택홀 (31) 을 통해 공통 라인 (4) 에 접속된 공통 전극들 (5), 제 2 픽셀 전극 (25), 및 픽셀 전극에 대한 콘택홀 (32) 을 통해 소스/드레인 전극 (9) 에 접속된 제 2 픽셀 전극 (25; 상부층 픽셀 전극) 을 형성하도록 패터닝된다. 이 경우, 공통 전극 (32) 및 제 2 픽셀 전극 (25) 의 두께의 하한은 공통 라인 (및 신호 라인) 의 레지스트스에 대한 공통 전극 (상부층 픽셀 전극) 의 레지스트스의 원하는 비에 기초한다. 그 두께의 상한은 배향층 아래의 절연막에 의해 형성된 스텝의 원하는 높이에 기초한다. 공통 전극들 (5) 및 제 2 픽셀 전극 (25) 는 서로 평행하게 형성되고, 또한 공통 전극들 (5) 및 제 1 픽셀 전극 (11) 이 서로 평행하게 형성된다. 또한, 제 2 픽셀 전극 (25) 이 제 1 픽셀 전극 (11) 을 오버랩핑하지 않도록 형성된다.

예를 들어, SiNx로 제조되고 600 내지 800nm의 두께를 갖는 제 2 층간 절연막 (26) 이 공통 전극 (5) 및 제 2 픽셀 전극 (25) 을 커버하도록 기판상에 증착된다. 이 후, 배향층에 대한 재료가 80 내지 120nm의 두께로 코팅된 후 러빙되어, 배향층 (13) 이 형성된다. 이러한 방식으로, TFT 기판의 제조가 완성된다.

통상, TFT 기판 (100) 에 대향하여 배치된 대향 기판 (200) 은 다음 방식으로 형성된다.

우선, 막이 TFT 기판 (100) 의 각각의 픽셀들을 분할하고 반도체층 (7) 에 대응하도록, 차광막 (52) 이 투명 절연 기판상에 형성된다. 그 후, 절연체 막 (53) 및 배향층 (54) 가 차광막 (52) 을 커버하도록 기판상에 형성된다.

액정 (27) 이 이렇게 형성된 TFT 기판 (100) 과 대향 기판 (200) 사이에 충전되어, 액정 표시 장치를 제공한다. 도 4 에서, 편광판 등은 단순히 도시하기 위해 생략되었다.

이상에서 설명한 바와 같이, 제 2 픽셀 전극 (25), 공통 전극 (5) 등은 신호 라인 (10) 및 많은 양의 전류를 흐르게 하는 공통 라인 (4) 용으로 이용되는 층과 다른 층에 형성된다. 따라서, 제 2 픽셀 전극 (25) 및 공통 전극 (5) 를 구성하는 금속막의 두께는 신호 라인, 공통 라인 등의 두께와 무관하게 결정될 수 있다. 따라서, 픽셀 전극 및 공통 전극을 구성하는 금속막은 신호 라인, 공통 라인 등보다 더 얇은 두께로 형성되어, 금속막상에 위치한 제 2 층간 절연막 (26) 의 표면에 의해 형성된 스텝의 높이의 감소를 가능하게 할 수 있다.

이상에서 설명된 바와 같이, 횡방향 전계를 발생시키는, 공통 전극들 및 제 2 픽셀 전극 (25) 의 일 세트는 종래 금속막의 두께, 즉 200 내지 500nm 보다 매우 작은 20 내지 120nm의 두께를 갖는 금속막으로 제조되고, 그 하부에 라인들, 및 스텝의 높이를 발생시키는 전극들을 갖지 않음으로써, 제 2 층간 절연막 (26) 이 그 스텝들의 높이를 감소시키도록 하여 그 높이가 종래의 경우에서 관찰되는 것보다 매우 작게 된다.

횡방향 전계를 발생시키는, 공통 전극 (5) 및 제 1 픽셀 전극 (11) 의 다른 세트에서는, 제 1 픽셀 전극 (11) 은 200 내지 500nm로 여전히 두껍다. 그러나, 제 1 층간 절연막 (12) 및 제 2 층간 절연막 (26) 이 전극들의 다른 세트를 커버하도록 기판상에 형성되기 때문에, 배향층 (13) 의 하부에 형성된 스텝들의 높이가 종래의 구조에서 관찰되는 것보다 상당히 작게 된다. 따라서, 배향층에 대한 재료가 제 2 층간 절연막 (26) 상에 높은 평탄성을 가지고 형성되고, 재료가 후속 단계에서 균일하게 러빙되어 기판상의 배향층 (13) 이 균일하게 할 수 있다.

상기의 균일한 배향층들을 포함하는 액정 표시 장치는 특히 표시 장치는 단색 표시를 실행하는 액정 표시 장치로 이용될 때 분명한 이점을 나타낸다. 이 경우, 백 발광도 (white luminance) 를 흑 발광도 (black luminance) 로 분할하는 것이 도 1 및 도 2 에 도시된 구조를 갖는 액정 표시 장치를 이용하여 관찰되는 것의 1.5배를 증가시키는 것으로 증명되었다.

또 다른 실시예에서, 제 2 층간 절연막이 제 1 층간 절연막보다 더 두껍게 형성되지만, 제 2 층간 절연막이 액정 표시 장치에서 가능하게 되는 컨트래스트 (contrast) 에 따라 상기의 두께보다 더 두껍게 형성될 수 있다. 또한, 제 2 층간 절연막이 무기 막 대신에 유기 막을 이용하여 형성되어, 제 1 층간 절연막보다 더 얇게 될 수 있다.

본 실시예가 저장 전극 (storage electrode) 를 포함하는 실시예들을 참조하여 설명되었다. 그러나, 저장 전극들을 포함하지 않는 예들에서도, 신호 및 공통 라인들에 대한 층들과 다른 층에 픽셀 전극들 및 공통 전극들을 제공함으로써, 등가적인 이용이 획득될 수 있다는 것이 명백하다.

이상에서 설명된 바와 같이, 본 발명의 따르면, 횡방향 전계를 발생시키는 주요 전극들이 다른 전극들 및 라인들에 대한 층들과 다른 층에 형성되고, 다른 전극들 및 라인들보다 더 얇게 형성된다. 따라서, 배향층에 대한 하부 막의 평탄성이 크게 개선되고, 배향층에 대한 재료 또한 하부 층상에 매우 평탄하게 형성될 수 있으며, 배향층 재료의 러빙은 따라서 기판상에서 균일하게 실행될 수 있다. 따라서, 균일하게 러빙된 배향층이 획득되고, 액정 표시 장치가 그 컨트래스트 (contrast) 를 크게 강화할 수 있다.

발명의 효과

본 발명의 따른 횡방향 전계 액정 표시 장치는, 배향층 하부에 형성되는 절연막을 갖도록 구성되고 배향층상에 있어서 균일한 러빙을 실행하기 위해 그 스텝들의 높이를 감소시킨다.

(57) 청구의 범위

청구항 1.

신호 라인, 공통 라인, 상부층 픽셀 전극, 하부층 픽셀 전극, 및 공통 전극이 제공되는 TFT 기판;

대향 기판; 및

상기 TFT 기판과 상기 대향 기판 사이에 위치되는 액정층을 구비하고,

상기 상부층 픽셀 전극은 상기 신호 라인 및 상기 공통 라인 상부에 이들의 층들과는 다른 층에 형성되며,

상기 공통 전극은 상기 다른 층에 형성되고,

상기 다른 층에 형성되는 상기 공통 전극 및 상기 상부층 픽셀 전극은 상기 신호 라인 및 상기 공통 라인보다 더 얇게 형성되고,

상기 하부층 픽셀 전극은 상기 신호 라인용으로 이용되는 층과 동일한 층에 형성되고 상기 공통 라인을 중첩 (overlapping) 하도록 형성되는 보조 용량 전극을 구비하는 것을 특징으로 하는 횡방향 전계 액정 표시 장치.

청구항 2.

삭제

청구항 3.

제 1 항에 있어서,

상기 상부층 픽셀 전극은 콘택홀을 통해 박막 트랜지스터 (TFT) 의 드레인 전극에 접속되고, 상기 공통 전극은 콘택홀을 통해 상기 공통 라인에 접속되는 것을 특징으로 하는 횡방향 전계 액정 표시 장치.

청구항 4.

제 1 항에 있어서,

상기 TFT 기판은

투명 기판;

상기 투명 기판상에 형성되는 스캐닝 라인;

상기 스캐닝 라인을 커버하도록 상기 투명 기판상에 형성되는 게이트 절연막;

상기 게이트 절연막상에 형성되는 반도체 층;

상기 게이트 절연막상에 형성되어 상기 반도체 층을 커버하도록 형성되는 제 1 층간 절연막;

상기 제 1 절연막상에 형성되는 제 2 절연막; 및

상기 제 2 절연막상에 형성되는 배향층을 더 구비하고,

상기 공통 라인은 상기 스캐닝 라인과 함께 상기 투명 기판상에 형성되고,

상기 신호 라인은 상기 게이트 절연막과 상기 제 1 층간 절연막 사이에 형성되며 상기 반도체 층의 한 단부에 접속되고,

상기 하부층 픽셀 전극은 상기 신호 라인과 함께 상기 게이트 절연막상에 형성되며 상기 반도체 막의 타 단부에 접속되고,

상기 공통 전극은 상기 제 1 층간 절연막과 상기 제 2 층간 절연막 사이에 형성되며 상기 공통 라인에 접속되고,

상기 상부층 픽셀 전극은 상기 공통 전극과 함께 상기 제 1 층간 절연막상에 형성되며 상기 하부층 픽셀 전극에 접속되고,

상기 상부층 픽셀 전극은 상기 신호 라인 및 상기 공통 라인보다 더 얇은 것을 특징으로 하는 횡방향 전계 액정 표시 장치.

청구항 5.

제 4 항에 있어서,

상기 공통 전극 및 상기 상부층 픽셀 전극의 각각의 두께는 상기 신호 라인 및 상기 공통 라인의 두께의 1/20 내지 1/3 의 범위인 것을 특징으로 하는 횡방향 전계 액정 표시 장치.

청구항 6.

제 4 항에 있어서,

상기 공통 전극과 상기 상부층 픽셀 전극 사이, 및 상기 공통 전극 및 상기 하부층 픽셀 전극 사이에 전압이 인가되어, 상기 액정층의 액정 분자들이 상기 투명 기판에 평행한 평면의 범위내에서 회전하도록 하는 것을 특징으로 하는 횡방향 전계 액정 표시 장치.

청구항 7.

제 4 항에 있어서,

상기 하부층 픽셀 전극의 일부분은 보조 용량 전극인 것을 특징으로 하는 횡방향 전계 액정 표시 장치.

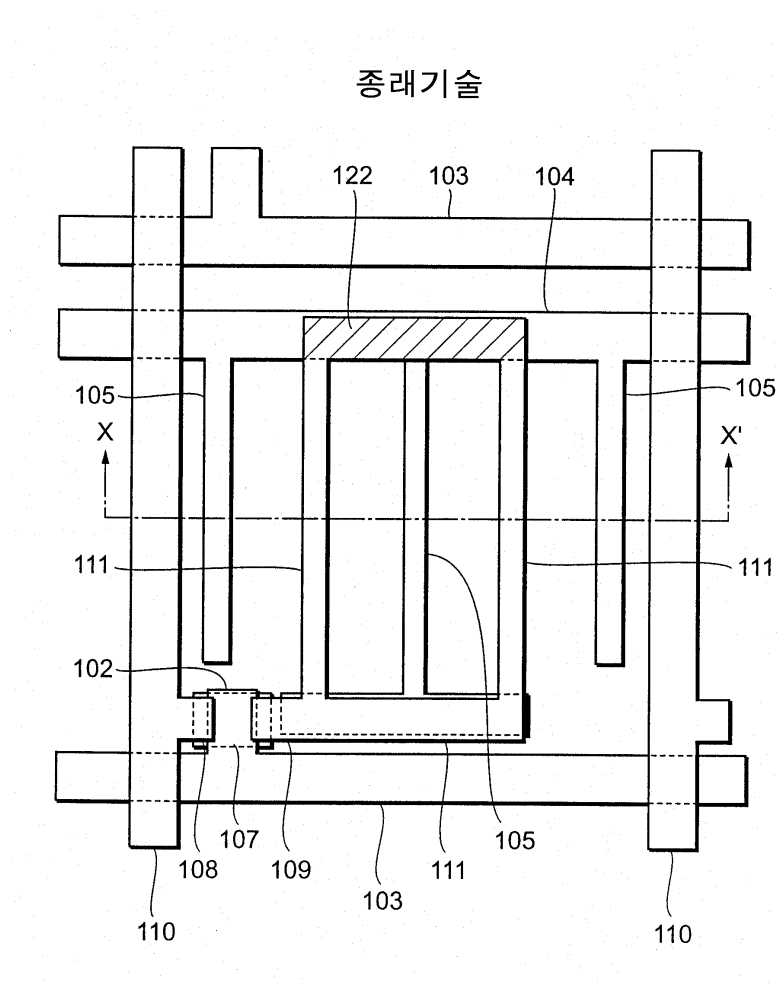
청구항 8.

제 1 항에 있어서,

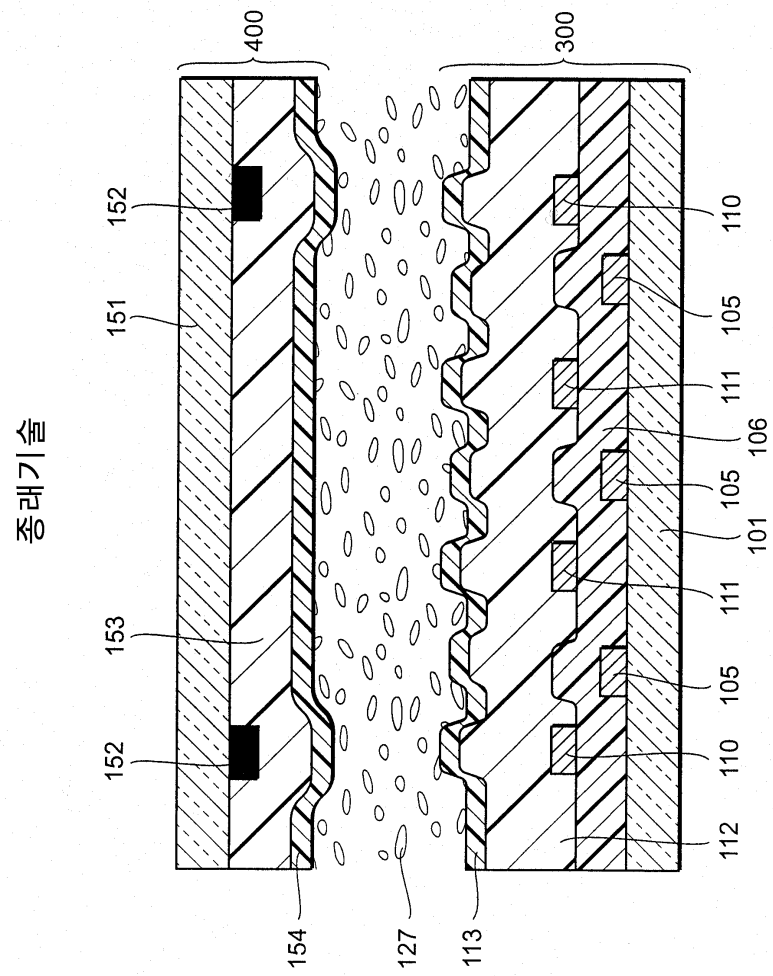
상기 다른 층에 형성되는 상기 상부층 픽셀 전극은 콘택홀을 통해 박막 트랜지스터의 소스/드레인 전극에 접속되고, 상기 공통 전극은 콘택홀을 통해 상기 공통 라인에 접속되는 것을 특징으로 하는 횡방향 전계 액정 표시 장치.

도면

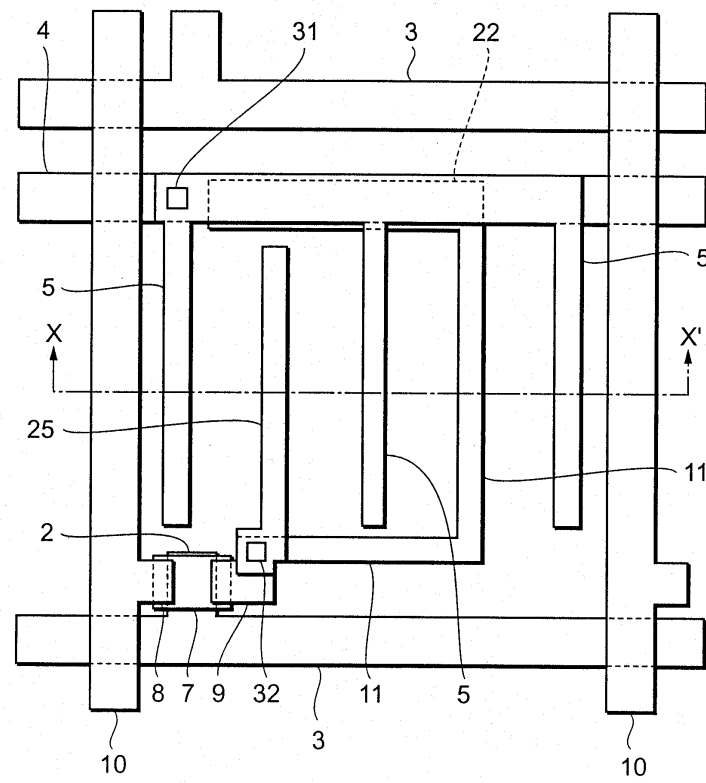
도면1



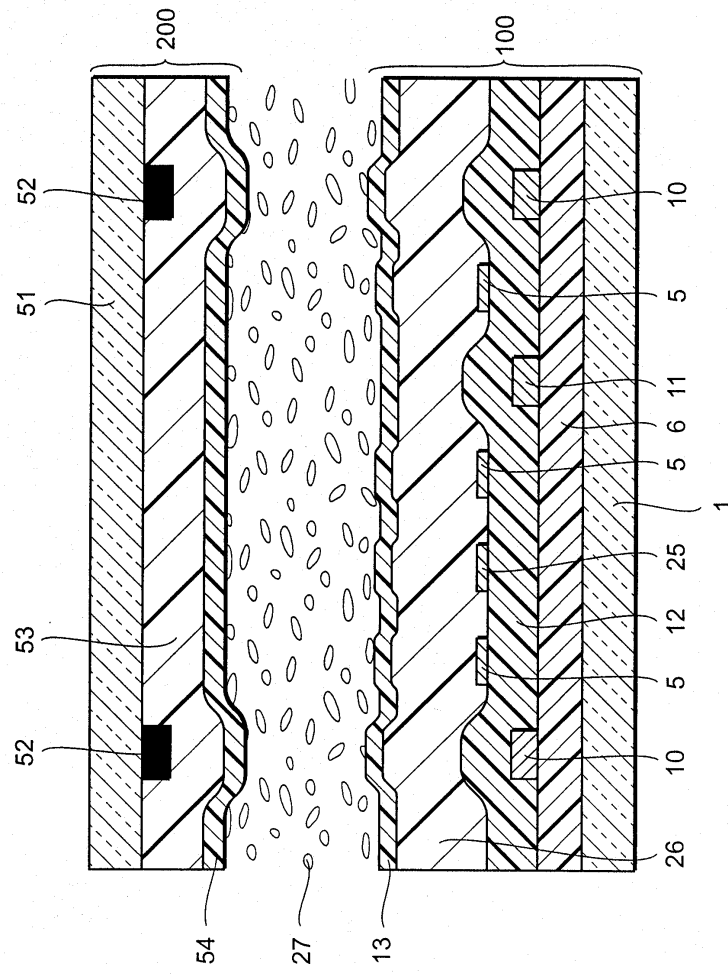
도면2



도면3



도면4



专利名称(译)	横向电场液晶显示器		
公开(公告)号	KR100510564B1	公开(公告)日	2005-08-26
申请号	KR1020030005758	申请日	2003-01-29
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	日元号技术可否让这个夏		
当前申请(专利权)人(译)	日元号技术可否让这个夏		
[标]发明人	ASAI TAKUYA 아사이다꾸야 KUROHA SYOICHI 구로하쇼우이찌 SASAKI TAKESHI 사사끼다께시		
发明人	아사이다꾸야 구로하쇼우이찌 사사끼다께시		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1333 G09F9/30 G09F9/35 H01L29/786		
CPC分类号	G02F1/134363 G02F2201/48		
代理人(译)	韩国专利公司		
优先权	2002021184 2002-01-30 JP		
其他公开文献	KR1020030065396A		
外部链接	Espacenet		

摘要(译)

它是使用与在横向电场液晶显示装置中产生横向电场的主电极部分不同的层形成的，该电极是电线杆和模制线的层。在这种情况下，主电极的一部分形成为每个电极厚度的1/20的厚度和1/3的线。因此，横向电场液晶显示装置，像素电极和公共电极可以均匀地使取向层材料围绕整个基板表面摩擦，它可以具有高取向层材料的平坦度，下面的平坦度改善了取向层的薄膜，并将其涂覆在下面的薄膜上，并且可以形成下面的薄膜

