

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
G02F 1/136

(45) 공고일자 2005년04월06일
(11) 등록번호 10-0480332
(24) 등록일자 2005년03월23일

(21) 출원번호 10-2002-0018960
(22) 출원일자 2002년04월08일

(65) 공개번호 10-2003-0080372
(43) 공개일자 2003년10월17일

(73) 특허권자 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 김진태
경상북도구미시구포동성원아파트104-503

박재석
대구광역시북구태전동대백아파트103-908

(74) 대리인 특허법인네이트

심사관 : 박진우

(54) 액정표시장치용 액정패널

요약

본 발명에서는, 액티브 영역과, 상기 액티브 영역의 주변부를 이루는 비액티브 영역을 가지며, 서로 대향되게 배치된 제 1, 2 기관과; 상기 제 1, 2 기관을 합착시키며, 상기 액티브 영역과 비액티브 영역 사이 경계부에 위치하는 쉘패턴과; 상기 제 1 기관의 액티브 영역에서, 제 1 방향으로 형성된 게이트 배선과; 상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과; 상기 게이트 및 데이터 배선이 교차되는 지점에 형성되는 박막트랜지스터와; 상기 박막트랜지스터와 연결된 화소 전극과; 상기 제 2 기관의 내부면에 형성된 공통 전극과; 상기 제 1 기관의 비액티브 영역에 위치하며, 상기 게이트 및 데이터 배선과 연결되는 게이트 및 데이터 패드와; 상기 쉘패턴과 접하는 게이트 및 데이터 배선부의 적층두께를 균일하게 유지시키는 단차보상 패턴을 포함하는 액정표시장치용 액정패널을 제공함으로써, 첫째, 액티브 영역의 네면부에서의 셀갭을 일정하게 유지할 수 있어, 화질특성을 향상시킬 수 있고, 둘째, 쉘패턴과 접하는 어레이 기관의 상부면이 울퉁불퉁하게 형성됨에 따라 쉘패턴과 접하는 표면적이 넓어지게 되어, 쉘패턴의 접착력을 높일 수 있는 장점을 가진다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 일반적인 액정표시장치용 액정패널에 대한 평면도.

도 2a 내지 2c는 일반적인 4 마스크 액정표시장치용 어레이 기관에 대한 단면도로서, 도 2a는 박막트랜지스터부이고, 도 2b, 2c는 게이트 배선부 및 데이터 배선부의 폭방향 단면도를 각각 나타낸 도면.

도 3은 본 발명의 제 1 실시예에 따른 단차보상 패턴부를 포함하는 액정표시장치용 액정패널에 대한 평면도.

도 4a의, 4b는 본 발명의 제 1 실시예에 따른 단차보상 패턴부에 대한 도면으로서, 도 4a는 제 1 단차보상 패턴부, 도 4b는 제 2 단차보상 패턴부에 대한 단면도.

도 5는 본 발명의 제 2 실시예에 따른 단차보상 패턴부를 포함하는 액정표시장치용 액정패널에 대한 평면도.

도 6a, 6b는 본 발명의 제 2 실시예에 따른 단차보상 패턴부에 대한 도면으로서, 도 6a는 게이트 배선간 이격구간에 형성되는 단차보상 패턴부이고, 도 6b는 데이터 배선간 이격구간에 형성되는 단차보상 패턴부에 대한 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

110 : 제 1 기관 112 : 게이트 배선

114 : 데이터 배선 116 : 화소 전극

118 : 게이트 패드 120 : 데이터 패드

130 : 제 2 기관 140 : 셀패턴

142 : 액정주입구 144 : 봉지용 셀

150 : 액정층 V : 액티브 영역

VIa : 제 1 비액티브 영역 VIb : 제 2 비액티브 영역

VI : 비액티브 영역 VIIa : 제 1 단차보상 패턴부

VIIb : 제 2 단차보상 패턴부 VII : 단차보상 패턴

T : 박막트랜지스터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것이며, 특히 단차부 보상패턴을 가지는 액정표시장치용 액정패널에 관한 것이다.

액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용하는 것이다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 갖고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

따라서, 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의하여 상기 액정의 분자 배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

현재에는 박막트랜지스터(Thin Film Transistor ; TFT)와 상기 박막트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 능동행렬 액정표시장치(Active Matrix LCD : AM-LCD)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

이하, 도 1은 일반적인 액정표시장치용 액정패널에 대한 평면도로서, 어레이 기관 구조를 중심으로 도시하였다.

도시한 바와 같이, 액티브 영역(I)과 액티브 영역(I)의 주변부를 이루는 비액티브 영역(II)을 가지며, 서로 대향되게 제 1, 2 기관(10, 30)이 배치되어 있고, 제 1, 2 기관(10, 30)을 합착시키는 셀패턴(40)이 형성되어 있고, 셀패턴(40) 내부 영역에는 액정층(50)이 개재되어 있다.

상기 액정층(50)은 셀패턴(40)의 일측에 구성된 액정 주입구(42)를 통해 주입되며, 주입 후에는 봉지용 셀(44)에 의해 외부로 누출되는 것이 방지된다.

상기 비액티브 영역(II)은, 제 1 기관(10)에 포함되는 제 1 비액티브 영역(IIa)과, 제 2 기관(30)에 포함되며 제 1 비액티브 영역(IIa)보다 내부에 위치하는 제 2 비액티브 영역(IIb)으로 구성된다.

상기 제 1 기관(10)의 액티브 영역(I)에는 서로 교차되게 형성된 게이트 및 데이터 배선(12, 14)이 다수 개 형성되어 있고, 게이트 및 데이터 배선(12, 14)이 교차되는 지점에는 박막트랜지스터(T)가 형성되어 있고, 박막트랜지스터(T)와 연결되어 화소 전극(16)이 형성되어 있다. 그리고, 도면으로 제시하지는 않았지만, 제 2 기관(30)의 내부면에는 특정 파장대의 빛을 차단하는 적, 녹, 청 컬러필터와, 컬러필터의 컬러별 경계부 및 비화소 영역에 위치하여 빛샘 현상을 방지하는 블랙매트릭스와, 공통 전압이 인가되는 공통 전극이 포함된다.

그리고, 상기 제 1 비액티브 영역(IIa)에는 게이트 및 데이터 배선(12, 14)과 외부 회로를 연결시키는 게이트 및 데이터 패드(18, 20)가 각각 위치하고 있다.

제 1 기판(10) 상에 구성되는 게이트 및 데이터 배선(12, 14)과 같은 어레이 패턴들은 얻고자 하는 패턴의 마스크를 사용하여 빛을 선택적으로 감광성 물질인 PR(photo resist)에 조사함으로써 마스크의 패턴과 동일한 패턴을 형성하는 사진식각(photo lithography) 공정에 의해 이루어지는데, 이러한 사진식각 공정에서는 화학적/물리적 공정이 반복되고, 공정 수가 증가할수록 제조비용이 증가하고 소자에 손상을 주기 때문에, 저마스크 공정을 이용한 액정표시장치에 대한 개발이 활발히 이루어지고 있다.

한 예로, 기존에는 게이트 공정, 반도체 공정, 데이터 공정, 콘택홀 공정, 화소 전극 공정을 포함하는 5 마스크 공정에 의해 어레이 기판이 주로 제작하였으나, 최근에는 반도체 공정과 데이터 공정을 하나의 마스크 공정으로 진행하는 4 마스크 어레이 공정이 주목받고 있다.

도 2a 내지 2c는 일반적인 4 마스크 액정표시장치용 어레이 기판에 대한 단면도로서, 도 2a는 박막트랜지스터부이고, 도 2b, 2c는 게이트 배선부 및 데이터 배선부의 폭방향 단면도를 각각 나타낸 도면이다.

도 2a에서는, 투명 기판(1) 상에 게이트 전극(60)이 형성되어 있고, 게이트 전극(60)을 덮는 기판 전면에 게이트 절연막(62)이 형성되어 있고, 게이트 절연막(62) 상부에 반도체층(64), 소스 및 드레인 전극(66, 68)이 형성되어 있다.

상기 게이트 전극(60), 반도체층(64), 소스 및 드레인 전극(66, 68)은 박막트랜지스터(T)를 이룬다.

상기 박막트랜지스터(T) 상부에는, 드레인 전극(68)을 일부 노출시키는 드레인 콘택홀(70)을 가지는 보호층(72)이 형성되어 있고, 보호층(72) 상부에는 드레인 콘택홀(70)을 통해 드레인 전극(68)과 연결되는 화소 전극(74)이 형성되어 있다.

전술한 반도체층(64)은, 순수 비정질 실리콘(a-Si)으로 이루어진 액티브층(64a; active layer)과, 불순물 비정질 실리콘(n+ a-Si)으로 이루어진 오믹콘택층(64b; ohmic contact layer)으로 구성되고, 상기 소스 및 드레인 전극(66, 68) 사이 공간에 위치하는 오믹콘택층(64b)을 제거하고, 그 하부층을 이루는 액티브층(64a)을 노출시키는 방법으로 채널(ch)이 구성되는데, 4 마스크 공정에서는 반도체층(64)과 소스 및 드레인 전극(66, 68)을 일괄식각하는 공정에서 채널부에 대해서는, 빛의 회절 현상에 의해 빛의 노광량을 조절할 수 있는 회절 마스크가 주로 이용된다.

도 2b에는 상기 게이트 전극(도 2a의 60)과 동일공정에서 동일물질로 이루어진 게이트 배선(76)과, 게이트 배선(76)을 덮는 기판 전면에 게이트 절연막(62), 보호층(72)이 차례대로 형성되어 있다.

도 2c에는 게이트 절연막(62) 상부에 반도체층(64)이 형성되어 있고, 반도체층(64) 상부에는 전술한 소스 및 드레인 전극(66, 68)과 동일공정에서 동일물질로 이루어진 데이터 배선(78)이 형성되어 있고, 데이터 배선(78)을 덮는 기판 전면에는 보호층(72)이 형성되어 있다.

일반적으로, 4 마스크 액정표시장치용 어레이 기판에서는, 반도체 공정과 데이터 공정이 하나의 마스크 공정에서 이루어짐에 따라, 데이터 공정에서 패턴화되는 소스 및 드레인 전극(66, 68) 그리고, 데이터 배선(78) 하부에 반도체층(64)이 동일패턴으로 형성된다.

이와 같이, 기존의 4 마스크 액정표시장치에서는 상기 데이터 배선(78) 하부층에 반도체층(64) 패턴이 위치하기 때문에, 반도체층(64)의 두께만큼, 상기 게이트 배선부의 적층두께(상기 도 2b의 D1)와 데이터 배선부의 적층두께(D2)간에 두께차를 가졌다.

일반적으로, 게이트 배선 2700 Å, 게이트 절연막 4000 Å, 반도체층 2000 Å, 데이터 배선 1500 Å, 보호층 2000 Å의 두께로 형성할 경우, 게이트 배선부 및 데이터 배선부의 적층두께(D1, D2)는 각각 8700 Å, 9500 Å이므로, 이러한 어레이 기판 상의 배선간의 적층두께 차는 쉘패턴 주변부의 셀갯차를 불균일하게 하여 화면 얼룩을 유발시키는 문제점이 되었다.

발명이 이루고자 하는 기술적 과제

상기 문제점을 해결하기 위하여, 본 발명에서는 쉘패턴과 인접한 액티브 영역의 네변부에서의 셀갯을 균일하게 유지하여 화질 특성이 향상된 액정표시장치를 제공하는 것을 목적으로 한다.

이를 위하여, 본 발명에서는 쉘패턴과 접하는 게이트 및 데이터 배선부에 단차부 보상패턴을 형성하고자 한다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에서는 액티브 영역과, 상기 액티브 영역의 주변부를 이루는 비액티브 영역을 가지며, 서로 대향되게 배치된 제 1, 2 기판과; 상기 제 1, 2 기판을 합착시키며, 상기 액티브 영역과 비액티브 영역 사이 경계부에 위치하는 쉘패턴과; 상기 제 1 기판의 액티브 영역에서, 제 1 방향으로 형성된 게이트 배선과; 상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과; 상기 게이트 배선과 데이터 배선이 교차되는 지점에 형성되는 박막트랜지스터와; 상기 박막트랜지스터와 연결된 화소 전극과; 상기 제 2 기판의 내부면에 형성된 공통 전극과; 상기 제 1 기판의 비액티브 영역에 위치하며, 상기 게이트 배선과 데이터 배선에 각각 연결되는 게이트 패드 및 데이터 패드와; 상기 쉘패턴과 접하는 게이트 배선부와 데이터 배선부의 적층두께를 균일하게 유지시키는 제 1 단차보상 패턴과 제 2 단차보상 패턴을 포함하는 액정표시장치용 액정패널을 제공한다.

상기 단차보상 패턴은 상기 썰패턴과 접하는 게이트 배선의 상부에 형성되고, 상기 제 2 단차보상 패턴은 상기 썰패턴과 접하는 상기 데이터 배선의 하부에 형성되며, 상기 제 1 단차보상 패턴은 상기 데이터 배선과 동일공정에서 동일물질로 이루어지고, 상기 제 2 단차보상 패턴은 상기 게이트 배선과 동일공정에서 동일물질로 이루어지는 것을 특징으로 한다.

그리고, 상기 데이터 배선의 하부층에는, 상기 박막트랜지스터를 구성하는 반도체층 패턴이 위치하며, 상기 제 1 단차보상 패턴은 상기 썰패턴과 접하는 상기 게이트 배선간 이격구간에 위치하고, 상기 제 2 단차보상 패턴은 상기 썰패턴과 접하는 상기 데이터 배선간 이격구간에 위치하고, 상기 제 1 단차보상 패턴은 상기 데이터 배선과 동일공정에서 동일물질로 이루어지는 것을 특징으로 한다.

그리고, 상기 제 2 단차보상 패턴은 상기 게이트 배선과 동일공정에서 동일물질로 이루어지는 것을 특징으로 한다.

이하, 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 설명하기로 한다.

- 실시예 1 -

본 발명에 따른 실시예 1은, 썰패턴과 접하는 게이트 및 데이터 배선부의 적층구조를 동일하게 구성하는 실시예이다.

도 3은 본 발명의 제 1 실시예에 따른 단차보상 패턴부를 포함하는 액정표시장치용 액정패널에 대한 평면도이다.

도시한 바와 같이, 액티브 영역(V) 및 액티브 영역(V)의 주변부인 비액티브 영역(VI)을 가지는 제 1, 2 기판(110, 130)이 서로 대향되게 배치되어 있고, 액티브 영역(V)과 비액티브 영역(VI)의 주변부에는 제 1, 2 기판(110, 130)을 합착시키는 썰패턴(140)이 형성되어 있고, 썰패턴(140) 내에는 액정층(150)이 개재되어 있다.

그리고, 상기 썰패턴(140)의 일측에는 액정 주입구(142)가 형성되어 있으며, 액정 주입구(142)의 외측에는 주입된 액정층(150)의 외부 누설을 방지하는 봉지용 썰(144)이 형성되어 있다.

상기 제 1 기판(110)의 비액티브 영역에 해당되는 제 1 비액티브 영역(VIa)은 제 2 기판(130)의 비액티브 영역인 제 2 비액티브 영역(VIb)보다 외부로 확장형성되어 있다.

제 1 기판(110)의 액티브 영역(V)에는, 제 1 방향으로 게이트 배선(112)이 형성되어 있고, 제 1 방향과 교차되는 제 2 방향으로 데이터 배선(114)이 형성되어 있으며, 게이트 및 데이터 배선(112, 114)이 교차되는 지점에는 박막트랜지스터(T)가 형성되어 있고, 박막트랜지스터(T)와 연결되어 화소 전극(116)이 형성되어 있다. 그리고, 제 1 비액티브 영역(VIa)에는, 게이트 및 데이터 배선(112, 114)과 미도시한 외부회로를 연결하기 위한 게이트 및 데이터 패드(118, 120)가 각각 형성되어 있다.

본 발명에서는, 상기 썰패턴(140)과 접하는 게이트 및 데이터 배선(112, 114)부를 단차보상 패턴부(VII)로 구성하는 것을 특징으로 한다.

상기 단차보상 패턴부(VII)는 제 1 방향으로 형성된 제 1 단차보상 패턴부(VIIa)와, 제 2 방향으로 형성된 제 2 단차보상 패턴부(VIIb)로 구성되며, 제 1, 2 단차보상 패턴부(VIIa, VIIb)의 적층두께는 서로 균일한 값을 가지는 것을 특징으로 한다.

도면으로 상세히 제시하지는 않았지만, 상기 제 2 기판(130)의 내부면에는 공통 전극이 형성되어 있으며, 이외에도 컬러필터와, 컬러필터의 컬러별 경계부에 위치하는 블랙매트릭스를 포함할 수 있다.

도 4a의, 4b는 본 발명의 제 1 실시예에 따른 단차보상 패턴부에 대한 도면으로서, 도 4a는 제 1 단차보상 패턴부, 도 4b는 제 2 단차보상 패턴부에 대한 단면도이다.

도 4a의 제 1 단차보상 패턴부(VIIa)에는, 투명 기판(100) 상에 게이트 배선(162)이 형성되어 있고, 게이트 배선(162)을 덮는 기판 전면에는 게이트 절연막(164)이 형성되어 있고, 게이트 절연막(164) 상부에는 제 1 단차보상 패턴(166)이 형성되어 있고, 제 1 단차보상 패턴(166) 덮는 기판 전면에는 보호층(168)이 형성되어 있다.

상기 제 1 단차보상 패턴(166)은 반도체층(미도시)과 동일공정에서 동일물질로 이루어진 제 1a 단차보상 물질층(166a) 및 데이터 배선(미도시)과 동일공정에서 동일물질로 이루어진 제 1b 단차보상 물질층(166b)이 차례대로 적층된 구조로 이루어지는 것을 특징으로 한다.

도면 상의, "DI"은 상기 제 1 단차보상 패턴부(VIIa)의 적층두께를 나타낸다.

도 4b의 제 2 단차보상 패턴부(VIIb)에는, 투명 기판(100) 상에 제 2 단차보상 패턴(170)이 형성되어 있고, 제 2 단차보상 패턴(170)을 덮는 기판 전면에는 게이트 절연막(164)이 형성되어 있고, 게이트 절연막(164) 상부에는 액티브층(172a), 오믹콘택층(172b)이 차례대로 적층되어 구성된 반도체층(172) 및 반도체층(172)과 대응되는 면적을 가지는 데이터 배선(174)이 차례대로 형성되어 있고, 데이터 배선(174) 및 반도체층(172)을 덮는 기판 전면에는 보호층(168)이 형성되어 있다.

상기 제 2 단차보상 패턴(170)은 전술한 게이트 배선(도 4a의 162)과 동일 공정에서 동일 물질로 이루어지는 것을 특징으로 한다.

도면 상의 "DII"는, 상기 제 2 단차보상 패턴부(VIIb)의 적층두께를 나타내는 것이고, 제 2 단차보상 패턴부(VIIb)는 전술한 제 1 단차보상 패턴부(VIIa)와 대응되는 적층구조를 가지므로, "DI"과 "DII"는 동일한 값을 가지게 된다.

즉, 이러한 제 1, 2 단차보상 패턴부(VIIa, VIIb) 구조에 의하면, 쉘패턴 부근에서의 셀갭을 전체적으로 균일하게 유지할 수 있다.

- 실시예 2 -

본 발명에 따른 실시예 2는, 쉘패턴과 접하는 게이트 및 데이터 배선부에 단차보상 패턴부를 구성함에 있어서, 게이트 배선간의 이격구간 및 데이터 배선간의 이격구간에 서로 상대 물질로 이루어진 단차보상 패턴을 구성하는 실시예이다.

도 5는 본 발명의 제 2 실시예에 따른 단차보상 패턴부를 포함하는 액정표시장치용 액정패널에 대한 평면도로서, 상기 도 3과 중복되는 부분에 대한 설명은 생략하기로 한다.

도시한 바와 같이, 제 1 방향으로 형성된 게이트 배선(212)과, 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선(214)과, 게이트 및 데이터 배선(212, 214)의 끝단부에 게이트 및 데이터 패드(216, 218)가 각각 구성되어 있고, 제 1, 2 방향으로 게이트 및 데이터 배선(212, 214)과 게이트 및 데이터 패드(216, 218)간 연결부인 액티브 영역(VIII)과 비액티브 영역(IX) 간 경계부에는 쉘패턴(220)이 형성되어 있다. 상기 쉘패턴(220)과 접하는 게이트 배선(212)간 제 1 이격구간(Xa) 및 데이터 배선(214)간 제 2 이격구간(Xb)에는 제 1, 2 단차보상 패턴(222, 224)이 각각 구비됨을 특징으로 한다.

전술한 실시예 1에서는, 쉘패턴과 접하는 게이트 및 데이터 배선부에 단차부 보상패턴을 포함시켜 게이트 배선부와 데이터 배선간의 적층두께를 균일하게 유지시키는 것을 특징으로 하는 반면, 본 실시예에서는 게이트 및 데이터 배선(212, 214)의 적층구조는 기존 방식대로 유지하고, 대신 게이트 배선(212)간 제 1 이격구(Xa)간에 데이터 배선(214)과 동일한 적층구조를 가지는 제 1 단차보상 패턴(222)을 구비하고, 데이터 배선(214)간 제 2 이격구간(Xb)에는 게이트 배선(212)과 동일한 적층구조를 가지는 제 2 단차보상 패턴(224)을 구비하는 방법으로 전체두께를 균일하게 유지하는 것을 특징으로 한다.

도 6a, 6b는 본 발명의 제 2 실시예에 따른 단차보상 패턴부에 대한 도면으로서, 도 6a는 게이트 배선간 이격구간에 형성되는 단차보상 패턴부이고, 도 6b는 데이터 배선간 이격구간에 형성되는 단차보상 패턴부에 대한 단면도이다.

도 6a에서는, 투명 기판(200) 상에 게이트 배선(212)이 형성되어 있고, 게이트 배선(212)을 덮는 기판 전면에 게이트 절연막(230)이 형성되어 있고, 게이트 절연막(230) 상에서 게이트 배선(212)과 이웃하는 영역에 제 1 단차보상 패턴(222)이 형성되어 있고, 게이트 절연막(230) 및 제 1 단차보상 패턴(222)을 덮는 기판 전면에 보호층(232)이 형성되어 있다.

상기 제 1 단차보상 패턴(222)은 반도체 물질로 이루어진 제 1a 단차보상 물질층(222a)와, 데이터 배선물질로 이루어진 제 1b 단차보상 물질층(222b)이 차례대로 적층된 구조를 가지는 것을 특징으로 한다.

도면 상에서, "Da"는 게이트 배선부의 적층두께이고, "Db"는 제 1 단차보상 패턴(222)부의 적층두께이다.

도 6b에서는, 투명 기판(200) 상에 제 2 단차보상 패턴(224)이 형성되어 있고, 제 2 단차보상 패턴(224)을 덮는 기판 전면에는 게이트 절연막(230)이 형성되어 있고, 게이트 절연막(230) 상의 제 2 단차보상 패턴(224)과 이웃하는 영역에는 액티브층(234a), 오믹콘택층(234b)이 차례대로 적층되어 구성된 반도체층(234)과, 반도체층(234)과 대응되는 패턴을 가지는 데이터 배선(214)이 차례대로 형성되어 있고, 데이터 배선(214) 및 게이트 절연막(230)을 덮는 기판 전면에는 보호층(232)이 형성되어 있다.

상기 제 2 단차보상 패턴(224)은 전술한 게이트 배선(도 6a의 212)과 동일공정에서 동일물질로 이루어진 것을 특징으로 한다.

이에 따라, 상기 도 4a에서 게이트 배선부의 적층두께(Da)와 제 1 단차보상패턴(222)부의 적층두께(Db)의 합은, 상기 도 4b의 데이터 배선(214)부의 적층두께(Dc)와 제 2 단차보상 패턴(224)부의 적층두께(Dd)의 합과 대응되는 값을 가지게 된다.

즉, 본 실시예에서는 게이트 및 데이터 배선부간의 적층두께 차를 보상하기 위하여, 게이트 배선간 이격구간에는 데이터 배선부와 동일한 적층구조를 가지는 단차보상 패턴을 구성하고, 데이터 배선간 이격구간에는 게이트 배선부와 동일한 적층구조를 가지는 단차보상 패턴을 구성함에 따라, 액티브층의 내변부에서 균일한 적층두께를 갖도록 하는 것을 특징으로 한다.

또한, 본 실시예에 의하면, 쉘패턴과 접하는 어레이 기판의 상부면이 울퉁불퉁하게 형성됨에 따라, 쉘패턴과 접하는 표면적이 넓어지게 되어, 쉘패턴의 접착력을 높일 수 있다.

그러나, 본 발명은 상기 실시예들로 한정되지 않고, 본 발명의 취지에 벗어나지 않는 한도 내에서 다양하게 변경하여 실시할 수 있다.

발명의 효과

이와 같이, 본 발명에 따른 단차보상 패턴을 가지는 액정표시장치용 액정패널에 의하면, 다음과 같은 효과를 가진다.

첫째, 액티브 영역의 네변부에서의 셀갭을 일정하게 유지할 수 있어, 화질특성을 향상시킬 수 있다.

둘째, 셀패턴과 접하는 어레이 기관의 상부면이 울퉁불퉁하게 형성됨에 따라, 셀패턴과 접하는 표면적이 넓어지게 되어, 셀패턴의 접착력을 높일 수 있다.

(57) 청구의 범위

청구항 1.

액티브영역과 이의 주변부를 이루는 비액티브영역을 가지며 서로 대향되게 배치된 제 1, 제 2 기관과;

상기 제 1 기관의 액티브영역에서 제 1 방향으로 배열되고 양 단부가 각각 상기 비액티브영역으로 연장되어 이중 적어도 하나가 게이트패드를 구성하는 게이트배선과;

상기 게이트배선을 덮는 전면의 게이트절연막과;

상기 제 1 기관의 액티브영역에서 상기 제 1 방향과 교차되는 제 2 방향으로 배열되어 화소를 정의하고 양 단부가 각각 상기 비액티브영역으로 연장되어 이중 적어도 하나가 데이터패드를 구성하는 상기 게이트절연막 상부의 데이터배선과;

상기 데이터배선을 덮는 전면의 보호막과;

상기 보호막 상부의 상기 액티브영역과 비액티브영역 경계에 위치하여 상기 제 1, 제 2 기관을 합착시키는 셀패턴과;

상기 각 화소에 실장된 화소전극과;

상기 제 1 기관의 액티브영역에서 상기 게이트배선과 데이터배선 교차점에 형성되며, 상기 게이트배선으로부터 분지된 게이트전극, 상기 게이트전극을 덮도록 상기 게이트절연막 상에 형성된 비정질실리콘의 반도체층, 이격된 상태로 상기 반도체층에 오버랩되도록 상기 데이터배선으로부터 분지된 소스전극 및 상기 화소전극과 연결된 드레인전극을 포함하는 박막 트랜지스터와;

상기 제 2 기관의 내부면에 형성된 공통전극과;

상기 셀패턴과 접하는 상기 게이트배선 상부의 상기 게이트절연막과 보호막 사이로 위치되며, 상기 데이터배선과 동일공정에서 동일물질로 이루어진 상층 및 상기 반도체층과 동일공정에서 동일물질로 이루어진 하층으로 이루어진 제 1 단차보상패턴과;

상기 셀패턴과 접하는 상기 데이터배선 하부의 상기 게이트절연막과 제 1 기관 사이로 위치되며, 상기 게이트배선과 동일공정에서 동일물질로 이루어진 제 2 단차보상패턴

을 포함하여, 상기 제 1, 제 2 단차보상패턴은 각각 상기 셀패턴과 접하는 상기 게이트배선부와 데이터배선부의 최대 높이를 균일하게 유지시키는 액정표시장치용 액정패널.

청구항 2.

제 1항에 있어서,

상기 제 1 단차보상패턴은 상기 셀패턴과 접하는 상기 게이트배선 간 이격 구간에 위치하고, 상기 제 2 단차보상패턴은 상기 셀패턴과 접하는 상기 데이터배선 간 이격 구간에 위치하는 액정표시장치용 액정패널.

청구항 3.

제 1항 또는 제 2항 중 어느 하나의 선택된 항에 있어서,

상기 데이터배선의 하부에는 이와 동일 형상의 반도체층패턴이 더욱 포함되고, 상기 반도체층패턴은 상기 반도체층 및 상기 제 1 단차보상패턴 하층과 동일공정에서 동일물질로 이루어지는 것을 특징으로 하는 액정표시장치용 액정패널.

청구항 4.

삭제

청구항 5.
삭제

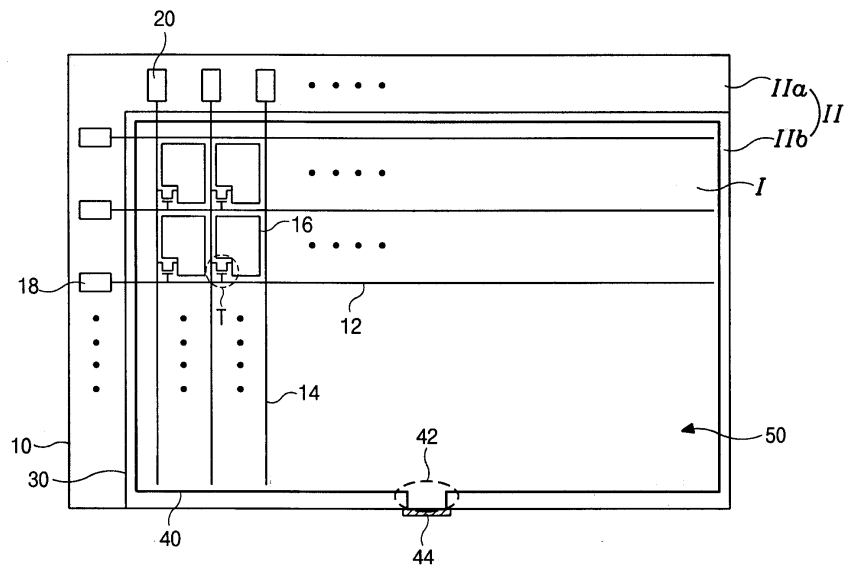
청구항 6.
삭제

청구항 7.
삭제

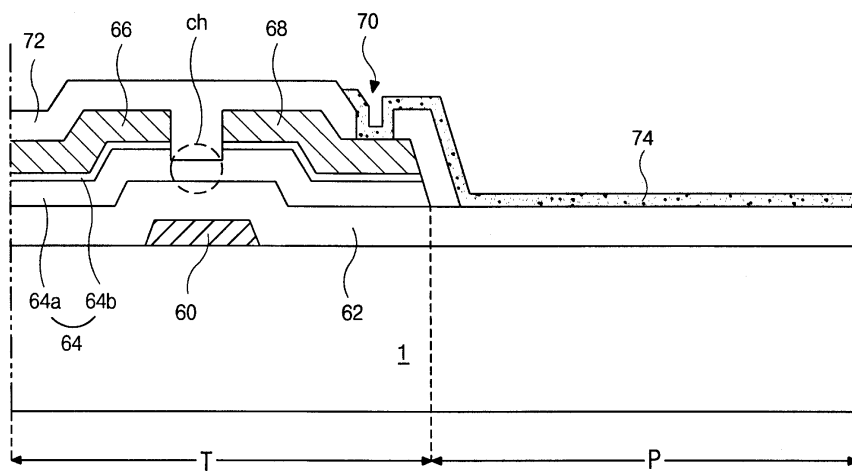
청구항 8.
삭제

도면

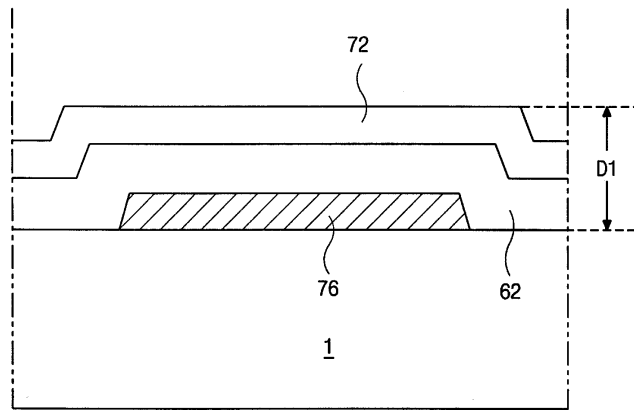
도면1



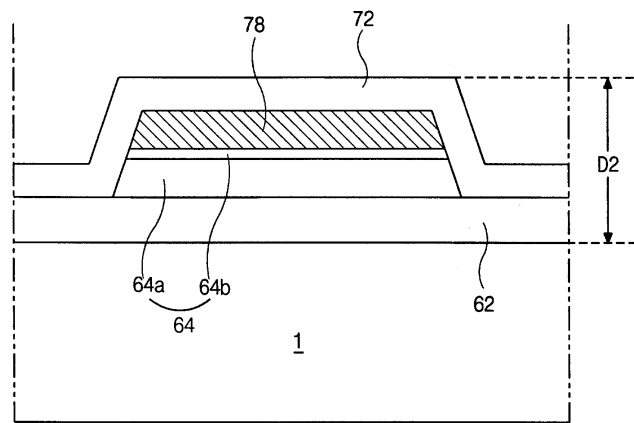
도면2a



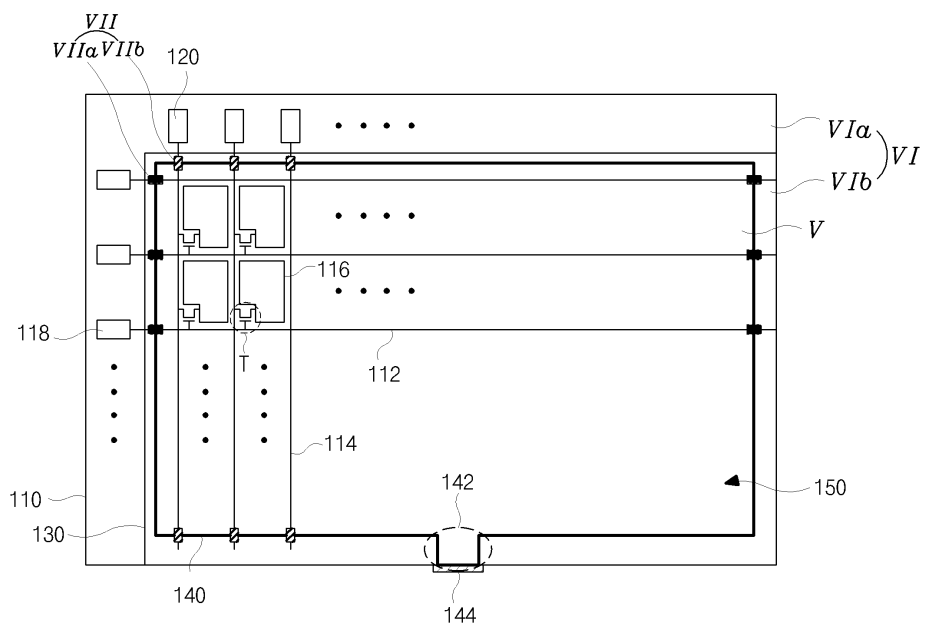
도면2b



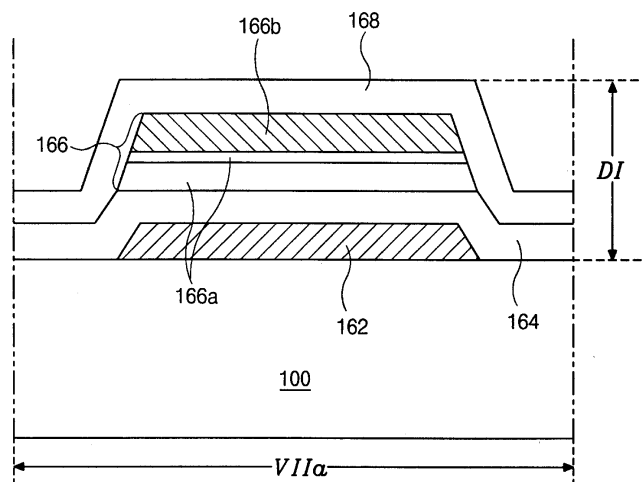
도면2c



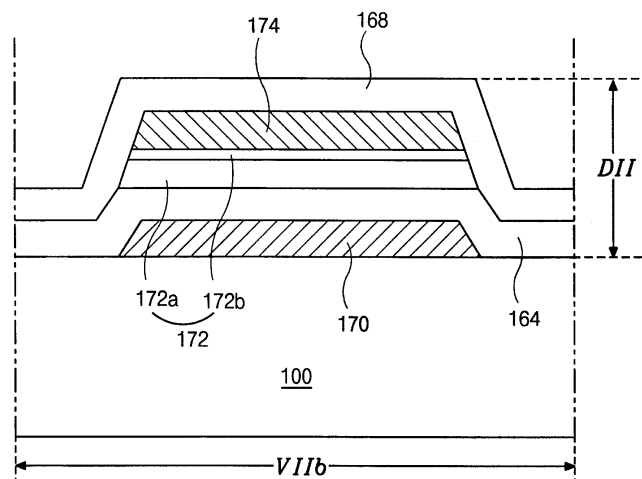
도면3



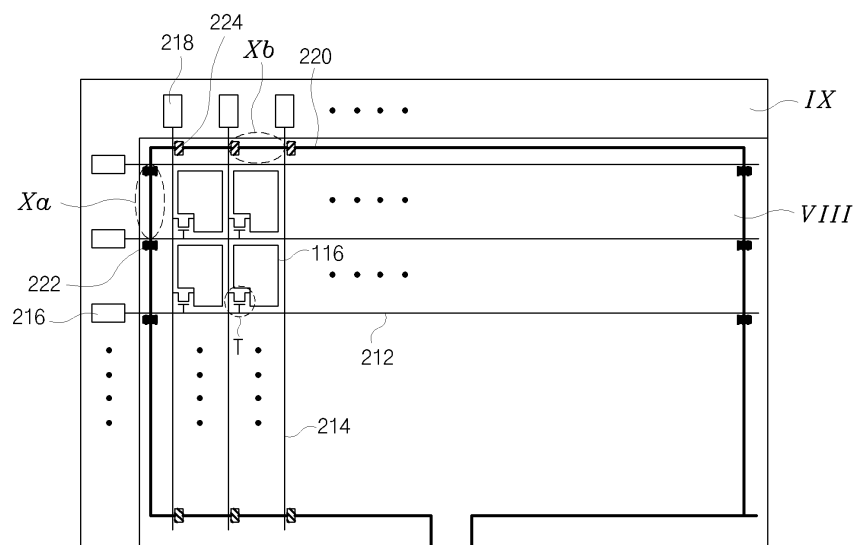
도면4a



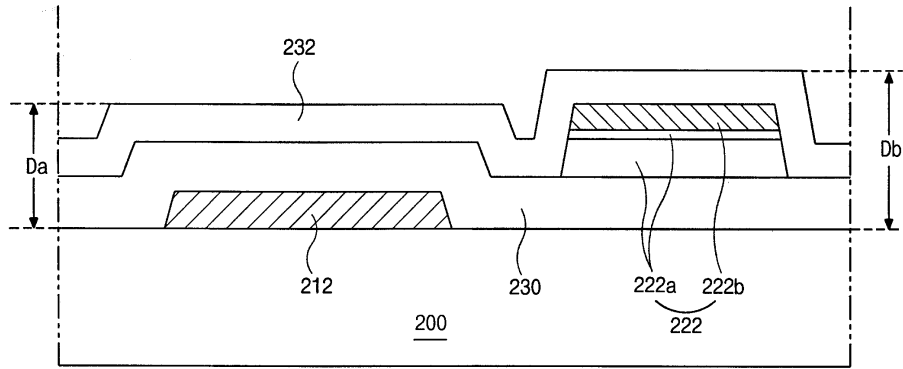
도면4b



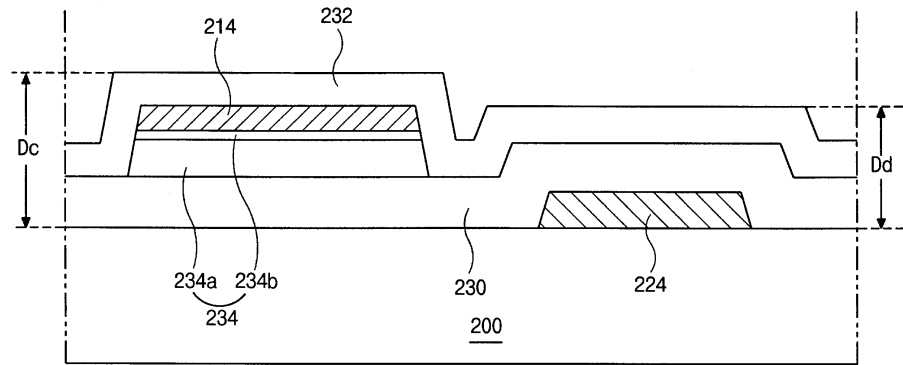
도면5



도면6a



도면6b



专利名称(译)	用于液晶显示器的液晶面板		
公开(公告)号	KR100480332B1	公开(公告)日	2005-04-06
申请号	KR1020020018960	申请日	2002-04-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM JINTAE 김진태 PARK JAESEOK 박재석		
发明人	김진태 박재석		
IPC分类号	G02F1/1339 G02F1/1345 G02F1/1333 G02F1/136		
CPC分类号	G02F2001/133388 G02F1/1339 G02F2001/133776 G02F1/1345		
其他公开文献	KR1020030080372A		
外部链接	Espacenet		

摘要(译)

在本发明中，可以有规律地保持有源区的四个边缘处的单元间隙。首先可以改善图像质量特性。用于液晶显示器的液晶面板包括形成在点，栅极和数据焊盘上形成的薄膜晶体管的内表面中的公共电极，以及步进补偿图案，用于形成在薄膜内表面中的公共电极晶体管上形成的晶体管，栅极布线：，形成第一方向数据线：，形成第二方向，与第一方向栅极相交，数据线在有源区交叉，像素电极连接薄膜晶体管和第二基板。栅极和数据焊盘位于第一衬底的非有源区中，并连接到栅极和数据线。阶梯补偿图案均匀地保持数据布线部分的叠层厚度和栅极与密封图案接触。其优点在于，增加了密封图案的粘合力，阵列板的顶表面与密封图案接触得以坚固地形成。

