

(19)
(12)

(KR)
(B1)

(51) 。 Int. Cl. 7
G02F 1/133

(45)
(11)
(24)

2003 06 12
10-0386991
2003 05 28

(21) 10-2000-0071737
(22) 2000 11 29

(65)
(43)

2001-0052033
2001 06 25

(30) 11-341393 1999 11 30 (JP)

(73) 가 가 가 , . 1753

(72) 가
5 7 1 가 가
5 7 1 가 가
5 7 1 가 가
5 7 1 가 가
5 7 1 가 가
5 7 1 가 가
5 7 1 가 가

(74)
:

(54)

가 LCD . DC LCD . 2 (74) (76) 2 DC , ,

- 1 IPS AM-LCD 가 .
- 2 a b LC , 1 LCD .
- 3 1 LCD .
- 4 a c 1 LCD .
- 5 1 LCD .
- 6 5 LCD .
- 7 6 VII-VII .
- 8 5 .
- 9 8 .
- 10 5 LCD .
- 11 6 가 .
- 12 a c 5 LCD .
- 13 2 LCD .
- 14 a c 13 LCD .
- 15 a c 13 LCD .
- 16 15 LCD .
- 17 16 .
- 18 a c 13 LCD .
- 19 18 가 .
- 20 16 .

(LCD) , LCD LCD

(IPS ; in-plane switching) LCD(AM-LCD) LC IPS A

(lateral) , LC (image) LC .

M-LCD 가 , LC (, JP-A-7-159786). , AM-LCD , LCD (switchin

(TN) IPS 2 (switchin

g) , 1280 x1024 (SXGA) 6

40 x480 (VGA) LCD

AM-LCD LCD 가

AM-LCD LCD , 2 20

LCD 가 , (burning) LC .

() .

DC (DC)가

TFT LCD ()

DC LCD

가 LC

가 LC (CL) LC (RL) (C1) (210)

(C2) (212) (210) TFT(206) (202) (212) (204) (C1, C2) LC ()

2 a(2 b)

213) (210) TFT(206) (202) (212) (210) (212) 가

DC (210) (212) , LC 2 a

2 b (212) (212) (210) 가

3 (A) (B) 1 LCD (A) (2) V

$V_G, V_D, V_{PI} (V_{PI}')$, V_{com} (A) (, -10) V_{gon} (, 19) (t1)

(V_G) V_{goff} (, -10) (A) 가 t6 (V_D)

(202) (V_G) T2 V_{gon} V_{goff} , T6 가 (202)

(V_{com}) t6가 (, 4.5) (t4) (200) 가 (V_D)

(A)가 (A) t3 (200) 가 (t4) (T1) , 40

(t3) 가 (t4) (T2)

(t4) LCD (t6) , 5

(B)가 (t7) (t6) (T3)

300 가 (t4)

(t5)

(t6) , LCD (202) (204) 가

가 (V_G) (V_{com}) (V_{PI}) TFT ()

V)가 (A)가 DC (- V) 3 (V - V)

(210) (V_{PI}') (212) (V_{com}) DC (V - V)

LCD (A)가 (B)가

4 a 가 (3 x 3) 4 a

4 a (B)가 4 a 4 c 4 b

4 b

LC , IPS LCD 가

LC , LC 1 x 10¹³

가

AM-LCD

LCD(AM-LCD)

AM-LCD

;

;

가

가

LCD

가

5, 1 AM-LCD, (), ()
 (12-1) (10); ; ()
 (14-1) (14-N) (14-N) (16); (12-1) (12-M)
 (18) (20); (14-1) (14-N) (16)
 (26) (20) (A) (B) (22);
 (26) (24) (26); LCD
 (20) TFT, TFT
 (20) (10) TFT
 (20) RGB (16) (20)
 LCD (26) (26)
 6 7, (22) (A) (B) (35) (lateral) (32) 1
 (31) (10) (31) (34) (31) (32)
 (30) (31) (35) (36) (34) (37)
 (35) TFT(55) (35) (37) (42) (37)
 (37) (30) (30) (30)
 (44) 1 (38), 2 (38)
 2 2 (39) (39), (39) (39)
 2 (39) (40), (40) (40)
 (41), (42)
 1 2 LC (50) 10¹² -cm
 LC (50) (36)
 6 TFT / 1
 (52)

(30) (2) (POWC) (62) (62) (34) 8 (35) (36) (20) (60) (64) (Vcom) (V_G)₀

9 (Vcom) 5 COM(+5) -5 (V_G)₀ (62) (14-1)

-10 0 (V_G) (69) (Vgoff) (Vcom Vgoff) (A)가 가 가 (A) ()

14-N) 10 (A)가 가 가 (A) (A) ()

(82) (82) (80) (Vgoff)(-10) (Vgon)(19) (74)

TFT(72) (74) (V_{PI}) (CL) (V_D)

(80) (82) Vgon Vgoff t11 (POWC)가 (Vcom) t13

t13 (, 5) (V_D) 가 t14

가 t12 가 t13 (T10) LCD (20)가

(t14) (t13) t15 t14 (T11) 40 LCD 5

(B) 300 (T12)

(76) (62) (Vcom) 5 -5 t13 (82) (64) (V_G) (Vgo

ff(-10)) 0 (VD) t13 (74) (VPI)

(76) (Vcom)가 t13 5 -5 (74) (VPI)

(76) (82) TFT(72) Vgoff(-10) 0 TFT

(72) (74) (80) (V_{PI})가 가 가 (CL, C1 C2)

LCD (Vcom) 14 (76) (80) (Vcom) -5 0

(Vcom) (74) (V_{PI}) (Vcom) LCD

(VPI) t16 (Vcom) LCD

(B) (VPI) t15 0 가 1 가 2

(A) (A) t15 1 2 (VPI) 0

1 ()

가 0 ()

(V_{PMAX})

(Vcom V_G)

V_{PMAX} - (Vcom₀ - Vcom) V_G + 4(1)

, Vcom₀

(20)

(14-1 14-N)

V_G = 0 Vcom -4 가 5

LCD (10)

12 a c 12 a (+)

t16

12 b c , 12 b c (B)

가) DC (Va-Vb) DC (T21) (Va-Vb) DC (V0) (T22) ()
 , Q1 Q2 가 , Q1= Q2가 , Q1 Q2
 14 a 가 가 14 b 14 c 가 (60)
 (POWC)
 14 a , DC (Va-Vb)
 1 가 , 가
 , 14 b , , DC (Va-Vb)
 1 가 , 1 가
 2 가 , 15a c , N
 , LC
 DC 가 가 (T22) () DC (Va-Vb)/N
 (T21) DC (V0) , Q1 Q2 가
 Q1= Q2 , Q1 Q2
 15 a 가 가 15 b 15 c 가 (60)
 (POWC)
 15 a , DC (Va-Vb)/N
 DC 가 (N+1)
 N 가 ,
 가 , 15 b , , DC (Va-Vb)
 , (N+1) 가 , N
 , (tk) 가 , 2 , (V_G)
 16 , 가 , (POWC)
 -10 tk tk + 2
 가 . tk + 1 , (POWC) , DE 5 , 5
 N (V_G) 가 , ()
)가 (N+1) 가 . 16 , Vdo , ()
 16 . 17 (64A) 7 (20)
 . ㅂ (20)
 (64A) (100, 102, 104 106) , (POWC),
 (Vcom), (V_G), (V_D) (POWC),
 (Vcom), (V_G), (V_D) 5 0 , 5 0 , -1
 Vd ± 5 () , 0 Vcom ± 5 (DC
 16 7
 (62) 2 3 18a c ,
 , LC DC 가 가
 , (Va- Vb) DC 가 (T22) () D
 C (Va-Vb)/N (T21) DC (V0) , Q1 Q2
 Q1= Q2 , Q1 Q2
 18 a 가 가 18 b 가

가 . 18 c (60)
 (POWC) , , DC (Va-Vb)/N
 18 a , , 가 , ,
 DC (T22) 가 , ,
 , 17 b , , DC (Va-Vb)
 가 , , 가 , ,
 19 , 가 , 3 가 .
 (POWC) (tm) , , (V_G) -10
 (POWC) (tm) 5 14 c 가 , , 가
 (V_G) -10 (Vcom) 5
 , , DC (tm +1) , (POWC) tm +2 가 , ,
 tm 5 , , -10 5 , ,
 , , tm+2 , (T22) (VD)가 가 ,
 (Va -Vb) , , ()가
 가 .
 (tm+2) , , 5 , ,
 -10 (24) , 19 , Vd0 , , tm+2 , , tm , tm +
 2 (T22) 가 , , , ,
 19 (T22) (64B) (20)
 , , , ,
 (64B) (200, 202, 204 206) , , (POWC),
 (Vcom), (V_G), (V_D) (POWC),
 0 0 (Vcom), (V_G), (V_D) 5 0 , 5 0 , -1
 Vd ± 5 () , 0 Vcom ± 5 (DC (tm +2
) (28) . 19 . (24) 7 (tm) (62)

(57)

1. (72), (72) (74), (76) (72)
 (80) , (10) (10)
 (72) (82) ,
 (80) (12-1 12-M) ,
 (82) (14-1 14-N) ,
 (10) (64) ,
 (12-1 12-M) (20) ,
 (64) (14-1 14-N) (10)
 (20) (74) (76) 가 (80)
 가 (10)
- 2.

- 1

$$V_{PMAX} - (V_{com0} - V_{com}) \quad V_G + 4 \quad (\quad , V_{PMAX}, V_{com}, V_G \quad V_{com0}$$

$$(74) \quad (76) \quad (76) \quad (74) \quad (76) \quad (72)$$
);
- (72)
3.
 2

$$(20) \quad V_G = 0 \quad V_{com} - 4 \quad 5$$
4.
 1

$$(24)$$
5.
 1
6.

$$(72), \quad (72) \quad (74), \quad (76) \quad (72)$$

$$(80), \quad (10) \quad (10)$$

$$(72) \quad (82), \quad (10)$$

$$(80) \quad (12-1 \quad 12-M), \quad (14-1 \quad 14-N),$$

$$(82) \quad (64), \quad (20)$$

$$(10) \quad (12-1 \quad 12-M) \quad (14-1 \quad 14-N) \quad (80) \quad (10)$$

$$(64) \quad (20) \quad (10)$$

$$(10) \quad (10)$$
 가
7.
 6
 가

$$(74) \quad (76) \quad 가$$
8.
 6

$$V_{PMAX} - (V_{com0} - V_{com}) \quad V_G + 4 \quad (\quad , V_{PMAX}, V_{com}, V_G \quad V_{com0}$$

$$(74) \quad (76) \quad (76) \quad (74) \quad (76) \quad (72)$$
);
- (72)
9.
 8

$$(20) \quad V_G = 0 \quad V_{com} - 4 \quad 5$$
10.
 6

$$(24)$$
11.
 1
- 12.

(72), (72), (74), (76) (72)

(80), (10) (10)

(72) (82),

(80) (12-1 12-M),

(82) (14-1 14-N),

(10) (64), (20),

(12-1 12-M) (14-1 14-N) (10),

(64) (20) DC (1)

(74) (74) (76) DC (1)

DC 가 가

13.

11 DC ,

14. 가 ,

12 DC ,

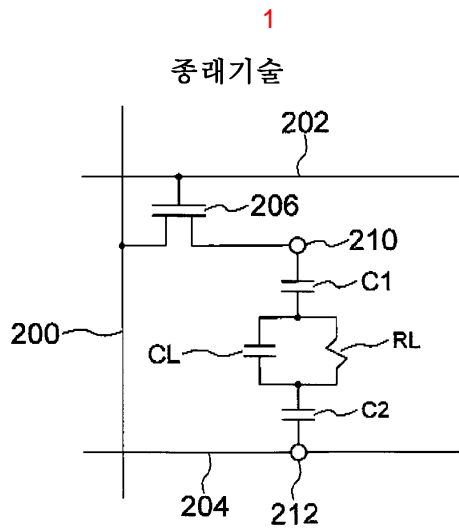
15. 가

12 ,

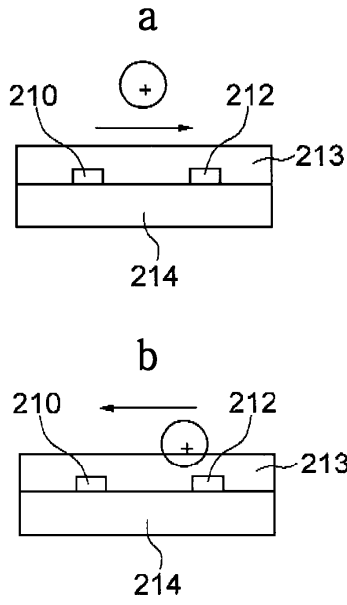
(24)

16.

12 ,

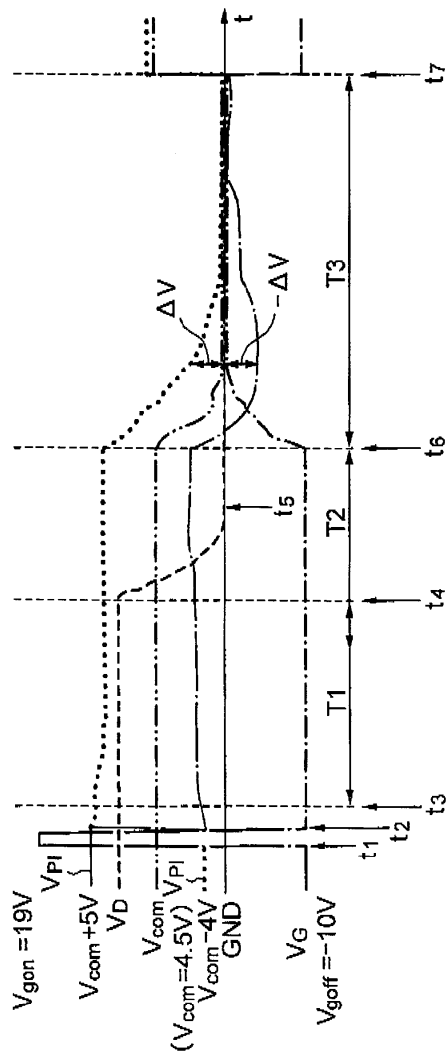


2



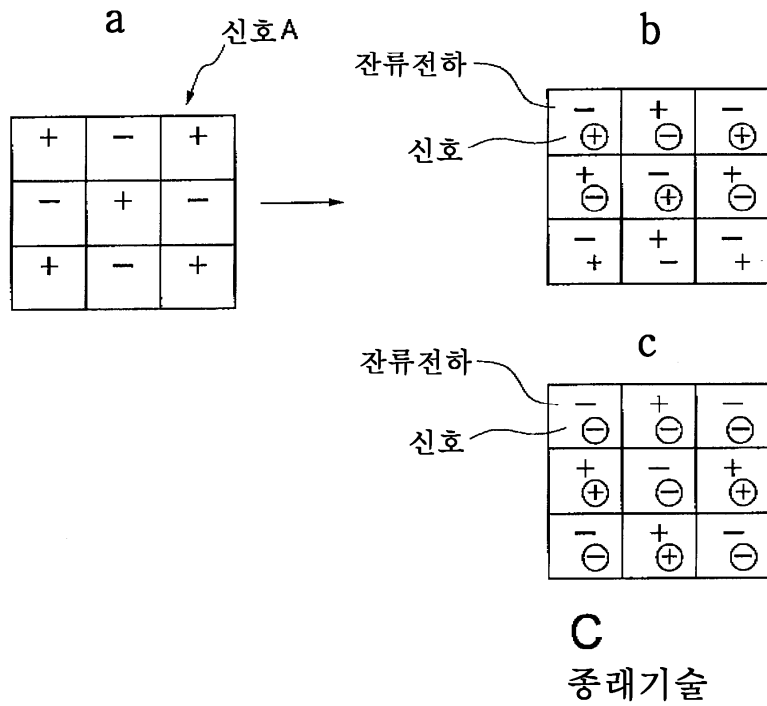
3

종래기술

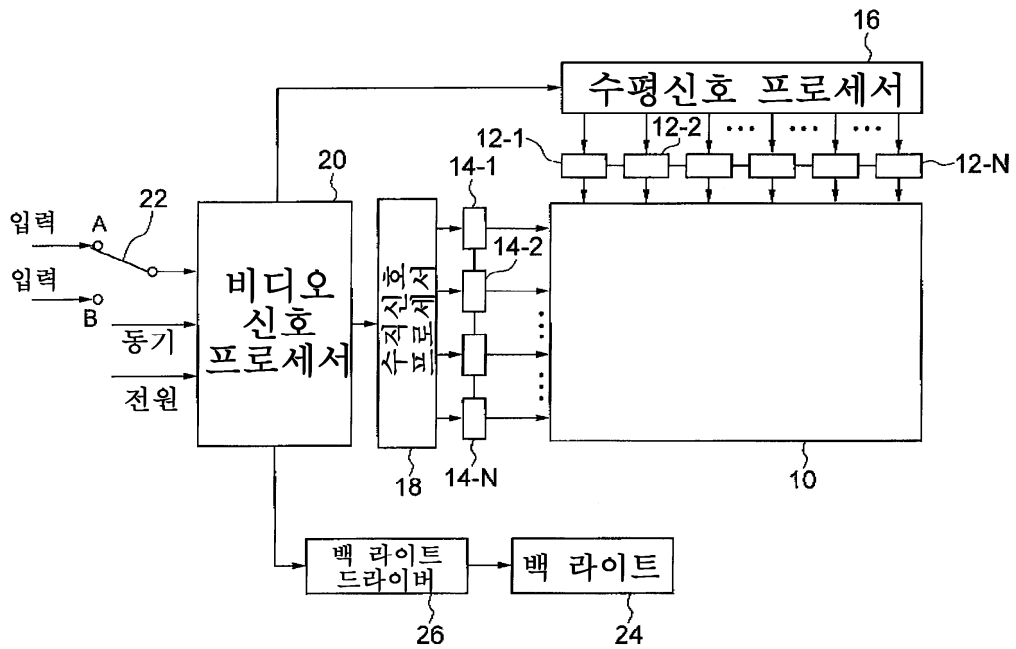


4

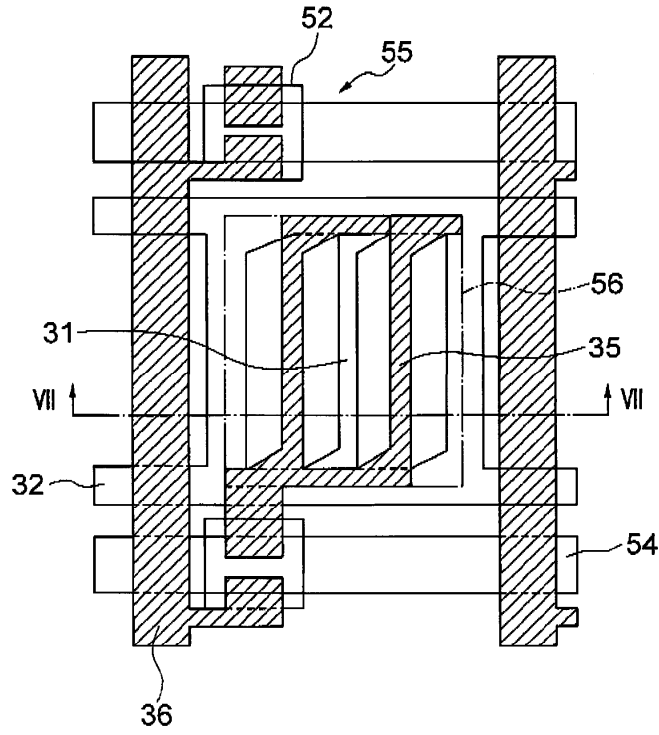
종래기술



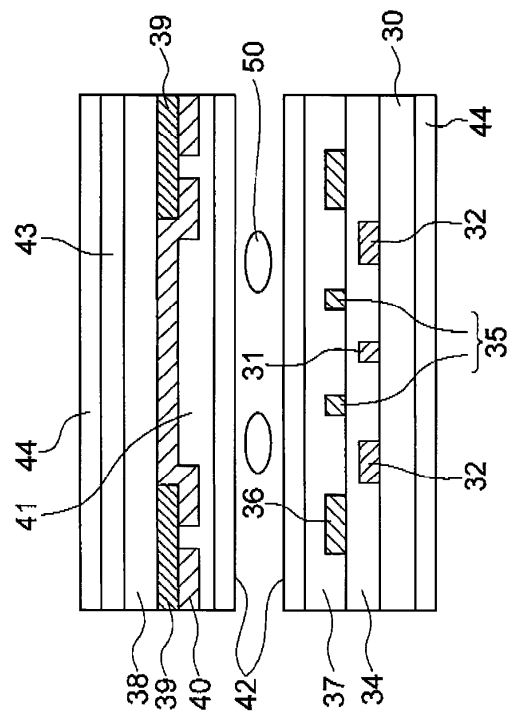
5



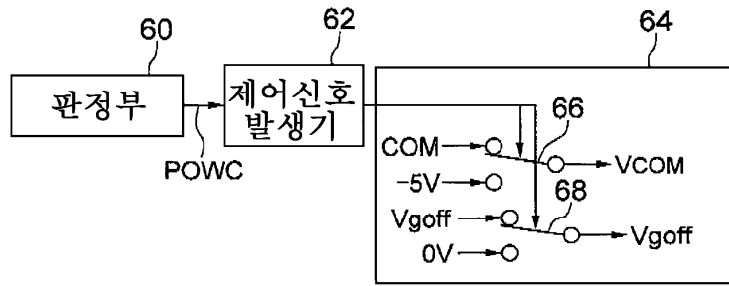
6



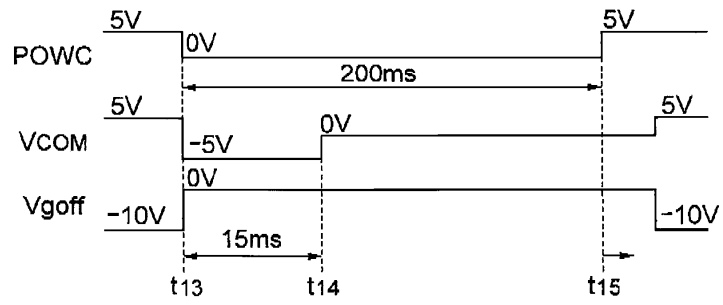
7



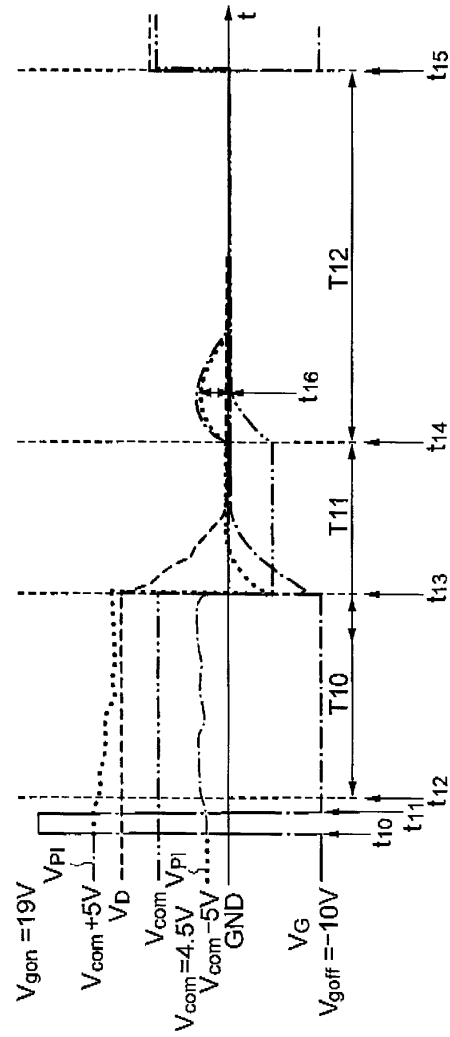
8



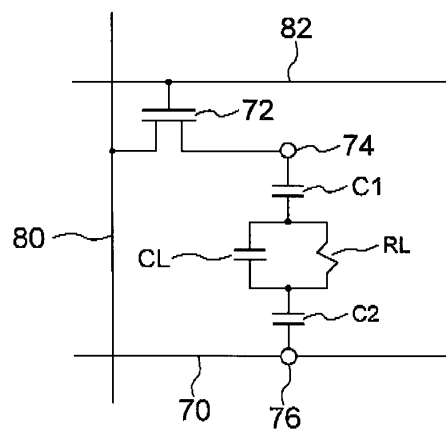
9



10



11



12

a

+	+	+	+
+	+	+	+
+	+	+	+

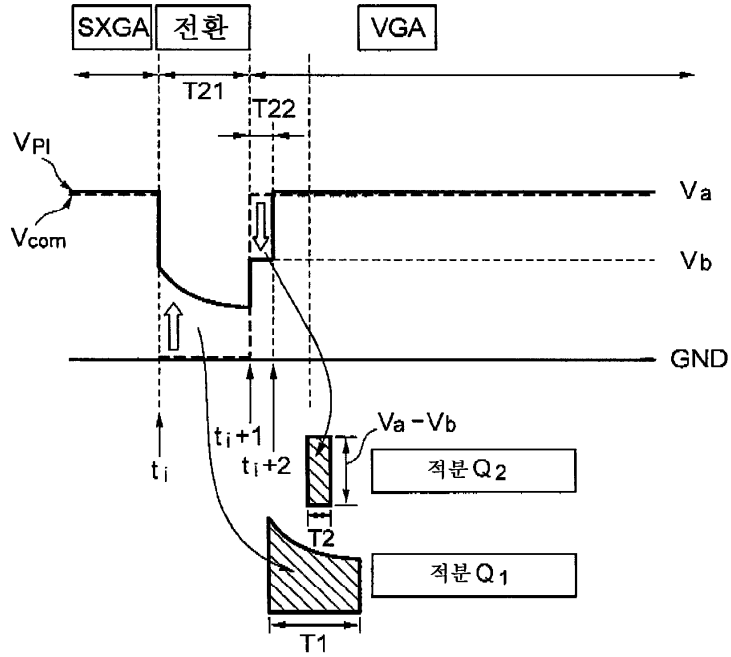
b

+	+	+	+
⊕ (l)	⊖ (c)	⊕ (l)	⊖ (c)
+	+	+	+
⊖ (c)	⊕ (l)	⊖ (c)	⊕ (l)
+	+	+	+
⊕ (l)	⊖ (c)	⊕ (l)	⊖ (c)

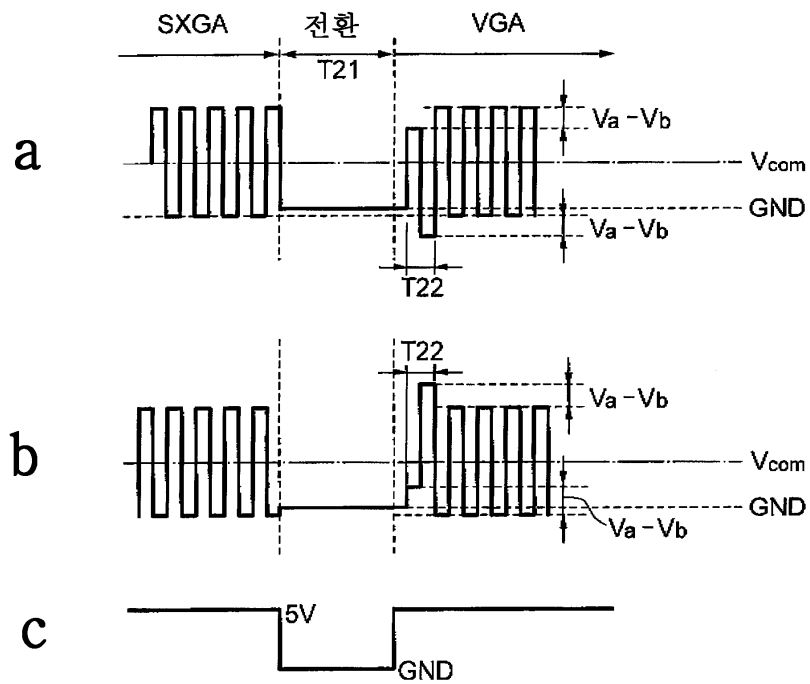
c

+	+	+	+
⊖ (c)	⊕ (l)	⊖ (c)	⊕ (l)
+	+	+	+
⊕ (l)	⊖ (c)	⊕ (l)	⊖ (c)
+	+	+	+
⊖ (c)	⊕ (l)	⊖ (c)	⊕ (l)

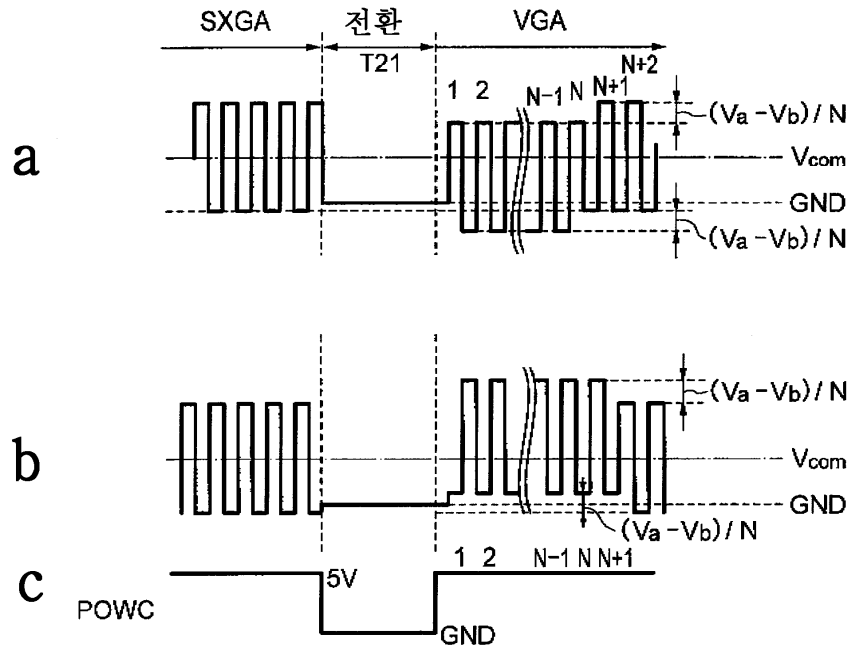
13



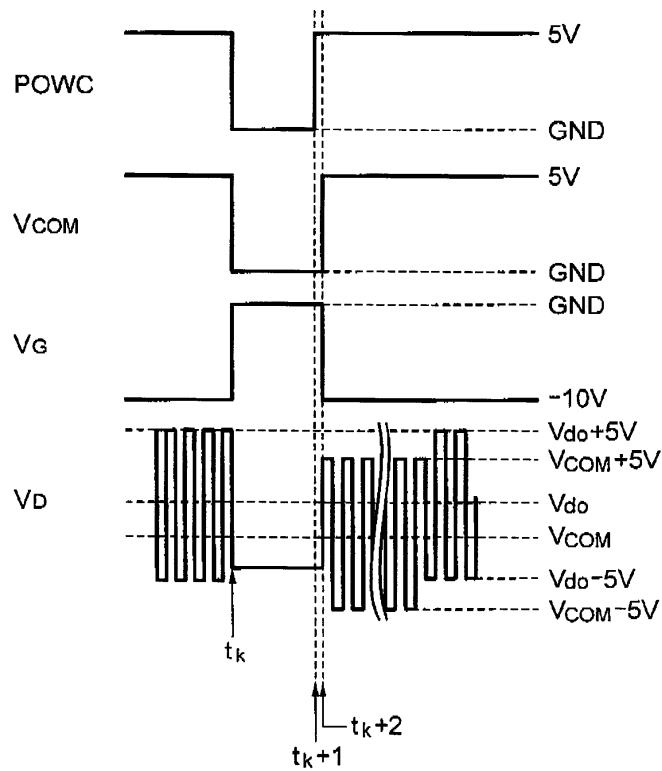
14



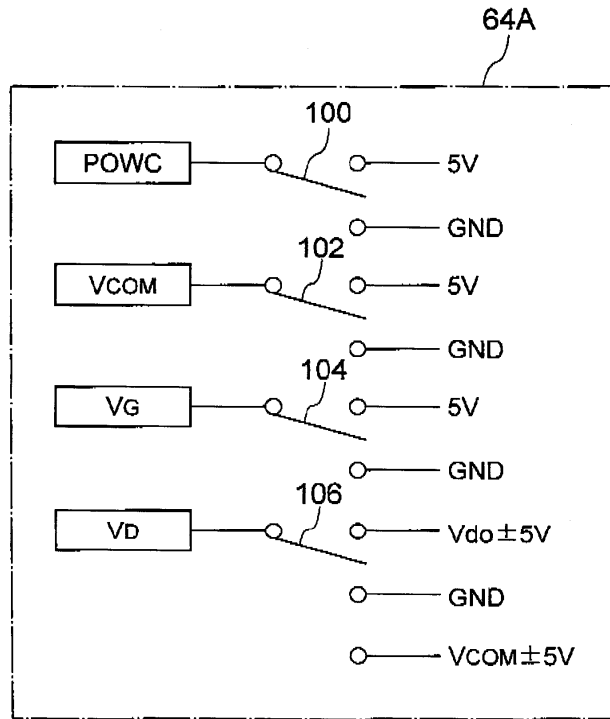
15



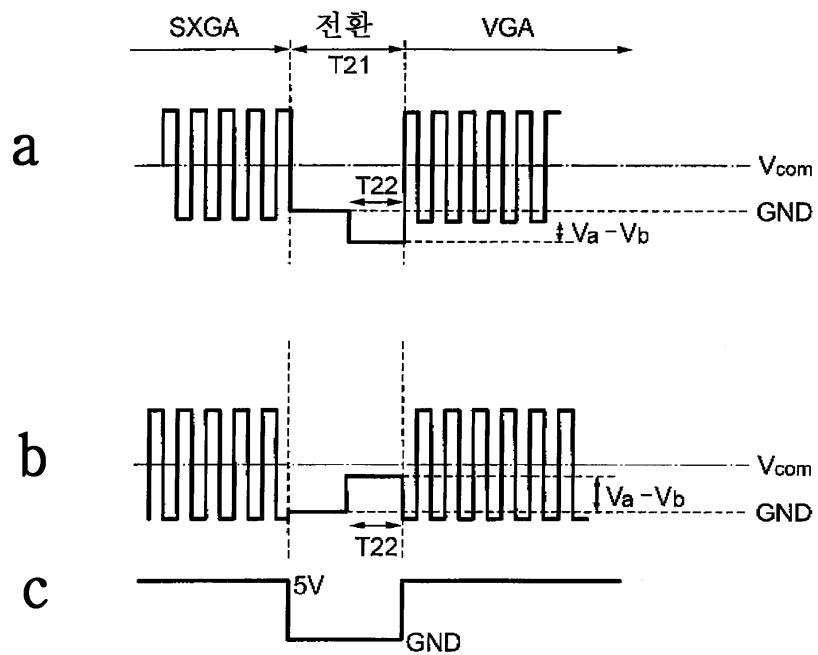
16

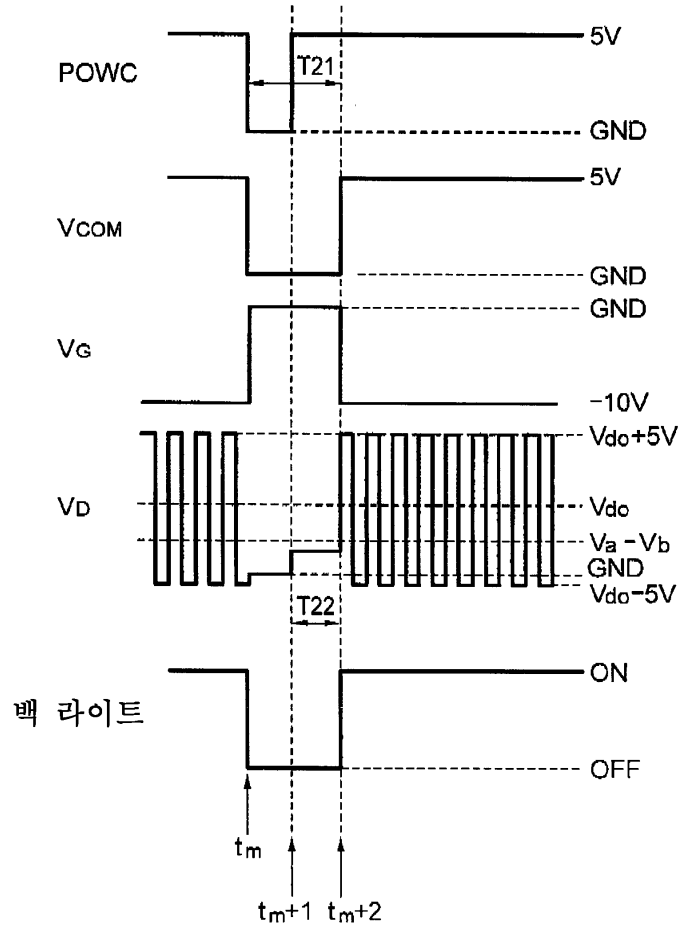


17

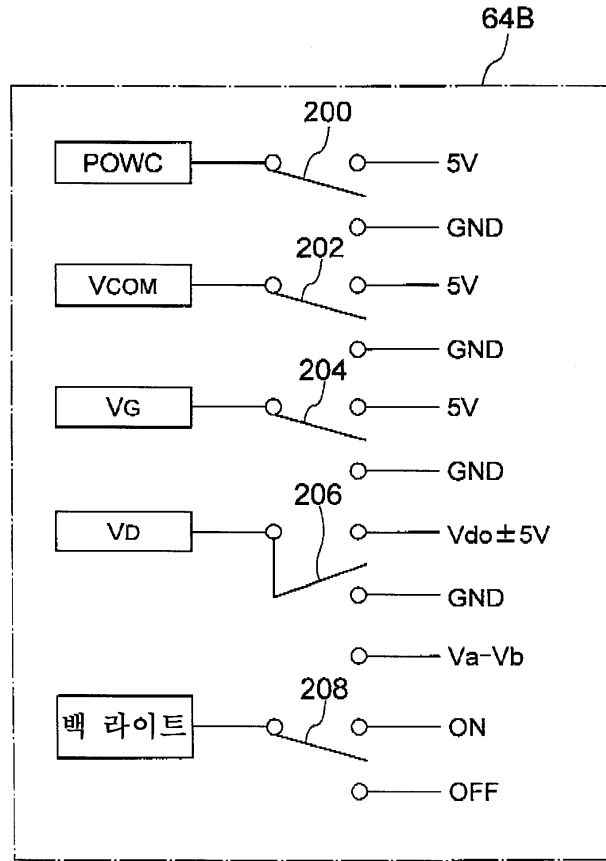


18





20



专利名称(译)	有源矩阵液晶显示器		
公开(公告)号	KR100386991B1	公开(公告)日	2003-06-12
申请号	KR1020000071737	申请日	2000-11-29
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	日元号技术可否让这个夏		
当前申请(专利权)人(译)	日元号技术可否让这个夏		
[标]发明人	SUGAWARA NORIAKI 스가와라노리아키 MATSUMOTO KIMIKAZU 마쯔모토키미카즈 ITAKURA KUNIMASA 이타쿠라쿠니마사 SHIKI TATSUYA 시키타쯔야 SHIMIZU TOSHIKAZU 시미즈토시카즈 KUROHA SHOICHI 쿠로하쇼이치 NISHIDA SHINICHI 니시다신이치		
发明人	스가와라노리아키 마쯔모토키미카즈 이타쿠라쿠니마사 시키타쯔야 시미즈토시카즈 쿠로하쇼이치 니시다신이치		
IPC分类号	G09G3/36 G02F1/1343 G02F1/1335 G09G3/20 G02F1/133		
CPC分类号	G09G2320/0247 G09G2300/0434 G02F1/133514 G09G2330/021 G09G3/3614 G09G3/3648 G02F1/134363		
优先权	1999341393 1999-11-30 JP		
其他公开文献	KR1020010052033A		
外部链接	Espacenet		

摘要(译)

通过提供像素使得像素在像素电极电位和公共电极电位之间具有相同的极性，可以防止闪烁，而与反转驱动技术的类型无关。视频信号处理器20控制数据驱动器12-1至12-M和栅极驱动器14-1至14-N，使得像素阵列的所有像素被设置为黑电平它接收。结果，在防止闪烁方面实现了更好的改进。通过向所有像素提供黑电平，减小了接收正电位的像素和接收负电位的另一像素之间的绝对差，并且可以减小像素中的残余电荷的差异。抑制闪烁生成对于向所有像素提供黑电平是最有效的。但是，只有部分像素提供黑色数据才能达到某种效果。如这里所使用的，术语“黑电平”的含义是指使用普通黑模式在IPS-LCD中使用的“黑电平”，对应于术语“白色水平”。一种视频信号处理器20是功率到像素阵列，并且由于像素电极和控制栅极驱动器（14-1至14-N）的共用电极之间的电位差被输送到数据的黑色电平对每个像素阵列并且在切换到OFF之前在所有像素中具有相同的极性。视频信号处理器20是上述式（1）； $V_{PMAX} - (V_{como} - V_{COM}) < VG + 4$ 伏特.....然后，像素（1）的黑电平的数据被发送到所述像素阵列阵列，用于控制在预定定时栅极驱动器（14-1至14-N）电源断开像素电极，公共电极和所述栅极电极的电位之前的电话之间，以满足。期望允许预定定

时满足关系表达式 $V_G = 0$ 伏特和 $V_{com} \geq 14$ 伏特的时间段长于5毫秒。视频处理器20在用于分辨率模式或输入信号的切换操作期间关闭背光，以防止在屏幕上观察到失败的图像。另一方面，如果视频信号处理器20在切换操作期间控制背光打开，则即使故障图像出现在屏幕上，也可以更快地消除闪烁。背光的ON状态使TFT由于照射而增加电流，从而加速像素阵列的每个像素的电位波动，以在短时间内获得相同的电位差极性。除了视频信号处理器20的控制之外，根据本发明第二实施例的AM-LCD具有与第一实施例的AM-LCD类似的配置。在本实施例的AM-LCD中，视频信号处理器20控制数据驱动器12-1至12-M，以便完成切换操作以重新开始输入信号的接收，接收输入信号，该输入信号具有与施加在公共电极之间的DC电压相同的正向电压，并且与具有与DC电压相反极性的信号重叠。图13示出控制的原理在本实施方式中的例子中的AM-LCD装置的视频信号处理器20中，从高分辨率模式低分辨率的切换操作，SXGA (1280×1024) 模式VGA (640×480) 切换分辨率模式。和用于在每个用于存储所述像素电极和所述公共电极之间的正电极的时间 (TI) 的像素的止挡后的分辨率模式下的图像显示，公共电极被施加到地电位立即采用地电位，则TFT，像素电极施加地电位并降至地电位。因此，电位差或所述DC电压 (V0) 是低分辨率模式中，像素电极和共用的信号的过程中gaesidoenneun ti和ti + 1具有正电极之间的时间段 (T21) 的输入端，如常规与所描述的技术的连接施加在电极之间。具有与DC电压相反极性的DC电压Va-Vb是使用积分 (Q2) 的在ti和ti + 1之间的时间，该积分是在该实施例中在时间段T22期间DC电压相对于时间的积分。同时控制直流电压相对于周期 (T21) 的时间周期 (T22) 和用于擦除的积分 (Q1) 的积分的DC电压以时间期间ti和t 1 + 2之间的时间段 (T22) 施加一段时间。这允许每个像素中存储的电荷在切换操作期间快速地朝向LC层扩散，以防止由残余电荷引起的屏幕上的闪烁。上述操作不仅应用于分辨率模式的切换，而且还应用于切换输入信号。图13示出了在切换操作之前将正电位信号存储在像素中的实施例，但是即使在存储负电位信号并且电位的极性反转时也会发生类似的操作。因此，为方便起见，省略了对第二种情况的描述。

