



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0039257
(43) 공개일자 2009년04월22일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2007-0104784

(22) 출원일자 2007년10월17일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

곽희영

서울 광진구 자양동 759-28호

(74) 대리인

특허법인네이트

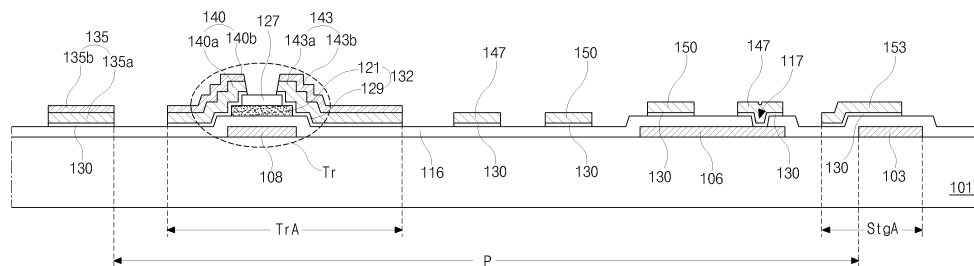
전체 청구항 수 : 총 17 항

(54) 횡전계형 액정표시장치용 어레이 기판 및 그의 제조방법

(57) 요약

본 발명은 화소영역이 정의된 기판 상에 형성된 게이트 배선과 이와 연결된 게이트 전극 및 상기 게이트 배선과 나란하게 연장하는 공통배선과; 상기 게이트 배선과 게이트 전극 및 공통배선 상부로 형성되며 상기 공통배선에 대응해서는 다수의 공통 콘택홀을 가지며 형성된 게이트 절연막과; 상기 게이트 전극에 대응하여 상기 게이트 절연막 위로 아일랜드 형태로 형성된 액티브층과; 상기 액티브층 위로 상기 액티브층의 양끝단을 노출시키며 형성된 식각방지막과; 상기 식각방지막 위로 서로 이격하며 상기 노출된 액티브층의 양끝단과 각각 접촉하며 형성된 오믹콘택층과; 상기 이격하는 오믹콘택층 위로 서로 이격하며 형성된 이중층 또는 3중층 구조의 소스 및 드레인 전극과; 상기 게이트 절연막 상에 형성되며 상기 게이트 배선과 교차하여 상기 화소영역을 정의하며 이중층 또는 3중층 구조를 가지며 형성된 데이터 배선과; 상기 화소영역 내의 게이트 절연막 상에 서로 이격하여 형성된 다수의 이중층 또는 단일층 구조의 다수의 화소전극과, 상기 공통배선과 상기 다수의 공통 콘택홀을 통해 각각 전기적으로 연결되며 이중층 또는 단일층 구조를 갖고 상기 다수의 화소전극과 교대로 배열된 다수의 공통전극을 포함하는 횡전계형 액정표시장치용 어레이 기판 및 그의 제조방법을 제공한다.

대표도 - 도7a



특허청구의 범위

청구항 1

화소영역이 정의된 기판 상에 게이트 배선과 이와 연결된 게이트 전극 및 상기 게이트 배선과 나란하게 연장하는 공통배선을 형성하는 단계와;

상기 게이트 배선과 게이트 전극 및 공통배선 상부로 전면에 공통배선에 대응해서는 다수의 공통 콘택홀을 갖는 게이트 절연막을 형성하고, 상기 게이트 전극에 대응해서는 상기 게이트 절연막 위로 아일랜드 형상의 액티브층과, 그 상부로 절연물질로써 상기 액티브층의 양끝단을 노출시키는 식각방지막을 형성하는 단계와;

상기 식각방지막 위로 서로 이격하며 상기 액티브층의 양끝단과 각각 접촉하는 오믹콘택층과, 상기 오믹콘택층 위로 3중층 또는 이중층 구조를 가지며 서로 이격하는 소스 및 드레인 전극과, 상기 게이트 절연막 위로 상기 게이트 배선과 교차하여 상기 화소영역을 정의하는 데이터 배선을 형성하고, 동시에 상기 화소영역 내에 상기 드레인 전극과 연결되며 이중층 또는 단일층을 구조를 가지며 서로 이격하는 다수의 화소전극과, 상기 공통 콘택홀을 통해 상기 공통배선과 전기적으로 연결되며 상기 다수의 화소전극과 교대하며 상기 화소전극과 동일한 단면구조를 갖는 다수의 공통전극을 형성하는 단계

를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 게이트 배선과 이와 연결된 게이트 전극 및 상기 게이트 배선과 나란하게 연장하는 공통배선을 형성하는 단계는,

상기 게이트 배선 일끝단에 게이트 패드전극을 형성하는 단계를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

청구항 3

제 2 항에 있어서,

상기 다수의 공통 콘택홀을 포함하는 게이트 절연막과 액티브층 및 식각방지막을 단계는,

상기 게이트 배선과 게이트 전극 및 공통배선 상부로 전면에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위로 순수 비정질 실리콘층과, 무기절연물질로 이루어지는 제 1 절연층을 형성하는 단계와;

상기 제 1 절연층 위로 상기 게이트 전극에 대응해서 그 중앙부에 제 1 두께의 제 1 포토레지스트 패턴을 형성하고, 그 주변부에 상기 제 1 두께보다 얇은 제 2 두께의 제 2 포토레지스트 패턴을 형성하고, 상기 공통 콘택홀이 형성될 부분 및 상기 게이트 패드전극에 대응해서는 상기 제 1 절연층을 노출시키며, 그 외의 영역에 대응해서는 상기 제 2 두께보다 얇은 제 3 두께의 제 3 포토레지스트 패턴을 형성하는 단계와;

상기 제 1, 2 및 3 포토레지스트 패턴 외부로 노출된 제 1 절연층과 그 하부의 순수 비정질 실리콘층과 상기 게이트 절연막을 식각하여 상기 공통배선을 노출시키는 다수의 공통 콘택홀과 상기 게이트 패드전극을 노출시키는 게이트 패드콘택홀을 형성하는 단계와;

제 1 애싱을 진행하여 상기 제 3 포토레지스트 패턴을 제거하는 단계와;

상기 제 3 포토레지스트 패턴이 제거됨으로써 노출된 제 1 절연층과 그 하부의 순수 비정질 실리콘층을 제거함으로써 상기 게이트 전극에 대응하여 아일랜드 형상의 액티브층과 제 1 절연패턴을 형성하는 단계와;

제 2 애싱을 실시하여 상기 제 2 포토레지스트 패턴을 제거함으로써 상기 제 1 포토레지스트 패턴 외부로 상기 제 1 절연패턴의 양끝단을 노출시키는 단계와;

상기 제 1 포토레지스트 패턴 외부로 노출된 상기 제 1 절연패턴을 제거함으로써 상기 액티브층의 양끝단을 노출시키는 식각방지막을 형성하는 단계와;

상기 제 1 포토레지스트 패턴을 제거하는 단계

를 포함하는 횡전계형 액정표시장치용 어레이 기관의 제조 방법.

청구항 4

제 2 항에 있어서,

상기 데이터 배선과 소스 및 드레인 전극과 다수의 화소전극과 공통전극을 형성하는 단계는,

상기 데이터 배선 일끝단에 데이터 패드전극과, 상기 게이트 배선에 대응하여 상기 다수의 화소전극을 연결하며 상기 전단 게이트 배선과 중첩하여 스토리지 커패시터를 이루는 화소전극 연결부를 형성하는 단계를 포함하는 횡전계형 액정표시장치용 어레이 기관의 제조 방법.

청구항 5

제 4 항에 있어서,

상기 오믹콘택층과, 이중층 구조의 소스 및 드레인 전극과 데이터 배선과, 단일층 구조의 다수의 화소전극 및 공통전극을 형성하는 단계는,

상기 식각방지막 위로 전면에 순차적으로 불순물 비정질 실리콘층과, 제 1 금속층 및 제 2 금속층을 형성하는 단계와;

상기 제 2 금속층 위로 상기 데이터 배선과 소스 및 드레인 전극에 대응해서는 제 4 두께의 제 4 포토레지스트 패턴을, 상기 다수의 화소전극과 공통전극과 화소전극 연결부와 게이트 패드전극 및 데이터 패드전극에 대응해서는 상기 제 4 두께보다 얇은 제 5 두께의 제 5 포토레지스트 패턴을 형성하는 단계와;

상기 제 4 및 5 포토레지스트 패턴 외부로 노출된 상기 제 2 금속층과 그 하부의 제 1 금속층 및 불순물 비정질 실리콘층을 제거하는 단계와;

제 3 애싱을 진행하여 상기 제 5 포토레지스트 패턴을 제거하는 단계와;

열처리를 실시하여 상기 제 4 포토레지스트 패턴을 리플로잉(reflowing))시켜 상기 데이터 배선과 소스 및 드레인 전극을 그 측면까지 완전히 덮도록 하는 단계와;

상기 제 5 포토레지스트 패턴이 제거됨으로써 노출된 이중층 구조를 갖는 다수의 화소전극과 공통전극과 화소전극 연결부와 게이트 보조 패드전극 및 데이터 패드전극에 있어 상기 제 2 금속층으로 이루어진 상부층을 제거하는 단계와;

상기 리플로잉(reflowing) 된 제 4 포토레지스트 패턴을 제거하는 단계

를 포함하는 횡전계형 액정표시장치용 어레이 기관의 제조 방법.

청구항 6

제 5 항에 있어서,

상기 제 1 금속층은 몰리브덴 또는 몰리브덴 합금이며, 상기 제 2 금속층은 저저항 금속물질인 구리, 구리합금, 알루미늄, 알루미늄 합금 중 하나로 이루어진 것이 특징인 횡전계형 액정표시장치용 어레이 기관의 제조 방법.

청구항 7

제 4 항에 있어서,

상기 오믹콘택층과, 3중층 구조의 소스 및 드레인 전극과 데이터 배선과, 이중층 구조의 다수의 화소전극 및 공통전극을 형성하는 단계는,

상기 식각방지막 위로 전면에 순차적으로 불순물 비정질 실리콘층과, 제 1, 2 및 3 금속층을 형성하는 단계와;

상기 제 3 금속층 위로 상기 데이터 배선과 소스 및 드레인 전극에 대응해서는 제 4 두께의 제 4 포토레지스트 패턴을, 상기 다수의 화소전극과 공통전극과 화소전극 연결부와 게이트 패드전극 및 데이터 패드전극에 대응해서는 상기 제 4 두께보다 얇은 제 5 두께의 제 5 포토레지스트 패턴을 형성하는 단계와;

상기 제 4 및 5 포토레지스트 패턴 외부로 노출된 상기 제 3 금속층과 그 하부의 상기 제 2 및 1 금속층과 상기

불순물 비정질 실리콘층을 제거하는 단계와;

제 3 애싱을 진행하여 상기 제 5 포토레지스트 패턴을 제거하는 단계와;

열처리를 실시하여 상기 제 4 포토레지스트 패턴을 리플로잉(reflowing))시켜 상기 데이터 배선과 소스 및 드레인 전극을 그 측면까지 완전히 덮도록 하는 단계와;

상기 제 5 포토레지스트 패턴이 제거됨으로써 노출된 3중층 구조를 갖는 다수의 화소전극과 공통전극과 화소전극 연결부와 게이트 보조패드전극 및 데이터 패드전극에 있어 상기 제 3 금속층으로 이루어진 상부층을 제거하는 단계와;

상기 리플로잉(reflowing) 된 제 4 포토레지스트 패턴을 제거하는 단계

를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

청구항 8

제 7 항에 있어서,

상기 제 1 금속층은 몰리브덴 또는 몰리브덴 합금이며, 상기 제 2 금속층은 투명 도전성 물질인 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)이며, 상기 제 3 금속층은 저저항 금속물질인 구리, 구리합금, 알루미늄, 알루미늄 합금 중 하나로 이루어진 것이 특징인 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

청구항 9

제 8 항에 있어서,

상기 제 1 금속층은 30Å 내지 60Å의 두께를 갖도록 형성하는 것이 특징인 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

청구항 10

제 5 항 또는 제 7 항에 있어서,

상기 오믹콘택층은 상기 소스 및 드레인 전극과 동일한 형태 및 크기를 갖도록 형성하는 것이 특징인 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

청구항 11

제 10 항에 있어서,

상기 데이터 배선과 상기 다수의 공통전극 및 화소전극과 화소전극 연결부와 게이트 보조패드전극 및 데이터 패드전극은 그 하부에 상기 오믹콘택층을 이루는 동일한 물질로써 그 상부에 위치한 데이터 배선과 다수의 공통전극 및 화소전극과 화소전극 연결부와 게이트 보조패드전극 및 데이터 패드전극과 각각 동일한 형태 및 크기를 가지며 불순물 비정질 패턴이 형성되는 것이 특징인 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

청구항 12

화소영역이 정의된 기판 상에 형성된 게이트 배선과 이와 연결된 게이트 전극 및 상기 게이트 배선과 나란하게 연장하는 공통배선과;

상기 게이트 배선과 게이트 전극 및 공통배선 상부로 형성되며 상기 공통배선에 대응해서는 다수의 공통 콘택홀을 가지며 형성된 게이트 절연막과;

상기 게이트 전극에 대응하여 상기 게이트 절연막 위로 아일랜드 형태로 형성된 액티브층과;

상기 액티브층 위로 상기 액티브층의 양끝단을 노출시키며 형성된 식각방지막과;

상기 식각방지막 위로 서로 이격하며 상기 노출된 액티브층의 양끝단과 각각 접촉하며 형성된 오믹콘택층과;

상기 이격하는 오믹콘택층 위로 서로 이격하며 형성된 이중층 또는 3중층 구조의 소스 및 드레인 전극과;

상기 게이트 절연막 상에 형성되며 상기 게이트 배선과 교차하여 상기 화소영역을 정의하며 이중층 또는 3중층 구조를 가지며 형성된 데이터 배선과;

상기 화소영역 내의 게이트 절연막 상에 서로 이격하여 형성된 다수의 이중층 또는 단일층 구조의 다수의 화소 전극과, 상기 공통배선과 상기 다수의 공통 콘택홀을 통해 각각 전기적으로 연결되며 이중층 또는 단일층 구조를 갖고 상기 다수의 화소전극과 교대로 배열된 다수의 공통전극

을 포함하는 횡전계형 액정표시장치용 어레이 기판.

청구항 13

제 12 항에 있어서,

상기 게이트 절연막 상부로 상기 게이트 배선과 중첩하며 단일층 또는 이중층 구조를 가지고 상기 다수의 화소전극 끝단을 연결하며 형성된 화소전극 연결부를 포함하는 횡전계형 액정표시장치용 어레이 기판.

청구항 14

제 12 항에 있어서,

게이트 패드전극과;

상기 게이트 패드전극 상부에 단일층 또는 이중층의 게이트 보조 패드전극이 형성되고, 상기 절연막은 게이트 패드 콘택홀을 포함하며, 상기 게이트 패드전극과 게이트 보조 패드전극은 상기 게이트 패드 콘택홀을 통해 전극적으로 연결되는 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

청구항 15

제 14 항에 있어서,

상기 게이트 절연막 상부로 상기 데이터 배선과 연결되며 단일층 또는 이중층 구조의 데이터 패드전극이 형성된 횡전계형 액정표시장치용 어레이 기판.

청구항 16

제 13 항에 있어서,

상기 데이터 배선과, 다수의 화소전극 및 공통전극과, 상기 화소전극 연결부 하부에는 각각 그 상부에 형성된 상기 데이터 배선과, 다수의 화소전극 및 공통전극과, 상기 화소전극 연결부와 동일한 형태 및 동일한 크기를 갖는 불순물 비정질 실리콘 패턴이 형성된 횡전계형 액정표시장치용 어레이 기판.

청구항 17

제 16 항에 있어서,

상기 불순물 비정질 실리콘 패턴은 상기 오믹콘택층과 동일한 층에 동일한 물질로 이루어지며, 상기 게이트 절연막과 직접 접촉하며 형성되는 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 횡전계형 액정표시장치에 관한 것이며, 특히 3마스크 공정을 통한 횡전계형 액정표시장치용 어레이 기판 및 그의 제조방법에 관한 것이다.

배경 기술

<2> 일반적으로, 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가

늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

- <3> 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.
- <4> 현재에는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD 이하, 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.
- <5> 상기 액정표시장치는 공통전극이 형성된 컬러필터 기판과 화소전극이 형성된 어레이 기판과, 상기 두 기판 사이에 개재된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통전극과 화소전극 사이에 수직하게 형성된 전기장에 의해 액정이 구동되며, 투과율과 개구율 등의 특성이 우수하다.
- <6> 그러나, 상하로 걸리는 전기장에 의한 액정구동은 시야각 특성이 우수하지 못한 단점을 가지고 있다.
- <7> 따라서, 상기의 단점을 극복하기 위해 시야각 특성이 우수한 횡전계형 액정표시장치가 제안되었다.
- <8> 이하, 도 1을 참조하여 일반적인 횡전계형 액정표시장치에 관해 상세히 설명한다.
- <9> 도 1은 일반적인 횡전계형 액정표시장치의 단면을 도시한 도면이다.
- <10> 도시한 바와 같이, 컬러필터 기판인 상부기판(9)과 어레이 기판인 하부기판(10)이 서로 이격되어 대향하고 있으며, 이 상부 및 하부기판(9, 10)사이에는 액정층(11)이 개재되어 있다.
- <11> 상기 하부기판(10)상에는 공통전극(17)과 화소전극(30)이 동일 평면상에 형성되어 있으며, 이때, 상기 액정층(11)은 상기 공통전극(17)과 화소전극(30)에 의한 수평전계(L)에 의해 작동된다.
- <12> 도 2a와 2b는 일반적인 횡전계형 액정표시장치의 온(on), 오프(off) 상태의 동작을 각각 도시한 단면도이다.
- <13> 우선, 전압이 인가된 온(on)상태에서의 액정의 배열상태를 도시한 도 2a를 참조하면, 상기 공통전극(17) 및 화소전극(30)과 대응하는 위치의 액정(11a)의 상면이는 없지만 공통전극(17)과 화소전극(30) 사이 구간에 위치한 액정(11b)은 이 공통전극(17)과 화소전극(30) 사이에 전압이 인가됨으로써 형성되는 수평전계(L)에 의하여, 상기 수평전계(L)와 같은 방향으로 배열하게 된다. 즉, 상기 횡전계형 액정표시장치는 액정이 수평전계에 의해 이동하므로, 시야각이 넓어지는 특성을 띠게 된다.
- <14> 그러므로, 상기 횡전계형 액정표시장치를 정면에서 보았을 때, 상/하/좌/우방향으로 약 80~85°방향에서도 반전현상 없이 볼 수 있다.
- <15> 다음, 도 2b를 참조하면, 상기 액정표시장치에 전압이 인가되지 않은 오프상태이므로 상기 공통전극(17)과 화소전극(30) 간에 수평전계가 형성되지 않고 액정층(11)의 배열 상태가 변하지 않는다.
- <16> 도 3은 종래의 일반적인 횡전계형 액정표시장치용 어레이 기판의 일부를 개략적으로 구성한 평면도이며, 도 4는 도 3을 절단선 IV-IV를 따라 절단한 부분에 대한 단면도이다.
- <17> 우선, 도 3을 참조하면, 도시한 바와 같이, 종래의 일반적인 횡전계형 액정표시장치용 어레이 기판(40)은 소정 간격 이격되어 평행하게 가로방향 방향으로 구성된 다수의 게이트 배선(43)과, 상기 게이트 배선(43)에 근접하여 상기 게이트 배선(43)과 평행하게 구성된 공통배선(47)과, 상기 두 배선(43, 47)과 교차하며 특히 게이트 배선(43)과는 교차하여 화소영역(P)을 정의하는 데이터 배선(60)이 구성되어 있다.
- <18> 상기 게이트 배선(43)과 데이터 배선(60)의 교차지점에는 게이트 전극(45)과 반도체층(51)과 소스 및 드레인 전극(53, 55)으로 구성되는 박막트랜지스터(Tr)가 형성되어 있다. 이때, 상기 소스 전극(53)은 상기 데이터 배선(60)에서 분기하고 있으며, 상기 게이트 전극(45)은 상기 게이트 배선(43)에서 분기하여 형성되고 있다.
- <19> 또한, 상기 화소영역(P) 내에는 상기 드레인 전극(55)과 드레인 콘택홀(67)을 통해 연결되는 화소전극 연결패턴(69)과 연결되며 다수의 화소전극(70a, 70b)이 형성되어 있으며, 상기 화소전극(70a, 70b)과 평행하게 서로 엇갈리며 구성되고 상기 공통배선(47)으로부터 분기한 다수의 공통전극(49a, 49b)이 형성되어 있다.
- <20> 이러한 평면구조를 갖는 종래의 횡전계형 액정표시장치용 어레이 기판의 단면구조를 도 4를 참조하여 살펴보면, 우선 화소영역(P)에 있어서는 기판(40) 상에 다수개의 공통전극(49a, 49b)이 서로 이격하여 형성되어 있으며, 그 상부로 전면에 게이트 절연막(50)이 형성되어 있으며, 도면에는 나타나지 않았지만 상기 공통전극(49a, 49b)

b)과 더불어 상기 기판(40)상에는 일방향으로 연장하는 게이트 배선과 상기 공통전극(49a, 49b)과 연결되며 공통배선이 더욱 형성되고 있다.

- <21> 또한 상기 게이트 절연막(50) 위로는 상기 게이트 배선(미도시)과 교차하여 화소영역(P)을 정의하는 데이터 배선(60)이 형성되어 있으며, 상기 데이터 배선(60) 상부로는 전면에 보호층(65)이 형성되어 있으며, 상기 보호층(65) 위로는 각 화소영역(P) 내에서 상기 게이트 절연막(50) 하부에 형성된 공통전극(49a, 49b)과 서로 엇갈려 교대로 배치되도록 다수의 화소전극(70a, 70b)이 형성되고 있다.
- <22> 스위칭 영역(TrA)에 있어서는, 기판(40)상에 게이트 전극(45)과, 게이트 절연막(50)과, 액티브층(51a)과 서로 이격하는 오믹콘택층(51b)으로 이루어진 반도체층(51)과, 서로 이격하는 소스 및 드레인 전극(53, 55)이 순차 적층된 구조를 갖는 박막트랜지스터(Tr)가 형성되어 있다.
- <23> 한편, 이러한 구성을 갖는 횡전계형 액정표시장치용 어레이 기판의 제조 방법에 대해 간단히 설명하면, 상기 기판(40) 상에 제 1 금속물질을 증착한 후, 제 1 마스크 공정에 의해 게이트 전극(45)과 게이트 배선(미도시)과 공통배선(미도시) 및 공통전극(49a, 49b)을 형성하고, 다음, 제 1 무기절연물질을 증착하여 게이트 절연막(50)을 형성하고, 연속하여 상기 게이트 절연막 위로 순수 비정질 실리콘(a-Si), 불순물 비정질 실리콘(n+ a-Si)을 연속적으로 증착함으로써 순수 비정질 실리콘층(미도시) 및 불순물 비정질 실리콘층(미도시)을 형성한다. 이후, 제 2 마스크 공정에 의해 상기 순수 및 불순물 비정질 실리콘층(미도시)을 패터닝함으로써 상기 게이트 전극(45)을 덮는 위치에 액티브층(51a) 및 불순물 비정질 실리콘 패턴(미도시)을 형성한다.
- <24> 다음, 상기 비정질 실리콘 패턴(미도시) 상부로 제 2 금속물질을 증착한 후, 제 3 마스크 공정에 의해 데이터 배선(60)과 상기 불순물 비정질 실리콘 패턴(미도시) 상부에서 서로 일정간격 이격하는 소스 및 드레인 전극(53, 55)을 형성한다. 이 단계에서는, 소스 및 드레인 전극(53, 55)을 마스크로 하여, 이격된 구간의 상기 불순물 비정질 실리콘 패턴(미도시)을 제거함으로써 서로 이격하는 오믹콘택층(51b)을 형성하고, 그 하부층인 액티브층(51a)을 노출시켜 채널을 형성함으로써 상기 오믹콘택층(51b)과 액티브층(51a)으로 구성되는 반도체층(51)을 형성한다. 상기 게이트 전극(45), 게이트 절연막(50), 반도체층(51), 소스 및 드레인 전극(53, 55)은 스위칭 소자인 박막트랜지스터(Tr)를 이룬다.
- <25> 다음, 제 2 절연물질을 증착한 후, 제 4 마스크 공정에 의해 드레인 전극(55)의 일부를 노출시키는 드레인 콘택홀(67)을 가지는 보호층(65)을 형성한 후, 상기 보호층(65) 위로 투명 도전성 물질을 증착하고, 제 5 마스크 공정에 의해 패터닝함으로써 화소전극(70a, 70b)을 형성한다.
- <26> 이와 같이, 기존의 횡전계형 액정표시장치용 어레이 기판의 제조 공정에서는 통상 5 마스크 공정을 진행하고 있다.
- <27> 하지만, 마스크 공정에서는 증착, 노광, 현상, 식각 공정별로 장비들이 필요하고, 물리적, 화학적 공정이 반복됨에 따라 마스크 공정이 많을수록 공정시간이 많이 걸리고 이에 의해 생산성이 저하되며, 제조 비용이 상승한다.
- <28> 최근에는 이러한 5마스크 공정 진행에 의한 문제를 해결하고자 4마스크 공정에 의해 횡전계형 액정표시장치용 어레이 기판을 제조하는 방법이 제안되었다.
- <29> 하지만 이러한 4마스크 공정에 의해 제조된 어레이 기판(도 5의 72)은, 하나의 화소영역에 대한 단면도인 도 5에 도시한 바와 같이, 그 제조 방법에 있어서 반도체층(79)과 소스 및 드레인 전극(84, 86)을 하나의 마스크 공정을 통해 제조함으로써 1회의 마스크 공정을 줄이는 것이 특징이지만, 상기 반도체층(79)과, 소스 및 드레인 전극(84, 86)과 데이터 배선(82)을 하나의 마스크 공정을 통해 동시에 패터닝하게 됨으로써, 상기 데이터 배선(82) 하부에도 순수 비정질 실리콘의 제 1 패턴(80a) 및 불순물 비정질 실리콘의 제 2 패턴(80b)으로 이루어진 반도체패턴(80)이 형성되고, 특히 상기 제 1 패턴(80a)이 상기 데이터 배선의 폭보다 넓은 폭을 가지며 형성됨으로써 포토 커런트(photo current) 증가로 인해 오프 커런트(I_{off}) 특성이 저하되는 문제가 발생한다.
- <30> 또한, 상기 반도체층(79)과 소스 및 드레인 전극(84, 86)을 동시에 패터닝 시 그 식각비에 의해 상기 소스 및 드레인 전극(84, 86) 끝단과 상기 데이터 배선(82)에 대해 그 하부에 위치하는 상기 반도체층(79) 및 반도체 패턴(80) 더욱 정확히는 순수 비정질 실리콘으로 이루어진 액티브층(79a) 및 제 1 패턴(80a)이 상기 소스 및 드레인 전극(84, 86) 끝단 및 데이터 배선(82) 외부로 노출됨으로써 오프 전류 특성 저하 이외에 웨이비 노이즈(wavy noise) 불량이 발생하고 있으며, 나아가 상기 데이터 배선(82) 외부로 노출되며 형성된 상기 제 1 패턴(80a)에 의해 개구율이 저하되는 문제가 발생하고 있다.

발명의 내용

해결 하고자하는 과제

- <31> 상기 문제점을 해결하기 위해서, 본 발명에서는 웨이비 노이즈(wavy noise) 불량 및 개구율 저하 없이 마스크 공정을 저감하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법을 제안하는 것을 그 목적으로 한다.
- <32> 또한, 3마스크 공정에 의해 제조하면서도 반도체층을 5마스크 제조 공정에서와 같이 아일랜드 형태로 형성함으로써 포토 커런트 발생을 최소화하여 오프 전류 특성을 향상시키는 것을 또 다른 목적으로 한다.

과제 해결수단

- <33> 상기 목적을 달성하기 위한 본 발명에 따른 횡전계형 액정표시장치용 어레이 기판의 제조 방법은, 화소영역을 정의된 기판 상에 게이트 배선과 이와 연결된 게이트 전극 및 상기 게이트 배선과 나란하게 연장하는 공통배선을 형성하는 단계와; 상기 게이트 배선과 게이트 전극 및 공통배선 상부로 전면에 공통배선에 대응해서는 다수의 공통 콘택홀을 갖는 게이트 절연막을 형성하고, 상기 게이트 전극에 대응해서는 상기 게이트 절연막 위로 아일랜드 형상의 액티브층과, 그 상부로 절연물질로써 상기 액티브층의 양끝단을 노출시키는 식각방지막을 형성하는 단계와; 상기 식각방지막 위로 서로 이격하며 상기 액티브층의 양끝단과 각각 접촉하는 오믹콘택층과, 상기 오믹콘택층 위로 3중층 또는 이중층 구조를 가지며 서로 이격하는 소스 및 드레인 전극과, 상기 게이트 절연막 위로 상기 게이트 배선과 교차하여 상기 화소영역을 정의하는 데이터 배선을 형성하고, 동시에 상기 화소영역 내에 상기 드레인 전극과 연결되며 이중층 또는 단일층을 구조를 가지며 서로 이격하는 다수의 화소전극과, 상기 공통 콘택홀을 통해 상기 공통배선과 전기적으로 연결되며 상기 다수의 화소전극과 교대하며 상기 화소전극과 동일한 단면구조를 갖는 다수의 공통전극을 형성하는 단계를 포함한다.
- <34> 상기 게이트 배선과 이와 연결된 게이트 전극 및 상기 게이트 배선과 나란하게 연장하는 공통배선을 형성하는 단계는, 상기 게이트 배선 일끝단에 게이트 패드전극을 형성하는 단계를 포함한다.
- <35> 상기 다수의 공통 콘택홀을 포함하는 게이트 절연막과 액티브층 및 식각방지막을 단계는, 상기 게이트 배선과 게이트 전극 및 공통배선 상부로 전면에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 위로 순수 비정질 실리콘층과, 무기절연물질로 이루어지는 제 1 절연층을 형성하는 단계와; 상기 제 1 절연층 위로 상기 게이트 전극에 대응해서 그 중앙부에 제 1 두께의 제 1 포토레지스트 패턴을 형성하고, 그 주변부에 상기 제 1 두께보다 얇은 제 2 두께의 제 2 포토레지스트 패턴을 형성하고, 상기 공통 콘택홀이 형성될 부분 및 상기 게이트 패드전극에 대응해서는 상기 제 1 절연층을 노출시키며, 그 외의 영역에 대응해서는 상기 제 2 두께보다 얇은 제 3 두께의 제 3 포토레지스트 패턴을 형성하는 단계와; 상기 제 1, 2 및 3 포토레지스트 패턴 외부로 노출된 제 1 절연층과 그 하부의 순수 비정질 실리콘층과 상기 게이트 절연막을 식각하여 상기 공통배선을 노출시키는 다수의 공통 콘택홀과 상기 게이트 패드전극을 노출시키는 게이트 패드콘택홀을 형성하는 단계와; 제 1 애싱을 진행하여 상기 제 3 포토레지스트 패턴을 제거하는 단계와; 상기 제 3 포토레지스트 패턴이 제거됨으로써 노출된 제 1 절연층과 그 하부의 순수 비정질 실리콘층을 제거함으로써 상기 게이트 전극에 대응하여 아일랜드 형상의 액티브층과 제 1 절연패턴을 형성하는 단계와; 제 2 애싱을 실시하여 상기 제 2 포토레지스트 패턴을 제거함으로써 상기 제 1 포토레지스트 패턴 외부로 상기 제 1 절연패턴의 양끝단을 노출시키는 단계와; 상기 제 1 포토레지스트 패턴 외부로 노출된 상기 제 1 절연패턴을 제거함으로써 상기 액티브층의 양끝단을 노출시키는 식각방지막을 형성하는 단계와; 상기 제 1 포토레지스트 패턴을 제거하는 단계를 포함한다.
- <36> 상기 데이터 배선과 소스 및 드레인 전극과 다수의 화소전극과 공통전극을 형성하는 단계는, 상기 데이터 배선 일끝단에 데이터 패드전극과, 상기 게이트 배선에 대응하여 상기 다수의 화소전극을 연결하며 상기 단 게이트 배선과 중첩하여 스토리지 커패시터를 이루는 화소전극 연결부를 형성하는 단계를 포함한다.
- <37> 상기 오믹콘택층과, 이중층 구조의 소스 및 드레인 전극과 데이터 배선과, 단일층 구조의 다수의 화소전극 및 공통전극을 형성하는 단계는, 상기 식각방지막 위로 전면에 순차적으로 불순물 비정질 실리콘층과, 제 1 금속층 및 제 2 금속층을 형성하는 단계와; 상기 제 2 금속층 위로 상기 데이터 배선과 소스 및 드레인 전극에 대응해서는 제 4 두께의 제 4 포토레지스트 패턴을, 상기 다수의 화소전극과 공통전극과 화소전극 연결부와 게이트 패드전극 및 데이터 패드전극에 대응해서는 상기 제 4 두께보다 얇은 제 5 두께의 제 5 포토레지스트 패턴을 형성하는 단계와; 상기 제 4 및 5 포토레지스트 패턴 외부로 노출된 상기 제 2 금속층과 그 하부의 제 1 금속층 및 불순물 비정질 실리콘층을 제거하는 단계와; 제 3 애싱을 진행하여 상기 제 5 포토레지스트 패턴을 제거하는 단계와; 열처리를 실시하여 상기 제 4 포토레지스트 패턴을 리플로잉(reflowing)시켜 상기 데이터 배선과 소스

및 드레인 전극을 그 측면까지 완전히 덮도록 하는 단계와; 상기 제 5 포토레지스트 패턴이 제거됨으로써 노출된 이중층 구조를 갖는 다수의 화소전극과 공통전극과 화소전극 연결부와 게이트 보조 패드전극 및 데이터 패드전극에 있어 상기 제 2 금속층으로 이루어진 상부층을 제거하는 단계와; 상기 리플로잉(reflowing)된 제 4 포토레지스트 패턴을 제거하는 단계를 포함한다. 이때, 상기 제 1 금속층은 몰리브덴 또는 몰리브덴 합금이며, 상기 제 2 금속층은 저저항 금속물질인 구리, 구리합금, 알루미늄, 알루미늄 합금 중 하나로 이루어지는 것이 바람직하다.

<38> 상기 오믹콘택층과, 3중층 구조의 소스 및 드레인 전극과 데이터 배선과, 이중층 구조의 다수의 화소전극 및 공통전극을 형성하는 단계는, 상기 식각방지막 위로 전면에서 순차적으로 불순물 비정질 실리콘층과, 제 1, 2 및 3 금속층을 형성하는 단계와; 상기 제 3 금속층 위로 상기 데이터 배선과 소스 및 드레인 전극에 대응해서는 제 4 두께의 제 4 포토레지스트 패턴을, 상기 다수의 화소전극과 공통전극과 화소전극 연결부와 게이트 패드전극 및 데이터 패드전극에 대응해서는 상기 제 4 두께보다 얇은 제 5 두께의 제 5 포토레지스트 패턴을 형성하는 단계와; 상기 제 4 및 5 포토레지스트 패턴 외부로 노출된 상기 제 3 금속층과 그 하부의 상기 제 2 및 1 금속층과 상기 불순물 비정질 실리콘층을 제거하는 단계와; 제 3 애싱을 진행하여 상기 제 5 포토레지스트 패턴을 제거하는 단계와; 열처리를 실시하여 상기 제 4 포토레지스트 패턴을 리플로잉(reflowing)시켜 상기 데이터 배선과 소스 및 드레인 전극을 그 측면까지 완전히 덮도록 하는 단계와; 상기 제 5 포토레지스트 패턴이 제거됨으로써 노출된 3중층 구조를 갖는 다수의 화소전극과 공통전극과 화소전극 연결부와 게이트 보조패드전극 및 데이터 패드전극에 있어 상기 제 3 금속층으로 이루어진 상부층을 제거하는 단계와; 상기 리플로잉(reflowing)된 제 4 포토레지스트 패턴을 제거하는 단계를 포함한다. 이때, 상기 제 1 금속층은 몰리브덴 또는 몰리브덴 합금이며, 상기 제 2 금속층은 투명 도전성 물질인 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)이며, 상기 제 3 금속층은 저저항 금속물질인 구리, 구리합금, 알루미늄, 알루미늄 합금 중 하나로 이루어지며, 상기 제 1 금속층은 30Å 내지 60Å의 두께를 갖도록 형성하는 것이 바람직하다.

<39> 상기 오믹콘택층은 상기 소스 및 드레인 전극과 동일한 형태 및 크기를 갖도록 형성하는 것이 특징이며, 상기 데이터 배선과 상기 다수의 공통전극 및 화소전극과 화소전극 연결부와 게이트 보조패드전극 및 데이터 패드전극은 그 하부에 상기 오믹콘택층을 이루는 동일한 물질로써 그 상부에 위치한 데이터 배선과 다수의 공통전극 및 화소전극과 화소전극 연결부와 게이트 보조패드전극 및 데이터 패드전극과 각각 동일한 형태 및 크기를 가지며 불순물 비정질 패턴이 형성되는 것이 특징이다.

<40> 본 발명에 따른 횡전계형 액정표시장치용 어레이 기판은, 화소영역이 정의된 기판 상에 형성된 게이트 배선과 이와 연결된 게이트 전극 및 상기 게이트 배선과 나란하게 연장하는 공통배선과; 상기 게이트 배선과 게이트 전극 및 공통배선 상부로 형성되며 상기 공통배선에 대응해서는 다수의 공통 콘택홀을 가지며 형성된 게이트 절연막과; 상기 게이트 전극에 대응하여 상기 게이트 절연막 위로 아일랜드 형태로 형성된 액티브층과; 상기 액티브층 위로 상기 액티브층의 양끝단을 노출시키며 형성된 식각방지막과; 상기 식각방지막 위로 서로 이격하며 상기 노출된 액티브층의 양끝단과 각각 접촉하며 형성된 오믹콘택층과; 상기 이격하는 오믹콘택층 위로 서로 이격하며 형성된 이중층 또는 3중층 구조의 소스 및 드레인 전극과; 상기 게이트 절연막 상에 형성되며 상기 게이트 배선과 교차하여 상기 화소영역을 정의하며 이중층 또는 3중층 구조를 가지며 형성된 데이터 배선과; 상기 화소영역 내의 게이트 절연막 상에 서로 이격하여 형성된 다수의 이중층 또는 단일층 구조의 다수의 화소전극과, 상기 공통배선과 상기 다수의 공통 콘택홀을 통해 각각 전기적으로 연결되며 이중층 또는 단일층 구조를 갖고 상기 다수의 화소전극과 교대로 배열된 다수의 공통전극을 포함한다.

<41> 상기 게이트 절연막 상부로 상기 게이트 배선과 중첩하며 단일층 또는 이중층 구조를 가지고 상기 다수의 화소전극 끝단을 연결하며 형성된 화소전극 연결부를 포함한다.

<42> 또한, 게이트 패드전극과; 상기 게이트 패드전극 상부에 단일층 또는 중층의 게이트 보조 패드전극이 형성되고, 상기 절연막은 게이트 패드 콘택홀을 포함하며, 상기 게이트 패드전극과 게이트 보조 패드전극은 상기 게이트 패드 콘택홀을 통해 전기적으로 연결되는 것이 특징이다.

<43> 상기 게이트 절연막 상부로 상기 데이터 배선과 연결되며 단일층 또는 이중층 구조의 데이터 패드전극이 형성된 것이 특징이다.

<44> 상기 데이터 배선과, 다수의 화소전극 및 공통전극과, 상기 화소전극 연결부 하부에는 각각 그 상부에 형성된 상기 데이터 배선과, 다수의 화소전극 및 공통전극과, 상기 화소전극 연결부와 동일한 형태 및 동일한 크기를 갖는 불순물 비정질 실리콘 패턴이 형성된 것이 특징이며, 상기 불순물 비정질 실리콘 패턴은 상기 오믹콘택층과 동일한 층에 동일한 물질로 이루어지며, 상기 게이트 절연막과 직접 접촉하며 형성되는 것이 특징이다.

효 과

- <45> 본 발명에 있어서는 3회의 마스크 공정을 진행하여 횡전계형 액정표시장치용 어레이 기판을 제조함으로써 공정 효율을 높일 수 있고, 공정 단순화로 인하여 횡전계형 액정표시장치용 어레이 기판의 제조 비용을 절감하는 효과가 있다.
- <46> 또한 액티브층이 스위칭 영역에 아일랜드 형태로 형성되는 구조가 되며, 데이터 배선 하부에 형성된 불순물 비정질 실리콘 패턴이 상기 데이터 배선 외측으로 노출되지 않는 구조가 되므로 포토 커런트에 의해 발생하는 오프 저류 특성 저하를 방지할 수 있으며, 나아가 웨이비 노이즈를 원천적으로 방지하는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- <47> 이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 설명한다.
- <48> 우선, 간단히 본 발명에 따른 액정표시장치용 어레이 기판의 평면구조에 대해 간단히 설명한다.
- <49> 도 6은 본 발명의 실시예에 따른 횡전계형 액정표시장치용 어레이 기판의 하나의 화소영역에 대한 평면도이다.
- <50> 도시한 바와 같이, 본 발명의 실시예에 따른 횡전계형 액정표시장치용 어레이 기판(101)은 다수의 게이트 및 데이터 배선(103, 135)이 교차하여 화소영역(P)을 정의하며 형성되고 있으며, 상기 게이트 배선(103)과 나란하게 화소영역(P)을 관통하며 공통배선(106)이 형성되고 있다.
- <51> 또한, 화소영역(P) 내의 위치한 스위칭 영역에는 상기 게이트 배선(103) 및 데이터 배선(135)과 연결되며 게이트 전극(108), 게이트 절연막(미도시), 반도체층(132), 서로 이격하는 소스 및 드레인 전극(140, 143)으로 구성된 박막트랜지스터(Tr)가 형성되어 있다. 이때, 상기 게이트 전극(108)은 상기 게이트 배선(103)과, 상기 소스 전극(140)은 상기 데이터 배선(135)과 연결되고 있다. 상기 박막트랜지스터(Tr)의 구조 및 형상은 다양하게 변형 가능하다. 예를들어, 상기 데이터 배선(135)에서 분기한 소스 전극을 "U"형태로 구성하고 상기 드레인 전극(143)을 상기 "U"형태의 소스 전극의 개구에 삽입하는 형태로 구성할 경우 "U"형태의 채널구조를 갖도록 형성할 수도 있다.
- <52> 또한, 상기 화소영역(P) 내에는 다수의 화소전극(150)과 공통전극(147)이 서로 교대하며 이격하여 형성되고 있으며, 상기 다수의 화소전극(150)은 상기 드레인 전극(143)과 연결되고 있으며, 상기 다수의 공통전극(147)은 상기 공통배선(106)과 다수의 공통 콘택홀(117)을 통해 연결되고 있다.
- <53> 또한, 상기 다수의 화소전극(150)은 그 끝단이 화소전극 연결부(153)와 연결되고 있으며, 상기 화소전극 연결부(153) 상기 게이트 배선(103)까지 연장되어 이와 중첩 형성됨으로써 상기 게이트 배선(103)과 더불어 스토리지 커패시터(StgC)를 이루고 있다. 도면에서는 상기 게이트 배선(103)의 중첩 부분을 제 1 스토리지 전극(미도시), 상기 다수의 화소전극(150) 끝단을 연결하는 상기 화소전극 연결부(153)를 제 2 스토리지 전극으로 하여 상기 스토리지 커패시터(StgC)가 형성된 것을 보이고 있지만, 상기 화소전극 연결부(153)를 상기 공통배선(106)과 중첩하도록 형성함으로써 상기 공통배선(106)을 제 1 스토리지 전극, 상기 화소전극 연결부(153)를 제 2 스토리지 전극으로 하여 스토리지 커패시터(StgC)가 형성될 수도 있다.
- <54> 한편, 도면에는 나타내지 않았지만, 상기 게이트 배선(103)과 데이터 배선(135)의 일끝단은 각각 게이트 및 데이터 패드부(미도시)로 연장하여 각각 게이트 패드전극(미도시)과 데이터 패드전극(미도시)과 연결되고 있다.
- <55> 이러한 평면 구조를 갖는 본 발명의 실시예에 따른 어레이 기판에 있어, 도 6을 절단선 VII-VII를 따라 절단한 부분에 대한 단면도인 도 7a(실시예)를 참고하여 그 단면구조에 대해 살펴보면, 우선, 스위칭 영역(TrA)에 있어서 기판(101)상에 게이트 전극(108)이 형성되어 있으며, 상기 게이트 전극(108) 위로 게이트 절연막(116)이 형성되어 있다. 또한, 상기 게이트 절연막(116) 위로 상기 게이트 전극(108)에 대응하여 아일랜드 형태로 순수 비정질 실리콘으로 이루어진 액티브층(121)이 형성되어 있으며, 그 상부로 무기절연물질로써 상기 액티브층(121)의 양측을 노출시키며 식각방지패턴(127)이 형성되어 있으며, 상기 식각방지패턴(127) 위로 상기 노출된 액티브층(121)의 양끝단과 각각 접촉하며 서로 소정간격 이격하며 불순물 비정질 실리콘으로 이루어진 오믹콘택층(129)이 형성되어 있다. 또한, 상기 서로 이격하는 오믹콘택층(129) 위로 이와 동일한 크기 및 형태를 가지며 이중층 또는 그 변형예로서 3중층 구조를 갖는 소스 및 드레인 전극(140, 143)이 서로 이격하며 형성되어 있다.
- <56> 또한, 각 화소영역(P)의 경계에 있어서는 게이트 배선(103)이 형성되어 있으며, 상기 화소영역(P)의 내측으로 상기 게이트 배선(103)과 이격하며 이와 동일한 물질로 이루어진 공통배선(106)이 형성되어 있으며, 이들 게이

트 배선(103)과 공통배선(106)을 덮으며 전면에 게이트 절연막(116)이 형성되어 있다. 이때, 상기 게이트 절연막(116)은 상기 공통배선(106)에 대응하여 다수의 공통 콘택홀(117)이 구비됨으로써 상기 다수의 공통 콘택홀(117)을 통해 상기 공통배선(106)을 노출시키고 있다. 또한, 상기 게이트 절연막(116) 위로는 동일한 금속재질로 이루어지며 다수의 화소전극(150)과 공통전극(147)이 교대하며 서로 이격하며 형성되어 있다. 이때, 상기 다수의 화소전극(150)은 상기 드레인 전극(143)과 연결되고 있으며, 상기 다수의 공통전극(147)은 상기 공통배선(106)과 공통 콘택홀(117)을 통해 연결되고 있으며, 상기 다수의 화소전극(150) 및 공통전극(147) 하부로는 불순물 비정질 실리콘으로 이루어진 불순물 비정질 실리콘 패턴(130)이 상기 화소전극(150) 및 공통전극(147)과 동일한 폭을 가지며 동일한 형태 및 크기를 가지며 형성되고 있다.

<57> 한편, 스토리지 커패시터(StgC)가 형성된 스토리지 영역(StgA)에 있어서는, 기판(101)상에 제 1 스토리지 전극을 이루는 게이트 배선(103)이 형성되어 있으며, 상기 게이트 전극(103) 위로 게이트 절연막(116)이 형성되어 있으며, 상기 게이트 절연막(116) 위로 상기 제 1 스토리지 전극(105)과 중첩하며 다수의 화소전극(150) 끝단을 연결한 화소전극 연결부(153)가 형성됨으로써 제 2 스토리지 전극을 이루고 있다. 이때, 상기 화소전극 연결부(153)는 상기 공통전극(147) 및 화소전극(150)과 동일하게 그 하부에는 불순물 비정질 실리콘 패턴이 형성되고 있는 것이 특징이다.

<58> 한편, 본 발명의 실시예에 따른 횡전계형 액정표시장치용 어레이 기판의 게이트 및 데이터 패드부 각각에 대한 단면도인 도 8a와 9a를 참조하여 게이트 패드부 및 데이터 패드부의 단면구조를 살펴보면, 우선, 게이트 패드부(GPA)에 있어서는 기판(101)상에 게이트 패드전극(111)이 형성되어 있으며, 상기 게이트 패드전극(111)의 중앙부에 대응하여 이를 노출시키는 게이트 패드 콘택홀(118)을 갖는 게이트 절연막(116)이 형성되어 있으며, 상기 게이트 절연막(116) 위로 게이트 보조 패드전극(159)이 상기 게이트 패드 콘택홀(118)을 통해 상기 게이트 패드전극(111)과 접촉하며 형성되고 있다. 이때, 상기 게이트 보조 패드전극(159)은 상기 공통전극(도 7a의 147) 및 화소전극(도 7a의 150)과 동일한 단면구조를 가지며, 불순물 비정질 실리콘 패턴(130)이 그 하부에 형성되고 있는 것이 특징이다.

<59> 또한, 데이터 패드부(DPA)에 있어서는, 기판(101)상에 게이트 절연막(116)이 형성되어 있으며, 상기 게이트 절연막(116) 위로 불순물 비정질 실리콘 패턴(130)이 형성되어 있으며, 상기 불순물 비정질 실리콘 패턴(130) 위로 이와 동일한 형태 및 크기를 갖는 데이터 패드전극(156)이 형성되어 있다.

<60> 한편, 전술한 구조를 갖는 실시예의 경우, 화소전극(150)과 공통전극(147)과 게이트 보조 패드전극(159)과 데이터 패드전극(156)과 제 2 스토리지 전극을 이루는 화소전극 연결부(153)에 대해서는 하부의 불순물 비정질 실리콘 패턴(130)을 제외하면 단일층 구조를 가지며, 데이터 배선(135)과 소스 및 드레인 전극(140, 143)은 이중층 구조를 갖는 것이 특징이다.

<61> 이 경우, 상기 데이터 배선(135)과 소스 및 드레인 전극(140, 143)이 이중층 구조를 갖도록 구성하는 것은, 저저항 특성을 갖는 금속물질로 상부층(135b, 140b, 143b)을 더욱 구성하여 이중층 구조를 갖도록 함으로써 특히, 표시영역 전체에 대해 길게 동일한 열에 구성된 화소영역(P)을 모두 지나도록 형성되는 상기 데이터 배선(135)이 그 자체의 내부저항에 의한 큰 전압강하 없이 신호전압을 효율적으로 각 화소영역(P) 내의 화소전극(150)에 전달시키기 위함이다. 이때, 상기 저저항 금속물질로 이루어진 상부층(135b, 140b, 143b)은 통상적으로 부식에 약한 특성을 갖는 바, 공기 중에 노출되는 게이트 및 데이터 패드부(GPA, DPA)에 있어서는 상기 부식에 약한 저저항 물질로 이루어진 상기 상부층을 식각하여 제거함으로써 상기 게이트 보조 패드전극(159) 및 데이터 패드전극(156)이 부식에 대해서도 안정성을 갖도록 구성한 것이며, 화소영역(P) 내에 있어 화소전극(150)과 공통전극(147)에 있어서는 저저항 특성을 갖는 금속재질로 이루어진 상부층을 제거함으로써 게이트 절연막(116) 표면과의 단차를 최소화시키기 위함이다.

<62> 한편, 전술한 구조를 갖는 실시예의 변형예에 따른 횡전계형 액정표시장치용 어레이 기판의 구조에 대해 도 7b, 8b 및 9b를 참조하여 설명한다. 이때 상기 도 7b는 본 발명의 실시예의 변형예에 따른 어레이 기판을 도 6에서와 같이 절단선 VII-VII를 따라 절단한 부분에 대한 단면도이며, 도 8b와 9b는 각각 게이트 및 데이터 패드부에 대한 단면도이다. 이때 설명의 편의를 위해 실시예에 부여된 동일한 구성요소에 대해서는 100을 더하여 도면부호를 부여하였다.

<63> 본 발명의 실시예와 차별점이 있는 부분을 위주로 설명한다.

<64> 데이터 배선(235)과 소스 및 드레인 전극(240, 243)이 3중층 구조를 갖는다는 것과, 화소전극(250) 및 공통전극(247)과 게이트 보조 패드전극(259)과 데이터 패드전극(256)과 화소전극 연결부(253)가 이중층 구조를 갖는다는

것 이외에 실시예와 동일한 구성을 갖는다.

- <65> 이 경우, 금속재질로 이루어진 상기 각 구성요소 즉 데이터 배선(235)과 소스 및 드레인 전극(240, 243)과 화소 전극(250) 및 공통전극(247)과 게이트 보조 패드전극(259)과 데이터 패드전극(256)과 화소전극 연결부(253)의 하부층(235a, 240a, 243a, 250a, 247a, 259a, 256a, 253a)은 모두 동일하게 본 발명의 실시예의 특성상 매우 얇은 두께 즉, 30-60Å 정도의 두께를 갖는 몰리브덴 또는 몰리브덴 합금으로 이루어지며, 3중층 구조를 갖는 구성요소인 데이터 배선(235)과 소스 및 드레인 전극(240, 243)의 중간층(235b, 240b, 243b)과 이중층 구조를 갖는 구성요소인 화소전극(250) 및 공통전극(247)과 게이트 보조 패드전극(259)과 데이터 패드전극(256)과 화소전극 연결부(253)의 상부층(250b, 247b, 259b, 256b, 253b)은 투명 도전성 물질 예를들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)로 이루어지며, 상기 데이터 배선(235)과 소스 및 드레인 전극(240, 243)의 상부층(235c, 240c, 243c)은 저저항 특성을 갖는 금속물질인 구리, 구리합금, 알루미늄, 알루미늄 합금 중 하나로 이루어진 것이 특징이다.
- <66> 이러한 구조를 갖는 변형예에 따른 횡전계형 액정표시장치용 어레이 기관(201)의 경우, 공기 중에 노출되는 게이트 및 데이터 패드부(GPA, DPA)에 있어 게이트 보조 패드전극(259)과 상기 데이터 패드전극(256)의 최상층(259b, 256b)이 부식에 매우 강한 특성을 지닌 투명 도전성 물질로 이루어지게 되는 바, 패드 부식에 의한 불량을 실시예 대비 더욱 확실하게 방지할 수 있는 구조적 특징을 갖는다.
- <67>
- <68> 전술한 구조를 갖는 본 발명의 실시예 및 그 변형예에 따른 횡전계형 액정표시장치용 어레이 기관의 제조 방법에 대해 설명한다. 변형예의 경우, 데이터 배선을 형성 시 금속물질을 1회 더 증착한다는 것을 제외하며 실시예와 실질적으로 동일한 공정을 진행하므로 실시예에 따른 횡전계형 액정표시장치용 어레이 기관의 제조 방법을 위주로 설명한다.
- <69> 도 10a 내지 도 10j는 도 6을 절단선 VII-VII를 따라 절단한 부분에 대한 제조 단계별 공정 단면도이며, 도 11a 내지 도 11j와, 도 12a 내지 도 12j 각각은 본 발명의 실시예에 따른 횡전계형 액정표시장치용 어레이 기관의 게이트 패드부 및 데이터 패드부에 대한 제조 단계별 공정 단면도이다. 이때 설명의 편의를 위해 각 화소영역(P)에 있어 박막트랜지스터(Tr)가 형성되는 영역을 스위칭 영역(TrA), 스토리지 커패시터(StgC)가 형성되는 영역을 스토리지 영역(StgA)이라 정의한다.
- <70> 도 10a, 11a 및 12a 도시한 바와 같이, 투명한 절연기관(101) 예를들어 유리 또는 플라스틱으로 이루어진 기관(101) 상에 제 1 금속물질 예를들면 구리(Cu), 구리 합금, 알루미늄, 알루미늄 합금 및 크롬과 같은 도전성 금속 그룹 중 선택된 하나로 제 1 금속층(미도시)을 형성하고 이를 패터닝하여, 일방향으로 연장하는 게이트 배선(103) 및 이와 나란하게 공통배선(106)을 형성하고, 동시에 상기 게이트 배선(103)에서 각 화소영역(P) 내의 스위칭 영역(TrA)으로 분기한 게이트 전극(108)과, 상기 게이트 배선(103)의 일 끝단이 위치한 게이트 패드부(GPA)에 게이트 패드전극(111)을 형성한다.
- <71> 도 10b, 11b 및 12b 도시한 바와 같이, 상기 게이트 전극(108), 게이트 배선(103), 공통 배선(106)과 게이트 패드전극(111)이 형성된 기관(101) 상에 무기절연물질 예를들면 질화실리콘(SiNx) 또는 산화실리콘(SiO₂)을 증착함으로써 게이트 절연막(116)을 형성하고, 연속하여 순수 비정질 실리콘과 무기절연물질 예를들면 질화실리콘(SiNx) 또는 산화실리콘(SiO₂)을 순차적으로 증착함으로써 순수 비정질 실리콘층(120)과 제 1 절연층(125)을 형성한다.
- <72> 다음, 상기 제 1 절연층(125) 위로 감광성 유기물질인 포토레지스트를 전면 도포하여 제 1 포토레지스트층(180)을 형성하고, 이에 대해 빛의 차단영역(BA)과, 빛의 투과량을 달리하는 제 1 및 제 2 반투과영역(HTA1, HTA2)과, 빛을 거의 100% 투과시키는 투과영역(TA)의 4영역으로 구성된 다중 톤 노광 마스크(191)를 위치시킨 후, 이를 통해 노광을 실시한다.
- <73> 도 10c, 11c 및 12c 도시한 바와 같이, 상기 노광된 제 1 포토레지스트층(도 10b, 11b, 12b의 180)을 현상함으로써 상기 스위칭 영역(TrA)의 상기 게이트 전극(108)에 대응하여 제 1 두께의 제 1 포토레지스트 패턴(180a)을 형성하고, 이중 추후 형성될 서로 이격하는 소스 및 드레인 전극 사이의 이격영역(이를 채널영역이라 정의함)에 대응해서는 상기 제 1 두께보다 더 두꺼운 제 2 두께를 갖는 제 2 포토레지스트 패턴(180b)을 형성하고, 상기 게이트 패드부(GPA)의 게이트 패드전극(111)의 중앙부와 상기 공통배선(106) 일부 즉 공통 콘택홀이 형성될 부분에 대해서는 상기 제 1 절연층(125)이 노출되도록 상기 제 1 포토레지스트층(도 10b, 11b, 12b의 180)이 완전

히 제거되도록 하고, 그 이외의 영역에서는 상기 제 1 두께보다 얇은 제 3 두께를 갖는 제 3 포토레지스트 패턴(180c)이 형성되도록 한다.

<74> 이후, 식각을 진행하여 상기 제 1, 2 및 3 포토레지스트 패턴(180a, 180b, 180c) 외부로 노출된 상기 제 1 절연층(125)과 그 하부의 순수 비정질 실리콘층(120) 및 게이트 절연막(116)을 제거함으로써 게이트 패드부(GPA)에 있어서는 상기 게이트 패드전극(111)을 노출시키는 게이트 패드 콘택홀(118)을 형성하고 동시에 상기 공통배선(106)에 대응해서는 다수의 공통 콘택홀(117)을 형성한다. 이때 다수의 공통 콘택홀(117)은 각 화소영역(P) 내에 형성될 공통전극의 개수와 동일하게 형성하는 것이 바람직하다.

<75> 도 10d, 11d 및 12d 도시한 바와 같이, 애싱(ashing)을 진행하여 상기 제 3 두께를 갖는 제 3 포토레지스트 패턴(도 10c, 11c 및 12c의 180c)을 제거함으로써 상기 스위칭 영역(TrA)의 게이트 전극(108)에 대응하는 영역을 제외한 모든 영역에 대해 상기 제 1 절연막(도 10c, 11c 및 12c의 125)을 노출시킨다.

<76> 이후, 식각 더욱 정확히는 드라이 에칭을 진행하여 상기 제 1 및 제 2 포토레지스트 패턴(180a, 180b) 외부로 노출된 상기 제 1 절연막(도 10c, 11c 및 12c의 125)과 그 하부의 순수 비정질 실리콘층(도 10c, 11c 및 12c의 120)을 제거함으로써 상기 스위칭 영역(TrA)의 게이트 전극(108)에 대응하는 부분을 제외하고는 상기 게이트 절연막(116)이 노출되도록 한다. 이때, 상기 스위칭 영역(TrA)에 있어서는 상기 제 1 및 제 2 포토레지스트 패턴(180a, 180b) 하부로 아일랜드 형태로써 동일한 크기를 갖는 무기절연물질의 제 1 절연패턴(126)과 순수 비정질 실리콘의 액티브층(121)이 형성된다.

<77> 다음, 도 10e, 11e 및 12e 도시한 바와 같이, 상기 액티브층(121)이 형성된 기관(101)에 대해 2차 애싱(ashing)을 진행하여 상기 스위칭 영역(TrA)에 남아있는 제 1 포토레지스트 패턴(도 10d의 180a)을 제거함으로써 상기 액티브층(121) 상부의 상기 제 1 절연패턴(도 10d의 126)을 노출시킨다. 이 경우 상기 제 2 포토레지스트 패턴(180b)은 상기 제 1 절연패턴(도 10d의 126)의 중앙부에 위치함으로써 상기 제 2 포토레지스트 패턴(180b)을 중심으로 그 주변 더욱 정확히는 그 양끝단이 노출되게 된다.

<78> 이후, 상기 제 2 포토레지스트 패턴(180b) 외부로 노출된 상기 제 1 절연패턴(도 10d의 126)을 드라이 에칭을 통해 제거함으로써 그 하부에 위치한 액티브층(121)의 양끝단을 노출시킨다. 이때, 상기 액티브층(121) 또한 상기 제 2 포토레지스트 패턴(180b)이 남아있는 영역에 대해서는 여전히 그 상부에 대해 상기 제 1 절연패턴(도 10d의 126)이 남아있게 되는데, 이는 그 하부의 상기 액티브층(121)이 식각되는 것을 방지하는 역할을 하는 식각방지막(127)을 이루게 된다.

<79> 다음, 도 10f, 11f 및 12f에 도시한 바와 같이, 상기 식각방지막(127) 상부에 남아있는 제 2 포토레지스트 패턴(도 10e의 180b)을 3차 애싱(ashing)을 실시하거나 스트립(strip)하여 제거함으로써 상기 식각방지막(127)을 노출시킨다.

<80> 이후, 상기 식각방지막(127) 위로 전면예 불순물 비정질 실리콘과 제 2 금속물질 예를들면 몰리브덴 또는 몰리브덴 합금과 제 3 금속물질 예를들면 저저항 특성을 갖는 금속물질 구리, 구리합금, 알루미늄, 알루미늄 합금 중 하나를 증착함으로써 불순물 비정질 실리콘층(128)과 제 2 금속층(132) 및 제 3 금속층(133)을 형성한다.

<81> 한편, 도 7b, 8b 및 9b를 통해 설명한 변형예의 경우, 상기 제 2 및 3 금속층 이외에 상기 제 3 금속층 위로 제 4 금속층을 더욱 형성할 수도 있다. 이러한 변형예의 경우 상기 제 3 금속층은 투명 도전성 물질 예를들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)로, 상기 제 4 금속층이 저저항 특성을 갖는 금속물질인 구리, 구리합금, 알루미늄, 알루미늄 합금으로 이루어지는 것이 바람직하다. 이러한 변형예의 경우, 상기 투명 도전성 물질로 이루어진 제 3 금속층 하부에 위치하는 제 2 금속층은 상기 불순물 비정질 실리콘층과의 접촉면에서 옴믹콘택이 이루어지도록 하는 역할을 하게 된다.

<82> 다음, 상기 제 3 금속층(133) 또는 변형예의 경우 제 4 금속(미도시) 위로 포토레지스트를 도포하여 제 2 포토레지스트층(미도시)을 형성하고, 이를 차단영역과 투과영역 및 반투과영역을 갖는 노광 마스크(미도시)를 이용하여 노광하고 현상함으로써 데이터 배선이 형성되어야 할 부분 및 서로 이격하는 소스 및 드레인 전극이 형성되어야 할 부분에 대응해서는 제 4 두께의 제 4 포토레지스트 패턴(183a)을, 스토리지 영역(StGA)과 화소전극 및 공통전극이 형성되어야 할 부분 및 게이트 및 데이터 패드부(GPA, DPA)에 대응해서는 상기 제 4 두께보다 얇은 제 5 두께의 제 5 포토레지스트 패턴(183b)을 형성하고 그 이외의 영역에 대응해서는 상기 제 2 포토레지스트층(미도시)을 제거함으로써 제 3 금속층(133) 또는 변형예의 경우 제 4 금속층(미도시)을 노출시킨다.

<83> 다음, 도 10g, 11g 및 12g에 도시한 바와 같이, 상기 제 4 및 제 5 포토레지스트 패턴(183a, 183b) 외부로 노출된 제 3 및 2 금속층(도 10f, 11f 및 12f의 133 및 132)(변형예의 경우 제 4 금속층 포함)과 불순물

비정질 실리콘층(도 10f, 11f 및 12f의 128)을 식각하여 제거함으로써 스위칭 영역(TrA)에 있어서는 상기 액티브층(121)의 양끝단과 각각 접촉하며, 서로 마주하는 끝단이 상기 식각방지막(127) 상부에서 서로 이격하는 오믹콘택층(129)을 형성하고 동시에 상기 오믹콘택층(129) 상부로 이와 동일한 형태와 크기를 가지며 서로 이격하는 이중층 또는 변형예의 경우 3중층 구조의 소스 및 드레인 전극(140, 143)을 형성한다.

<84> 또한, 각 화소영역(P)의 경계에는 상기 게이트 배선(103)과 교차하여 상기 화소영역(P)을 정의하는 데이터 배선(135)을 형성하며, 동시에 각 화소영역(P) 내측에는 서로 교대하며 이격하는 다수의 화소전극(150)과 공통전극(147)을 형성하고, 스토리지 영역(StgA)에 있어서는 제 2 스토리지 전극을 이루는 화소전극 연결부(153)를 형성한다. 그리고, 게이트 패드부(GPA)에 있어서는 상기 게이트 패드 콘택홀(118)을 통해 상기 게이트 패드전극(111)과 전기적으로 연결되는 게이트 보조 패드전극(159)을, 그리고 데이터 패드부(DPA)에 있어서는 데이터 패드전극(156)을 형성한다. 이때, 상기 데이터 배선(135(135a, 135b))과 화소전극 연결부(153(153a, 153b))와 공통전극(147(147a, 147b))과 화소전극(150(150a, 150b))과 게이트 보조 패드전극(159(159a, 159b))과 데이터 패드전극(156(156a, 156b))은 현 단계에서는 불순물 비정질 실리콘 패턴(130)을 제외하면 모두 이중층 또는 변형예의 경우 3중층 구조를 이루는 것이 특징이다. 상기 게이트 패드부(GPA)의 경우, 상기 게이트 패드전극(111)과 상기 게이트 보조 패드전극(159)은 상기 게이트 패드 콘택홀(118)을 통해 직접 접촉하지 않고 상기 불순물 비정질 실리콘 패턴(130)을 매개로 하여 전기적으로 연결되게 된다.

<85> 다음, 도 10h, 11h 및 12h에 도시한 바와 같이, 애싱(ashing)을 실시하여 상기 제 5 포토레지스트 패턴(도 10g, 11g 및 12g의 183b)을 제거함으로써 공통전극(147)과 화소전극(150)과 게이트 보조 패드전극(159) 및 데이터 패드전극(156)과 화소전극 연결부(153)를 노출시킨다. 이때, 상기 데이터 배선(135)과 소스 및 드레인 전극(140, 143) 상부에는 여전히 제 4 포토레지스트 패턴(183a)이 비록 그 두께가 줄어들었으나 남아있게 된다.

<86> 이후, 다음, 도 10i, 11i 및 12i에 도시한 바와 같이, 상기 제 4 포토레지스트 패턴(도 10h, 11h 및 12h의 183a)이 남아있는 상태의 기판(101)을 열처리를 진행하여 상기 데이터 배선(135)과 소스 및 드레인 전극(140, 143)의 상부에 위치하는 상기 제 4 포토레지스트 패턴(도 10h, 11h 및 12h의 183a)이 상기 데이터 배선(135)과 소스 및 드레인 전극(140, 143)의 상부를 포함하여 그 측면부까지 완전히 덮는 상태가 되도록 한다.

<87> 이때, 상기 열처리에 의해 리플로잉 된 상기 제 4 포토레지스트 패턴(183c)은 상기 스위칭 영역(TrA)에 있어서는 상기 소스 및 드레인 전극(140, 143) 사이로 노출된 상기 식각 방지막(127)까지 완전히 덮은 형태가 되도록 한다.

<88> 이후, 식각을 진행하여 상기 리플로잉 된 제 4 포토레지스트 패턴(183v) 외부로 노출된 각 구성요소 즉, 공통전극(147)과 화소전극(150)과 게이트 보조 패드전극(159) 및 데이터 패드전극(156)과 화소전극 연결부(153)의 상부층(도 10h, 11h 및 12h의 147b, 150b, 159b, 156b, 153b) 즉, 실시예의 경우 제 3 금속층(도 10f, 11f 및 12f의 133)에 의한 형성된 부분 또는 변형예의 경우 제 4 금속층(미도시)에 의해 형성된 부분을 제거한다. 그럼으로써, 실시예의 경우 불순물 비정질 실리콘 패턴(130)을 제외하면 단일층 구조를 갖는 공통전극(147)과 화소전극(150)과 게이트 보조 패드전극(159)과 데이터 패드전극(156) 및 제 2 스토리지 전극 역할을 하는 화소전극 연결부(153)를 형성하게 되며, 변형예의 경우 불순물 비정질 실리콘 패턴을 제외하면 이중층 구조를 갖는 공통전극과 화소전극 및 화소전극 연결부와 게이트 보조 패드전극과 데이터 패드전극을 형성하게 된다.

<89> 한편, 상기 데이터 배선(135)과 소스 및 드레인 전극(140, 143)은 그 측면이 상기 리플로잉된 제 4 포토레지스트 패턴(183c)에 의해 덮혀진 상태이므로 여전히 이중층 또는 변형예의 경우 3중층 구조를 이루게 된다. 이때, 상기 데이터 배선(135)과 소스 및 드레인 전극(140, 143)은 그 측면을 통한 식각이 상기 리플로잉 된 제 4 포토레지스트 패턴(183c)에 의해 원천적으로 방지되는 바, 종래의 4마스크 공정 진행에 의해 발생하는 데이터 배선 하부에 위치하는 반도체 패턴이 노출되는 등의 문제는 발생하지 않게 된다. 즉, 금속재질로 이루어진 부분의 선평만을 조절하게 되면 자연적으로 그 하부에 위치하는 반도체 물질로 이루어진 불순물 비정질 실리콘 패턴(130)은 상기 금속재질로 이루어진 부분의 선평과 같아지게 되므로 웨이비 노이즈(wavy noise) 등의 문제를 해결할 수 있다.

<90> 또한, 비록 불순물 비정질 실리콘으로 이루어진 불순물 비정질 실리콘 패턴(130)이 데이터 배선(135) 하부에 형성된다 하더라도 이는 상기 데이터 배선(135)과 동일한 폭을 가지며 형성되는 바, 상기 데이터 배선 외측으로 노출되지 않으며, 상기 불순물 비정질 실리콘 패턴(130)은 불순물에 의해 실질적으로 도체적 특성을 갖게 되며, 스위칭 영역에 있어서 아일랜드 형태의 액티브층이 형성되므로써 포토 커런트(photo current)를 거의 형성하지 않으므로 오프 전류(I_{off}) 특성을 저하시키는 등의 문제는 발생하지 않는다.

- <91> 다음, 도 10j, 11j 및 12j에 도시한 바와 같이, 상기 데이터 배선(135)과 소스 및 드레인 전극(140, 143)을 덮으며 남아있는 리플로잉 된 제 4 포토레지스트 패턴(도 10i의 183c)을 스트립 또는 애싱(ashing)을 진행하여 제거함으로써 본 발명의 실시예 또는 그 변형예에 따른 횡전계형 액정표시장치용 어레이 기관(101)을 완성하게 된다.
- <92> 한편, 전술한 실시예 및 그 변형예에 따른 횡전계형 액정표시장치의 경우, 상기 제 2 스토리지 전극의 역할을 하는 화소전극 연결부가 상기 공통전극과 화소전극과 동일한 단면구조를 갖는 것으로 도시 및 설명되었지만, 또 다른 변형예로서 상기 화소전극 연결부는 상기 데이터 배선과 동일한 단면 구조를 갖도록 형성될 수도 있다. 즉, 상기 화소전극 연결부는 불순물 비정질 실리콘 패턴 상부로 상기 데이터 배선과 같이 이중층 또는 3중층 구조를 가지며 형성될 수도 있다. 이 경우, 상기 화소전극 연결부를 형성하는 방법은 상기 데이터 배선을 형성한 동일한 방법으로 진행되며 되는 바, 그 설명은 생략한다.

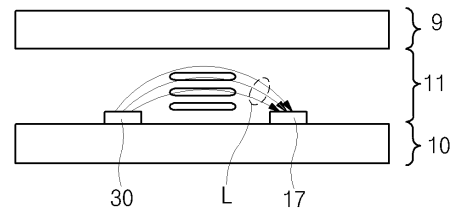
도면의 간단한 설명

- <93> 도 1은 일반적인 횡전계형 액정표시장치의 단면을 도시한 도면.
- <94> 도 2a와 2b는 일반적인 횡전계형 액정표시장치의 온(on), 오프(off) 상태의 동작을 각각 도시한 단면도.
- <95> 도 3은 종래의 일반적인 횡전계형 액정표시장치용 어레이 기관의 일부를 개략적으로 구성한 평면도.
- <96> 도 4는 도 3을 절단선 IV-IV를 따라 절단한 부분에 대한 단면도.
- <97> 도 5는 종래의 4마스크 공정에 의해 제조된 어레이 기관의 하나의 화소영역에 대한 단면도.
- <98> 도 6은 본 발명의 실시예 및 그 변형예에 따른 횡전계형 액정표시장치용 어레이 기관의 하나의 화소영역에 대한 평면도.
- <99> 도 7a 및 7b는 각각 본 발명의 실시예 및 그 변형예에 따른 하나의 화소영역에 대한 단면도로서, 도 6을 절단선 VII-VII를 따라 절단한 부분에 대한 단면도.
- <100> 도 8a 및 8b는 각각 본 발명의 실시예 및 그 변형예에 따른 횡전계형 액정표시장치용 어레이 기관의 게이트 패드부에 대한 단면도.
- <101> 도 9a 및 9b는 각각 본 발명의 실시예 및 그 변형예에 따른 횡전계형 액정표시장치용 어레이 기관의 데이터 패드부에 대한 단면도.
- <102> 도 10a 내지 도 10j는 본 발명의 실시예에 따른 횡전계형 액정표시장치용 어레이 기관의 하나의 화소영역에 대한 제조 단계별 단면도로서 도 6을 절단선 VII-VII를 따라 절단한 부분에 대한 제조 단계별 공정 단면도.
- <103> 도 11a 내지 도 11j는 본 발명의 실시예에 따른 횡전계형 액정표시장치용 어레이 기관의 게이트 패드부에 대한 제조 단계별 공정 단면도.
- <104> 도 12a 내지 도 12j는 본 발명의 실시예에 따른 횡전계형 액정표시장치용 어레이 기관의 데이터 패드부에 대한 제조 단계별 공정 단면도.
- <105> < 도면의 주요 부분에 대한 부호의 설명 >
- | | |
|--------------------------------|-------------------------|
| <106> 101 : 어레이 기관 | 103 : 게이트 배선 |
| <107> 106 : 공통배선 | 108 : 게이트 전극 |
| <108> 116 : 게이트 절연막 | 117 : 공통 콘택홀 |
| <109> 121 : 액티브층 | 127 : 식각방지막 |
| <110> 129 : 오믹콘택층 | 132(121, 129) : 반도체층 |
| <111> 135(135a, 135b) : 데이터 배선 | 140(140a, 140b) : 소스 전극 |
| <112> 143(143a, 143b) : 드레인 전극 | 147 : 공통전극 |
| <113> 150 : 화소전극 | 153 : 화소전극 연결부 |
| <114> P : 화소영역 | StgA : 스토리지 영역 |

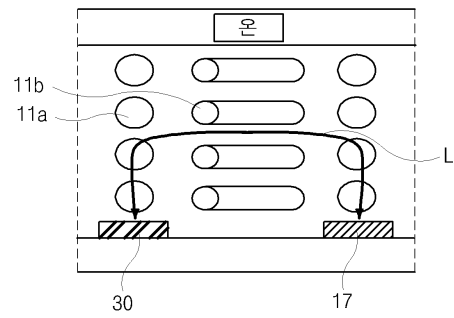
- <115> StgC : 스토리지 커패시터 Tr : 박막트랜지스터
- <116> TrA : 스위칭 영역

도면

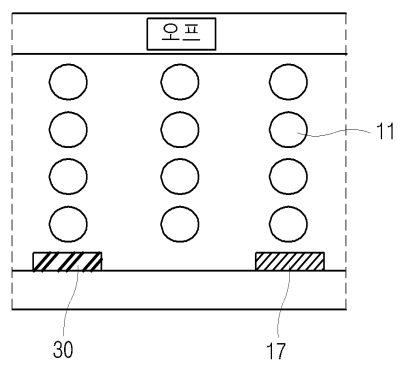
도면1



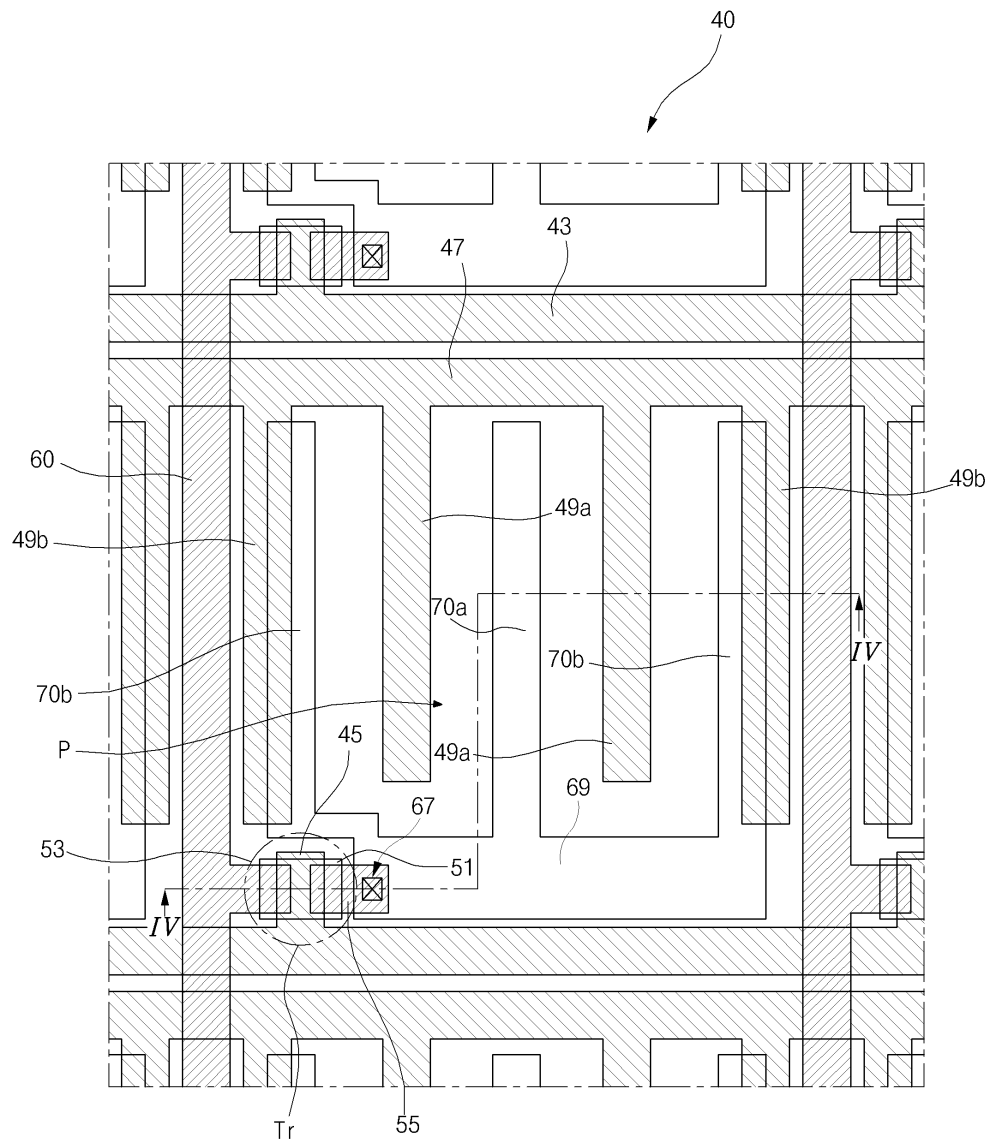
도면2a



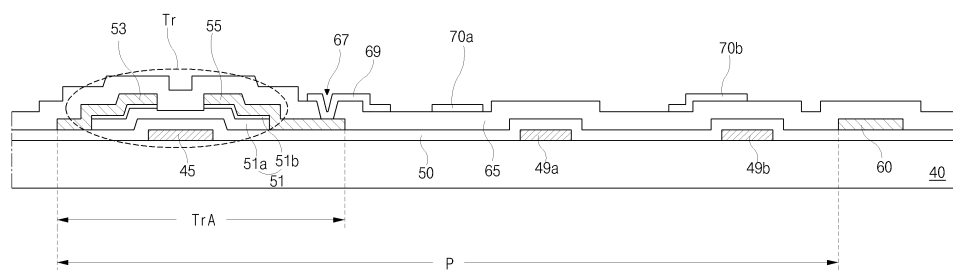
도면2b



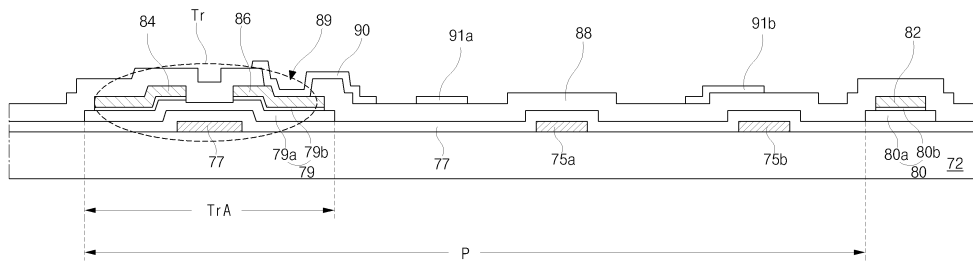
도면3



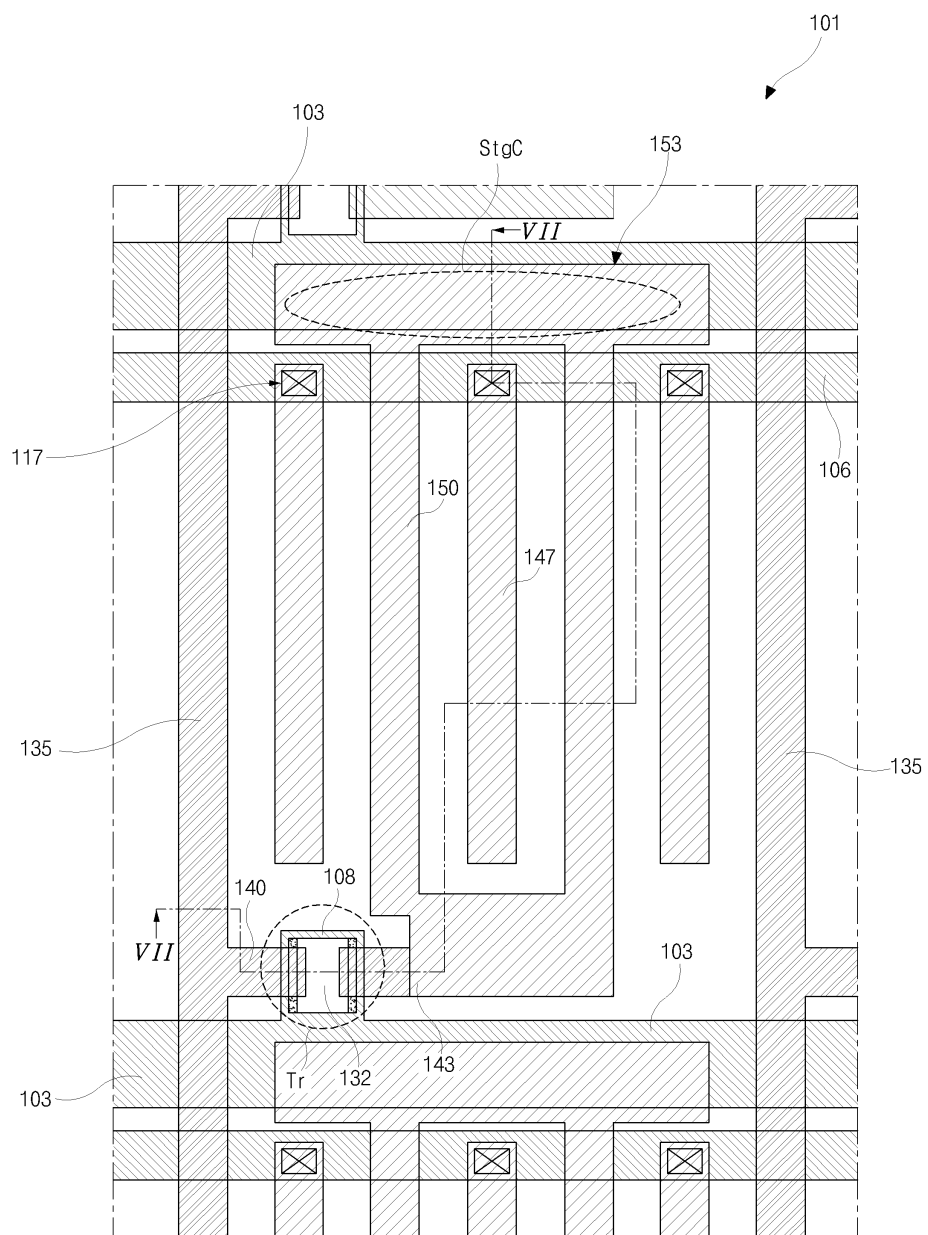
도면4



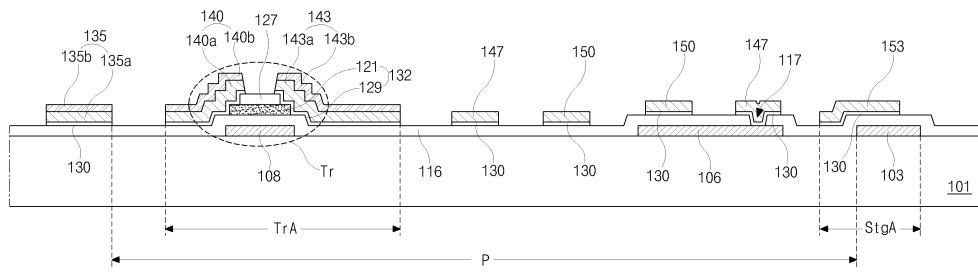
도면5



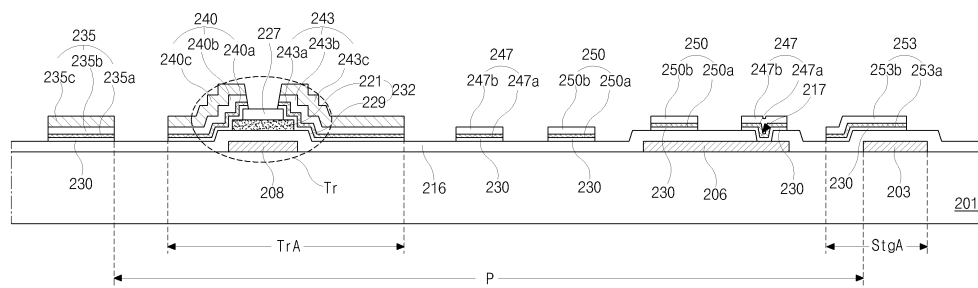
도면6



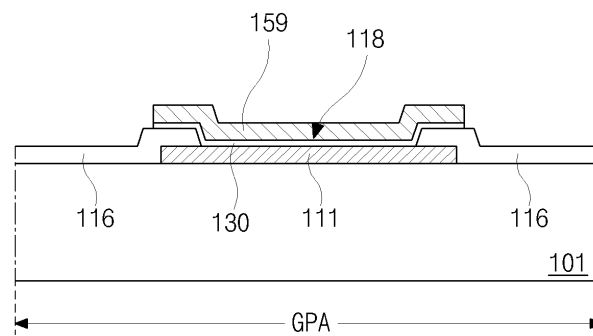
도면7a



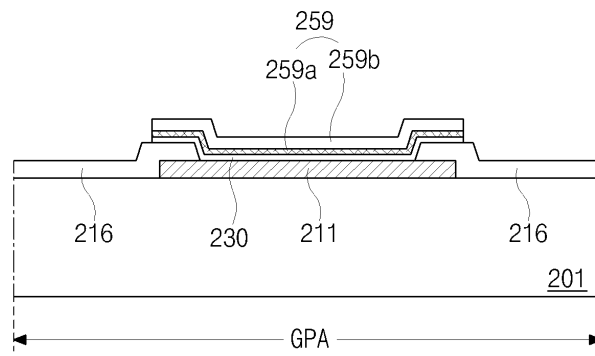
도면7b



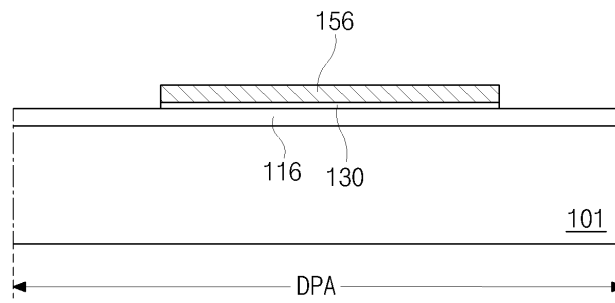
도면 8a



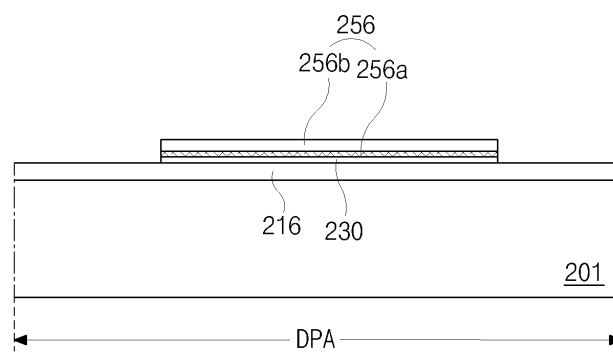
도면8b



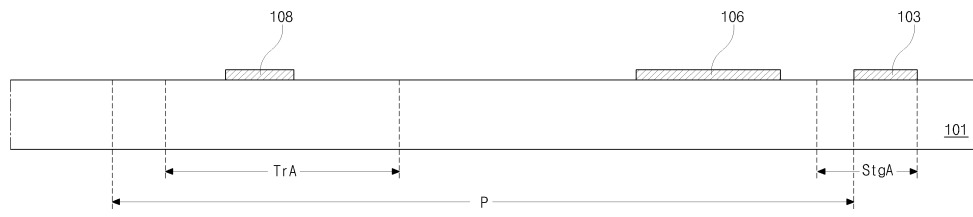
도면9a



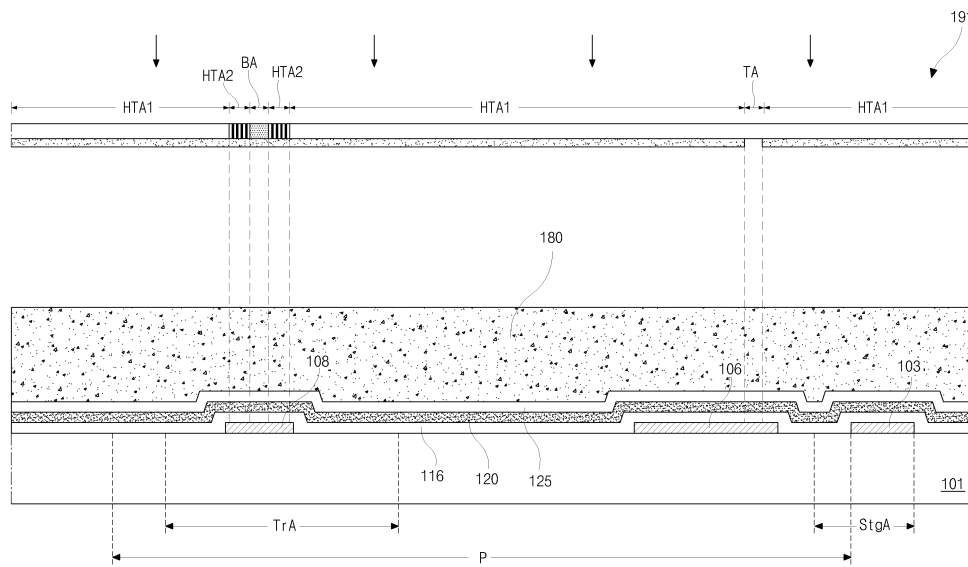
도면9b



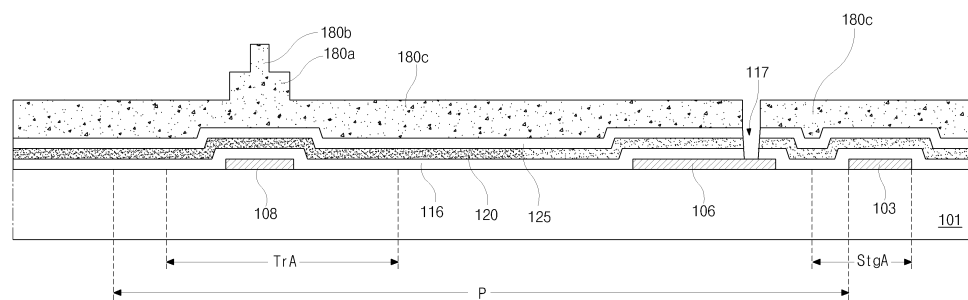
도면10a



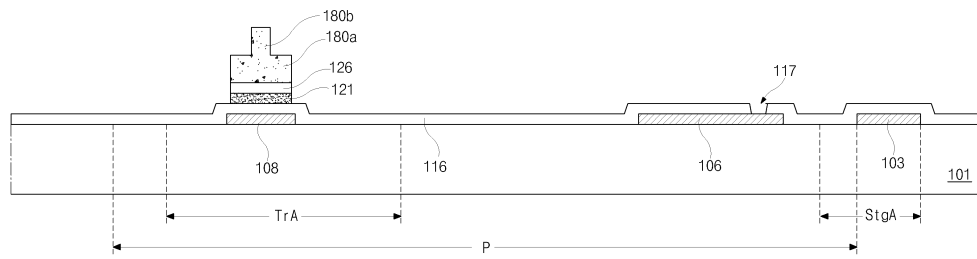
도면10b



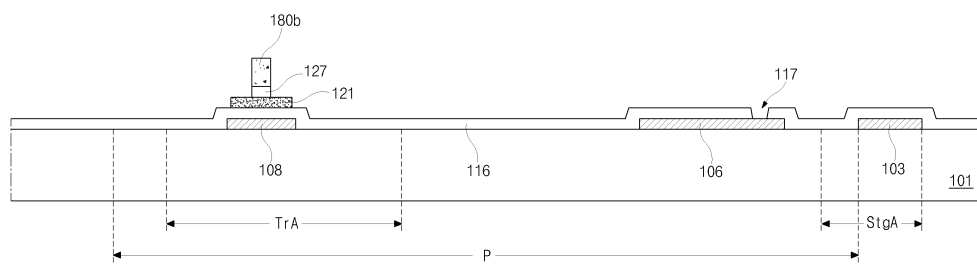
도면10c



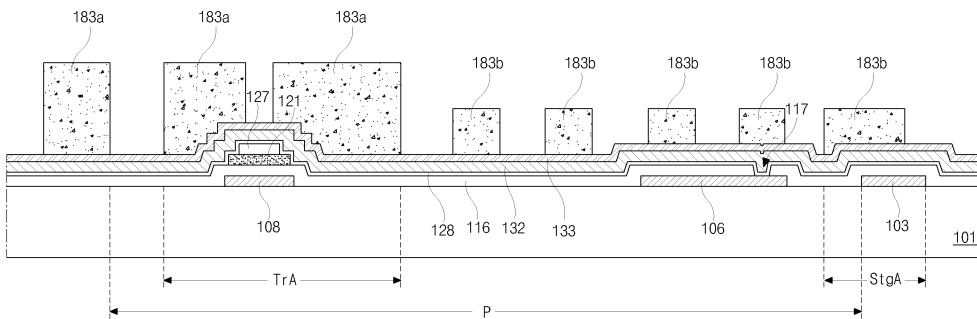
도면10d



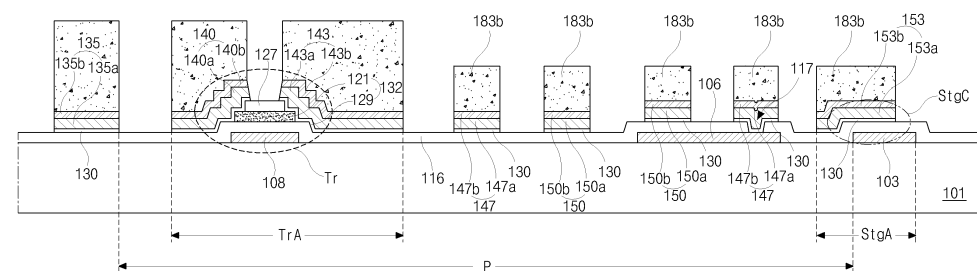
도면10e



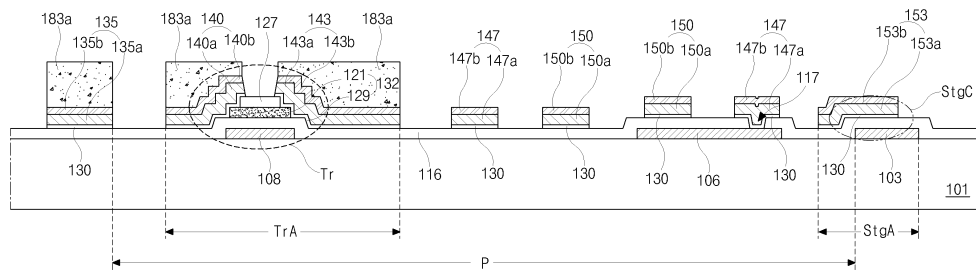
도면10f



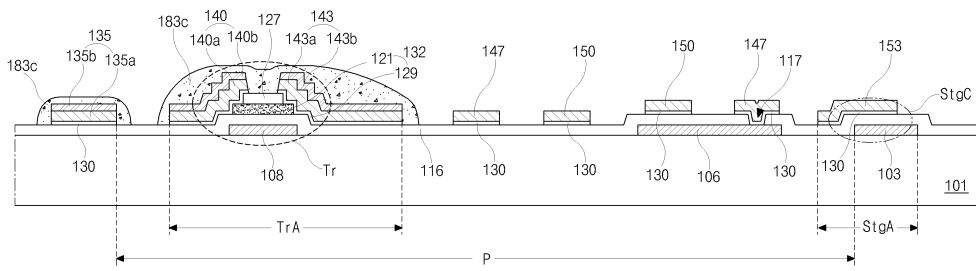
도면10g



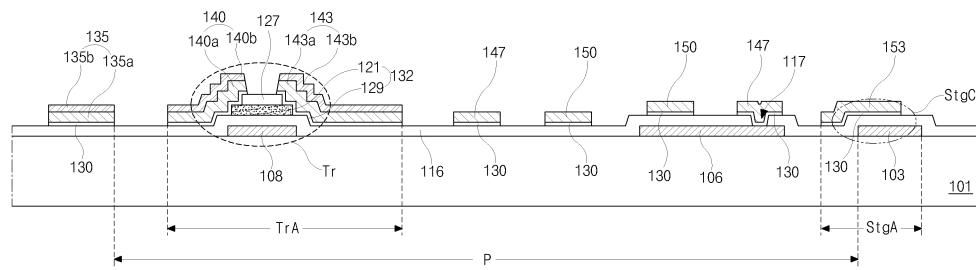
도면10h



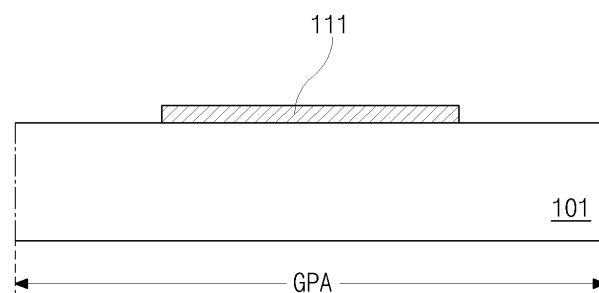
도면10i



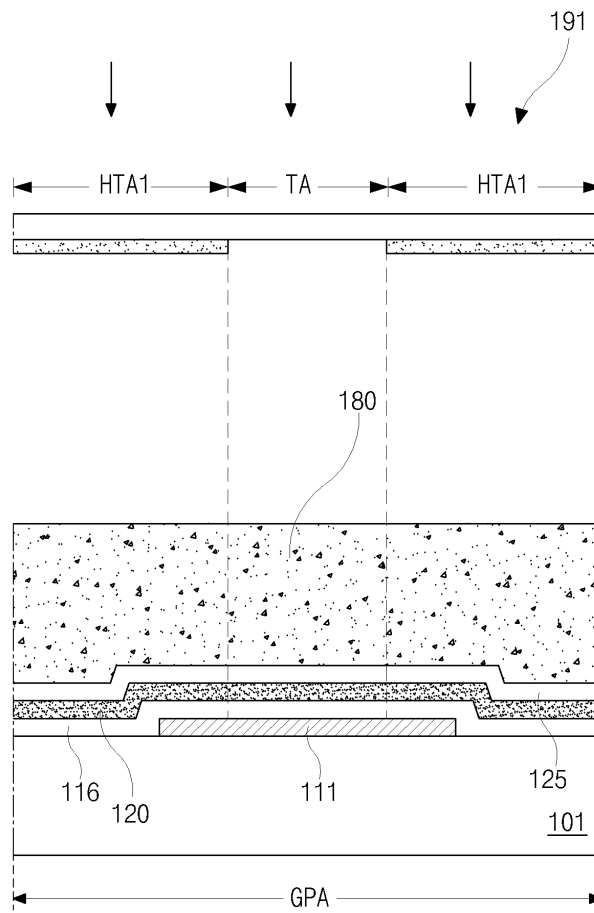
도면10j



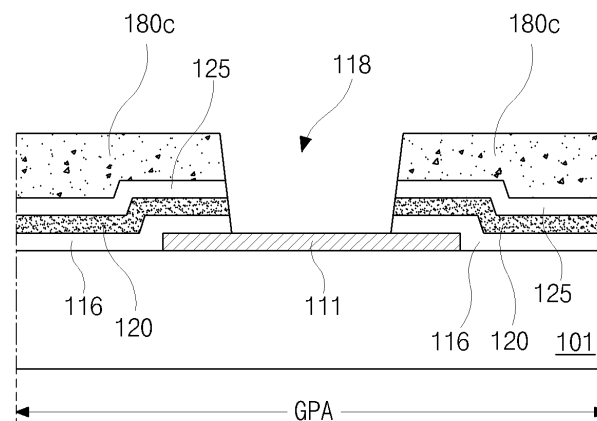
도면11a



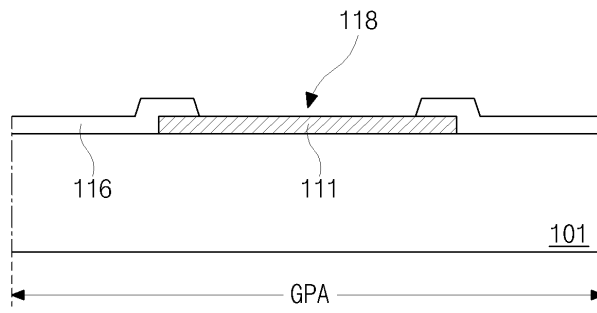
도면11b



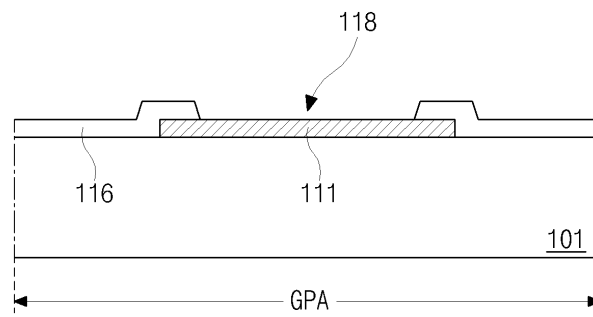
도면11c



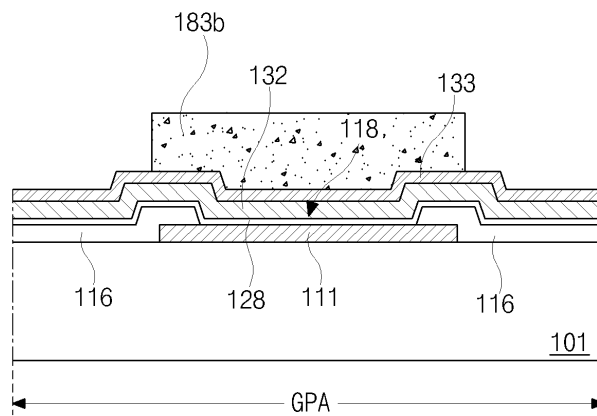
도면11d



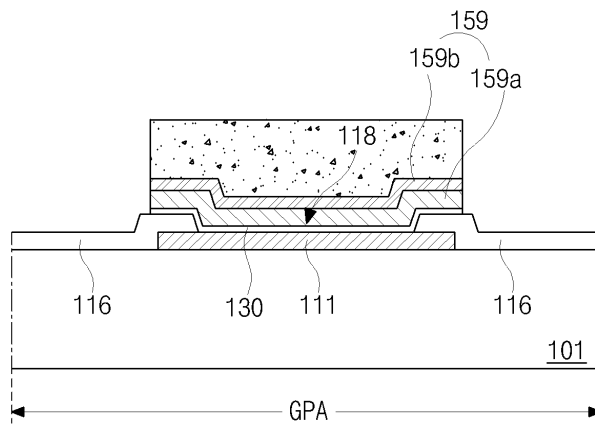
도면11e



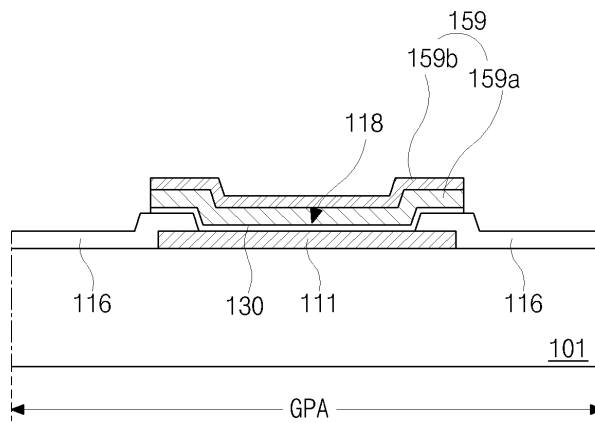
도면11f



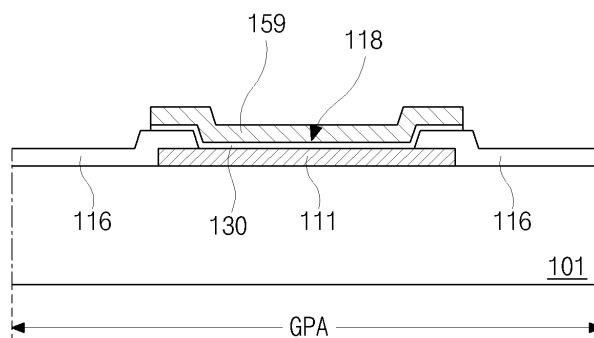
도면11g



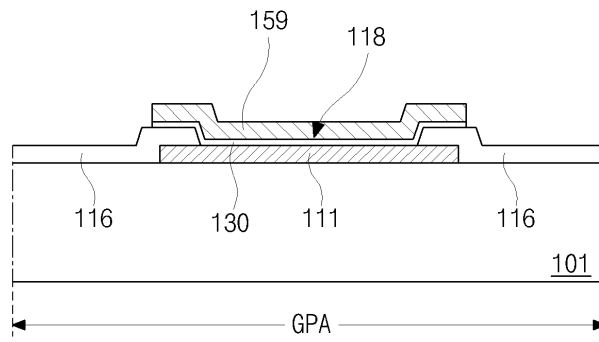
도면11h



도면11i



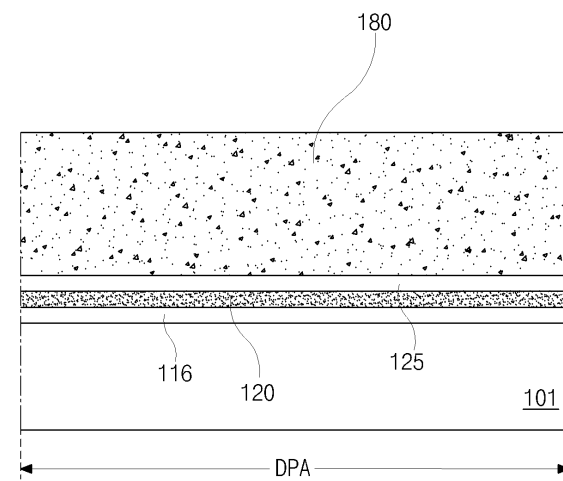
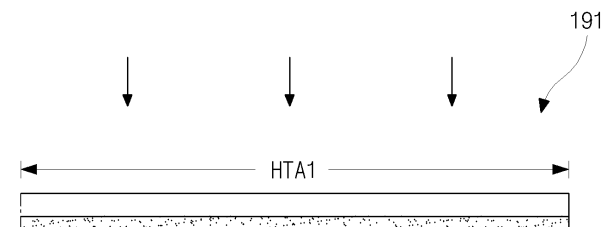
도면11j



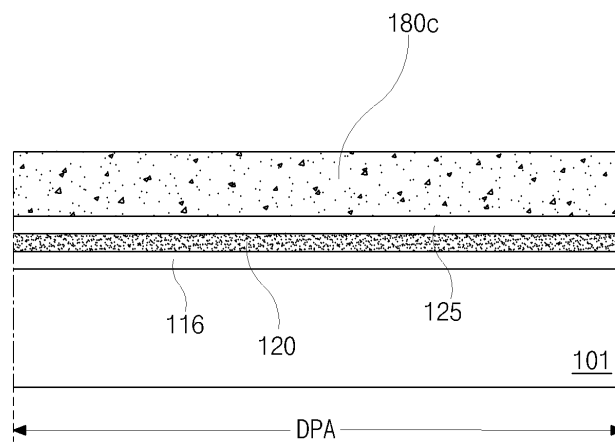
도면12a



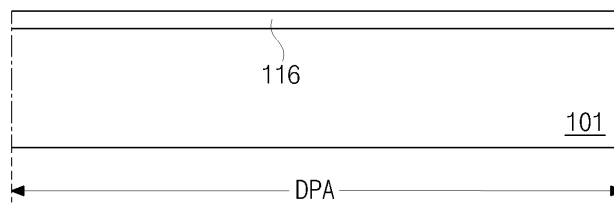
도면12b



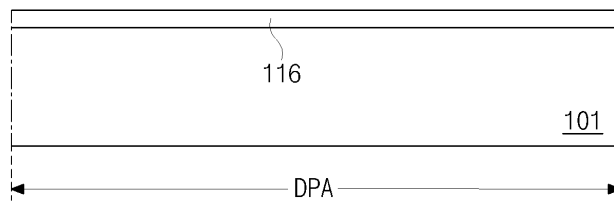
도면12c



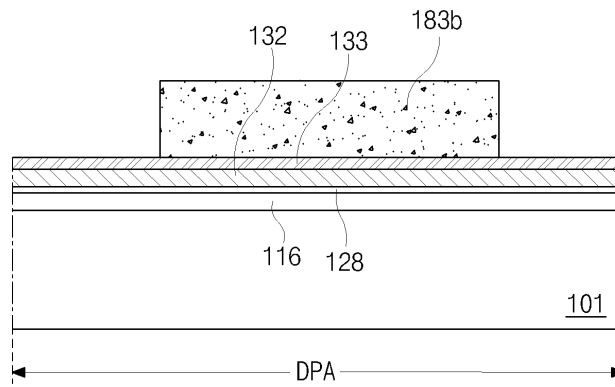
도면12d



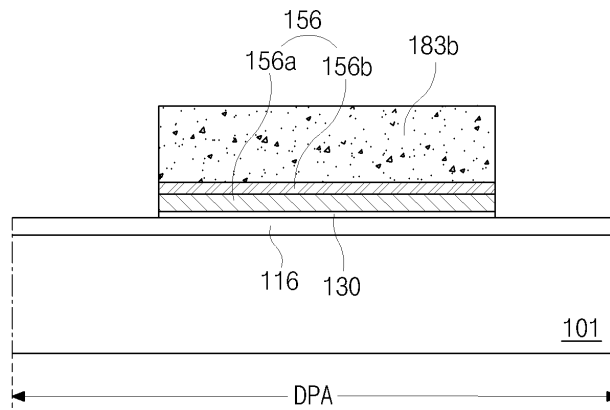
도면12e



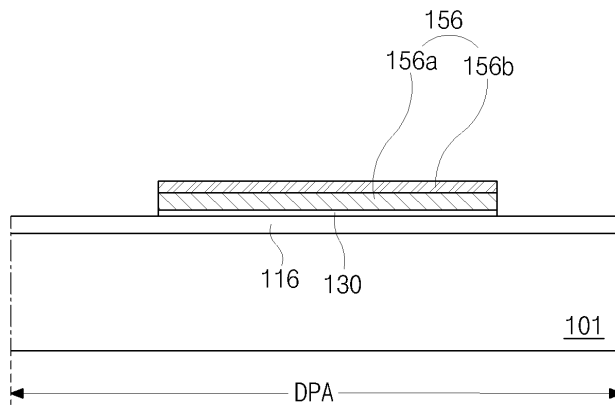
도면12f



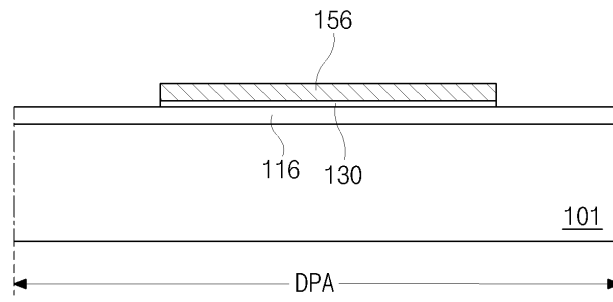
도면12g



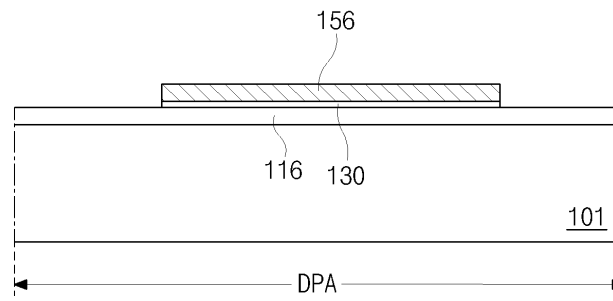
도면12h



도면12i



도면12j



专利名称(译)	用于横向电场型液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR1020090039257A	公开(公告)日	2009-04-22
申请号	KR1020070104784	申请日	2007-10-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KWACK HEE YOUNG		
发明人	KWACK, HEE YOUNG		
IPC分类号	G02F1/136		
CPC分类号	H01L27/1288 G02F1/136286 G02F2001/136295		
其他公开文献	KR101058461B1		
外部链接	Espacenet		

摘要(译)

本发明涉及形成在基板上的栅极布线，其中像素区域被限定为栅极电极，连接到该公共线，其与栅极布线成直线延伸栅极布线，公共线上部部分和形成的栅极绝缘层的多个像素电极具有多个公共接触孔，它对应于形成栅极绝缘层的公共线和数据线：形成漏极：栅极绝缘层具有双层或者3层结构，它限定像素区域漏电极：栅极绝缘层与栅极布线数据线交叉：形成在有源层的源极上，向上形成岛状，具有栅极绝缘层和防蚀刻膜形成它向上暴露有源层的两端如上所述，有源层和欧姆接触形成它接触暴露的有源层的两端，防蚀膜向上分离，并且如上所述形成欧姆接触分离的双层向上分离或者3层结构和漏极电极：栅极绝缘层，它对应于栅极电极和多个双层，它们在像素区域内的栅极绝缘层上彼此分离并形成，或者是单层结构的多个公共电极，它们分别通过公共线和多个公共接触孔并具有双层或单层结构，并且与多个像素电极一起布置用于横向电场型模式lcd的阵列基板，其制造方法是提供。

