



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0062668
(43) 공개일자 2008년07월03일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2006-0138722

(22) 출원일자 2006년12월29일

심사청구일자 2008년06월18일

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

이도영

서울 강서구 화곡동 1033-47 동아빌라 201호

이경호

서울 관악구 신림10동 삼성산아파트 1714(22/3)
309동 803호

(뒷면에 계속)

(74) 대리인

허용특

전체 청구항 수 : 총 6 항

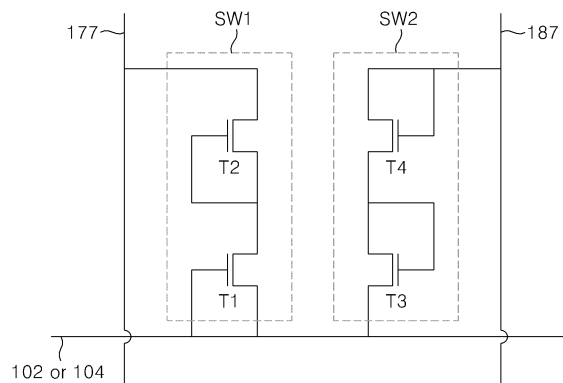
(54) 액정표시장치

(57) 요약

본 발명은 소비전력을 절감할 수 있는 액정표시장치에 관한 것이다.

본 발명에 따른 액정표시장치는 게이트 라인 및 데이터 라인에 의해 정의되는 액정셀들이 매트릭스 형태로 배열된 액정표시패널과; 상기 액정표시패널에 내장되며 상기 게이트 라인 및 데이터 라인 중 어느 하나와 접속된 정전기 방지회로와; 상기 게이트 라인에 공급되는 제1 게이트 전압과 동일한 전압을 상기 정전기 방지회로에 공급하는 제1 전압공급라인과; 상기 게이트 라인에 공급되는 제2 게이트 전압과 동일한 전압을 상기 정전기 방지회로에 공급하는 제2 전압공급라인을 구비한다.

대표도 - 도5



(72) 발명자

김범식

경기 수원시 권선구 세류3동 846-1 현대아파트 10
2동 807호

김웅식

경기 안양시 만안구 석수2동 현대아파트 103동
2407호

특허청구의 범위

청구항 1

게이트 라인 및 데이터 라인에 의해 정의되는 액정셀들이 매트릭스 형태로 배열된 액정표시패널과;
 상기 액정표시패널에 내장되며 상기 게이트 라인 및 데이터 라인 중 어느 하나와 접속된 정전기 방지회로와;
 상기 게이트 라인에 공급되는 제1 게이트 전압과 동일한 전압을 상기 정전기 방지회로에 공급하는 제1 전압공급 라인과;
 상기 게이트 라인에 공급되는 제2 게이트 전압과 동일한 전압을 상기 정전기 방지회로에 공급하는 제2 전압공급 라인을 구비하는 것을 특징을 하는 액정표시장치.

청구항 2

제 1 항에 있어서,
 상기 정전기 방지회로는
 상기 게이트 라인 및 데이터 라인 중 어느 하나와 연결됨과 아울러 상기 제1 전압공급라인과 접속된 제1 스위치부와;
 상기 게이트 라인 및 데이터 라인 중 어느 하나와 연결됨과 아울러 상기 제1 전압공급라인과 접속된 제2 스위치부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,
 상기 제1 스위치부는,
 상기 게이트 라인 및 데이터 라인 중 어느 하나에 상기 제1 게이트 전압보다 높은 전압이 공급될 때 턴-온 되는 것을 특징으로 하는 액정표시장치.

청구항 4

제 2 항에 있어서,
 상기 제2 스위치부는, 제2 전압공급라인에 상기 제2 게이트 전압보다 낮은 전압이 공급될 때 턴-온 되는 것을 특징으로 하는 액정표시장치.

청구항 5

제 2 항에 있어서,
 상기 제1 스위치부는,
 상기 데이터 라인 및 게이트 라인 중 어느 하나와 접속된 제1 트랜지스터와, 상기 제1 전압공급라인에 접속되며 상기 제1 트랜지스터와 직렬로 연결된 제2 트랜지스터를 구비하고,
 상기 제2 스위치부는,
 상기 데이터 라인 및 게이트 라인 중 어느 하나와 접속된 제3 트랜지스터와, 상기 제2 전압공급라인에 접속되며 상기 제3 트랜지스터와 직렬로 연결된 제4 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 1 항에 있어서,
 상기 제1 게이트 전압은 상기 액정셀의 박막 트랜지스터를 턴-온 시키는 게이트 하이전압이고,
 상기 제2 게이트 전압은 상기 박막 트랜지스터를 턴-오프 시키는 게이트 로우전압인 것을 특징으로 하는 액정표시장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <16> 본 발명은 액정표시장치에 관한 것으로, 특히 액정표시장치의 정전기 방지회로에 관한 것이다.
- <17> 최근의 정보화 사회에서 표시소자는 시각정보 전달매체로서 그 중요성이 어느 때보다 강조되고 있다. 현재 주류를 이루고 있는 음극선관(Cathode Ray Tube) 또는 브라운관은 무게와 부피가 큰 문제점이 있다. 이러한 음극선관의 한계를 극복할 수 있는 많은 종류의 평판표시소자(Flat Panel Display)가 개발되고 있다.
- <18> 평판표시소자에는 액정표시장치(Liquid Crystal Display Device : LCD), 전계 방출 표시소자(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel : PDP) 및 일렉트로루미네센스(Electroluminescence : EL) 등이 있고 이들 대부분이 실용화되어 시판되고 있다.
- <19> 액정표시장치는 전자제품의 경박단소 추세를 만족할 수 있고 양산성이 향상되고 있어 많은 응용분야에서 음극선관을 빠른 속도로 대체하고 있다.
- <20> 이러한, 액정표시장치(Liquid Crystal Display; LCD)는 비디오신호에 따라 액정셀들의 광투과율을 조절함으로써 액정셀들이 매트릭스 형태로 배열되어진 액정표시패널에 비디오신호에 해당하는 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 게이트 라인 및 데이터 라인에 의해 정의되는 액정셀들이 액티브 매트릭스(Active Matrix) 형태로 배열된 액정표시패널과, 액정표시패널을 구동하기 위한 구동회로들을 포함하게 된다.
- <21> 액정표시패널은 액정을 사이에 두고 합착된 박막 트랜지스터 어레이 기판과 컬러필터 어레이 기판으로 구성된다.
- <22> 이러한, 액정표시장치의 액정표시패널에는 제조공정 과정에서 또는 기타 제조 환경 등에 의해 고압 정전기가 발생되어 액정표시패널 내의 게이트 라인 및 데이터 라인, 박막 트랜지스터 등에 손상을 가하게 된다.
- <23> 이에 따라, 액정표시패널 내에는 정전기 등으로부터 다수의 신호라인, 박막 트랜지스터 등을 보호하기 위해 정전기 방지회로가 내장되어 있다.
- <24> 도 1은 정전기 방지회로(electrostatic discharge protection circuit)를 구비한 액정표시패널의 박막 트랜지스터 어레이 기판을 나타내는 평면도이다.
- <25> 도 1에 박막 트랜지스터 어레이 기판의 표시영역(P1)에는 서로 교차되게 형성된 게이트 라인(2) 및 데이터 라인(4), 게이트 라인(2) 및 데이터 라인(4)의 교차영역에 형성된 박막 트랜지스터(6), 박막 트랜지스터(6)와 접속된 화소전극(18)을 포함한다.
- <26> 박막 트랜지스터 어레이 기판의 비표시영역(P2)에는 게이트 라인(2)과 접속되어 게이트 라인에 게이트 전압을 공급하는 게이트 패드(3), 데이터 라인(4)과 접속되어 데이터 라인(4)에 데이터 전압을 공급하는 데이터 패드(5), 게이트 라인(2)과 공통라인(57) 사이 및 데이터 라인(4)과 공통라인(57) 사이에 형성된 정전기 방지회로(60)를 포함한다. 공통라인(57)은 공통패드(55)와 접속되어 공통패드(55)로부터 기준전압이 공급된다. 한편, 정전기 방지회로(60)는 공통라인(57) 대신 접지(grond) 전극과 연결될 수도 있다.]
- <27> 도 2는 도 1의 정전기 방지회로(60)를 상세히 나타내는 회로도이다.
- <28> 도 2에 도시된 정전기 방지회로(60)는 공통라인(또는 접지전극)과 게이트 라인(2) 사이 또는 공통라인(또는 접지전극)과 데이터 라인(4) 사이에 형성된다. 도 2에서는 게이트 라인(2)과 공통라인(57) 사이에 형성된 경우를 나타내었다.
- <29> 정전기 방지회로(60)는 공통라인(57)과 데이터 라인(4) 사이에 접속된 제1 내지 제3 트랜지스터(T1 내지 T3)로 구성되어 있다.
- <30> 제1 트랜지스터(T1)는 공통라인(57)에 문턱전압(V_{th}) 이상이 인가되면 턴-온되어 제3 트랜지스터(T3)를 턴온시킴으로써 공통라인(57)으로부터의 전류가 제3 트랜지스터(T3)를 통해 게이트 라인(2)쪽으로 방전되게 한다. 제2 트랜지스터(T2)는 데이터 라인(4)에 문턱전압(V_{th}) 이상이 인가되면 턴-온되어 제3 트랜지스터(T3)를 턴-온시킴

으로써 데이터 라인(4)으로부터의 전류가 제3 트랜지스터(T3)를 통해 공통라인(57)으로 방전되게 된다. 게이트 라인(2)과 공통라인(57) 또한 동일한 원리에 의해 구동된다.

<31> 도 2는 도 1에 도시된 정전기 방지회로의 트랜지스터들의 I-V곡선(curve)을 나타내는 도면이다.

<32> 도 2를 참조하면, 종래의 정전기 방지회로(60)를 구성하는 제1 내지 제3 트랜지스터(T1 내지 T3)들의 문턱전압(V_{th})은 1~2V 정도임에 비하여 데이터 전압(또는 액정구동전압)은 10V 내외이다. 이에 따라, 제1 내지 제3 트랜지스터(T1 내지 T3)에 $2V_{th}$ 정도의 전압 정도만 공급되면 제1 내지 제3 트랜지스터(T1 내지 T3)가 턴-온 되게 된다.

<33> 그 결과, 통상 액정을 구동하여 화상을 구현하는 경우, 데이터 전압 등이 정전기 방지회로(60)로 소실됨에 따라 액정구동전압이 증가되어 소비전력이 증가되는 문제가 발생된다.

발명이 이루고자 하는 기술적 과제

<34> 따라서, 본 발명의 목적은 소비전력을 절감할 수 있는 액정표시장치를 제공함에 있다.

발명의 구성 및 작용

<35> 상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시장치는 게이트 라인 및 데이터 라인에 의해 정의되는 액정셀들이 매트릭스 형태로 배열된 액정표시패널과; 상기 액정표시패널에 내장되며 상기 게이트 라인 및 데이터 라인 중 어느 하나와 접속된 정전기 방지회로와; 상기 게이트 라인에 공급되는 제1 게이트 전압과 동일한 전압을 상기 정전기 방지회로에 공급하는 제1 전압공급라인과; 상기 게이트 라인에 공급되는 제2 게이트 전압과 동일한 전압을 상기 정전기 방지회로에 공급하는 제2 전압공급라인을 구비한다.

<36> 상기 정전기 방지회로는 상기 게이트 라인 및 데이터 라인 중 어느 하나와 연결됨과 아울러 상기 제1 전압공급라인과 접속된 제1 스위치부와; 상기 게이트 라인 및 데이터 라인 중 어느 하나와 연결됨과 아울러 상기 제1 전압공급라인과 접속된 제2 스위치부를 구비한다.

<37> 상기 제1 스위치부는, 상기 게이트 라인 및 데이터 라인 중 어느 하나에 상기 제1 게이트 전압보다 높은 전압이 공급될 때 턴-온 된다.

<38> 상기 제2 스위치부는, 제2 전압공급라인에 상기 제2 게이트 전압보다 낮은 전압이 공급될 때 턴-온 된다.

<39> 상기 제1 스위치부는, 상기 데이터 라인 및 게이트 라인 중 어느 하나와 접속된 제1 트랜지스터와, 상기 제1 전압공급라인에 접속되며 상기 제1 트랜지스터와 직렬로 연결된 제2 트랜지스터를 구비하고;

<40> 상기 제2 스위치부는, 상기 데이터 라인 및 게이트 라인 중 어느 하나와 접속된 제3 트랜지스터와, 상기 제2 전압공급라인에 접속되며 상기 제3 트랜지스터와 직렬로 연결된 제4 트랜지스터를 구비한다.

<41> 상기 제1 게이트 전압은 상기 액정셀의 박막 트랜지스터를 턴-온 시키는 게이트 하이전압이고, 상기 제2 게이트 전압은 상기 박막 트랜지스터를 턴-오프 시키는 게이트 로우전압인 것을 특징으로 한다.

<42> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<43> 이하, 도 4 내지 도 6을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

<44> 본원발명의 액정표시장치는 액정셀들이 매트릭스 형태로 배열된 액정표시패널과, 액정표시패널에 구동전압을 공급하는 구동회로들을 포함하게 된다. 액정표시패널은 표시영역에 액정셀들이 매트릭스 형태로 배열되고 비표시 영역에는 정전기 방지회로 및 패드 등이 형성된다.

<45> 도 4는 본 발명의 실시예에 따른 액정표시장치의 액정표시패널을 나타내는 평면도이다. 특히, 도 4에서는 액정표시패널에서 박막 트랜지스터 어레이 기판을 중심으로 나타내었다.

<46> 도 4에 도시된 박막 트랜지스터 어레이 기판의 표시영역(P1)에 형성된 각각의 액정셀들은 서로 교차되게 형성된 게이트 라인(102) 및 데이터 라인(104), 게이트 라인(102) 및 데이터 라인(104)의 교차영역에 형성된 박막 트랜지스터(106), 박막 트랜지스터(106)와 접속된 화소전극(118)을 포함한다.

<47> 박막 트랜지스터(106)는 게이트 라인(102)으로부터의 게이트 전압에 응답하여 데이터 라인(104)으로부터의 데이터 전압(또는 화소 전압)을 액정셀에 공급한다.

- <48> 게이트 라인(102)들에는 박막 트랜지스터(106)를 턴-온 시키기 위한 게이트 하이전압(Vgh)이 순차적으로 공급되고 게이트 하이전압(VGH)이 공급되는 기간을 제외한 나머지 기간에는 게이트 로우전압(Vgl)이 공급된다.
- <49> 박막 트랜지스터 어레이 기판의 비표시영역(P2)에는 게이트 라인(102)과 접속되어 게이트 라인(102)에 게이트 전압을 공급하는 게이트 패드(103), 데이터 라인(104)과 접속되어 데이터 라인(104)에 데이터 전압을 공급하는 데이터 패드(105)를 구비한다. 게이트 하이전압(Vgh)이 공급되는 제1 전압공급라인(177)과 게이트 로우전압(Vgl)이 공급되는 제2 전압공급라인(187)과, 게이트 라인(102) 및 데이터 라인(104) 중 어느 하나와 연결된 정전기 방지회로(160)를 구비한다. 정전기 방지회로(160)는 제1 전압공급라인(177) 및 제2 전압공급라인(187)과 각각 접속된다. 또한, 비표시영역(P2)에는 제1 전압공급라인(177)에 게이트 하이전압(Vgh)을 공급하는 제1 전압공급패드(175), 제2 전압공급라인(187)에 게이트 로우전압(Vgl)을 공급하는 제2 전압공급패드(185)가 더 구비된다.
- <50> 도 5는 도 4의 정전기 방지회로(160)를 상세히 나타내는 회로도이다.
- <51> 도 5에 도시된 정전기 방지회로(160)는 데이터 라인(104)과 제1 전압공급라인(187) 사이에 접속된 제1 스위치부(SW1), 데이터 라인(104)과 제2 전압공급라인(187) 사이에 접속된 제2 스위치부(SW2)로 구성된다.
- <52> 제1 스위치부(SW1)는 데이터 라인(104)과 접속된 제1 트랜지스터(T1) 및 제1 전압공급라인(177)에 접속된 제2 트랜지스터(T2)로 구성되고, 제1 및 제2 트랜지스터(T1,T2)는 직렬로 연결된다. 제2 스위치부(SW2)는 데이터 라인(104)과 접속된 제3 트랜지스터(T3) 및 제2 전압공급라인(187)에 접속된 제4 트랜지스터(T4)로 구성되고, 제3 및 제4 트랜지스터(T3,T4)는 직렬로 연결된다.
- <53> 도 5에서는 데이터 라인(104)과 연결된 정전기 방지회로(160)를 나타내었지만 게이트 라인(102)에 대한 정전기 방지회로 또한 동일한 구조를 나타내게 된다.
- <54> 제1 전압공급라인(187)에는 +20V 정도의 게이트 하이전압(Vgh)이 공급되고, 제2 전압공급라인(177)에는 -5V 정도의 게이트 로우전압(Vgl)이 공급된다.
- <55> 이러한, 정전기 방지회로(160)의 구동을 살펴보면, 정전기로 인하여 게이트 라인(102)을 통해 게이트 하이전압(Vgh) 보다 높은 전압이 인가되면 제1 스위치부(SW1)는 스위칭(턴-온)된다. 이에 따라, 정전기는 데이터 라인(104) 및 제1 스위치부(SW1)를 경유하여 제1 전압공급라인(187)으로 방전될 수 있게 된다. 이와 달리, 제2 전압공급라인(177)에 게이트 로우전압(Vgl) 보다 낮은 전압이 인가되면 제2 스위치부(SW2)가 스위칭(턴-온)된다. 이에 따라, 정전기는 제2 전압공급라인(177) 및 제2 스위치부(SW2)를 경유하여 데이터 라인(104)으로 방전될 수 있게 된다.
- <56> 그리고, 정전기 방지회로(160)에 게이트 하이전압(Vgh)과 게이트 로우전압(Vgl) 사이의 전압이 공급되는 경우에는 제1 및 제2 스위치부(SW1,SW2)는 턴-오프 상태를 유지하게 된다.
- <57> 이러한 정전기 방지회로의 I-V곡선(curve)을 나타내는 도 6을 참조하면, 통상의 데이터 전압(또는 액정구동전압)은 10V 내외임에 비하여 게이트 하이전압(Vgh)과 게이트 로우전압(Vgl) 사이의 전압은 20V 이상이다. 이에 따라, 화상 구현을 위한 데이터 전압이 공급되더라도 정전기 방지회로(160)로 데이터 전압에 의한 전류가 흐르지 않게 된다. 그 결과, 정전기 방지회로(160)로의 전류 손실을 방지할 수 있게 됨에 따라 액정표시장치 구동을 위한 전체 소비전력을 절감할 수 있게 된다.

발명의 효과

- <58> 상술한 바와 같이, 본 발명의 실시 예에 따른 액정표시장치는 정전기 방지회로에 게이트 라인에 공급되는 게이트 하이 전압 및 게이트 로우 전압을 공급한다. 이에 따라, 액정 구동을 위한 데이터 전류가 정전기 방지회로로 유입되는 것을 차단할 수 있게 됨으로써 액정 구동을 위한 소비전력을 절감할 수 있게 된다.
- <59> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 예컨대 본 발명의 기술적 사상은 실시예에서 액정표시패널의 전기적 검사를 중심으로 설명되었지만 그와 다른 평판표시장치에 형성된 신호배선들에 대한 전기적 검사에도 동일하게 적용될 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여 져야만 할 것이다.

도면의 간단한 설명

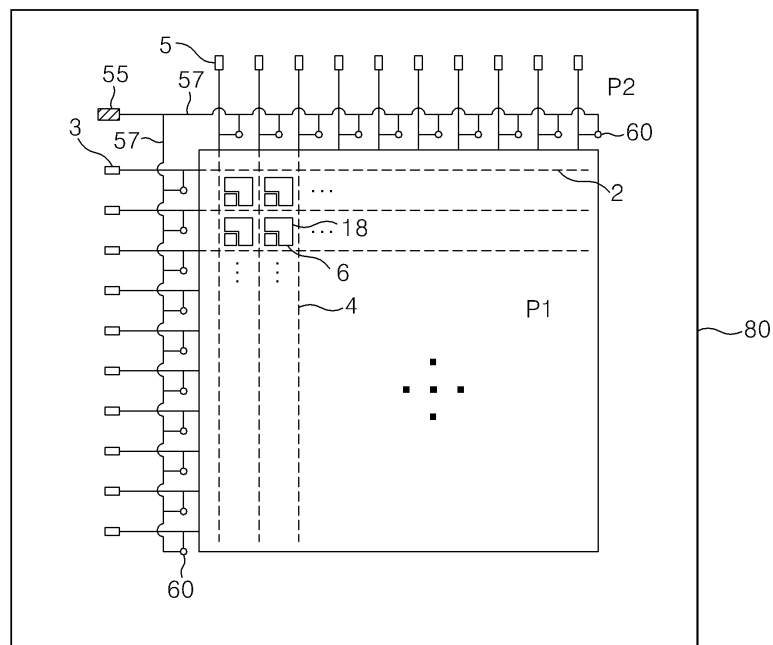
- <1> 도 1은 정전기 방지회로가 형성된 액정표시패널을 나타내는 평면도.
- <2> 도 2는 도 1의 정전기 방지회로의 구조를 상세히 나타내는 회로도.
- <3> 도 3은 도 2의 정전기 방지회로의 I-V곡선을 나타내는 도면.
- <4> 도 4는 본 발명의 실시예에 따른 액정표시장치의 액정표시패널을 나타내는 평면도.
- <5> 도 5는 도 4의 정전기 방지회로의 구조를 상세히 나타내는 회로도.
- <6> 도 6은 도 5의 정전기 방지회로의 I-V곡선을 나타내는 도면.

<7> < 도면의 주요 부분에 대한 부호의 설명 >

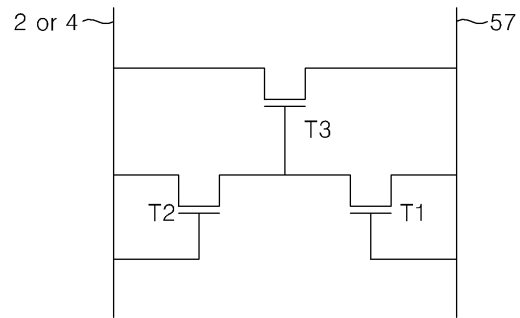
- | | | |
|------|--------------------------|------------------|
| <8> | 2,102 : 게이트 라인 | 4,104 : 데이터 라인 |
| <9> | 80,180 : 박막 트랜지스터 어레이 기판 | |
| <10> | 3,103 : 게이트 패드 | 5,105 : 데이터 패드 |
| <11> | 18,118 : 화소전극 | 6,106 : 박막 트랜지스터 |
| <12> | 55 : 공통패드 | 57 : 공통라인 |
| <13> | 60,160 : 정전기 방지회로 | 177 : 제1 전압공급라인 |
| <14> | 187 : 제2 전압공급라인 | 175 : 제1 전압공급패드 |
| <15> | 185 : 제2 전압공급패드 | |

도면

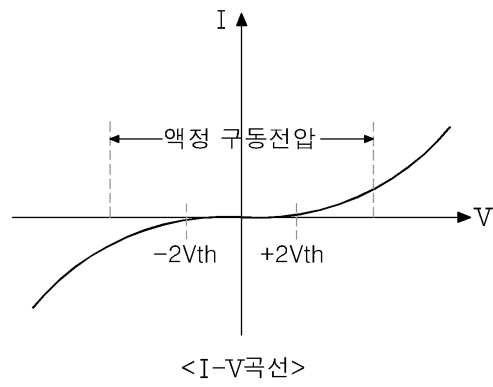
도면1



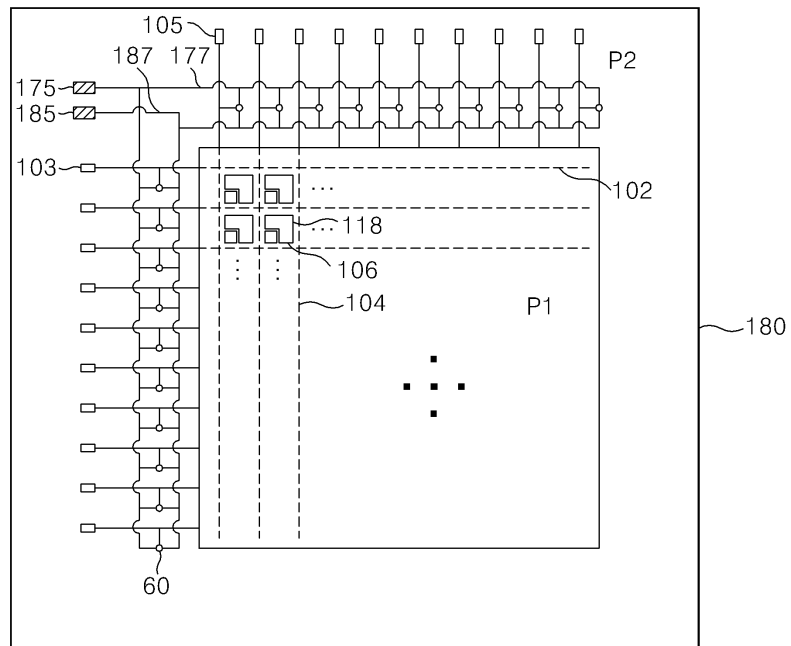
도면2



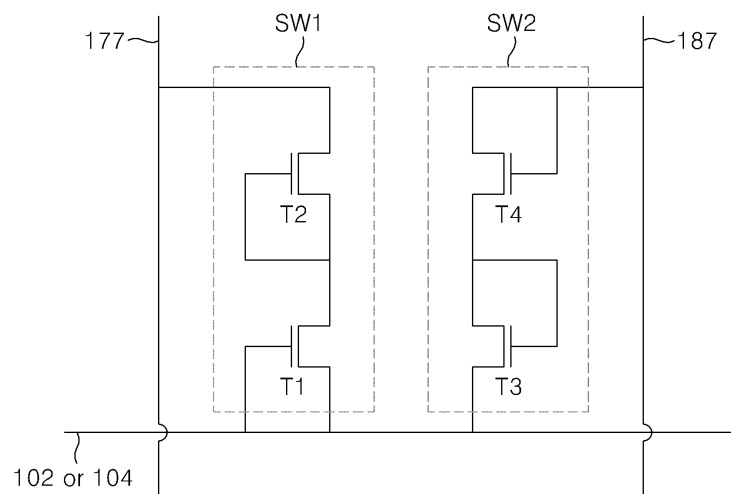
도면3



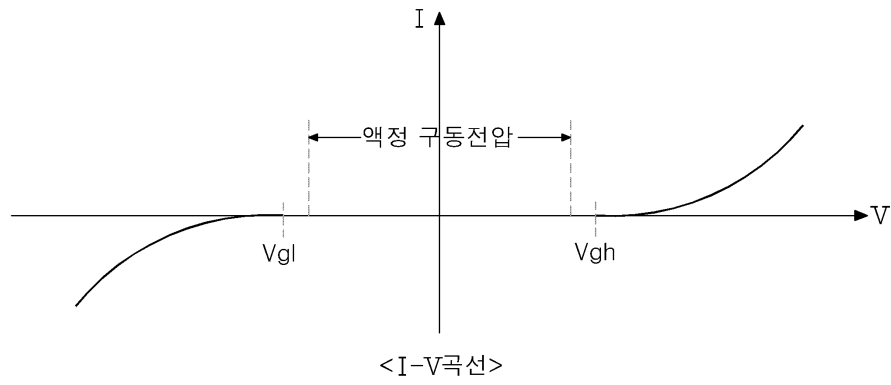
도면4



도면5



도면6



专利名称(译)	液晶显示器		
公开(公告)号	KR1020080062668A	公开(公告)日	2008-07-03
申请号	KR1020060138722	申请日	2006-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE DO YOUNG 이도영 LEE KYUNG HO 이경호 KIM BUM SIK 김범식 KIM WOONG SIK 김웅식		
发明人	이도영 이경호 김범식 김웅식		
IPC分类号	G02F1/133		
CPC分类号	G02F1/136204		
其他公开文献	KR100993420B1		
外部链接	Espacenet		

摘要(译)

本发明涉及降低功耗的液晶显示器。根据本发明的液晶显示器包括设置在用栅极线限定的液晶单元中的LCD面板，数据线是矩阵的形式；静电保护电路连接到LCD面板，安装有栅线和数据线中的任何一个；提供栅极线的第一栅极电压；第二电压供应线为静电保护电路提供电压，例如第一电压供应线：向静电保护电路提供相同的电压和提供栅极线的第二栅极驱动信号。

