



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0048211
(43) 공개일자 2008년06월02일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2006-0118303

(22) 출원일자 2006년11월28일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

유승후

경기 성남시 분당구 수내동 로얄팰리스하우스빌
B-1202

도희욱

경기 수원시 팔달구 매교동 179-99 수연아트빌
302호

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

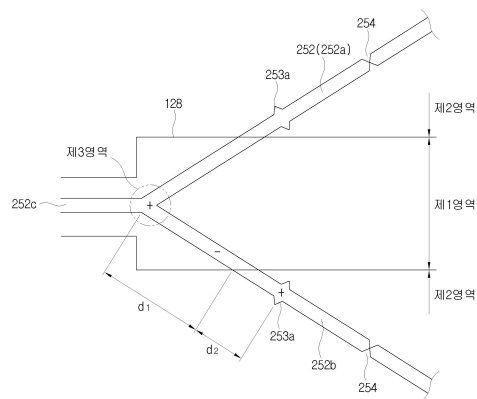
전체 청구항 수 : 총 26 항

(54) 액정표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것이다. 본 발명에 따른 액정표시장치는 화소전극이 형성되어 있는 제1기판, 상기 제1기판에 대향하며 공통전극이 형성되어 있는 제2기판, 상기 제1기판 및 상기 제2기판 사이에 위치하는 액정층을 포함하며, 상기 제1기판은 저장용량선을 포함하고, 상기 공통전극에는 상기 저장용량선에 대응하는 제1영역과 상기 제1영역 주변의 제2영역에 걸쳐 공통전극 절개패턴이 형성되어 있으며, 상기 공통전극 절개패턴에는 폭이 확장된 제1노치와 폭이 축소된 제2노치를 포함하는 노치가 형성되어 있으며, 상기 제2영역에 형성된 상기 노치 중 상기 제1영역에 가장 근접한 노치는 상기 제1노치인 것을 특징으로 한다. 이에 의해 액정표시장치의 잔상을 감소시킬 수 있다.

대표도 - 도4



(72) 발명자

정미혜

경기 수원시 장안구 정자동 대림진흥아파트
824-1402

양성훈

경기 용인시 기흥구 중동 참솔마을월드메르디앙
107-804

문현철

서울 영등포구 당산동 삼성아파트 105-903

유혜란

인천 서구 당하동 탑스빌아파트 115-602

특허청구의 범위

청구항 1

화소전극이 형성되어 있는 제1기관, 상기 제1기관에 대항하며 공통전극이 형성되어 있는 제2기관, 상기 제1기관 및 상기 제2기관 사이에 위치하는 액정층을 포함하는 액정표시장치에 있어서,

상기 제1기관은 저장용량선을 포함하고,

상기 공통전극에는 상기 저장용량선에 대응하는 제1영역과 상기 제1영역 주변의 제2영역에 걸쳐 공통전극 절개 패턴이 형성되어 있으며,

상기 공통전극 절개패턴에는 폭이 확장된 제1노치와 폭이 축소된 제2노치를 포함하는 노치가 형성되어 있으며,

상기 제2영역에 형성된 상기 노치 중 상기 제1영역에 가장 근접한 외부 노치는 상기 제1노치인 액정표시장치.

청구항 2

제1항에 있어서,

상기 공통전극 절개패턴은 제1서브공통전극 절개패턴과 제2서브공통전극 절개패턴을 포함하며,

상기 제1서브공통전극 절개패턴과 제2서브공통전극 절개패턴은 상기 제1영역 내의 제3영역에서 만나며 다른 방향으로 연장되어 있는 것을 특징으로 하는 액정표시장치.

청구항 3

제2항에 있어서,

상기 각 서브 공통전극 절개패턴에서,

상기 제1영역 내에서의 길이는 상기 제1영역과 상기 제2영역의 경계에서 상기 외부 노치까지의 길이보다 큰 것을 특징으로 하는 액정표시장치.

청구항 4

제2항에 있어서,

상기 제3영역에서 상기 외부 노치까지의 상기 각 서브 공통전극 절개패턴의 폭은 일정한 것을 특징으로 하는 액정표시장치.

청구항 5

제2항에 있어서,

상기 제1영역에서 상기 각 서브 공통전극 절개패턴에는 단일개의 내부 노치가 형성되어 있으며,

상기 내부 노치는 상기 제2노치인 것을 특징으로 하는 액정표시장치.

청구항 6

제2항에 있어서,

상기 공통전극 절개패턴은 제3서브 공통전극 절개패턴을 더 포함하며,

상기 제3서브 공통전극 절개패턴은 상기 제3영역에서 상기 제1서브 공통전극 절개패턴과 상기 제2서브 공통전극 절개패턴과 만나는 것을 특징으로 하는 액정표시장치.

청구항 7

제6항에 있어서,

상기 저장용량선은 길게 연장되어 있으며,

상기 제1서브공통전극 절개패턴과 상기 제2서브공통전극 절개패턴은 상기 저장용량선을 중심으로 대칭을 이루는

것을 특징으로 하는 액정표시장치.

청구항 8

제7항에 있어서,

상기 제3서브공통전극 절개패턴은 상기 저장용량선과 나란히 길게 연장되어 있는 것을 특징으로 하는 액정표시장치.

청구항 9

제2항에 있어서,

상기 각 서브공통전극 절개패턴에는 상기 제1노치와 상기 제2노치가 하나씩 교대로 형성되어 있는 것을 특징으로 하는 액정표시장치.

청구항 10

제1항 또는 제2항에 있어서,

상기 제1기판은,

상기 저장용량선과 상기 화소전극 사이에 형성되어 있으며 주변에 비해 상기 저장용량선 상에서 높이가 낮은 절연층을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 11

제10항에 있어서,

상기 절연층은 하부의 무기층과 상부의 유기층을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 12

제11항에 있어서,

상기 유기층은 주변에 비해 상기 저장용량선 상에서 높이가 낮은 것을 특징으로 하는 액정표시장치.

청구항 13

제12항에 있어서,

상기 화소전극은 상기 저장용량선 상부에서 상기 무기층과 직접 접하는 것을 특징으로 하는 액정표시장치.

청구항 14

제1항 또는 제2항에 있어서,

상기 화소전극에는 화소전극 절개패턴이 형성되어 있으며,

상기 화소전극 절개패턴에는 폭이 확장된 제3노치가 형성되어 있는 것을 특징으로 하는 액정표시장치.

청구항 15

제1항 또는 제2항에 있어서,

상기 제1기판은 게이트선, 데이터선 및 상기 게이트선 및 상기 데이터선에 전기적으로 연결되어 있는 박막트랜지스터를 포함하고,

상기 박막트랜지스터는,

게이트 전극과;

상기 게이트 전극 상에 형성되어 있는 반도체층 및 저항접촉층과;

상기 저항접촉층을 사이에 두고 서로 마주하는 소스 전극 및 드레인 전극을 포함하며,

데이터선, 상기 소스 전극 및 상기 드레인 전극을 포함하는 데이터 배선과 상기 저항접촉층은 서로 겹치는 것을 특징으로 하는 액정표시장치.

청구항 16

제15항에 있어서,

상기 저장용량선, 상기 게이트선 및 상기 게이트 전극은 같은 층인 것을 특징으로 하는 액정표시장치.

청구항 17

제1항 또는 제2항에 있어서,

상기 액정층은 VA모드인 것을 특징으로 하는 액정표시장치.

청구항 18

화소전극이 형성되어 있는 제1기판, 상기 제1기판에 대향하며 공통전극이 형성되어 있는 제2기판, 상기 제1기판 및 상기 제2기판 사이에 위치하는 VA 모드의 액정층을 포함하는 액정표시장치에 있어서,

상기 공통전극에는 상기 제1기판과 상기 제2기판 간의 간격이 주변보다 작은 제1영역에서 상기 제1영역 주변의 제2영역에 걸쳐 공통전극 절개패턴이 형성되어 있으며,

상기 공통전극 절개패턴에는 폭이 확장된 제1노치와 폭이 축소된 제2노치를 포함하는 노치가 형성되어 있으며,

상기 제2영역에 형성된 상기 노치 중 상기 제1영역에 가장 근접한 외부 노치는 상기 제1노치인 액정표시장치.

청구항 19

제18항에 있어서,

상기 공통전극 절개패턴은 제1서브공통전극 절개패턴과 제2서브공통전극 절개패턴을 포함하며,

상기 제1서브공통전극 절개패턴과 제2서브공통전극 절개패턴은 상기 제1영역 내의 제3영역에서 만나며 다른 방향으로 연장되어 있는 것을 특징으로 하는 액정표시장치.

청구항 20

제19항에 있어서,

상기 각 서브 공통전극 절개패턴에서,

상기 제1영역 내에서의 길이는 상기 제1영역과 상기 제2영역의 경계에서 상기 외부 노치까지의 길이보다 큰 것을 특징으로 하는 액정표시장치.

청구항 21

제19항에 있어서,

상기 제3영역과 상기 외부 노치까지의 상기 각 서브 공통전극 절개패턴의 폭은 일정한 것을 특징으로 하는 액정표시장치.

청구항 22

제19항에 있어서,

상기 제1영역에서 상기 각 서브 공통전극 절개패턴에는 단일개의 내부 노치가 형성되어 있으며,

상기 내부 노치는 상기 제2노치인 것을 특징으로 하는 액정표시장치.

청구항 23

제19항에 있어서,

상기 공통전극 절개패턴은 제3서브 공통전극 절개패턴을 더 포함하며,

상기 제3서브 공통전극 절개패턴은 상기 제3영역에서 상기 제1서브 공통전극 절개패턴과 상기 제2서브 공통전극 절개패턴과 만나는 것을 특징으로 하는 액정표시장치.

청구항 24

제18항 또는 제19항에 있어서,

상기 제1기판은,

상기 제1영역에 형성되어 있는 저장용량선과;

상기 저장용량선과 상기 화소전극 사이에 형성되어 있으며 주변에 비해 상기 저장용량선 상에서 높이가 낮은 절연층을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 25

제24항에 있어서,

상기 절연층은 하부의 무기층과 상부의 유기층을 포함하며,

상기 유기층에는 상기 저장용량선에 대응하는 홀이 형성되어 있는 것을 특징으로 하는 액정표시장치.

청구항 26

제18항 또는 제19항에 있어서,

상기 제1기판은 게이트선, 데이터선 및 상기 게이트선 및 상기 데이터선에 전기적으로 연결되어 있는 박막트랜지스터를 포함하고,

상기 박막트랜지스터는,

게이트 전극과;

상기 게이트 전극 상에 형성되어 있는 반도체층 및 저항접촉층과;

상기 저항접촉층을 사이에 두고 서로 마주하는 소스 전극 및 드레인 전극을 포함하며,

데이터선, 상기 소스 전극 및 상기 드레인 전극을 포함하는 데이터 배선과 상기 저항접촉층은 서로 겹치는 것을 특징으로 하는 액정표시장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <27> 본 발명은 액정표시장치에 관한 것이다.
- <28> 액정표시장치는 박막트랜지스터가 형성되어 있는 제1기판과, 제1기판에 대향 배치되어 있는 제2기판, 그리고 이들 사이에 위치하는 액정층을 포함한다.
- <29> 액정표시장치 중 PVA(patterned vertically aligned) 모드는 시야각을 개선하기 위한 모드로서, VA모드 중 화소전극과 공통전극에 각각 절개패턴을 형성한 것을 가리킨다. 이들 절개패턴으로 인하여 형성되는 프린지 필드(fringe field)를 이용하여 액정 분자들이 눕는 방향을 조절함으로써 시야각이 향상된다.
- <30> PVA 모드는 액정이 수직 거동하므로 정면과 측면에서 관찰할 때 액정 분자를 통과하는 광의 위상 지연(retardation) 값의 차이가 시야각에 따라 크게 변한다. 이로 인해 측면에서 낮은 계조의 휘도가 급격히 상승하여 대비비(contrast ratio) 저하를 수반한 시인성 저하를 유발시키는 문제가 있다. 이를 개선하기 위하여 화소를 서로 다른 데이터 전압이 인가되는 복수의 서브도메인으로 나누는 SPVA(super-PVA) 방식이 개발되었다.
- <31> 그런데 PVA방식과 SPVA방식에서는 순간잔상이 발생되어 화질이 저하되는 문제가 있다.

발명이 이루고자 하는 기술적 과제

<32> 따라서 본 발명의 목적은 잔상이 감소한 액정표시장치를 제공하는 것이다.

발명의 구성 및 작용

- <33> 상기 본 발명의 목적은 화소전극이 형성되어 있는 제1기관, 상기 제1기관에 대향하며 공통전극이 형성되어 있는 제2기관, 상기 제1기관 및 상기 제2기관 사이에 위치하는 액정층을 포함하는 액정표시장치에 있어서, 상기 제1기관은 저장용량선을 포함하고, 상기 공통전극에는 상기 저장용량선에 대응하는 제1영역과 상기 제1영역 주변의 제2영역에 걸쳐 공통전극 절개패턴이 형성되어 있으며, 상기 공통전극 절개패턴에는 폭이 확장된 제1노치와 폭이 축소된 제2노치를 포함하는 노치가 형성되어 있으며, 상기 제2영역에 형성된 상기 노치 중 상기 제1영역에 가장 근접한 외부 노치는 상기 제1노치인 것에 의해 달성된다.
- <34> 상기 공통전극 절개패턴은 제1서브공통전극 절개패턴과 제2서브공통전극 절개패턴을 포함하며, 상기 제1서브공통전극 절개패턴과 제2서브공통전극 절개패턴은 상기 제1영역 내의 제3영역에서 만나며 다른 방향으로 연장되어 있는 것이 바람직하다.
- <35> 상기 각 서브 공통전극 절개패턴에서, 상기 제1영역 내에서의 길이는 상기 제1영역과 상기 제2영역의 경계에서 상기 외부 노치까지의 길이보다 큰 것이 바람직하다.
- <36> 상기 제3영역에서 상기 외부 노치까지의 상기 각 서브 공통전극 절개패턴의 폭은 일정한 것이 바람직하다.
- <37> 상기 제1영역에서 상기 각 서브 공통전극 절개패턴에는 단일개의 내부 노치가 형성되어 있으며, 상기 내부 노치는 상기 제2노치인 것이 바람직하다.
- <38> 상기 공통전극 절개패턴은 제3서브 공통전극 절개패턴을 더 포함하며, 상기 제3서브 공통전극 절개패턴은 상기 제3영역에서 상기 제1서브 공통전극 절개패턴과 상기 제2서브 공통전극 절개패턴과 만나는 것이 바람직하다.
- <39> 상기 저장용량선은 길게 연장되어 있으며, 상기 제1서브공통전극 절개패턴과 상기 제2서브공통전극 절개패턴은 상기 저장용량선을 중심으로 대칭을 이루는 것이 바람직하다.
- <40> 상기 제3서브공통전극 절개패턴은 상기 저장용량선과 나란히 길게 연장되어 있는 것이 바람직하다.
- <41> 상기 각 서브공통전극 절개패턴에는 상기 제1노치와 상기 제2노치가 하나씩 교대로 형성되어 있는 것이 바람직하다.
- <42> 상기 제1기관은, 상기 저장용량선과 상기 화소전극 사이에 형성되어 있으며 주변에 비해 상기 저장용량선 상에서 높이가 낮은 절연층을 더 포함하는 것이 바람직하다.
- <43> 상기 절연층은 하부의 무기층과 상부의 유기층을 포함하는 것이 바람직하다.
- <44> 상기 유기층은 주변에 비해 상기 저장용량선 상에서 높이가 낮은 것이 바람직하다.
- <45> 상기 화소전극은 상기 저장용량선 상부에서 상기 무기층과 직접 접하는 것이 바람직하다.
- <46> 상기 화소전극에는 화소전극 절개패턴이 형성되어 있으며, 상기 화소전극 절개패턴에는 폭이 확장된 제3노치가 형성되어 있는 것이 바람직하다.
- <47> 상기 제1기관은 게이트선, 데이터선 및 상기 게이트선 및 상기 데이터선에 전기적으로 연결되어 있는 박막트랜지스터를 포함하고, 상기 박막트랜지스터는, 게이트 전극과; 상기 게이트 전극 상에 형성되어 있는 반도체층 및 저항접촉층과; 상기 저항접촉층을 사이에 두고 서로 마주하는 소스 전극 및 드레인 전극을 포함하며, 데이터선, 상기 소스 전극 및 상기 드레인 전극을 포함하는 데이터 배선과 상기 저항접촉층은 서로 겹치는 것이 바람직하다.
- <48> 상기 저장용량선, 상기 게이트선 및 상기 게이트 전극은 같은 층인 것이 바람직하다.
- <49> 상기 액정층은 VA모드인 것이 바람직하다.
- <50> 상기 본 발명의 목적은 화소전극이 형성되어 있는 제1기관, 상기 제1기관에 대향하며 공통전극이 형성되어 있는 제2기관, 상기 제1기관 및 상기 제2기관 사이에 위치하는 VA 모드의 액정층을 포함하는 액정표시장치에 있어서, 상기 공통전극에는 상기 제1기관과 상기 제2기관 간의 간격이 주변보다 작은 제1영역에서 상기 제1영역 주변의

제2영역에 걸쳐 공통전극 절개패턴이 형성되어 있으며, 상기 공통전극 절개패턴에는 폭이 확장된 제1노치와 폭이 축소된 제2노치를 포함하는 노치가 형성되어 있으며, 상기 제2영역에 형성된 상기 노치 중 상기 제1영역에 가장 근접한 외부 노치는 상기 제1노치인 것에 의해서도 달성된다.

- <51> 상기 공통전극 절개패턴은 제1서브공통전극 절개패턴과 제2서브공통전극 절개패턴을 포함하며, 상기 제1서브공통전극 절개패턴과 제2서브공통전극 절개패턴은 상기 제1영역 내의 제3영역에서 만나며 다른 방향으로 연장되어 있는 것이 바람직하다.
- <52> 상기 각 서브 공통전극 절개패턴에서, 상기 제1영역 내에서의 길이는 상기 제1영역과 상기 제2영역의 경계에서 상기 외부 노치까지의 길이보다 큰 것이 바람직하다.
- <53> 상기 제3영역과 상기 외부 노치까지의 상기 각 서브 공통전극 절개패턴의 폭은 일정한 것이 바람직하다.
- <54> 상기 제1영역에서 상기 각 서브 공통전극 절개패턴에는 단일개의 내부 노치가 형성되어 있으며, 상기 내부 노치는 상기 제2노치인 것이 바람직하다.
- <55> 상기 공통전극 절개패턴은 제3서브 공통전극 절개패턴을 더 포함하며, 상기 제3서브 공통전극 절개패턴은 상기 제3영역에서 상기 제1서브 공통전극 절개패턴과 상기 제2서브 공통전극 절개패턴과 만나는 것이 바람직하다.
- <56> 상기 제1기관은, 상기 제1영역에 형성되어 있는 저장용량선과; 상기 저장용량선과 상기 화소전극 사이에 형성되어 있으며 주변에 비해 상기 저장용량선 상에서 높이가 낮은 절연층을 더 포함하는 것이 바람직하다.
- <57> 상기 절연층은 하부의 무기층과 상부의 유기층을 포함하며, 상기 유기층에는 상기 저장용량선에 대응하는 홀이 형성되어 있는 것이 바람직하다.
- <58> 상기 제1기관은 게이트선, 데이터선 및 상기 게이트선 및 상기 데이터선에 전기적으로 연결되어 있는 박막트랜지스터를 포함하고, 상기 박막트랜지스터는, 게이트 전극과; 상기 게이트 전극 상에 형성되어 있는 반도체층 및 저항접촉층과; 상기 저항접촉층을 사이에 두고 서로 마주하는 소스 전극 및 드레인 전극을 포함하며, 데이터선, 상기 소스 전극 및 상기 드레인 전극을 포함하는 데이터 배선과 상기 저항접촉층은 서로 겹치는 것이 바람직하다.
- <59> 이하 첨부된 도면을 참조로 하여 본발명을 더욱 상세히 설명하겠다. 이하에서 어떤 막(층)이 다른 막(층)의 '상부에' 형성되어(위치하고) 있다는 것은, 두 막(층)이 접해 있는 경우뿐 아니라 두 막(층) 사이에 다른 막(층)이 존재하는 경우도 포함한다.
- <60> 도 1은 본 발명의 제1실시예에 따른 액정표시장치의 등가회로도이다.
- <61> 박막트랜지스터(T)에 2개의 액정용량(C_{LC1} , C_{LC2})이 연결되어 있다. 제1액정용량(C_{LC1})은 제1화소전극(PE1)과 공통전극(CE) 사이에 형성되며, 제1화소전극(PE1)은 박막트랜지스터(T)에 직접 연결되어 있다. 제2액정용량(C_{LC2})은 제2화소전극(PE2)과 공통전극(CE) 사이에 형성되며, 제2화소전극(PE2)는 결합 용량(C_{CP})을 거쳐서 간접적으로 박막트랜지스터(T)와 연결되어 있다.
- <62> 여기서 제1화소전극(PE1)과 제2화소전극(PE2)은 서로 분리되어 있다.
- <63> 제1실시예에 따른 액정표시장치에서 시인성이 향상되는 이유를 도 2를 참조하여 설명하면 다음과 같다.
- <64> 제1화소 전극(PE1)에는 박막트랜지스터(T)를 통해 데이터 신호가 정상적으로 인가된다. 반면 제2화소 전극(PE2)은 박막트랜지스터(T)로부터 직접적으로 데이터 신호를 받지 못하고, 제2화소전극(PE2)과 박막트랜지스터(T) 사이의 절연막에 형성되는 결합용량(C_{CP})에 의해 신호를 인가 받는다. 따라서 제2화소 전극(PE2)에는 제1화소 전극(PE1)에 비하여 약한 신호가 인가되어, 제1화소전극(PE1)에 해당하는 제1도메인의 휘도와 제2화소전극(PE2)에 해당하는 제2도메인의 휘도가 다르게 된다. 제2화소전극(PE2)에 인가되는 전압은 제1화소전극(PE1)에 인가되는 전압의 50% 내지 90%이다.
- <65> 이와 같이 한 화소 내에 감마 커브가 다른 복수의 도메인이 존재하는 것이다. 이에 의해 정면과 측면의 휘도 및 컬러가 서로 보상되어 측면시인성이 향상된다.
- <66> 도 3 내지 도 6을 참조하여 제1실시예에 따른 액정표시장치를 설명한다. 도 5 및 도6을 참조하면 액정표시장치(1)는 제1기관(100), 제1기관(100)에 대향하는 제2기관(200), 양 기관 사이에 위치하는 액정층(300)을 포함한다.

- <67> 우선 제1기관(100)에 대하여 설명하면 다음과 같다.
- <68> 제1절연기관(111) 위에 게이트 배선이 형성되어 있다. 게이트 배선은 금속 단일층 또는 다중층일 수 있다. 게이트 배선은 가로 방향으로 뻗어 있는 게이트선(122) 및 게이트선(122)에 연결되어 있는 게이트 전극(126), 화소 전극(182)과 중첩되어 저장 용량을 형성하는 저장용량선(128)을 포함한다. 저장용량선(128)은 화소의 중앙을 지나면서 게이트선(122)과 평행하게 연장되어 있다.
- <69> 제1절연기관(111)위에는 실리콘 질화물(SiNx) 등의 무기물로 이루어진 게이트 절연막(130)이 게이트 배선을 덮고 있다.
- <70> 게이트 전극(126)의 게이트 절연막(130) 상부에는 비정질 실리콘 등의 반도체로 이루어진 반도체층(142)이 형성되어 있으며, 반도체층(142)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 실리콘 등의 물질로 만들어진 저항 접촉층(155, 156)이 형성되어 있다. 소스 전극(165)과 드레인 전극(166) 사이의 채널부에서는 저항 접촉층(155, 156)이 제거되어 있다.
- <71> 저항 접촉층(155, 156) 위에는 데이터 배선이 형성되어 있다. 데이터 배선 역시 금속층으로 이루어진 단일층 또는 다중층일 수 있다. 데이터 배선은 세로방향으로 형성되어 게이트선(122)과 교차하여 화소를 형성하는 데이터선(162), 데이터선(162)의 분지이며 저항 접촉층(155, 156)의 상부까지 연장되어 있는 소스 전극(165), 소스전극(165)과 분리되어 있으며 소스전극(165)의 반대쪽 저항 접촉층(133) 상부에 형성되어 있는 드레인 전극(166)을 포함한다.
- <72> 드레인 전극(166)은 제1화소전극(182a)과 연결되어 제1화소전극(182)에 직접 전기신호를 인가하는 제1드레인 전극(166a)과 제2화소전극(182b) 하부로 연장되어 있는 제2드레인 전극(166b)을 포함한다. 제2드레인 전극(166b)은 제2화소전극(182b)과 함께 보호막(171)에 결합용량(Ccp)을 형성한다.
- <73> 데이터 배선 및 이들이 가리지 않는 반도체층(142)의 상부에는 실리콘 질화물(SiNx) 등의 무기물로 이루어진 보호막(171)이 형성되어 있으며 보호막(171) 상부에는 유기층(175)이 형성되어 있다. 유기층(175)은 두께가 게이트 절연막(130) 및 보호막(171)에 비하여 크며, 스핀 코팅, 슬릿 코팅, 스크린 프린팅 등의 방법으로 형성될 수 있다. 유기층(175)은 BCB(benzocyclobutene) 계열, 올레핀 계열, 아크릴 수지(acrylic resin)계열, 폴리 이미드(polyimide)계열, 불소 수지 중 어느 하나일 수 있다
- <74> 유기층(175)은 두께가 커서 데이터선(162)과 화소전극(182) 간의 거리를 멀게 하여 데이터선(162)과 화소전극(182) 간의 용량형성을 억제한다. 따라서 화소전극(182)을 데이터선(162)에 가깝게 또는 일부 겹치도록 형성할 수 있게 되어 개구율이 증가한다. 한편 유기층(175)은 유전율이 낮아 데이터선(162)과 화소전극(182)간의 용량형성은 더욱 억제된다.
- <75> 보호막(171)과 유기층(175)에는 드레인 전극(166)을 드러내는 접촉구(176)가 형성되어 있다. 저장용량선(128) 상부에서 보호막(171)과 유기층(175)은 제거되어 함몰부(177)를 형성한다. 함몰부(177)를 형성하는 이유는 저장용량선(128)과 화소전극(182) 간의 거리를 감소시켜 유지용량 형성을 용이하기 위한 것이다.
- <76> 다른 실시예에서 함몰부(177)에서 보호막(171)은 일부 또는 전부가 남겨질 수 있다.
- <77> 유기막(175) 상에는 화소전극(182)이 형성되어 있다. 화소전극(182)은 통상 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)등의 투명한 도전물질로 이루어진다. 화소전극(182)은 전체적으로 상하 대칭 형태이다.
- <78> 한편 함몰부(177)에 의하여 저장용량선(128) 상에 위치하는 화소전극(182)과 주변의 화소전극(182)은 높이 차이가 발생한다. 즉 저장용량선(128) 외부에서는 제1절연기관(11)과 화소전극(182) 사이에 절연층(130, 171, 175)이 모두 존재하지만, 저장용량선(128) 상에서는 절연층(130, 171, 175) 중 두께가 큰 유기막(175)이 제거되어 있는 것이다. 절연층(130, 171, 175)에 형성된 함몰부(177)에 의해 저장용량선(128) 상에서의 셀갭(CG1)은 주위의 셀갭(CG2)에 비하여 크게 된다.
- <79> 화소전극(182)은 화소전극 분리패턴(183)에 의해 서로 분리된 제1화소전극(182a)와 제2화소전극(182b)를 포함한다. 제2화소전극(182b)은 사다리꼴이며, 3면이 제1화소전극(182a)으로 둘러싸여 있다. 제1화소전극(182a)과 제2화소전극(182b)에는 각각 화소전극 분리패턴(183)과 나란한 화소전극 절개패턴(184)이 형성되어 있다.
- <80> 제1화소전극(182a)은 접촉구(176)를 통해 제1드레인 전극(166a)과 직접 접촉한다. 서로 마주하는 제2화소전극(182b)과 제2드레인전극(166b)은 결합용량(Ccp)을 형성하며, 제2화소전극(182b)은 결합용량(Ccp)을 통해 제2드레인 전극(166b)과 간접적으로 연결되어 있다.

- <81> 화소전극 분리패턴(183)과 화소전극 절개패턴(184)은 후술하는 공통전극 절개패턴(252)과 함께 액정층(300)을 다수의 서브 도메인으로 분할한다. 서브 도메인은 패턴(183, 184, 252)으로 둘러싸인 영역으로 제1실시예에 따르면 서브 도메인은 사전 방향으로 길게 연장되어 있다.
- <82> 이어 제2기관(200)에 대하여 설명하겠다.
- <83> 제2절연기관(211) 위에 블랙매트릭스(221)가 형성되어 있다. 블랙매트릭스(221)는 일반적으로 적색, 녹색 및 청색 필터 사이를 구분하며, 제1기관(100)에 위치하는 박막트랜지스터(T)로의 직접적인 광조사를 차단하는 역할을 한다. 블랙매트릭스(221)는 통상 검은색 안료가 첨가된 감광성 유기물질로 이루어져 있다. 상기 검은색 안료로는 카본블랙이나 티타늄 옥사이드 등을 사용한다.
- <84> 컬러필터(231)는 블랙매트릭스(221)를 경계로 하여 적색, 녹색 및 청색 필터가 반복되어 형성된다. 컬러필터(231)는 백라이트 유닛(도시하지 않음)으로부터 조사되어 액정층(300)을 통과한 빛에 색상을 부여하는 역할을 한다. 컬러필터(231)는 통상 감광성 유기물질로 이루어져 있다.
- <85> 컬러필터(231)와 컬러필터(231)가 덮고 있지 않은 블랙매트릭스(221)의 상부에는 오버코트막(241)이 형성되어 있다. 오버코트막(241)은 컬러필터(231)를 평탄화하면서, 컬러필터(231)를 보호하는 역할을 하며 통상 아크릴계 에폭시 재료가 많이 사용된다.
- <86> 오버코트막(241)의 상부에는 공통전극(251)이 형성되어 있다. 공통전극(251)은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)등의 투명한 도전물질로 이루어진다. 공통전극(251)은 박막트랜지스터 기관의 화소전극(182)과 함께 액정층(300)에 직접 전압을 인가한다.
- <87> 공통전극(251)에는 공통전극 절개패턴(252)이 형성되어 있다. 공통전극 절개패턴(252)은 화소전극 분리패턴(183) 및 화소전극 절개패턴(184)과 함께 평행하게 형성되어 있다.
- <88> 이상의 패턴(183, 184, 252)은 실시예에 한정되지 않고 다양한 형상으로 형성될 수 있다.
- <89> 제1 기관(100)과 제2 기관(200)의 사이에 액정층(300)이 위치한다. 액정층(300)은 VA(vertically aligned)모드로서, 액정분자는 전압이 가해지지 않은 상태에서는 길이방향이 수직을 이루고 있다. 전압이 가해지면 액정분자는 유전율 이방성이 음이기 때문에 전기장에 대하여 수직방향으로 눕는다. 그런데 이상의 패턴(162, 163, 252)이 형성되어 있지 않으면, 액정분자는 눕는 방위각이 결정되지 않아서 여러 방향으로 무질서하게 배열하게 되고, 배향 방향이 다른 경계면에서 전경선(disclination line)이 생긴다.
- <90> 이상의 패턴(183, 184, 252)은 액정층(300)에 전압이 걸릴 때 프린지 필드를 만들어 액정 배향의 방위각을 결정해 준다. 또한 액정층(300)은 각 이상의 패턴(183, 184, 252)의 배치에 따라 복수의 서브 도메인으로 나누어진다.
- <91> 이상 설명한 액정표시장치에서는 잔상이 문제되며 특히 셀갭 변화가 있는 저장용량선(128)의 테두리에서 액정이 불안정해지면서 잔상이 야기된다. 본 발명에서는 화소전극 분리패턴(182), 화소전극 절개패턴(183) 및 공통전극 절개패턴(252)의 설계를 통해 잔상을 방지한다.
- <92> 화소전극 분리패턴(182), 화소전극 절개패턴(183) 및 공통전극 절개패턴(252)에는 노치(185, 253, 254)가 형성되어 있다. 공통전극 절개패턴(252)에는 주위에 비해 폭이 확장되어 있는 제1노치(253)와 주위에 비해 폭이 축소되어 있는 제2노치(254)가 교대로 형성되어 있다. 화소전극 분리패턴(182), 화소전극 절개패턴(183)에는 주위에 비해 폭이 확장되어 있는 제3노치(185)가 형성되어 있다.
- <93> 노치(185, 253, 254)는 서브 도메인 경계에 위치하는 액정층(300)의 배열 방향을 결정해 주어, 서브 도메인 경계에서 얼룩이나 잔상이 발생하는 것을 방지해준다.
- <94> 노치 중 공통전극 절개패턴(252)에 마련된 노치(253, 254)가 잔상에 많은 영향을 주며, 특히 셀갭 변화가 있는 저장용량선(128) 주변의 노치(253, 254)가 잔상에 많은 영향을 준다.
- <95> 도 4 및 도 5를 참조하여 저장용량선(128) 주변의 공통전극 절개패턴(252)의 노치(253, 254)에 대하여 살펴본다.
- <96> 저장용량선(128)은 게이트선(122)과 평행하게 길게 연장되어 있다. 저장용량선(128)에 대응하는 제1영역에서 공통전극 절개패턴(252)은 3개의 서브 공통전극 절개패턴(252a, 252b, 252c)으로 분기된다. 즉 3개의 서브 공통전극 절개패턴(252a, 252b, 252c)은 제1영역의 일부인 제3영역에서 서로 만나는 것이다.

- <97> 2개의 서브 공통전극 절개패턴(252a, 252b)은 저장용량선(128)을 중심으로 상하 대칭이며 제1영역 주변의 제2영역으로 연장되어 있다. 다른 하나의 서브 공통전극 절개패턴(252c)은 저장용량선(128)과 평행하게 연장되어 있다.
- <98> 제1실시예에서는 함몰부(177)가 저장용량선(128)과 거의 같은 크기로 거의 겹치도록 마련되어 있다. 따라서 저장용량선(128)에 대응하는 제1영역은 셀갭이 크고 제2영역은 셀갭이 작게 된다.
- <99> 서브 공통전극 절개패턴(252a, 252b)은 제1영역에서 노치(253, 254)가 형성되어 있지 않다. 제2영역의 노치(253, 254) 중 제1영역에 가장 가까운 외부 노치(253a)는 폭이 확장되어 있는데 그 이유는 다음과 같다.
- <100> 3개의 서브 공통전극 절개패턴(252a, 252b, 252c)이 만나는 제3영역에서 액정의 특이점(singular point)은 +부호를 가진다. 폭이 확장된 외부 노치(253a)와 제1노치(253)에서 액정의 특이점은 +부호, 폭이 축소된 제2노치(254)에서 액정의 특이점은 -부호를 갖는다.
- <101> 액정방향자(director) 배열의 연속성을 고려하면 + 특이점인 제3영역에서 +특이점인 외부 노치(253a) 사이에 -특이점이 발생하며, -특이점은 제3영역과 외부 노치(253a)의 중간지점에 발생한다.
- <102> 그런데 제1영역에서의 서브 공통전극 절개패턴(252a, 252b)의 길이(d1)는 제1영역과 제2영역의 경계에서 외부 노치(253a)까지의 거리(d2)보다 크기 때문에 -특이점은 제1영역 내에서 발생한다. 발생한 -특이점은 저장용량선(128)에 의해 가려져 잔상에 영향을 주지 않는다. d1은 d2 의 110% 내지 300% 사이일 수 있다.
- <103> 한편 외부 노치(253a)에서 발생한 +특이점은 외부 노치(253a)에 의해 제어되어 잔상에 영향을 주지 않는다.
- <104> 이하 본 발명의 제1실시예에 따른 액정표시장치의 제조방법을 도 7a 내지 도 14b를 참조하여 설명한다.
- <105> 먼저 도 7a 및 도 7b와 같이 게이트 금속층을 증착하고 패터닝하여 게이트선(122), 게이트 전극(126) 및 저장용량선(128)을 형성한다.
- <106> 다음, 도 8a 및 8b에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(130), 반도체층(140), 저항 접촉층(150)을 화학 기상 증착법을 이용하여 각각 1,500 Å 내지 5,000 Å 500 Å 내지 2,000 Å 300 Å 내지 600 Å 두께로 연속 증착하고, 이어 데이터 배선을 형성하기 위해 데이터 금속층(160)을 형성한 다음 그 위에 감광막(410)을 1μm 내지 2μm의 두께로 도포한다.
- <107> 그 후, 마스크를 통하여 감광막(410)에 빛을 조사한 후 현상하여, 도 9a 및 9b에 도시한 바와 같이, 감광막 패턴(412, 414)을 형성한다. 이때, 감광막 패턴(412, 414) 중에서 박막트랜지스터의 채널부(C, 제2영역), 즉 소스 전극(165)과 드레인 전극(166) 사이에 위치한 제1 부분(414)은 데이터 배선부(A, 제1영역), 즉 데이터 배선이 형성될 부분에 위치한 제2 부분(412)보다 두께가 작게 되도록 하며, 기타 부분(B, 제3영역)의 감광막은 모두 제거한다. 이 때, 채널부(C)에 남아 있는 감광막(414)의 두께와 데이터 배선부(A)에 남아 있는 감광막(412)의 두께의 비는 후에 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제1 부분(414)의 두께를 제2 부분(412)의 두께의 1/2 이하로 하는 것이 바람직하며 예를 들면, 4,000 Å 이하인 것이 좋다.
- <108> 이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있으며, A 영역의 빛 투과율을 조절하기 위하여 주로 슬릿(slit)이나 격자형태의 패턴을 형성하거나 반투명막을 사용한다.
- <109> 이때, 슬릿 사이에 위치한 패턴의 선 폭이나 패턴 사이의 간격, 즉 슬릿의 폭은 노광시 사용하는 노광기의 분해능보다 작은 것이 바람직하며, 반투명막을 이용하는 경우에는 마스크를 제작할 때 투과율을 조절하기 위하여 다른 투과율을 가지는 박막을 이용하거나 두께가 다른 박막을 이용할 수 있다.
- <110> 이와 같은 마스크를 통하여 감광막에 빛을 조사하면 빛에 직접 노출되는 부분에서는 고분자들이 완전히 분해되며, 슬릿 패턴이나 반투명막이 형성되어 있는 부분에서는 빛의 조사량이 적으므로 고분자들은 완전 분해되지 않은 상태이며, 차광막으로 가려진 부분에서는 고분자가 거의 분해 되지 않는다. 이어 감광막을 현상하면, 고분자 분자들이 분해 되지 않은 부분만이 남고, 빛이 적게 조사된 중앙 부분에는 빛에 전혀 조사되지 않은 부분보다 얇은 두께의 감광막이 남길 수 있다. 이때, 노광 시간을 길게 하면 모든 고분자 분자들이 분해 되므로 그렇게 되지 않도록 해야 한다.
- <111> 이러한 얇은 두께의 감광막(414)은 리플로우가 가능한 물질로 이루어진 감광막을 이용하고 빛이 완전히 투과할 수 있는 부분과 빛이 완전히 투과할 수 없는 부분으로 나뉘어진 통상적인 마스크로 노광한 다음 현상하고, 리플로우시켜 감광막이 잔류하지 않는 부분으로 감광막의 일부를 흘러내리도록 함으로써 형성할 수도 있다.

- <112> 이어, 감광막 패턴(414) 및 그 하부의 막들, 즉 데이터 금속층(160), 저항 접촉층(150) 및 반도체층(140)에 대한 식각을 진행한다. 이때, 데이터 배선부(A)에는 데이터 배선 및 그 하부의 막들이 그대로 남아 있고, 채널부(C)에는 반도체층만 남아 있어야 하며, 나머지 부분(B)에는 위의 3개 층(160, 150, 140)이 모두 제거되어 게이트 절연막(130)이 드러나야 한다.
- <113> 먼저, 도 10a 및 10b에 도시한 것처럼, 기타 부분(B)에 노출되어 있는 데이터 금속층(160)을 제거하여 그 하부의 저항접촉층(150)을 노출시킨다. 이 과정에서는 건식 식각 또는 습식 식각 방법을 모두 사용할 수 있으며, 이때 데이터 금속층(160)은 식각되고 감광막패턴(412, 414)은 거의 식각되지 않는 조건하에서 행하는 것이 좋다. 그러나 건식식각의 경우 데이터 금속층(160)만을 식각하고 감광막 패턴(412, 414)은 식각되지 않는 조건을 찾기가 어려우므로 감광막 패턴(412, 414)도 함께 식각되는 조건하에서 행할 수 있다. 이 경우에는 습식 식각의 경우보다 제1 부분(414)의 두께를 두껍게 하여 이 과정에서 제1 부분(414)이 제거되어 하부의 데이터 금속층(160)이 드러나는 일이 생기지 않도록 한다.
- <114> 이렇게 하면, 도 10a 및 도 10b에 나타난 것처럼, 채널부(C) 및 데이터 배선부(A)의 데이터 금속층(167)만 남고 기타 부분(B)의 데이터 금속층(160)은 모두 제거되어 그 하부의 저항 접촉층(150)이 드러난다. 이 때 남은 데이터 금속층(167)은 소스 및 드레인 전극(165, 166)이 분리되지 않고 연결되어 있는 점을 제외하면 데이터 배선의 형태와 동일하다. 또한 건식 식각을 사용한 경우 감광막 패턴(412, 414)도 어느 정도의 두께로 식각된다.
- <115> 이어, 도 11a 및 11b에 도시한 바와 같이, 기타 부분(B)의 노출된 저항접촉층(150) 및 그 하부의 반도체층(140)을 감광막의 제1 부분(414)과 함께 건식 식각 방법으로 동시에 제거한다. 이 때의 식각은 감광막 패턴(412, 414)과 저항 접촉층(150) 및 반도체층(140)(반도체층과 중간층은 식각 선택성이 거의 없음)이 동시에 식각되며 게이트 절연막(130)은 식각되지 않는 조건하에서 행하여야 하며, 특히 감광막 패턴(412, 414)과 반도체층(140)에 대한 식각비가 거의 동일한 조건으로 식각하는 것이 바람직하다.
- <116>
- <117> 이렇게 하면, 도 11a 및 11b에 나타난 바와 같이, 채널부(C)의 제1 부분(414)이 제거되어 소스/드레인용 데이터 금속층(167)이 드러나고, 기타 부분(B)의 저항접촉층(150) 및 반도체층(140)이 제거되어 그 하부의 게이트 절연막(130)이 드러난다. 한편, 데이터 배선부(C)의 제2 부분(412) 역시 식각되므로 두께가 얇아진다. 또한, 이 단계에서 반도체층(142)이 완성된다. 도면 부호 157 은 각각 데이터 금속층(167) 하부의 저항 접촉층을 가리킨다.
- <118> 한편 데이터 금속층(167)에 대한 산소 플라즈마 처리과정 중에 채널부(C)의 제1부분(414)이 제거될 수도 있다.
- <119> 이어 애싱(ashing)을 통하여 채널부(C)의 소스/드레인용 데이터 금속층(167) 표면에 남아 있는 감광막 찌꺼기를 제거한다.
- <120> 다음, 도 12a 및 12b에 도시한 바와 같이 채널부(C)의 데이터 금속층(167) 및 그 하부의 저항 접촉층(157)을 식각하여 제거한다.
- <121> 저항 접촉층(157)에 대한 종료점을 찾기 용이하지 않기 때문에 도 12b에 도시한 것처럼 반도체층(142)의 일부가 제거되어 두께가 작아질 수도 있으며 감광막 패턴의 제2 부분(412)도 이때 어느 정도의 두께로 식각된다. 이때의 식각은 게이트 절연막(130)이 식각되지 않는 조건으로 행하여야 하며, 제2 부분(412)이 식각되어 그 하부의 데이터 배선이 드러나는 일이 없도록 감광막 패턴이 두꺼운 것이 바람직함은 물론이다.
- <122> 이렇게 하면, 소스 전극(165)과 드레인 전극(166)이 분리되면서 데이터 배선과 그 하부의 저항 접촉층(155, 156)이 완성된다.
- <123> 이 후 데이터 배선부(A)에 남아 있는 감광막 제2 부분(412)을 제거한다. 그러나 제2 부분(412)의 제거는 채널부(C) 데이터 금속층(167)을 제거한 후 그 밑의 저항 접촉층(177)을 제거하기 전에 이루어질 수도 있다.
- <124> 다음으로, 도 13a 및 도 13b에서 보는 바와 같이, 보호막(171)과 유기층(175)을 형성한다. 유기층(175)은 보호막(171)상에 유기코팅층을 형성한 후 노광 및 현상을 통해 형성할 수 있다.
- <125> 유기막(175)에는 각각 드레인 전극(166)에 대응하는 접촉구(176)와 저장용량선(128)에 대응하는 함몰부(177)가 형성되어 있다. 접촉구(176)에서 함몰부(177)에서 유기막(175)은 완전히 제거되어 있다.
- <126> 이어 도 14a 및 도 14b와 같이 유기막(175)을 마스크로 사용하여 접촉구(176)와 함몰부(177) 하부의 보호막(171)을 제거한다. 한편 유기막(175) 패터닝 과정에서 함몰부(177)에서 유기막(175)을 남겨두면, 보호막(171)의

적어도 일부는 함몰부(177)에 남겨질 수 있다.

- <127> 마지막으로, 도 5 및 도 6에 도시한 바와 같이, 400 Å 내지 500 Å 두께의 IT0층 또는 IZO층을 증착하고 사진 식각하여, 드레인 전극(166)에 연결된 화소 전극(182)을 형성한다. 화소전극(182)의 형성 시에 화소전극 분리패턴(183)과 화소전극 절개패턴(184)이 같이 형성된다.
- <128> 제2기판(200)은 공지의 방법으로 제조될 수 있으며, 설명은 생략한다. 양 기판(100, 200)이 완성된 후, 양 기판(100, 200) 사이에 액정층(300)을 주입하면 액정표시장치(1)가 완성된다.
- <129> 이상 설명한 제1실시예에서 노치(253, 254)의 형태는 다양하게 변화될 수 있다.
- <130> 도 15a를 보면 노치(253, 254)는 반원형으로 확장 또는 축소되어 있다. 도 15b를 보면 확장된 제1노치(253)는 삼각형 형상이며, 축소된 제2노치(254)는 반원형이다.
- <131> 도 16을 참조하여 본 발명의 제3실시예를 설명한다.
- <132> 각 서브 공통전극 절개패턴(252a, 252b)에는 제1영역에 폭이 축소된 내부 노치(254a)가 더 형성되어 있다. 내부 노치(254a)는 -특이점을 가진다. 내부 노치(254a)에 의해 제3영역의 +특이점과 외부노치(253a)의 +특이점 사이에 형성되는 -특이점의 위치가 결정된다. 내부노치(254a)는 저장용량선(128) 상에 위치하기 때문에 잔상에 영향을 주지 않는다.
- <133> 도 17을 참조하여 본 발명의 제3실시예를 설명한다. 도 17은 도 3의 V-V를 따른 단면이다.
- <134> 저장용량선(128)의 상부에는 용량용 반도체층(148) 및 용량용 저항 접촉층(158) 및 용량용 데이터선(164)이 형성되어 있다. 용량용 데이터선(164) 상부의 보호막(171)과 유기막(175)은 제거되어 함몰부(177)를 형성하고 있다.
- <135> 제2실시예에 따르면 함몰부(177)는 저장용량선(128)보다 좁게 마련되어 있다. 이에 따라 주위보다 높이가 낮은 제1영역은 저장용량선(128)보다 좁게 된다.
- <136> 다른 실시예에서 제1영역은 저장용량선(128)과 일부만 겹치거나, 겹치지 않을 수 있다.
- <137> 도 18을 참조하여 본 발명의 제4실시예를 설명한다. 도 17은 도 3의 VI-VI를 따른 단면이다.
- <138> 데이터 배선은 저항접촉층(155, 156)과 겹치지 않는다. 즉 데이터선(162)의 하부에는 저항 접촉층(155, 156)이 위치하지 않으며, 드레인 전극(167)도 저항접촉층(156)과 일부만 겹치고 있다.
- <139> 제3실시예에 따른 액정표시장치의 제조방법에 있어서는, 반도체층(142)와 저항접촉층(155, 156)을 패터닝하여 형성한 후, 데이터 금속층을 형성하고 패터닝하여 데이터 배선을 형성한다. 즉 저항접촉층(155, 156)과 데이터 배선은 서로 다른 마스크를 사용하여 패터닝되는 것이다.
- <140> 도 19 및 도 20을 참조하여 본 발명의 제5실시예를 설명한다.
- <141> 화소전극(182)은 서로 분리되어 있는 제1화소전극(182a)과 제2화소전극(182b)을 포함한다. 제2화소전극(182b)은 꺾쇄형상으로 화소전극(182)의 가운데에 위치한다.
- <142> 제1화소전극(182a)과 제2화소전극(182b)은 서로 다른 박막트랜지스터(T1, T2)에 연결되어 있으며, 서로 다른 데이터 전압을 인가받는다.
- <143> 도 21을 참조하여 본 발명의 제6실시예를 설명한다.
- <144> 화소전극(182)은 전체적으로 3번 꺾여 있으며 세로 방향으로 길게 연장되어 있다. 화소전극(182)은 서로 분리되어 있는 제1화소전극(182a)과 제2화소전극(182b)을 포함한다. 제2화소전극(182b)은 꺾쇄형상으로 화소전극(182)의 가운데에 위치한다.
- <145> 제1화소전극(182a)이 박막트랜지스터에 직접 연결되어 있는 경우 제2화소전극(182b)은 제1실시예와 같이 결합용량(Ccp)을 통해 박막트랜지스터에 간접적으로 연결되거나, 제5실시예와 같이 별도의 박막트랜지스터에 연결될 수 있다.
- <146> 도 22를 참조하여 본 발명의 제7실시예를 설명한다.
- <147> 화소전극(PE)는 하나의 화소에서 분리되어 있지 않고 단일로 마련된다. 화소전극의 형태는 사각형, 꺾쇄형상, 3번 꺾인 형상 등 다양하게 마련될 수 있다.

<148> 비록 본 발명의 몇몇 실시예가 도시되고 설명되었지만, 본 발명이 속하는 기술분야의 통상의 지식을 가진 당업자라면 본 발명의 원칙이나 정신에서 벗어나지 않으면서 본 실시예를 변형할 수 있음을 알 수 있을 것이다. 본 발명의 범위는 첨부된 청구항과 그 균등물에 의해 정해질 것이다.

발명의 효과

<149> 이상 설명한 바와 같이, 본 발명에 따르면, 잔상이 감소된 액정표시장치가 제공된다

도면의 간단한 설명

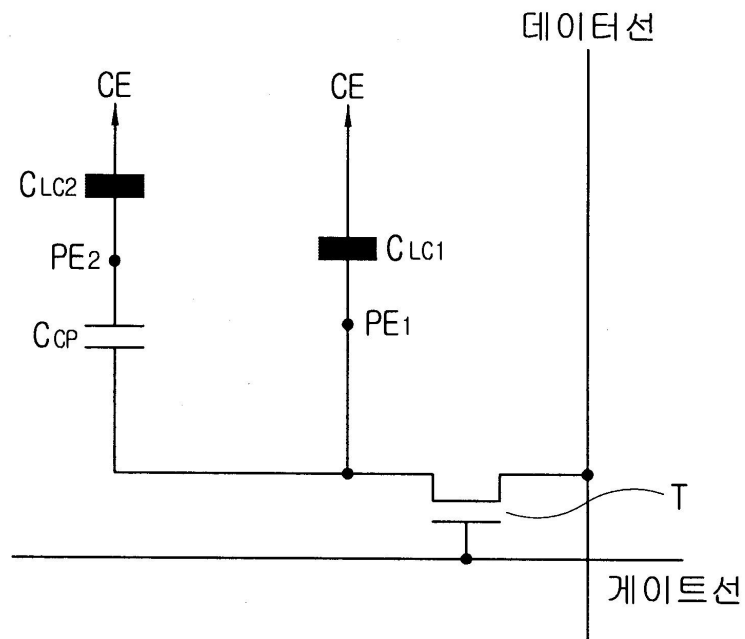
- <1> 도 1 는 본 발명의 제1실시예에 따른 액정표시장치의 등가회로도이고,
- <2> 도 2는 본 발명의 제1실시예에 따른 액정표시장치의 시인성 개선 원리를 나타낸 도면이고,
- <3> 도 3 및 도 4는 본 발명의 제1실시예에 따른 액정표시장치의 배치도이고,
- <4> 도 5는 도 3의 V-V를 따른 단면도이고,
- <5> 도 6은 도 3의 VI-VI을 따른 단면도이고,
- <6> 도 7a 내지 도 14b는 본 발명의 제1실시예에 따른 액정표시장치의 제조방법을 설명하기 위한 도면이고,
- <7> 도 15a 및 도 15b는 본 발명의 제1실시예에 따른 액정표시장치에서 노치의 다른 형태를 나타낸 도면이고,
- <8> 도 16는 본 발명의 제2실시예에 따른 액정표시장치의 배치도이고,
- <9> 도 17은 본 발명의 제3실시예에 따른 액정표시장치의 단면도이고,
- <10> 도 18은 본 발명의 제4실시예에 따른 액정표시장치의 단면도이고,
- <11> 도 19은 본 발명의 제4실시예에 따른 액정표시장치의 등가회로도이고,
- <12> 도 20은 본 발명의 제5실시예에 따른 액정표시장치의 배치도이고,
- <13> 도 21는 본 발명의 제5실시예에 따른 액정표시장치의 다른 배치도이고,
- <14> 도 22은 본 발명의 제6실시예에 따른 액정표시장치의 등가회로도이다.

* 도면의 주요부분의 부호에 대한 설명 *

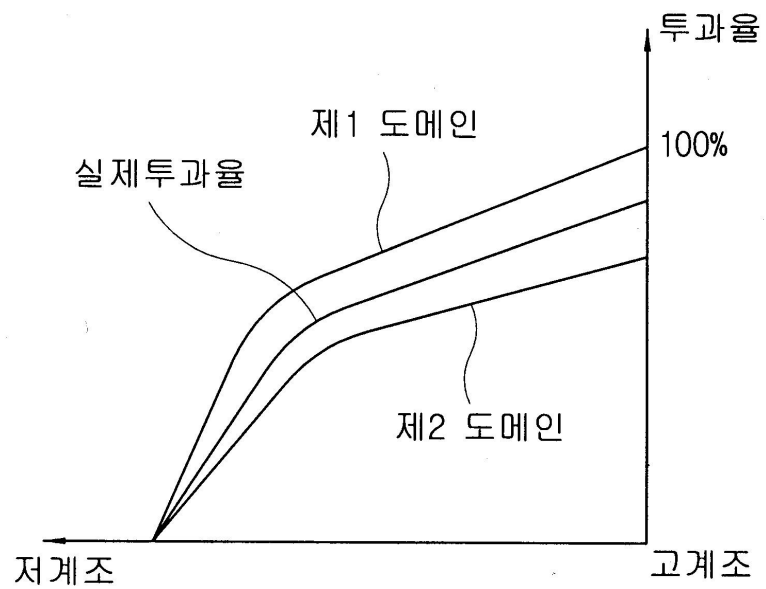
- | | |
|--|--|
| <ul style="list-style-type: none"> <16> 122 : 게이트선 <17> 128 : 공통전극선 <18> 142 : 반도체층 <19> 162 : 데이터선 <20> 166 : 드레인 전극 <21> 175 : 유기막 <22> 177 : 함몰부 <23> 183 : 화소전극 분리패턴 <24> 185 : 제3노치 <25> 252 : 공통전극 절개패턴 <26> 254 : 제2노치 | <ul style="list-style-type: none"> 122 : 게이트 전극 130 : 게이트 절연막 155, 156: 저항 접촉층 165 : 소스 전극 171 : 보호막 176 : 접촉구 182 : 화소전극 184 : 화소전극 절개패턴 251 : 공통전극 253 : 제1노치 300 : 액정층 |
|--|--|

도면

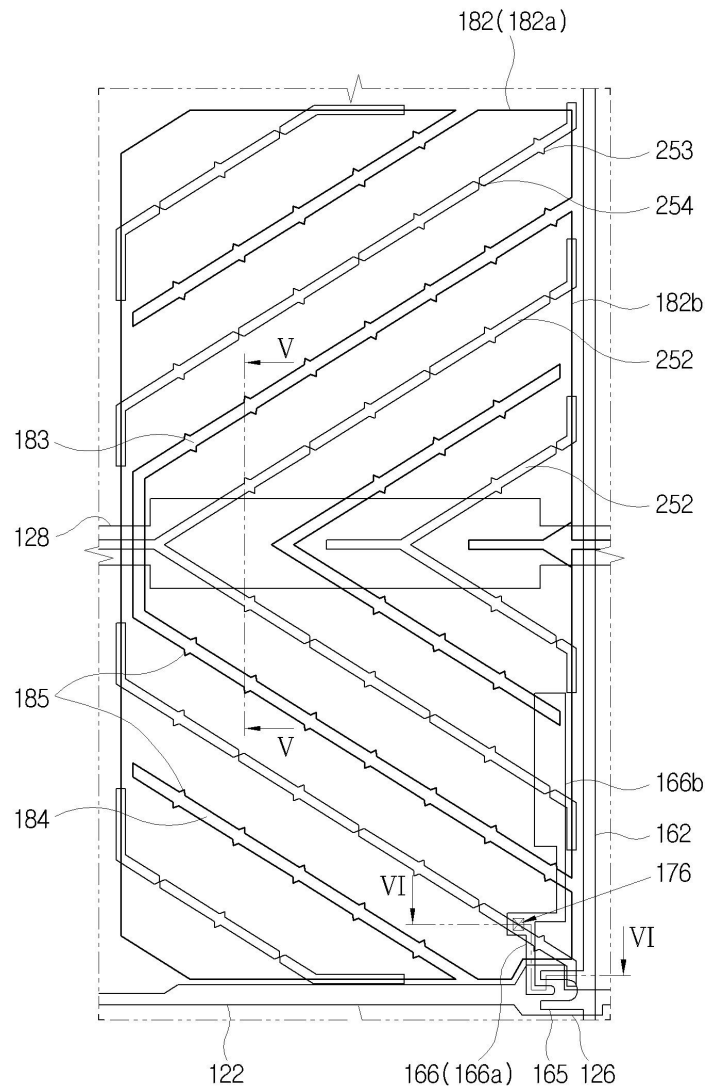
도면1



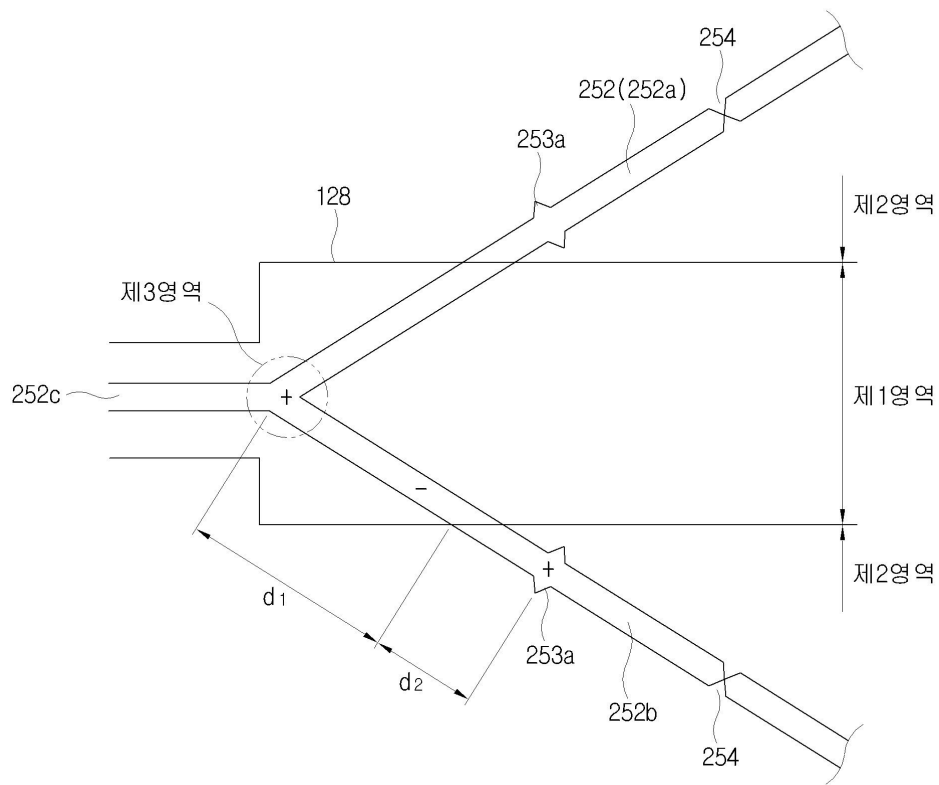
도면2



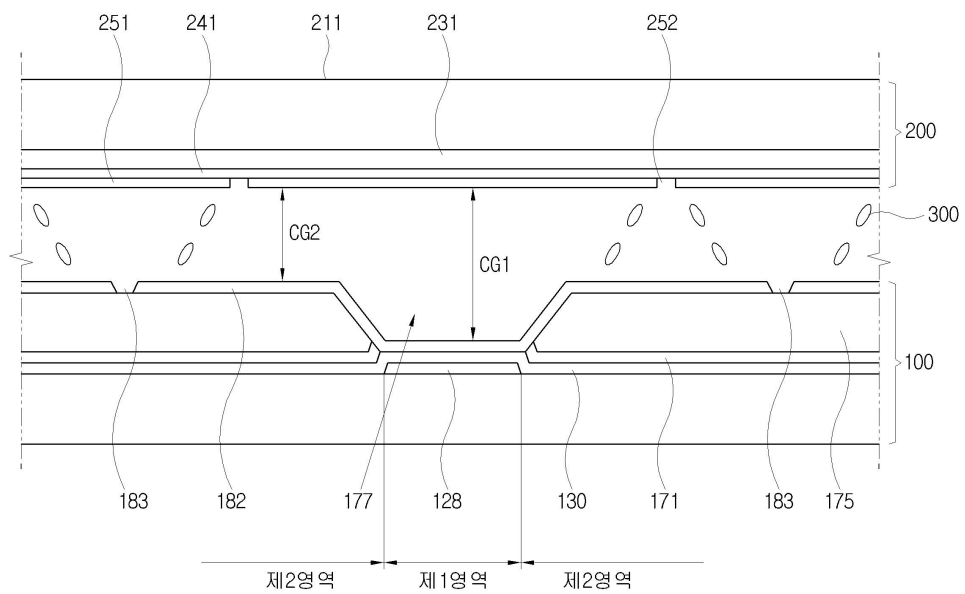
도면3



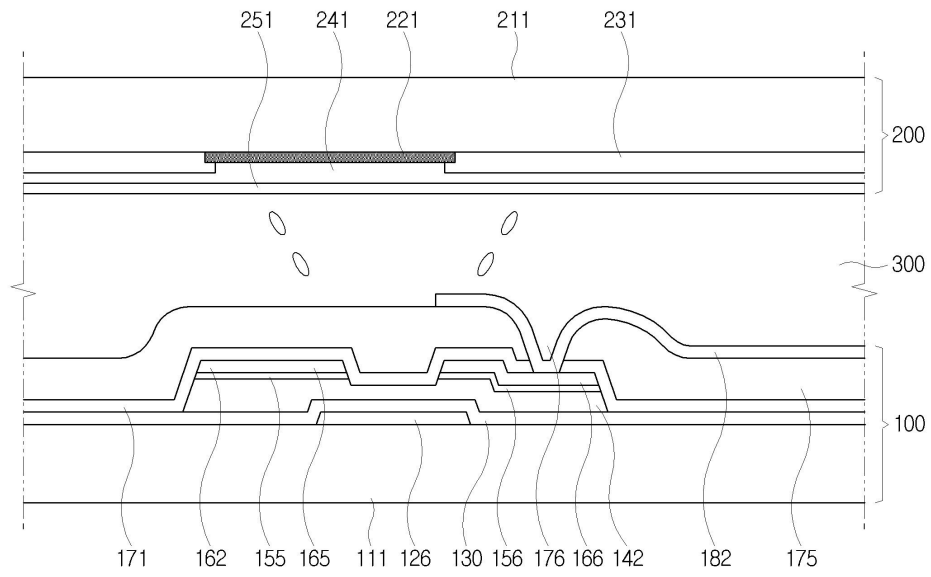
도면4



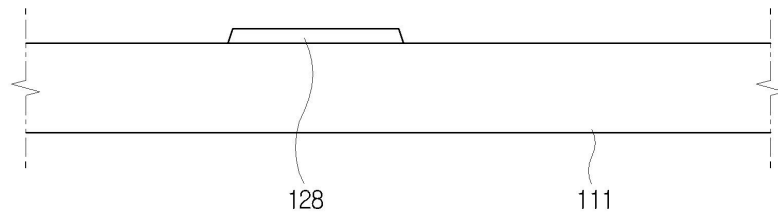
도면5



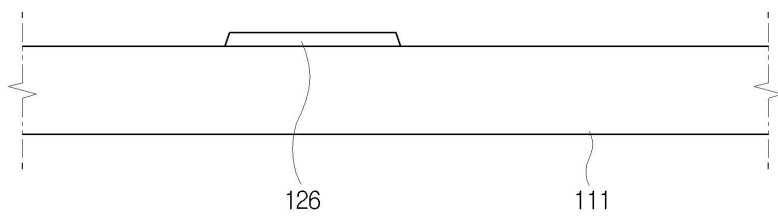
도면6



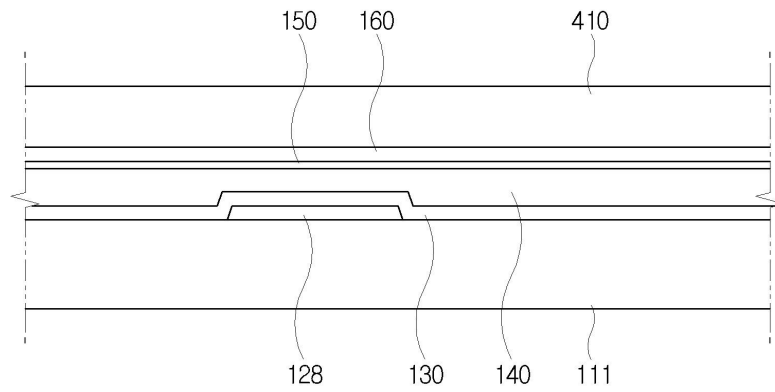
도면7a



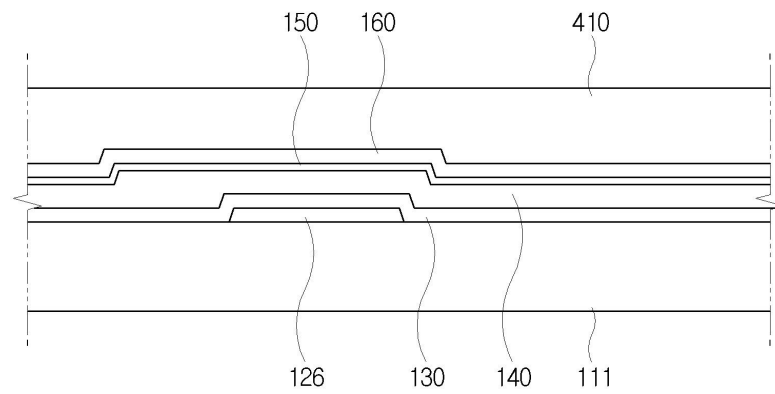
도면7b



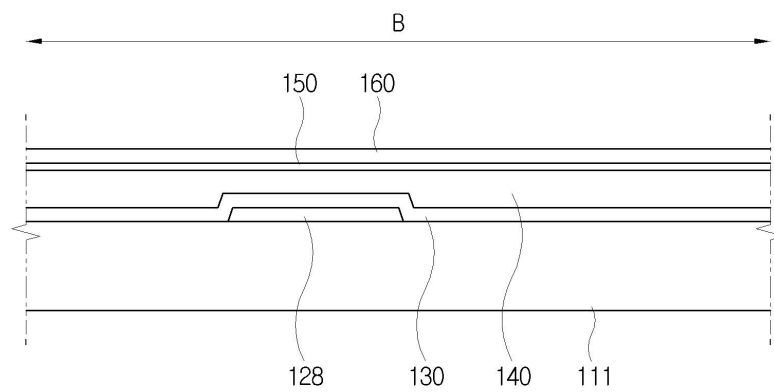
도면8a



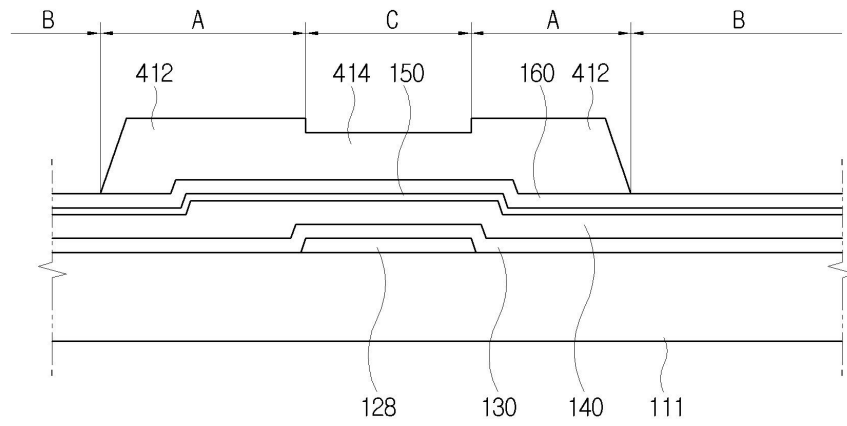
도면8b



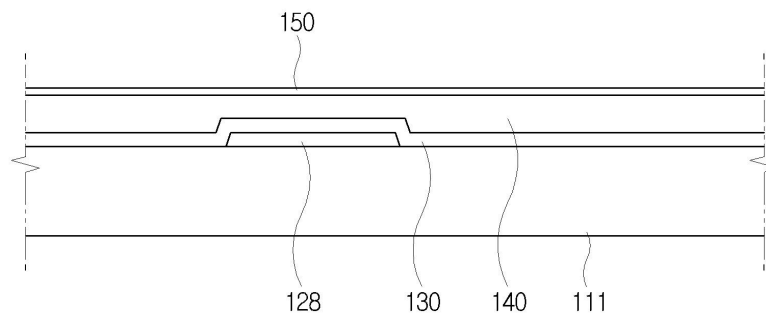
도면9a



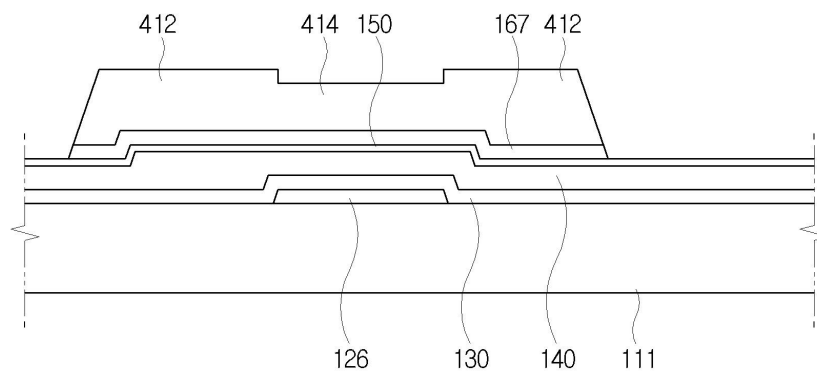
도면9b



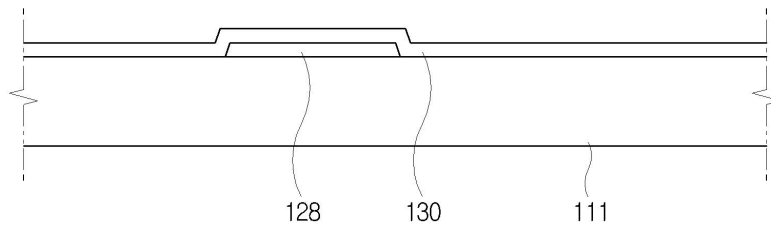
도면10a



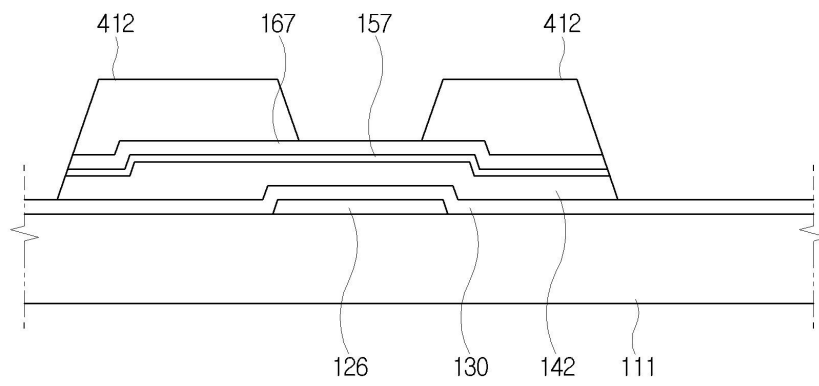
도면10b



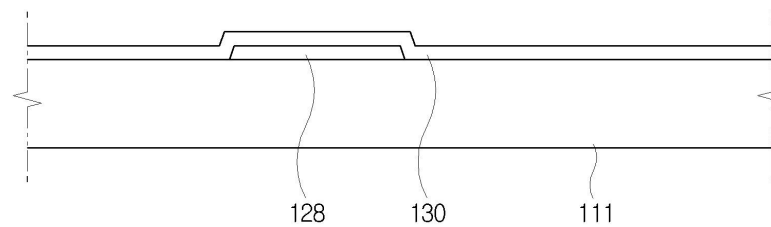
도면11a



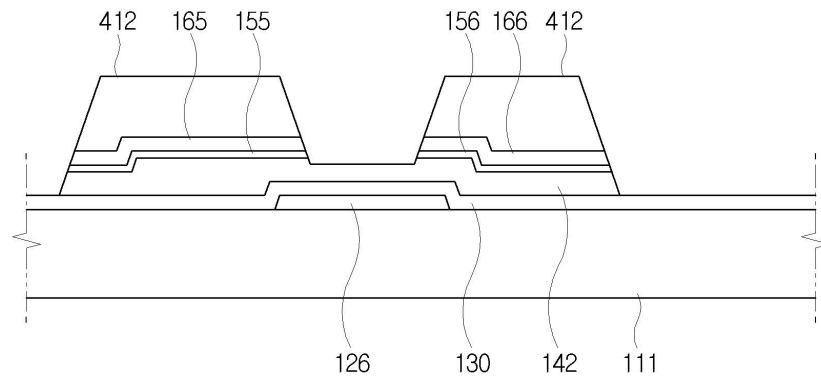
도면11b



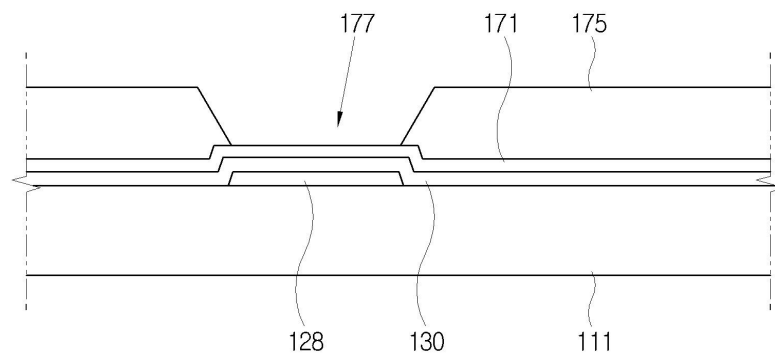
도면12a



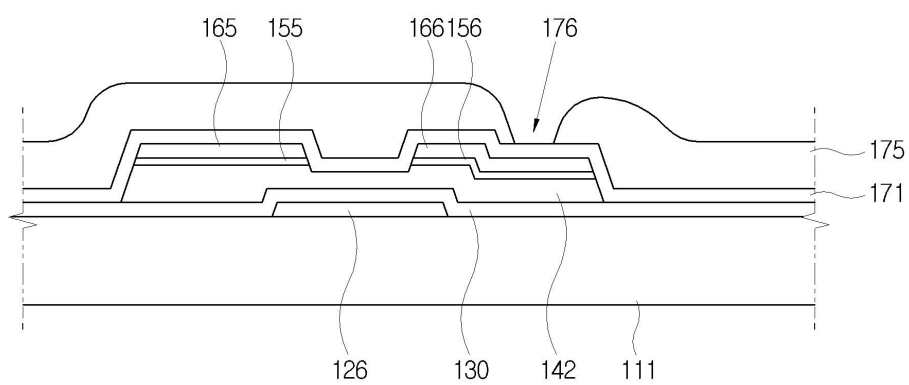
도면12b



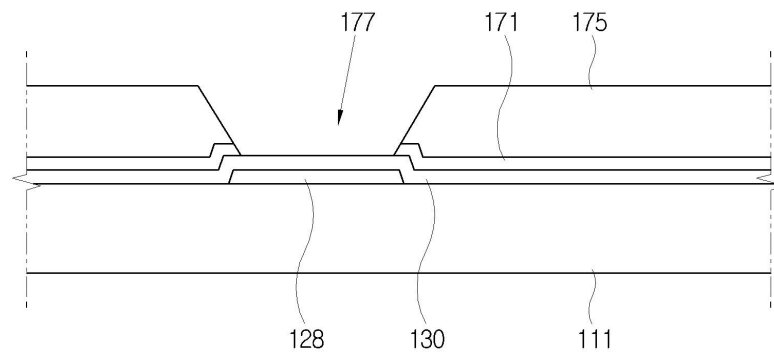
도면13a



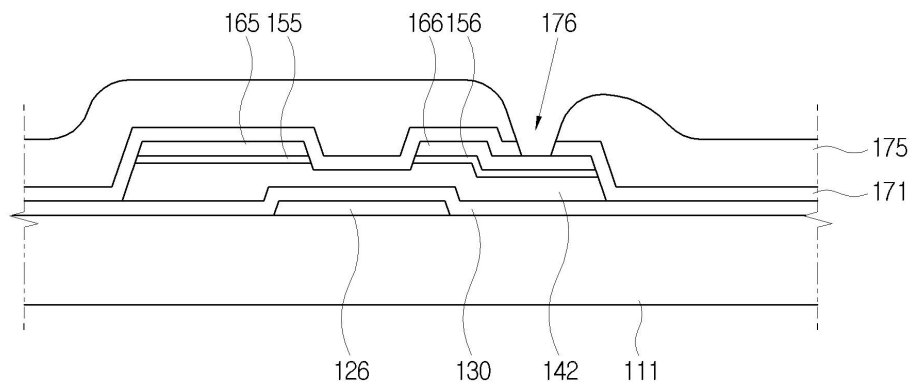
도면13b



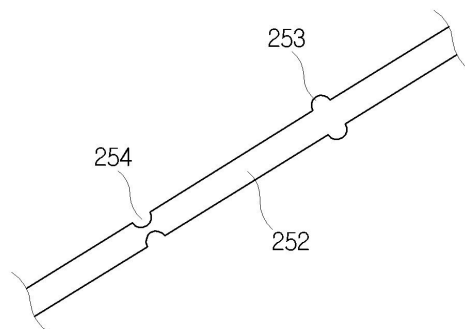
도면14a



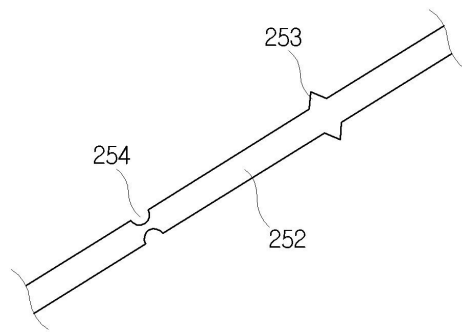
도면14b



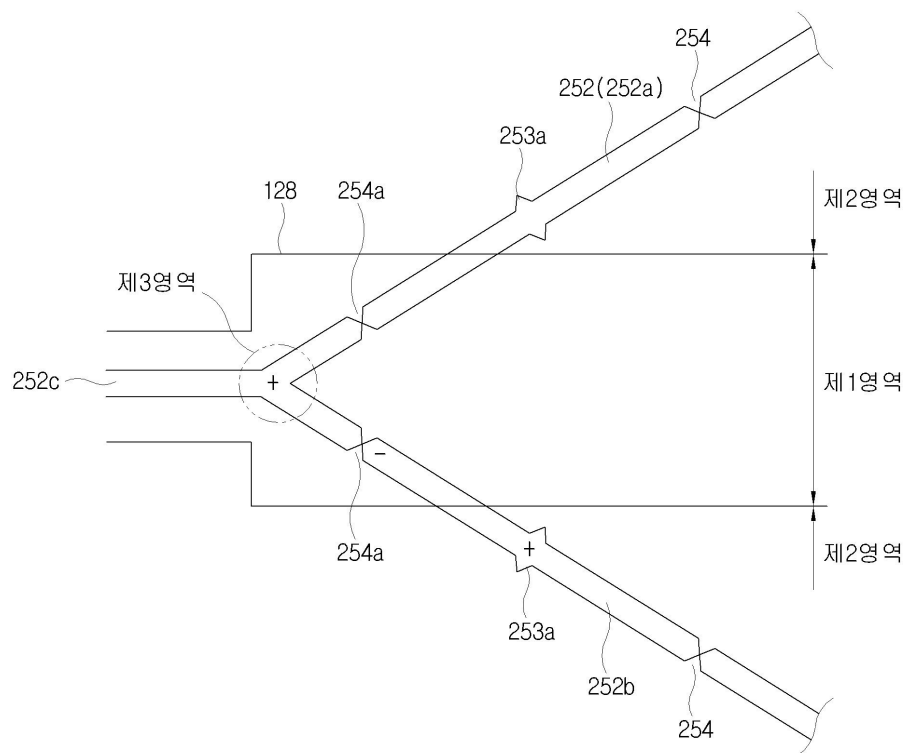
도면15a



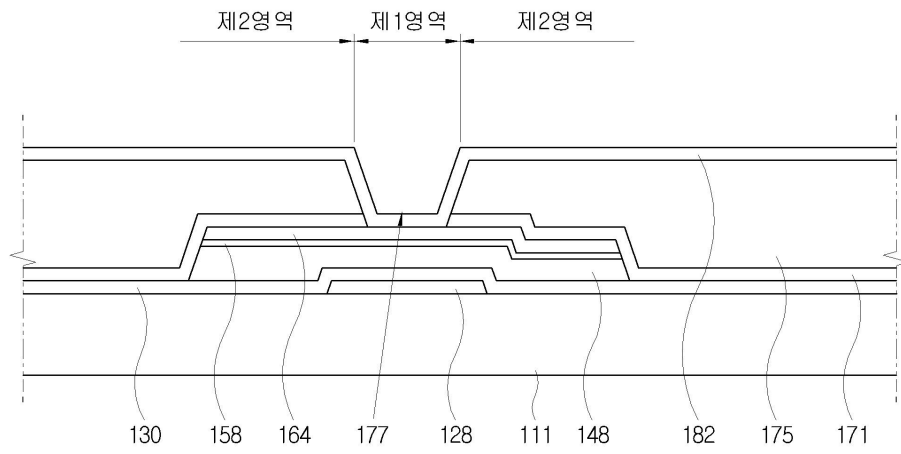
도면15b



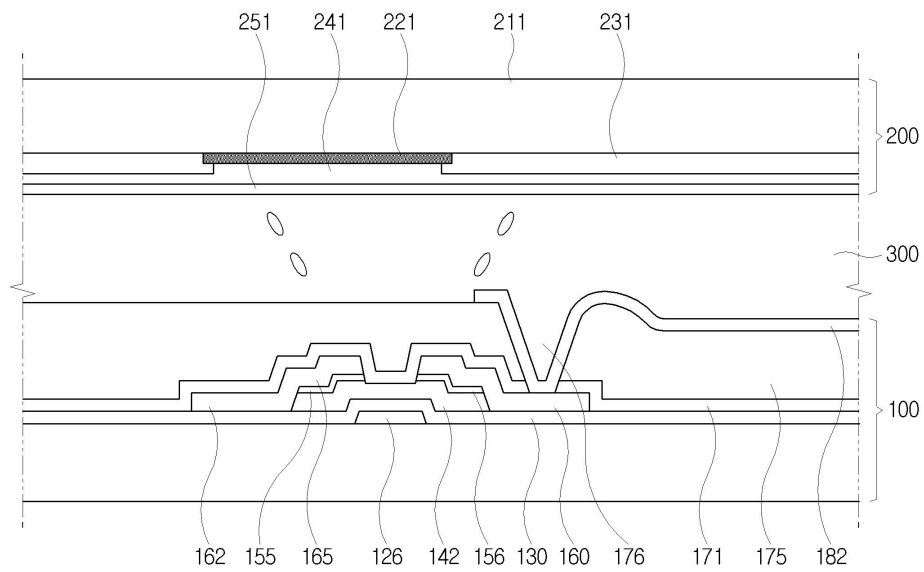
도면16



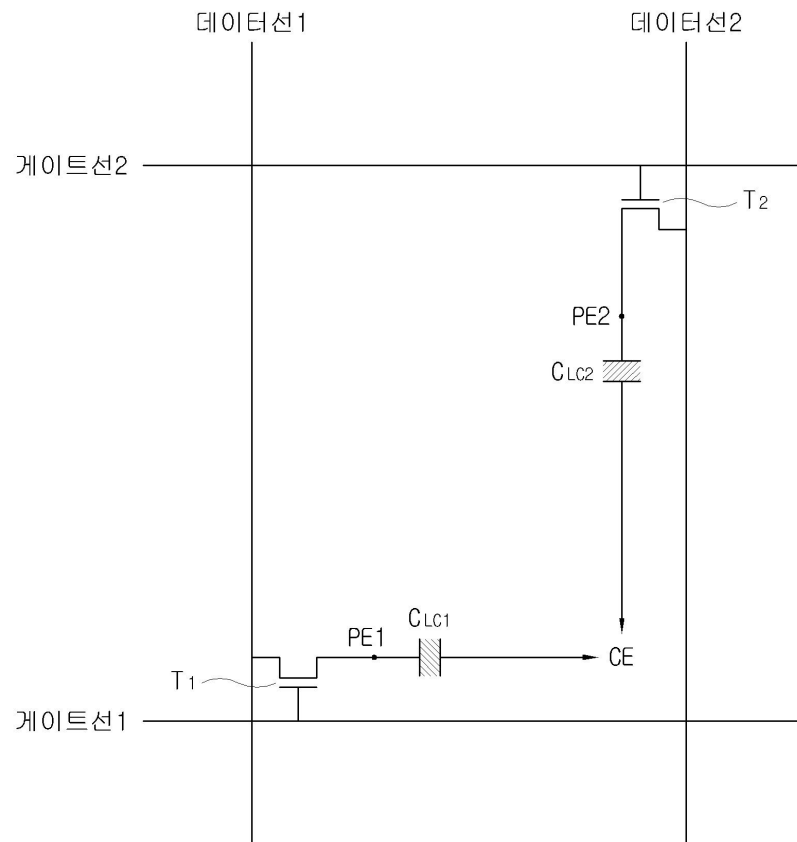
도면17



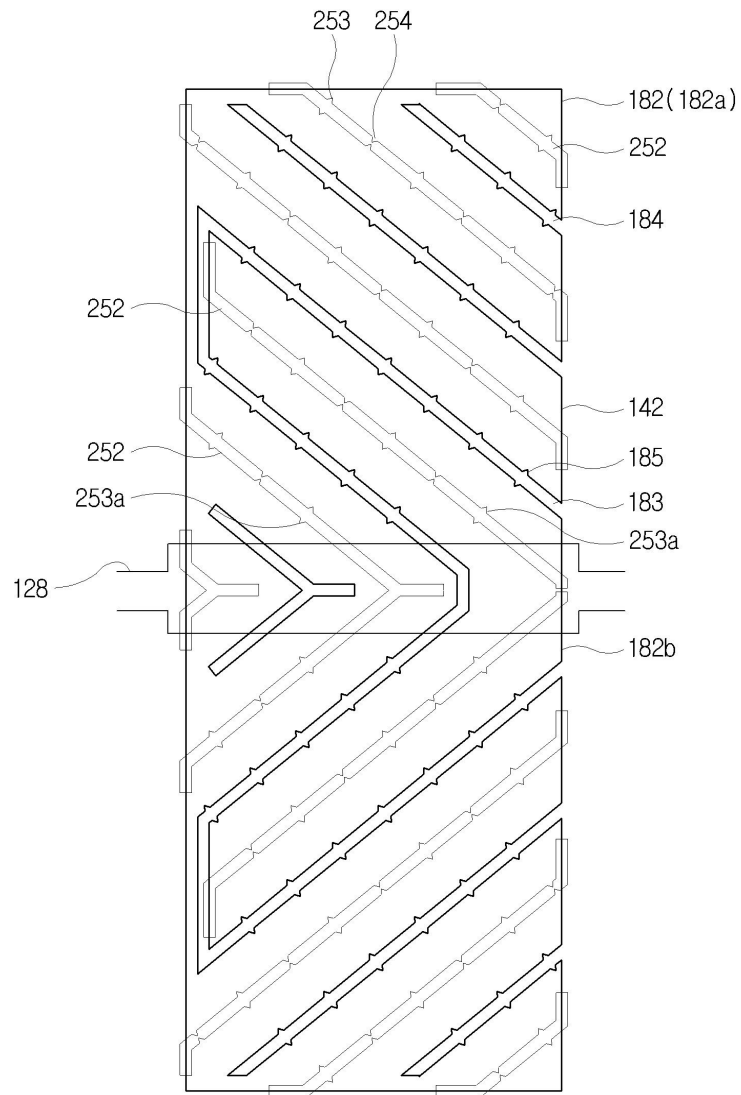
도면18



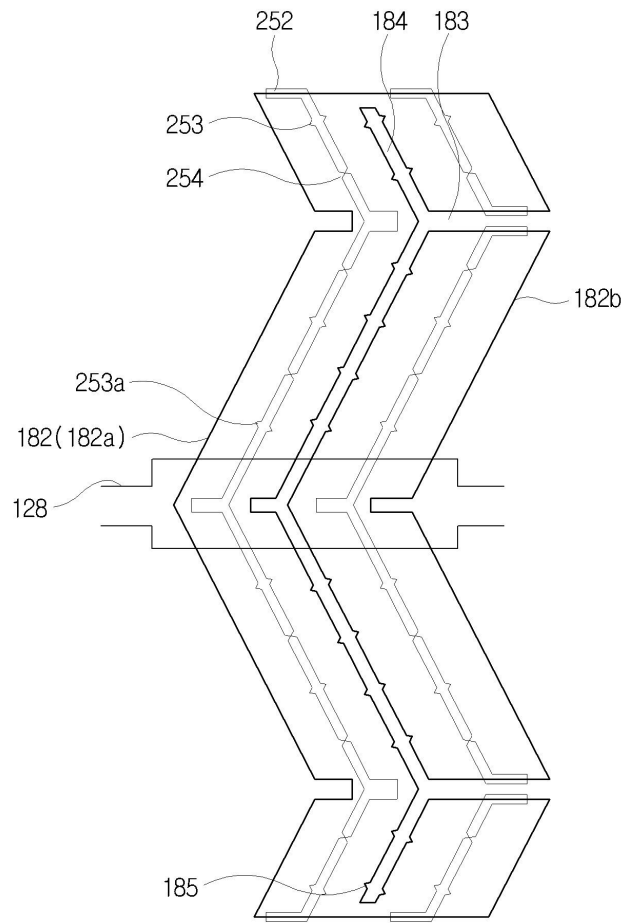
도면19



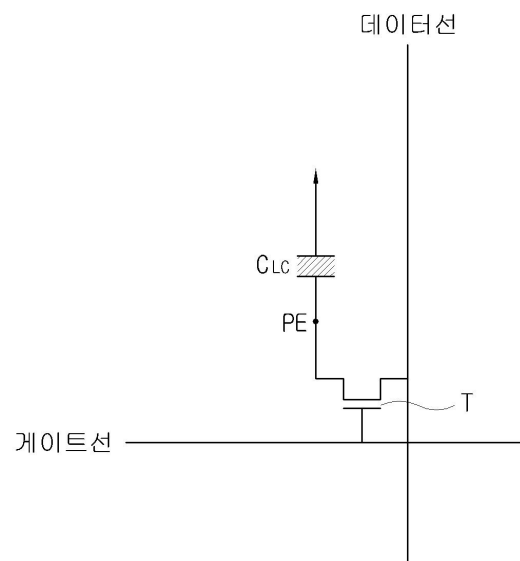
도면20



도면21



도면22



专利名称(译)	液晶显示器		
公开(公告)号	KR1020080048211A	公开(公告)日	2008-06-02
申请号	KR1020060118303	申请日	2006-11-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	YOO SEUNG HOO 유승후 DO HEE WOOK 도희욱 JUNG MEE HYE 정미혜 YANG SUNG HOON 양성훈 MOON HYUN CHEOL 문현철 YOU HYE RAN 유혜란		
发明人	유승후 도희욱 정미혜 양성훈 문현철 유혜란		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/136213 G02F2001/134318 G02F1/134309 G02F1/133753 G02F1/1393		
其他公开文献	KR101518741B1		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器。根据本发明的液晶显示器包括位于第一基板和第一基板之间的位于第一基板和第一基板之间的液晶层，在第一基板中，像素电极形成有第二基板，在第二基板中形成公共电极。第二个基板。并且，第一基板在相应的第一区域的第二部分上具有公共电极切口图案，并且在公共电极中的存储电容线周围的第一区域包括存储电容线。并且，在公共电极切口图案中形成包括宽度延伸的第一凹口和宽度减小的第二凹口的凹口。并且，在第二部分上形成的凹口中最接近第一区域的凹口可以是第一凹口。由此可以减少液晶显示器的余像。

