



## 특허청구의 범위

### 청구항 1

상부 기관 상에 형성된 공통 전극과;

상기 상부 기관과 대향하는 상기 하부 기관 상에 형성되며 상기 공통 전극에 공통 전압을 공급하기 위한 공통 패드와;

상기 상부 기관 및 상기 하부 기관 사이에 형성되며 상기 공통 전극과 상기 공통 패드를 전기적으로 연결하는 쇼트 포인트와;

상기 공통 패드와 상기 하부 기관 외곽부 사이에 형성되는 단차 보상부를 구비하는 것을 특징으로 하는 액정 표시 패널.

### 청구항 2

제 1 항에 있어서,

상기 공통 전극과 전계를 이루도록 상기 하부 기관 상에 형성되는 화소 전극과;

상기 화소 전극과 접속되는 박막트랜지스터를 추가로 구비하는 것을 특징으로 하는 액정 표시 패널.

### 청구항 3

제 2 항에 있어서,

상기 단차 보상부는 상기 박막트랜지스터의 활성층 및 오믹 접촉층과 동일한 재질이 순차적으로 적층되어 형성되는 것을 특징으로 하는 액정 표시 패널.

### 청구항 4

제 2 항에 있어서,

상기 단차 보상부는 상기 박막트랜지스터의 게이트 전극과 동일 재질로 동일 평면 상에 형성되는 것을 특징으로 하는 액정 표시 패널.

### 청구항 5

제 2 항에 있어서,

상기 단차 보상부는 상기 박막트랜지스터의 소스 및 드레인 전극과 동일 재질로 동일 평면 상에 형성되는 것을 특징으로 하는 액정 표시 패널.

### 청구항 6

상부 기관 상에 형성된 공통 전극을 포함하는 칼라 필터 기관을 마련하는 단계와;

상기 상부 기관과 대향하는 하부 기관 상에 상기 공통 전극과 전계를 이루는 화소 전극, 상기 화소 전극과 접속된 박막트랜지스터, 상기 공통 전극에 공통 전압을 공급하기 위한 공통 패드, 상기 공통 패드와 상기 하부 기관 외곽부 사이에 형성된 단차 보상부를 포함하는 박막트랜지스터 기관을 마련하는 단계와;

상기 공통 전극과 공통 패드가 쇼트 포인트를 통해 전기적으로 연결되도록 상기 칼라 필터 기관과 박막트랜지스터 기관을 합착하는 단계를 포함하는 것을 특징으로 하는 액정 표시 패널의 제조방법.

### 청구항 7

제 6 항에 있어서,

상기 단차 보상부는 상기 박막트랜지스터의 활성층 및 오믹 접촉층과 동일한 재질이 순차적으로 적층되어 형성되는 것을 특징으로 하는 액정 표시 패널의 제조방법.

### 청구항 8

제 6 항에 있어서,

상기 단차 보상부는 상기 박막트랜지스터의 게이트 전극과 동일 재질로 동일 평면 상에 형성되는 것을 특징으로 하는 액정 표시 패널의 제조방법.

## 청구항 9

제 6 항에 있어서,

상기 단차 보상부는 상기 박막트랜지스터의 소스 및 드레인 전극과 동일 재질로 동일 평면 상에 형성되는 것을 특징으로 하는 액정 표시 패널의 제조방법.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

- <20> 본 발명은 액정 표시 패널 및 그 제조 방법에 관한 것으로, 특히 사선 얼룩을 방지할 수 있는 액정 표시 패널 및 그 제조방법에 관한 것이다.
- <21> 최근, 음극선관(Cathode Ray Tube)의 단점인 두께와 부피를 줄일 수 있는 각종 평판 표시 소자들이 개발되고 있다. 평판 표시 소자로는 액정 표시 소자, 플라즈마 디스플레이 패널, 전계 방출 표시 소자, 전계 발광 소자 등이 있다.
- <22> 이러한 평판 표시 소자는 다수의 마스크 공정을 이용하여 형성된다. 하나의 마스크 공정은 박막 증착(코팅) 공정, 세정 공정, 포토리소그래피 공정, 식각 공정, 포토레지스트 박리 공정, 검사 공정 등과 같은 다수의 공정을 포함한다.
- <23> 이 중 포토리소그래피공정에 이용되는 포토레지스트는 슬릿 코팅 공정으로 기판의 일부에 도포된 후 스핀 코팅 공정에 의해 기판 전체에서 두께가 균일해진다. 그러나, 이러한 포토레지스트는 스핀 코팅 공정시 단차가 큰 영역에서 두께의 균일성을 유지하지 못한다. 이러한 문제점은 도 1에 도시된 바와 같이 상부 기판(11) 상에 형성된 공통 전극(14)과 하부 기판(1) 상에 형성된 공통 패드(10)를 연결하기 위한 쇼트 포인트(2) 영역에서 두드러지게 나타난다. 즉, 공통 패드(10)의 공통 패드 하부 전극(4)에 의해 쇼트 포인트(2) 영역과 그 주변 영역에는 단차(H)가 발생된다. 이 단차(H)에 의해 쇼트 포인트 영역(2)과 그 주변 영역 사이에서 공통 패드 상부 전극(6) 패터닝시 이용되는 포토레지스트가 급격한 경사를 가지도록 불균일하게 도포됨으로써 사선 얼룩 형태의 불량 발생되는 문제점이 있다.

#### 발명이 이루고자 하는 기술적 과제

- <24> 따라서, 본 발명이 이루고자 하는 기술적 과제는 사선 얼룩을 방지할 수 있는 액정 표시 패널 및 그 제조방법을 제공하는 것이다.

#### 발명의 구성 및 작용

- <25> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 액정 표시 패널은 상부 기판 상에 형성된 공통 전극과; 상기 상부 기판과 대향하는 하부 기판 상에 형성되며 공통 전극에 공통 전압을 공급하기 위한 공통 패드와; 상기 상부 기판 및 하부 기판 사이에 형성되며 상기 공통 전극과 공통 패드를 전기적으로 연결하는 쇼트 포인트와; 상기 공통 패드와 하부 기판 외곽부 사이에 형성되는 단차 보상부를 구비하는 것을 특징으로 한다.
- <26> 또한, 상기 액정 표시 패널은 상기 공통 전극과 전계를 이루도록 상기 하부 기판 상에 형성되는 화소 전극과; 상기 화소 전극과 접촉되는 박막트랜지스터를 추가로 구비하는 것을 특징으로 한다.
- <27> 상기 단차 보상부의 제1 실시 예는 상기 박막트랜지스터의 활성층 및 오믹 접촉층과 동일한 재질이 순차적으로 적층되어 형성되는 것을 특징으로 한다.
- <28> 상기 단차 보상부의 제2 실시 예는 상기 박막트랜지스터의 게이트 전극과 동일 재질로 동일 평면 상에 형성되는

것을 특징으로 한다.

- <29> 상기 단차 보상부의 제3 실시 예는 상기 박막트랜지스터의 소스 및 드레인 전극과 동일 재질로 동일 평면 상에 형성되는 것을 특징으로 한다.
- <30> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 액정 표시 패널의 제조방법은 상부 기판 상에 형성된 공통 전극을 포함하는 칼라 필터 기판을 마련하는 단계와; 상기 상부 기판과 대향하는 하부 기판 상에 상기 공통 전극과 전계를 이루는 화소 전극, 상기 화소 전극과 접속된 박막트랜지스터, 상기 공통 전극에 공통 전압을 공급하기 위한 공통 패드, 상기 공통 패드와 상기 하부 기판 외곽부 사이에 형성된 단차 보상부를 포함하는 박막트랜지스터 기판을 마련하는 단계와; 상기 공통 전극과 공통 패드가 쇼트 포인트를 통해 전기적으로 연결되도록 상기 칼라 필터 기판과 박막트랜지스터 기판을 합착하는 단계를 포함하는 것을 특징으로 한다.
- <31> 상기 기술적 과제 외에 본 발명의 다른 기술적 과제 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- <32> 이하, 본 발명의 바람직한 실시 예들을 도 2 내지 도 5f를 참조하여 상세하게 설명하기로 한다.
- <33> 도 2는 본 발명에 따른 액정 표시 패널을 나타내는 평면도이며, 도 3은 도 2에 도시된 액정 표시 패널을 I-I', II-II'선을 따라 절단하여 나타낸 단면도이다.
- <34> 도 2 및 도 3에 도시된 액정 표시 패널은 액정을 사이에 두고 대향하는 박막트랜지스터 기판(160) 및 칼라 필터 기판(150)을 구비한다.
- <35> 칼라 필터 기판(150)은 상부 기판(111) 상에 순차적으로 형성된 블랙 매트릭스(도시하지 않음)와 칼라 필터(도시하지 않음) 및 공통 전극(152)을 구비한다. 블랙 매트릭스는 상부 기판(111) 상에 매트릭스 형태로 형성된다. 이러한 블랙 매트릭스는 상부 기판(111)의 영역을 칼라 필터가 형성되어질 다수의 셀영역들로 나누고, 인접한 셀들간의 광 간섭 및 외부광 반사를 방지한다. 칼라 필터는 블랙 매트릭스에 의해 구분된 셀영역에 적(R), 녹(G), 청(B)으로 구분되게 형성되어 적, 녹, 청색 광을 각각 투과시킨다. 공통 전극(152)은 칼라 필터 위에 전면 도포된 투명 도전층으로 액정 구동시 기준이 되는 공통 전압(Vcom)을 쇼트 포인트(170)를 통해 공급한다.
- <36> 박막 트랜지스터 기판(160)은 게이트 라인(102) 및 데이터 라인(104)과 접속된 박막트랜지스터(130)와, 박막트랜지스터(130)와 접속된 화소 전극(122)과, 게이트 라인(102)과 접속된 게이트 패드(132)와, 데이터 라인(104)과 접속된 데이터 패드(134)와, 쇼트 포인트(170)를 통해 공통 전극(152)과 접속된 공통 패드(140)를 구비한다.
- <37> 박막트랜지스터(130)는 게이트라인(102)으로부터의 게이트신호에 응답하여 데이터라인(104)으로부터의 데이터신호를 선택적으로 화소전극(122)에 공급한다. 이를 위해, 박막트랜지스터(130)는 게이트 라인(102)과 접속된 게이트 전극(106), 데이터 라인(104)과 접속된 소스 전극(108), 화소 전극(122)과 접속된 드레인 전극(110), 게이트 전극(106)과 게이트 절연막(112)을 사이에 두고 중첩되면서 소스 전극(108)과 드레인 전극(110) 사이에 채널을 형성하는 활성층(114), 그 활성층(114)과 소스 전극(108) 및 드레인 전극(110)과의 오믹 접촉을 위한 오믹 접촉층(116)을 구비한다.
- <38> 화소 전극(122)은 각 서브 화소 영역에서 콘택홀(120)을 통해 노출된 박막 트랜지스터(130)의 드레인 전극(110)과 접속된다. 이러한 화소 전극(122)은 박막 트랜지스터(130)를 통해 비디오 신호가 공급되면, 공통 전압이 공급된 공통 전극(152)과 수직 전계를 형성하여 박막트랜지스터 기판(160)과 칼라필터 기판(150) 사이에서 수직 방향으로 배열된 액정 분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.
- <39> 게이트 패드(132)는 게이트 라인(102)과 접속되어 게이트 구동부(도시하지 않음)로부터의 게이트 신호를 게이트 라인(102)에 공급한다.
- <40> 데이터 패드(134)는 데이터 라인(104)과 접속되어 데이터 구동부(도시하지 않음)로부터의 게이트 신호를 데이터 라인(104)에 공급한다.
- <41> 공통 패드(140)는 쇼트 포인트(170)를 통해 공통 전극(152)과 접속됨과 아울러 공급 패드(136)와 접속된다. 이에 따라, 공통 패드(140)는 전원부(도시하지 않음)와 접속된 공급 패드(136)를 통해 공급되는 공통 전압을 공통 전극(152)에 공급한다. 이러한 공통 패드(140)와 하부 기판(101) 외곽부 사이에는 공통 패드(140)와의 단차를 보상하기 위해 적어도 하나의 단차 보상부(148)가 형성된다. 이 단차 보상부(148)는 공통 패드 상부 전극(144) 형성시 도포되는 포토레지스트가 공통 패드(140)와 그 주변 영역 사이에서 완만한 경사를 가지도록 한다. 이러

한 단차 보상부(148)에 의해 공통 패드 상부 전극 형성시 이용되는 포토레지스트의 도포 균일성이 높아져 사선 얼룩과 같은 불량 현상을 방지한다. 이 단차 보상부(148)는 도 3 내지 도 4c에 도시된 바와 같이 공통 패드 하부 전극(142)과 다른 금속으로 형성된다.

- <42> 구체적으로, 도 3 및 도 4a에 도시된 바와 같이 공통 패드 하부 전극(142)이 게이트 라인(102)과 동일한 게이트 금속으로 형성된 경우, 단차 보상부(148)는 게이트 절연막(112) 상에 활성층(114) 및 오믹접촉층(116)과 동일 재질이 순차적으로 적층되어 형성되거나 데이터 라인(104)과 동일한 소스/드레인 금속으로 형성된다. 이 때, 공통 패드(140)는 공통 패드 하부 전극(142)과, 게이트 절연막(112) 및 보호막(118)을 관통하여 공통 패드 하부 전극(142)을 노출시키는 공통 콘택홀(146)과, 공통 콘택홀(146)을 통해 공통 패드 하부 전극(142)과 접속되는 공통 패드 상부 전극(144)을 포함한다.
- <43> 도 4b에 도시된 바와 같이 공통 패드 하부 전극(142)이 데이터 라인(104)과 동일한 소스/드레인 금속으로 형성된 경우, 단차 보상부(148)는 기판(101) 상에 게이트 금속으로 형성되거나 게이트 절연막(112) 상에 활성층(114) 및 오믹접촉층(116)과 동일 재질로 순차적으로 적층되어 형성된다. 이 때, 공통 패드(140)는 공통 패드 하부 전극(142)과, 보호막(118)을 관통하여 공통 패드 하부 전극(142)을 노출시키는 공통 콘택홀(146)과, 공통 콘택홀(146)을 통해 공통 패드 하부 전극(142)과 접속되는 공통 패드 상부 전극(144)을 포함한다.
- <44> 도 4c에 도시된 바와 같이 공통 패드 중간 전극(154)과 접속된 공통 패드 하부 전극(142)이 게이트 라인(102)과 동일한 게이트 금속으로 형성된 경우, 단차 보상부(148)는 게이트 절연막(112) 상에 활성층(114) 및 오믹접촉층(116)과 동일 재질이 순차적으로 적층되어 형성되거나 데이터 라인(104)과 동일한 소스/드레인 금속으로 형성된다. 이 때, 공통 패드(140)는 공통 패드 하부 전극(142)과, 게이트 절연막(112)을 관통하여 공통 패드 하부 전극(142)을 노출시키는 제1 공통 콘택홀(148)과, 제1 공통 콘택홀(148)을 통해 공통 패드 하부 전극(142)과 접속되는 공통 패드 중간 전극(154)과, 보호막(118)을 관통하여 공통 패드 중간 전극(154)을 노출시키는 제2 공통 콘택홀(156)과, 제2 공통 콘택홀(156)을 통해 공통 패드 중간 전극(154)과 접속되는 공통 패드 상부 전극(144)을 포함한다.
- <45> 도 5a 내지 도 5f는 도 3에 도시된 액정 표시 패널의 제조 방법을 설명하기 위한 단면도들이다.
- <46> 도 5a에 도시된 바와 같이 하부 기판(101) 상에 게이트 전극(106)과, 게이트 전극(106)과 접속된 게이트 라인(102)과, 공통 패드 하부 전극(142)을 포함하는 게이트 패턴이 형성된다. 이러한 게이트 패턴은 게이트 금속층이 하부 기판(101) 위에 증착되고 그 게이트 금속층이 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 형성된다. 게이트 금속층으로는 Al, Mo, Cu, Cr, Ti 금속 또는 그들의 합금이 단일층 또는 복층 구조로 형성되어 이용된다.
- <47> 도 5b에 도시된 바와 같이 하부 기판(101) 상에 게이트 패턴을 덮는 게이트 절연막(112)이 형성된다. 게이트 절연막(112)으로는 SiNx, SiOx 등과 같은 무기 절연 물질이 이용된다. 이어서, 게이트 절연막(112) 위에 활성층(114), 오믹 접촉층(116) 및 단차 보상부(148)를 포함하는 반도체 패턴이 형성된다. 반도체 패턴은 비정질 실리콘층과 N<sup>+</sup> 이온 도핑된 비정질 실리콘층이 순차적으로 적층된 후 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 형성된다.
- <48> 도 5c에 도시된 바와 같이 반도체 패턴이 형성된 게이트 절연막(112) 위에 게이트 라인(102)과 교차하는 데이터 라인(104), 데이터 라인(104)과 접속된 소스 전극(108), 소스 전극(108)과 마주하는 드레인 전극(110)을 포함하는 소스/드레인 패턴이 형성된다. 이러한 소스/드레인 패턴은 소스/드레인 금속층이 증착된 후 그 소스/드레인 금속층이 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 형성된다. 소스/드레인 금속층으로는 Al, Mo, Cu, Cr, Ti 금속 또는 그들의 합금이 단일층 또는 복층 구조로 형성되어 이용된다. 그 다음, 소스 전극(108)과 드레인 전극(110) 사이로 노출된 오믹 접촉층(116)을 제거하여 활성층(114)이 노출되게 한다.
- <49> 한편, 상기 게이트 절연막, 비정질 실리콘층, N<sup>+</sup> 이온 도핑된 비정질 실리콘층, 소스/드레인 금속층이 연속 증착된 다음 하나의 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 반도체 패턴과 소스/드레인 패턴이 형성되기도 한다.
- <50> 도 5d에 도시된 바와 같이 하부 기판(101) 상에 소스/드레인 패턴을 덮는 보호막(118)이 형성되고, 그 보호막(118)이 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 드레인 전극(110)의 일부를 노출시키는 화소 콘택홀(120)과 공통 패드 하부 전극(142)의 일부를 노출시키는 공통 콘택홀(146)이 형성된다.
- <51> 도 5e에 도시된 바와 같이 하부 기판(101) 상에 화소 콘택홀(120)을 통해 드레인 전극(110)과 접속되는 화소 전극(122)과, 공통 콘택홀(146)을 통해 공통 패드 하부 전극(142)과 접속되는 공통 패드 상부 전극(144)을 포함하

는 투명 도전 패턴이 보호막(118) 위에 형성된다. 화소 전극(122) 및 공통 패드 상부 전극(144)은 투명 도전 물질이 보호막(118) 위에 증착된 다음 그 투명 도전 물질이 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 형성된다.

<52> 도 5f에 도시된 바와 같이 상술한 게이트 패턴, 반도체 패턴, 소스/드레인 패턴 및 투명 도전 패턴을 포함하는 박막 트랜지스터 기관(160)과 칼라 필터 기관(150)이 합착되어 액정 표시 패널이 형성된다. 이 때, 박막 트랜지스터 기관(160)의 공통 패드(140)는 쇼트 포인트(170)를 통해 칼라 필터 기관(150)의 공통 전극(152)과 접속된다.

### 발명의 효과

<53> 상술한 바와 같이, 본 발명에 따른 액정 표시 장치는 공통 패드의 주변영역에 공통 패드와의 단차를 보상하기 위한 적어도 하나의 단차 보상부가 형성된다. 이러한 단차 보상부(148)에 의해 공통 패드 상부 전극 형성시 이용되는 포토레지스트의 도포 균일성이 높아져 사선 얼룩과 같은 불량 현상을 방지할 수 있다.

<54> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

### 도면의 간단한 설명

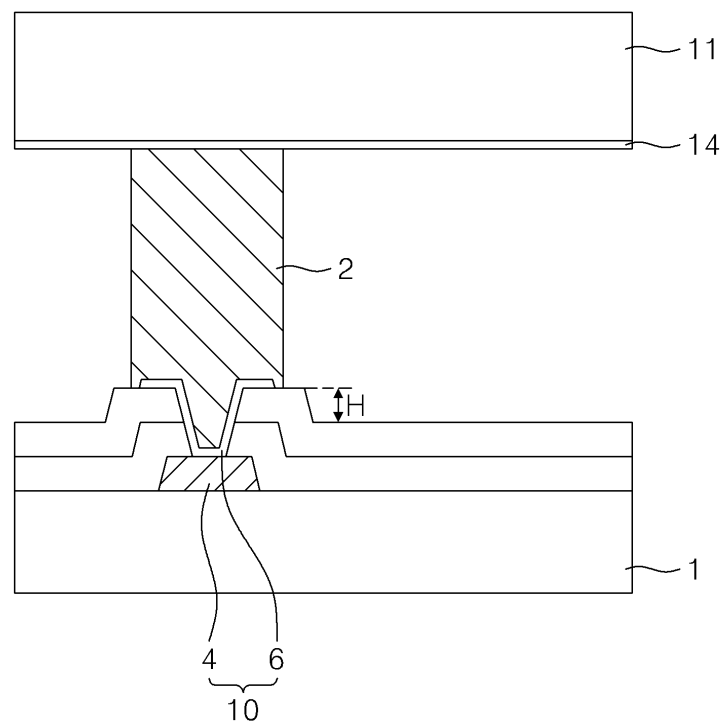
- <1> 도 1은 종래 액정 표시 패널을 나타내는 단면도이다.
- <2> 도 2는 본 발명에 따른 액정 표시 패널을 나타내는 평면도이다.
- <3> 도 3은 도 2에서 선 I-I', II-II'를 따라 절취한 액정 표시 패널을 나타내는 단면도이다.
- <4> 도 4a 내지 도 4c는 도 2에 도시된 공통 패드와 단차 보상부의 다양한 형태를 나타내는 단면도이다.
- <5> 도 5a 내지 도 5f는 도 3에 도시된 액정 표시 패널의 제조방법을 나타내는 단면도들이다.

#### < 도면의 주요 부분에 대한 부호의 설명 >

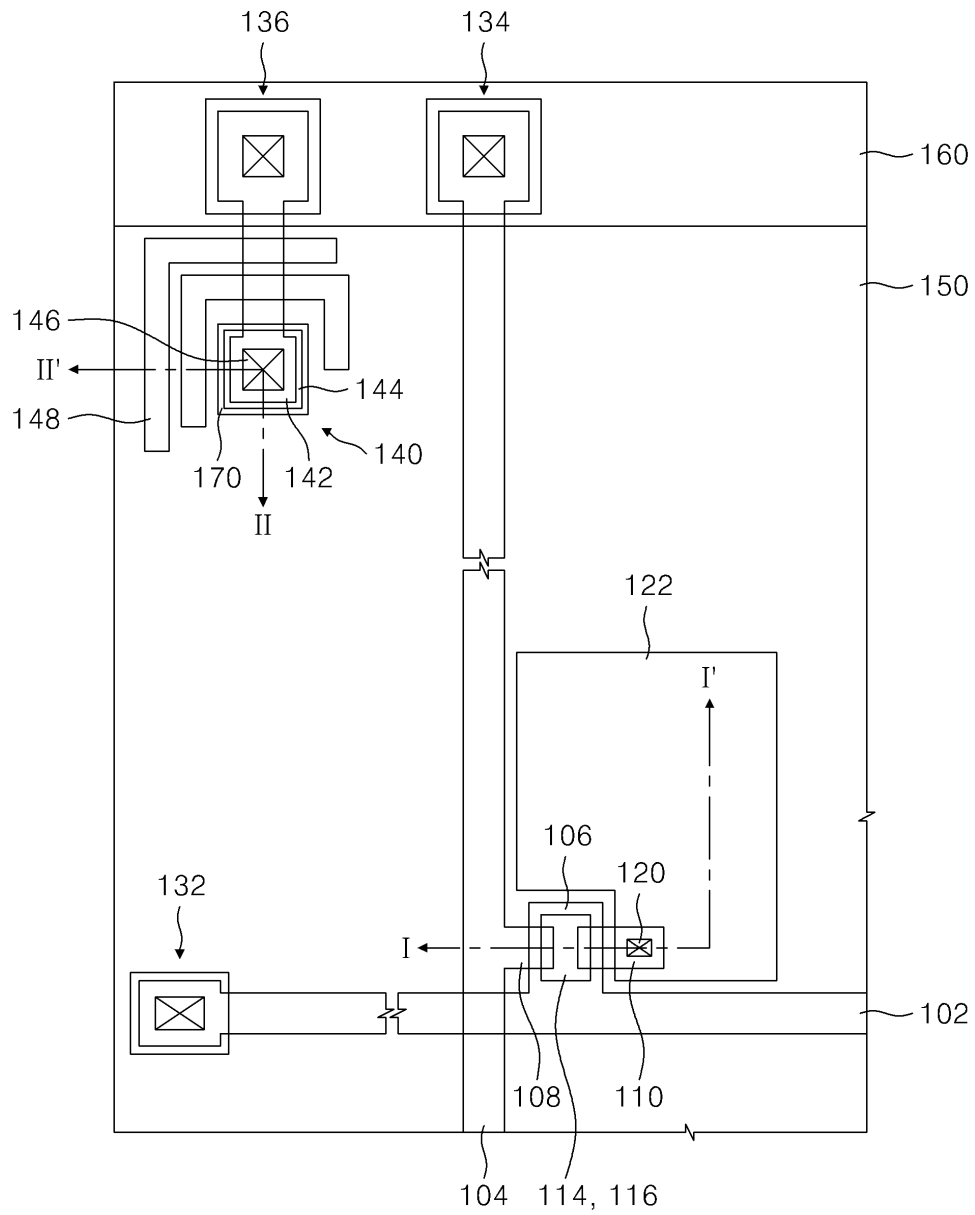
- |                               |                   |
|-------------------------------|-------------------|
| <7> 101, 111 : 기관             | 102 : 게이트 라인      |
| <8> 104 : 데이터 라인              | 106 : 게이트 전극      |
| <9> 108 : 소스 전극               | 110 : 드레인 전극      |
| <10> 112 : 게이트 절연막            | 114 : 활성층         |
| <11> 116 : 오믹 접촉층             | 118 : 보호막         |
| <12> 120, 146, 148, 156 : 콘택홀 | 122 : 화소 전극       |
| <13> 130 : 박막 트랜지스터           | 132 : 게이트 패드      |
| <14> 134 : 데이터 패드             | 136 : 공급 패드       |
| <15> 140 : 공통 패드              | 142 : 공통 패드 하부 전극 |
| <16> 144 : 공통 패드 상부 전극        | 148 : 단차 보상부      |
| <17> 150 : 칼라 필터 기관           | 152 : 공통 전극       |
| <18> 154 : 공통 패드 중간 전극        | 160 : 박막트랜지스터 기관  |
| <19> 170 : 쇼트 포인트             |                   |

도면

도면1

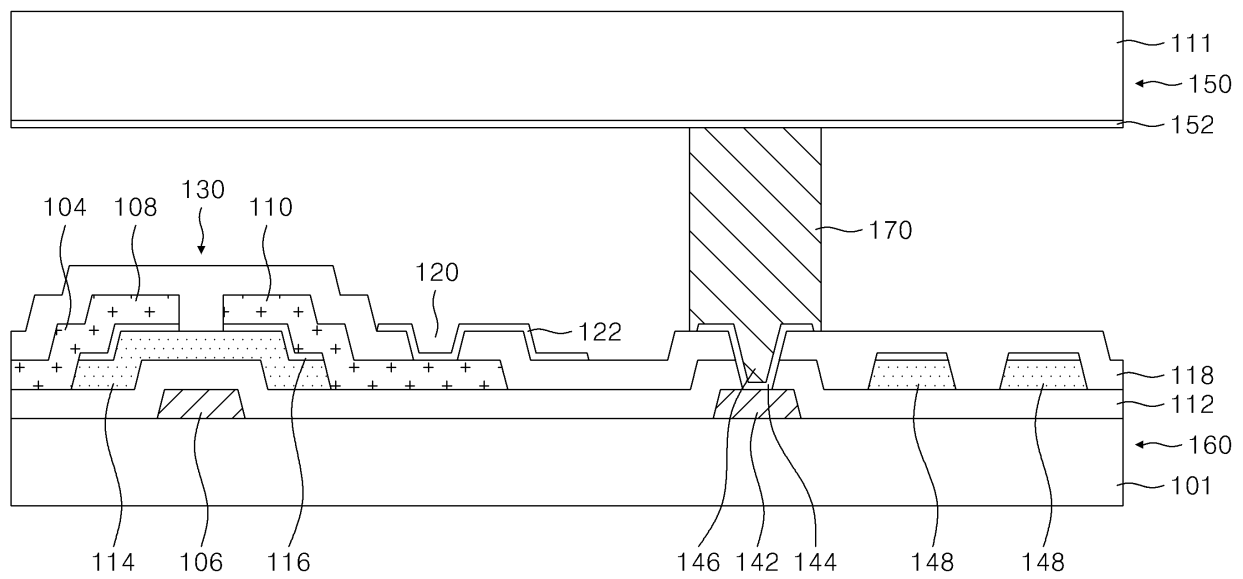


도면2

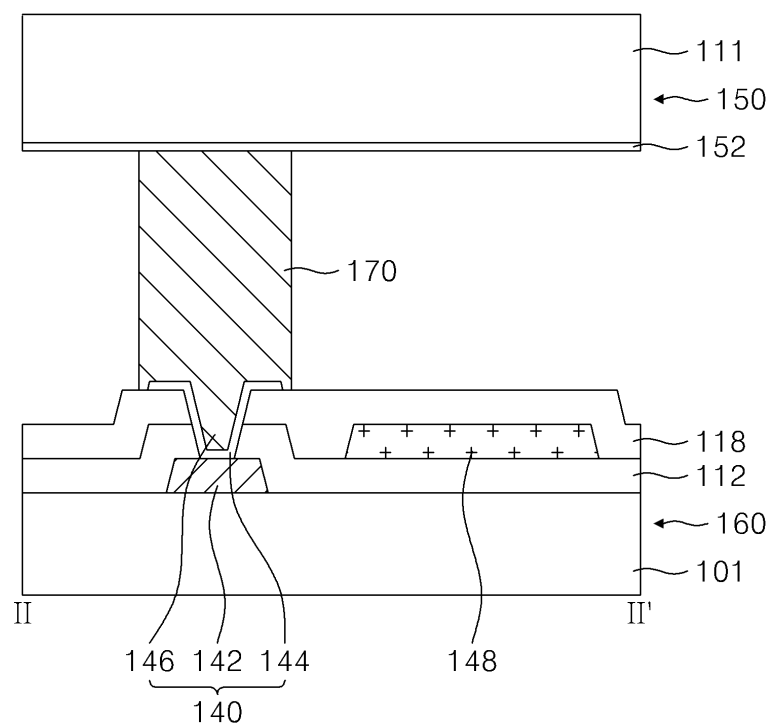




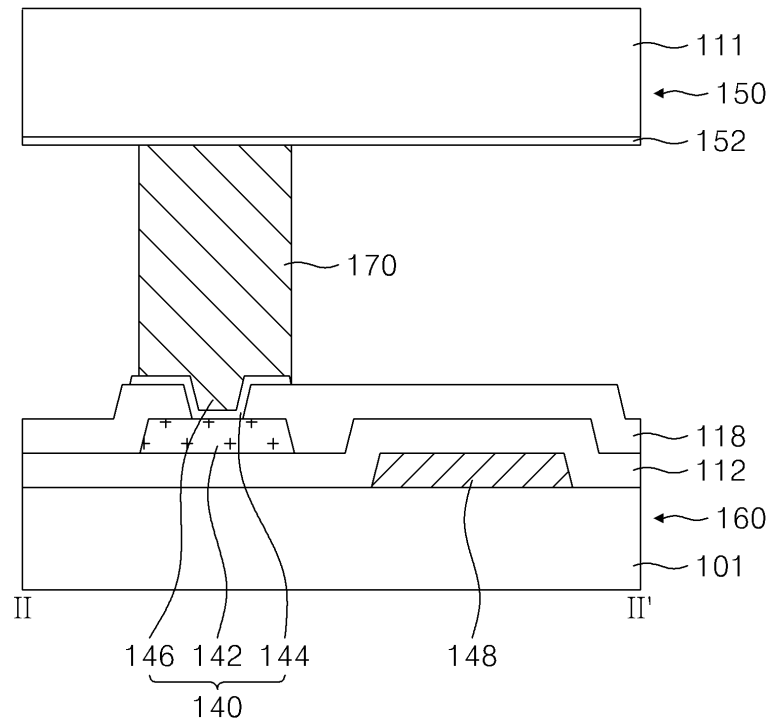
도면3



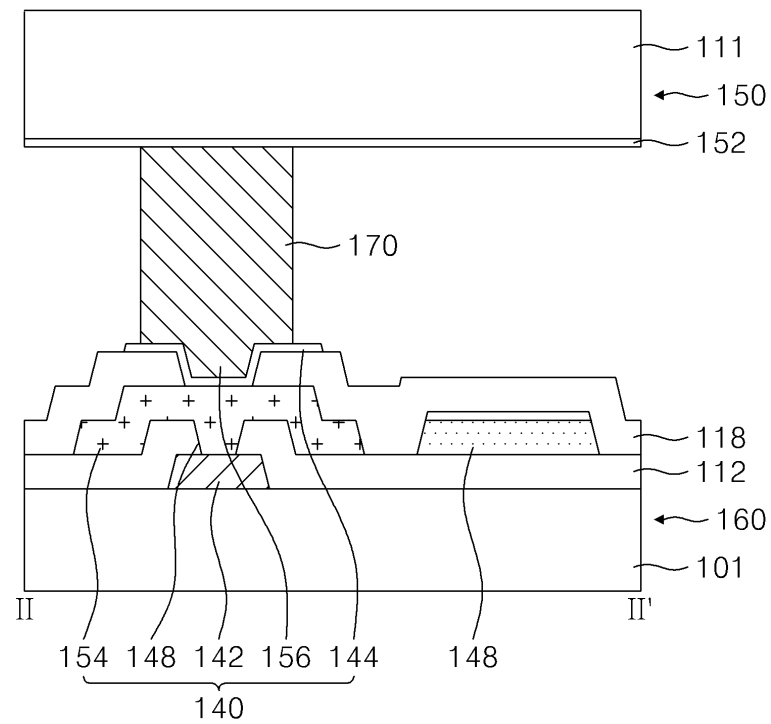
도면4a



도면4b



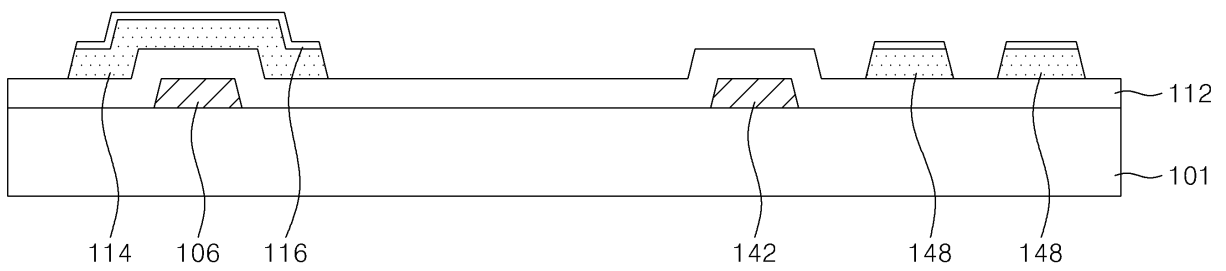
도면4c



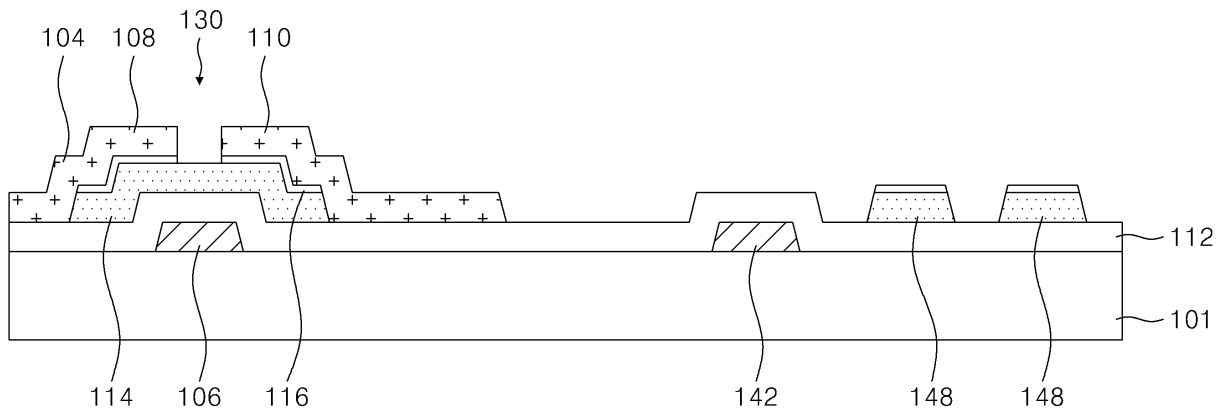
도면5a



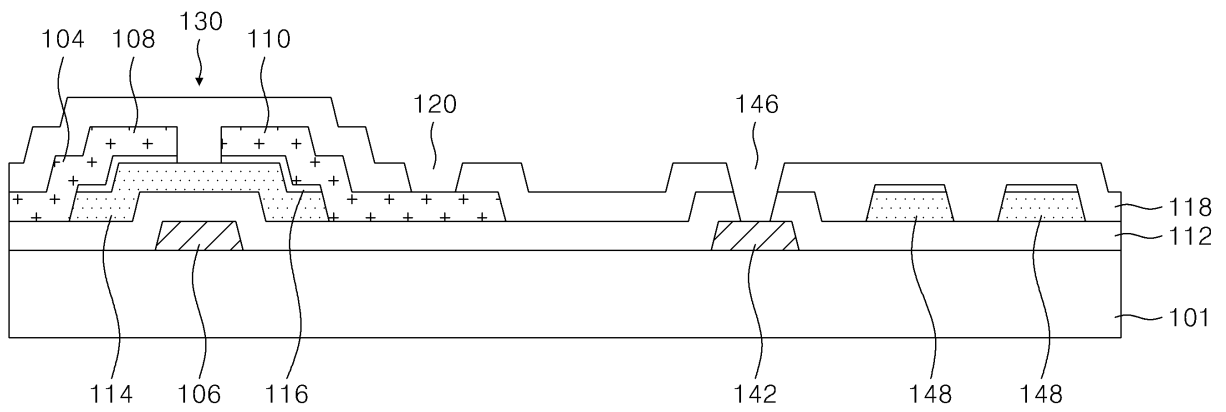
도면5b



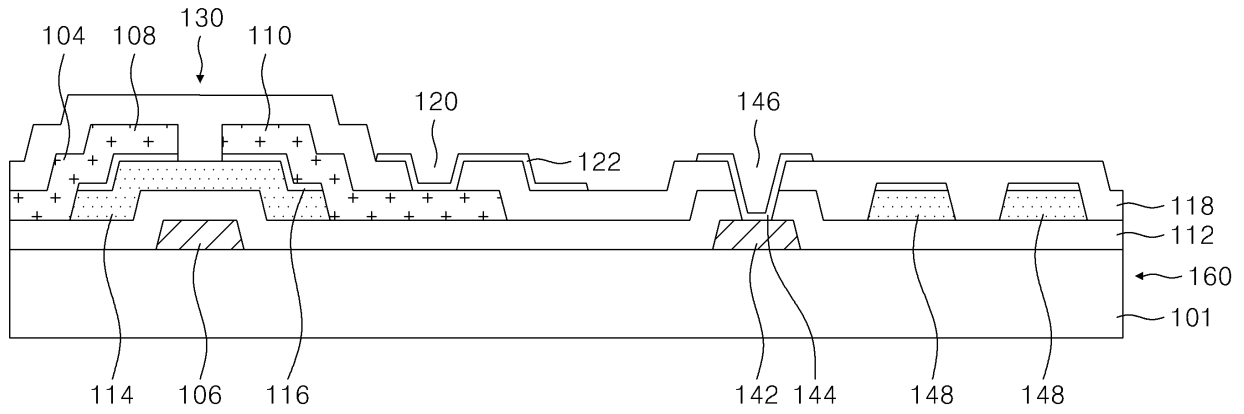
도면5c



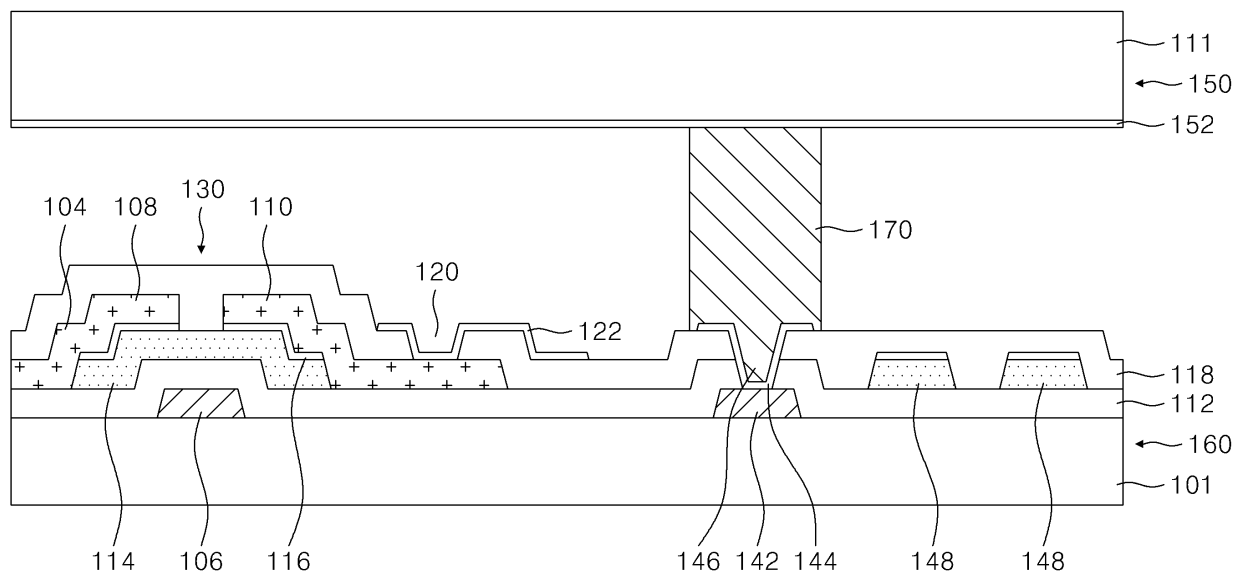
도면5d



도면5e



도면5f



本发明提供一种能够防止斜线污迹的LCD面板及其制造方法。根据本发明的LCD面板包括形成在上板上的公共电极;公共PAD,用于在形成时面向上板的下板上的公共电极提供公共电压;上板;形成在短路点上的台阶差补偿部分,在下板,公共PAD和下板轮廓空间之间形成电连接公共电极和公共PAD。

