



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0059252  
G02F 1/136 (2006.01) (43) 공개일자 2007년06월12일

(21) 출원번호 10-2005-0117893  
(22) 출원일자 2005년12월06일  
심사청구일자 없음

(71) 출원인 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 신섭  
서울특별시 강동구 명일동 15번지 삼익아파트 601동 1503호  
오세춘  
경기 성남시 분당구 이매동 아름마을삼호아파트 406동 1301호  
김영구  
서울특별시 서초구 방배동 430-5 초원빌라 201호  
조정민  
경기 용인시 기흥읍 농서리 7-1 상록수동 603호  
한중헌  
경기 용인시 기흥읍 농서리 산7-1번지 월계수동 409호

(74) 대리인 박영우

전체 청구항 수 : 총 8 항

(54) 표시 기관과, 이를 구비한 액정표시패널 및 액정표시 장치

(57) 요약

고개구울 화소 구조를 갖는 표시 기관과 이를 구비한 액정표시패널 및 액정표시 장치가 개시된다. 제1 화소부는 n번째 게이트 배선과 m번째 소스 배선에 연결된 제1 스위칭소자를 포함한다. 제2 화소부는 제1 화소부와 인접하고, n-1번째 게이트 배선과 m번째 소스 배선에 연결된 제2 스위칭소자를 포함한다. 제3 화소부는 제2 화소부와 인접하고, n-2번째 게이트 배선과 m번째 소스 배선에 연결된 제3 스위칭소자를 포함한다. 화소 전극은 제1 스위칭소자와 연결되어 제2 화소부에 형성되고, n-1번째 및 n-2번째 게이트 배선들과 일정부분이 중첩되도록 형성된다. 이에 따라, 고개구울의 화소 구조를 가짐으로써 표시 품질을 향상시킬 수 있다.

대표도

도 5

특허청구의 범위

청구항 1.

n 번째 게이트 배선들과 m 번째 소스 배선에 연결된 제1 스위칭소자가 형성된 제1 화소부;

상기 제1 화소부와 인접하고, n-1 번째 게이트 배선과 상기 m 번째 소스 배선에 연결된 제2 스위칭소자가 형성된 제2 화소부;

상기 제2 화소부와 인접하고, n-2 번째 게이트 배선과 상기 m 번째 소스 배선에 연결된 제3 스위칭소자가 형성된 제3 화소부; 및

상기 제1 스위칭소자와 연결되어 상기 제2 화소부에 형성되고, 상기 n-1 번째 및 n-2 번째 게이트 배선들과 일정부분이 중첩되도록 형성된 화소 전극을 포함하는 것을 특징으로 하는 표시 기판.

## 청구항 2.

제1항에 있어서, 상기 제1 스위칭소자와 연결된 스토리지 캐패시터는 상기 화소 전극과 상기 n-1 번째 게이트 배선이 중첩되는 제1 영역과, 상기 화소 전극과 상기 n-2 번째 게이트 배선이 중첩되는 제2 영역에 의해 정의되는 것을 특징으로 하는 표시 기판.

## 청구항 3.

제1항에 있어서, 상기 제1 스위칭소자는 상기 n 번째 게이트 배선과 연결된 게이트 전극과, 상기 m 번째 소스 배선과 연결된 소스 전극 및 상기 n-1 번째 게이트 배선과 교차되어 상기 화소 전극과 전기적으로 연결된 드레인 전극을 포함하는 것을 특징으로 하는 표시 기판.

## 청구항 4.

제1항에 있어서, 상기 화소 전극은 상기 게이트 배선의 연장방향에 대응하는 장변과 상기 소스 배선의 연장방향에 대응하는 단변을 갖는 것을 특징으로 하는 표시 기판.

## 청구항 5.

n 번째 게이트 배선들과 m 번째 소스 배선에 연결된 제1 스위칭소자가 형성된 제1 화소부와, n-1 번째 게이트 배선과 상기 m 번째 소스 배선에 연결된 제2 스위칭소자가 형성된 제2 화소부와, n-2 번째 게이트 배선과 상기 m 번째 소스 배선에 연결된 제3 스위칭소자가 형성된 제3 화소부 및 상기 제1 스위칭소자와 연결되어 상기 제2 화소부에 형성되고 상기 n-1 번째 및 n-2 번째 게이트 배선들과 일정부분이 중첩되도록 형성된 화소 전극을 포함하는 어레이 기판; 및

상기 어레이 기판과 결합하여 액정층을 수용하는 대향 기판을 포함하는 것을 특징으로 하는 액정표시패널.

## 청구항 6.

제5항에 있어서, 상기 대향 기판은

상기 제1 화소부에 대응하는 제1 컬러 필터패턴과, 상기 제2 화소부에 대응하는 제2 컬러 필터패턴 및 제3 화소부에 대응하는 제3 컬러 필터패턴을 포함하는 것을 특징으로 하는 액정표시패널.

## 청구항 7.

n 번째 게이트 배선들과 m 번째 소스 배선에 연결된 제1 스위칭소자가 형성된 제1 화소부와, n-1 번째 게이트 배선과 상기 m 번째 소스 배선에 연결된 제2 스위칭소자가 형성된 제2 화소부와, n-2 번째 게이트 배선과 상기 m 번째 소스 배선에 연결된 제3 스위칭소자가 형성된 제3 화소부 및 상기 제1 스위칭소자와 연결되어 상기 제2 화소부에 형성되고 상기 n-1 번째 및 n-2 번째 게이트 배선들과 일정부분이 중첩되도록 형성된 화소 전극을 포함하는 액정표시패널;

1H 동안 상기 m 번째 소스 배선에 제1, 제2, 제3 데이터신호를 순차적으로 출력하는 데이터 구동부; 및

상기 데이터 구동부로부터 출력되는 상기 제1 내지 제3 데이터신호에 대응하여 상기 n-2 번째, n-1 번째, n 번째 게이트 배선들을 순차적으로 활성화시키는 게이트 구동부를 포함하는 것을 특징으로 하는 액정표시 장치.

## 청구항 8.

제6항에 있어서, 상기 게이트 구동부는 상기 액정표시패널에 집적되는 것을 특징으로 하는 액정표시 장치.

### 명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시 기관과, 이를 갖는 액정표시패널 및 액정표시 장치에 관한 것으로, 보다 상세하게는 고개구율의 화소 구조를 갖는 표시 기관 및 이를 구비한 액정표시패널 및 액정표시 장치에 관한 것이다.

일반적으로, 액정표시 장치는 영상을 표시하기 위한 액정표시패널을 구비한다. 상기 액정표시패널은 영상을 표시하는 표시영역 및 표시영역에 인접하는 주변영역으로 이루어진다.

상기 표시영역은 복수의 게이트 배선, 복수의 소스 배선 및 복수의 화소를 포함한다. 상기 화소 각각은 스위칭소자 및 액정 캐패시터를 포함한다. 상기 화소에는 하부전극으로 스토리지 배선이 형성되고, 상기 화소 전극을 상부 전극으로 하는 스토리지 캐패시터가 형성된다. 이때, 상기 스토리지 배선은 상기 게이트 배선 형성시 동일 공정에서 동일 물질에 의해 형성된다. 그러므로, 상기 스토리지 배선과 상기 화소 전극 사이에는 게이트 절연막 및 보호막 등의 많은 절연층이 형성된다.

따라서, 상기 액정표시 장치는 상기 스토리지 캐패시터를 형성하는 상기 스토리지 배선과 상기 화소 전극 간의 거리 사이에 형성되는 절연층에 의해 멀어지므로, 일정의 캐패시턴스를 얻기 위해서는 보다 넓은 면적의 스토리지 캐패시터가 요구되어, 개구율이 감소하는 문제점이 있다.

#### 발명이 이루고자 하는 기술적 과제

이에 본 발명의 기술적 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 고개구율의 화소 구조를 갖는 표시 기관을 제공하는 것이다.

본 발명의 다른 목적은 상기 표시 기관을 구비한 액정표시패널을 제공하는 것이다.

본 발명의 또 다른 목적은 상기 액정표시패널을 구비한 액정표시 장치를 제공하는 것이다.

### 발명의 구성

상기한 본 발명의 목적을 실현하기 위한 실시예에 따른 표시 기관은 제1 화소부, 제2 화소부, 제3 화소부 및 화소 전극을 포함한다. 상기 제1 화소부는 n 번째 게이트 배선과 m 번째 소스 배선에 연결된 제1 스위칭소자가 형성된다. 상기 제2 화소부는 상기 제1 화소부와 인접하고, n-1 번째 게이트 배선과 상기 m 번째 소스 배선에 연결된 제2 스위칭소자가 형성된다.

상기 제3 화소부는 상기 제2 화소부와 인접하고, n-2번째 게이트 배선과 상기 m번째 소스 배선에 연결된 제3 스위칭소자가 형성된다. 상기 화소 전극은 상기 제1 스위칭소자와 연결되어 상기 제2 화소부에 형성되고, 상기 n-1번째 및 n-2번째 게이트 배선들과 일정부분이 중첩되도록 형성된다.

상기한 본 발명의 목적을 실현하기 위한 실시예에 따른 액정표시패널은 어레이 기판 및 대향 기판을 포함한다. 상기 어레이 기판은 n번째 게이트 배선과 m번째 소스 배선에 연결된 제1 스위칭소자가 형성된 제1 화소부와, n-1번째 게이트 배선과 m번째 소스 배선에 연결된 제2 스위칭소자가 형성된 제2 화소부와, n-2번째 게이트 배선과 m번째 소스 배선에 연결된 제3 스위칭소자가 형성된 제3 화소부와, 상기 제1 스위칭소자와 연결되어 상기 제2 화소부에 형성되고 상기 n-1번째 및 n-2번째 게이트 배선들과 일정부분이 중첩되도록 형성된 화소 전극을 포함한다. 상기 대향 기판은 상기 어레이 기판과 결합하여 액정층을 수용한다.

상기한 본 발명의 또 다른 목적을 실현하기 위한 실시예에 따른 액정표시 장치는 액정표시패널, 데이터 구동부 및 게이트 구동부를 포함한다. 상기 액정표시패널은 n번째 게이트 배선과 m번째 소스 배선에 연결된 제1 스위칭소자가 형성된 제1 화소부와, n-1번째 게이트 배선과 m번째 소스 배선에 연결된 제2 스위칭소자가 형성된 제2 화소부와, n-2번째 게이트 배선과 m번째 소스 배선에 연결된 제3 스위칭소자가 형성된 제3 화소부와, 상기 제1 스위칭소자와 연결되어 상기 제2 화소부에 형성되고 상기 n-1번째 및 n-2번째 게이트 배선들과 일정부분이 중첩되도록 형성된 화소 전극을 포함한다. 상기 데이터 구동부는 1H동안 상기 m번째 소스 배선에 제1, 제2, 제3 데이터신호를 순차적으로 출력한다. 상기 게이트 구동부는 상기 데이터 구동부로부터 출력되는 상기 제1 내지 제3 데이터신호에 대응하여 상기 n-2번째, n-1번째, n번째 게이트 배선들을 순차적으로 활성화시킨다.

이러한 표시 기판과, 이를 구비한 액정표시패널 및 액정표시 장치에 의하면, 고개구율의 화소 구조를 가짐에 따라서 액정표시 장치의 표시 품질을 향상시킬 수 있다.

이하, 첨부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

도 1은 본 발명의 실시예에 따른 액정표시 장치의 개략적인 평면도이다. 도 2는 도 1에 도시된 액정표시패널의 화소 구조에 대한 개략도이다. 도 3은 도 1에 도시된 액정표시패널의 구동 방식을 설명하기 위한 타이밍도이다.

도 1 내지 도 3을 참조하면, 상기 액정표시 장치는 영상을 표시하는 액정표시패널(100)과 상기 액정표시패널(100)을 구동시키는 구동부(200)를 포함한다.

상기 액정표시패널(100)은 어레이 기판(110)과 대향 기판(120) 및 상기 하부 및 대향 기판 사이에 개재된 액정층(미도시)을 포함한다. 상기 어레이 기판(110)은 표시 영역(DA)과 상기 표시 영역(DA)을 둘러싸는 주변 영역(PA1, PA2)으로 이루어진다.

상기 표시 영역(DA)에는 제1 방향(X)으로 연장된 복수의 게이트 배선(GL1, ..GLN)과 상기 제1 방향(X)과 교차하는 제2 방향(Y)으로 연장된 복수의 소스 배선들(DL1,..DLM)이 형성된다.

구체적으로 도2를 참조하면, 상기 소스 배선들(DLm, DLm+ 1)과 게이트 배선들(GLn-2, GLn-1, GLn)에 의해 복수의 화소부들(P1, P2, P3)이 정의되고, 상기 화소부들에는 스위칭소자들(TFT1, TFT2, TFT3)이 형성된다. 상기 스위칭소자들(TFT1, TFT2, TFT3)에는 화소 전극들(PE1, PE2)이 전기적으로 각각 연결된다.

제1 화소부(P1)에는 m번째 소스 배선(DLm)과 n번째 게이트 배선(GLn)에 연결된 제1 스위칭소자(TFT1)가 형성된다. 상기 제1 스위칭소자(TFT1)는 상기 제2 화소부(P2)에 형성된 제1 화소 전극(PE1) 및 제1 스토리지 캐패시터(CST1)와 전기적으로 연결된다.

상기 제1 스위칭소자(TFT1)는 상기 n 번째 게이트 배선(GLn)과 연결된 제1 게이트 전극(131)과, 상기 m 번째 소스 배선(DLm)과 연결된 제1 소스 전극(151) 및 상기 n-1 번째 게이트 배선(GLn-1)과 교차되어 상기 제2 화소부(P2)에 형성된 상기제1 화소 전극(PE1)과 연결된 제1 드레인 전극(152)을 포함한다.

구체적으로, 상기 제1 화소 전극(PE1)은 상기 제1 스위칭소자(TFT1)와 연결되어 상기 제2 화소부(P2)에 형성되고, 상기 n-1 번째 및 n-2 번째 게이트 배선들(GLn-1, GLn-2)과 일정부분이 중첩되도록 형성된다. 상기 제1 화소 전극(PE1)은 상기 게이트 배선들(GLn-1, GLn-2)의 연장방향에 대응하는 장변과 상기 소스 배선(DLm)의 연장방향에 대응하는 단변을 갖는다.

제1 스토리지 캐패시터(CST1)는 상기 제1 화소 전극(PE1)과 상기 n-1 번째 게이트 배선(GLn-1)이 중첩되어 정의되는 제1 캐패시터(CST11)와, 상기 제1 화소 전극(PE1)과 상기 n-2 번째 게이트 배선(GLn-2)이 중첩되어 정의되는 제2 캐패시터(CST12)를 포함한다.

상기 제1 스토리지 캐패시터(CST1)의 제1 전극인 제1 화소 전극(PE1)에는 상기 제1 스위칭소자(TFT1)가 턴-온 됨에 따라 화소 전압이 인가되고, 제2 전극인 n-1, n-2 번째 게이트 배선들(GLn-2, GLn-1)에는 게이트 오프 전압(Voff)이 인가된다. 이에 따라서 상기 제1 스토리지 캐패시터(CST1)는 제1 화소 전극(PE1)에 인가된 화소 전압을 소정시간 유지시킨다. 여기서, 상기 게이트 오프 전압(Voff)과 제1 스토리지 캐패시터(CST1)의 공통전압(VCOM)은 실질적으로 동일한 전위 레벨을 갖는다.

상기와 같이, 제1 화소 전극(PE1)과 중첩되는 n-1, n-2 번째 게이트 배선들(GLn-2, GLn-1)을 제1 스토리지 캐패시터(CST1)의 공통전극으로 사용함으로써 별도의 공통전극을 형성하지 않아도 되며, 이에 의해 화소의 개구율을 향상시킬 수 있다.

또한, 제1 스토리지 캐패시터(CST1)의 정전용량이 제1 캐패시터(CST11)의 정전용량과 제2 캐패시터(CST12)의 정전용량으로 형성됨으로써 충분한 양의 정전용량을 확보할 수 있다. 따라서, 화소 전압이 안정적으로 유지될 수 있게 한다.

제2 화소부(P2)에는 m번째 소스 배선(DLm)과 n-1번째 게이트 배선(GLn-1)에 연결된 제2 스위칭소자(TFT2)가 형성된다. 상기 제2 스위칭소자(TFT2)는 상기 제3 화소부(P3)에 형성된 제2 화소 전극(PE2) 및 제2 스토리지 캐패시터(CST2)와 전기적으로 연결된다.

상기 제2 스위칭소자(TFT2)는 상기 n-1번째 게이트 배선(GLn-1)과 연결된 제2 게이트 전극(132)과, 상기 m번째 소스 배선(DLm)과 연결된 제2 소스 전극(153) 및 상기 n-2번째 게이트 배선(GLn-1)과 교차되어 상기 제3 화소부(P3)에 형성된 상기 제2 화소 전극(PE2)과 연결된 제2 드레인 전극(154)을 포함한다.

구체적으로, 상기 제2 화소 전극(PE2)은 상기 제2 스위칭소자(TFT2)와 연결되어 상기 제3 화소부(P3)에 형성되고, 상기 n-2번째 및 n-3번째 게이트 배선들(GLn-2, GLn-3)과 일정부분이 중첩되도록 형성된다. 상기 제2 화소 전극(PE2)은 상기 게이트 배선들(GLn-2, GLn-3)의 연장방향에 대응하는 장변과 상기 소스 배선(DLm)의 연장방향에 대응하는 단변을 갖는다.

제2 스토리지 캐패시터(CST2)는 상기 제2 화소 전극(PE2)과 상기 n-2번째 게이트 배선(GLn-2)이 중첩되어 정의되는 제1 캐패시터(CST21)와, 상기 제2 화소 전극(PE2)과 상기 n-3번째 게이트 배선(GLn-3)이 중첩되어 정의되는 제2 캐패시터(CST22)를 포함한다.

상기 제2 스토리지 캐패시터(CST2)의 제1 전극인 제2 화소 전극(PE2)에는 상기 제2 스위칭소자(TFT2)가 턴-온 됨에 따라 화소 전압이 인가되고, 제2 전극인 n-2, n-3번째 게이트 배선들(GLn-2, GLn-3)에는 게이트 오프 전압이 인가된다. 이에 따라서 상기 제2 스토리지 캐패시터(CST2)는 제2 화소 전극(PE2)에 인가된 화소 전압을 소정시간 유지시킨다. 여기서, 상기 게이트 오프 전압(Voff)과 제2 스토리지 캐패시터(CST2)의 공통전압(VCOM)은 실질적으로 동일한 전위 레벨을 갖는다.

상기와 같이, 제2 화소 전극(PE2)과 중첩되는 n-2, n-3번째 게이트 배선들(GLn-2, GLn-3)을 제2 스토리지 캐패시터(CST2)의 공통전극으로 사용함으로써 별도의 공통전극을 형성하지 않아도 되며, 이에 의해 화소의 개구율을 향상시킬 수 있다.

또한, 제2 화소부(P2)의 스토리지 캐패시터(CST2)의 정전용량이 제1 캐패시터(CST21)의 정전용량과 제2 캐패시터(CST22)의 정전용량으로 형성됨으로써 충분한 양의 정전용량을 확보할 수 있다. 따라서, 화소 전압이 안정적으로 유지될 수 있게 한다.

상기 구동부(200)는 소스 구동부(210) 및 게이트 구동부(230)를 포함한다.

상기 소스 구동부(210)는 제1 주변영역(PA1)에 실장되는 단일 칩으로, 상기 연성인쇄회로기판(230)을 통해 외부기기로 부터 데이터신호와 제어신호에 기초하여 상기 소스 배선들(i1, ..., DLM)에 데이터신호를 출력한다.

도 3을 참조하면, 소스 구동부(210)는 1H 구간 동안 레드데이터신호, 그린데이터신호 및 블루데이터신호(R\_d, G\_d, B\_d)를 각각 소스 배선들(DL1, ..., DLm)에 출력한다(DATA\_OUT). 상기 게이트 구동부(220)는 제 2 주변영역(PA2)에 집적되거나 실장되어, 상기 게이트 배선들(GL1, ..., GLn)에 게이트 신호들을 순차적으로 출력한다.

상기 게이트 구동부(220)는 1H 구간동안 세 개의 게이트 신호들을 출력한다. 구체적으로, 상기 소스 배선들(DLm, DLm+1)에 레드데이터신호(R\_d)가 출력되는 경우 상기 게이트 구동부(220)는 n-2번째 게이트 배선(GLn-2)에 게이트 신호(Gn-2)를 출력하고, 상기 소스 배선들(DLm, DLm+1)에 그린데이터신호(G\_d)가 출력되는 경우 상기 게이트 구동부(220)는 n-1번째 게이트 배선(GLn-1)에 게이트 신호(Gn-1)를 출력하며, 상기 소스 배선들(DLm, DLm+1)에 블루데이터신호(B\_d)가 출력되는 경우 상기 게이트 구동부(220)는 n번째 게이트 배선(GLn)에 게이트 신호(Gn)를 출력한다.

도 3을 참조하면, 상기 n번째 게이트 배선(GLn)이 게이트 신호(Gn)가 인가되면, 상기 제1 스위칭소자(TFT1)는 턴-온되어 상기 m번째 소스 배선(DLm)으로부터 인가된 블루데이터신호(B\_d)가 상기 제1 화소 전극(PE1)에 인가된다. 이때, 상기 n-1, n-2번째 게이트 배선(GLn-1, GLn-2)에는 게이트 오프 전압(Voff)이 인가된다. 이에 의해 상기 제1 스토리지 캐패시터(CST1)의 공통전극에는 게이트 오프 전압(Voff)이 인가되어 상기 제1 화소 전극(PE1)에 인가된 화소 전압인 블루데이터신호(B\_d)를 유지시킨다. 여기서, 게이트 오프 전압(Voff)은 스토리지 공통전압(Vcom)과 동일한 전위를 갖는다.

도 4는 도 1에 도시된 게이트 회로부의 상세한 블록도이다.

도 1 및 도 4를 참조하면, 상기 게이트 회로부(230)는 서로 종속적으로 연결된 n+1개의 스테이지(SRC1 ~ SRCn+1)로 이루어진 하나의 제1 쉬프트 레지스터를 포함한다. 상기 스테이지들(SRC1 ~ SRCn+1)은 n 개의 구동 스테이지(SRC1 ~ SRCn)와 1 개의 더미 스테이지(SRCn+1)로 이루어진다.

각 스테이지(SRC1)는 입력단자(IN), 클럭단자(CK), 전압단자(VSS), 제어단자(CT), 제1 출력단자(GOUT) 및 제2 출력단자(SOUT)를 포함한다.

상기 클럭단자(CK)에는 제1 및 제2 클럭신호(CK, CKB)가 인가된다.

상기 제1 클럭신호(CK)는 홀수번째 스테이지(SRC1, SRC3,...)에 인가되고, 상기 제2 클럭신호(CKB)는 짝수번째 스테이지(SRC2, SRC4,...)에 인가된다.

상기 홀수번째 스테이지(SRC1)는 제1 출력단자(GOUT)는 상기 제1 클럭신호(CK)에 동기된 게이트 신호(G1, G3, ..., Gn-1)를 출력하고, 상기 짝수번째 스테이지(SRC2)의 제1 출력단자(GOUT)는 상기 제2 클럭신호(CKB)에 동기된 게이트 신호(G2, G4, ..., Gn)를 출력한다.

상기 홀수번째 스테이지(SRC1, SRC3,...)의 제1 출력단자(GOUT)들은 상기 표시영역(DA)에 구비된 홀수번째 게이트 배선(GL1, GL3, ... GL2k-1)에 일대일 대응하도록 연결된다. 따라서, 상기 홀수번째 스테이지(SRC1, SRC3,...)의 제1 출력단자(GOUT)들로부터 출력된 게이트 신호는 홀수번째 게이트 배선(GL1, GL3, ... GL2n-1)에 순차적으로 인가된다. 여기서, 상기 더미 스테이지(SRCn+1)의 제1 출력단자(GOUT)는 대응하는 게이트 배선이 존재하지 않기 때문에 플로팅 상태로 유지된다.

상기 짝수번째 스테이지(SRC2, SRC4,...)의 제1 출력단자(GOUT)들은 상기 표시영역(DA)에 구비된 짝수번째 게이트 배선(GL2, GL4, ... GL2k)에 일대일 대응하도록 연결된다. 따라서, 상기 짝수번째 스테이지(SRC2, SRC4,...)의 제1 출력단자(GOUT)들로부터 출력된 게이트 신호는 짝수번째 게이트 배선(GL2, GL4, ... GL2k)에 순차적으로 인가된다.

한편, 홀수번째 스테이지(SRC1)의 제2 출력단자(SOUT)는 상기 제1 클럭신호(CK)를 스테이지 구동신호로 출력하고, 짝수번째 스테이지(SRC2)의 제2 출력단자(SOUT)는 상기 제2 클럭신호(CKB)를 스테이지 구동신호로 출력한다.

각각의 홀수번째 스테이지(SRC1)의 입력단자(IN)에는 이전 스테이지의 상기 제2 출력단자(SOUT)로부터 출력된 스테이지 구동신호가 인가되고, 상기 제어단자(CT)에는 다음 스테이지의 상기 제2 출력단자(SOUT)로부터 출력된 스테이지 구동신호가 인가된다.

여기서, 상기 첫 번째 스테이지(SRC1)의 이전 스테이지가 존재하지 않기 때문에, 상기 첫 번째 스테이지(SRC1)의 입력단자(IN)에는 수직개시신호(STV)가 인가된다. 또한, 상기 더미 스테이지(SRCn+ 1)의 다음 스테이지가 존재하지 않기 때문에, 상기 더미 스테이지(SRCn+ 1)의 제어단자(CT)에는 상기 수직개시신호(STV)가 인가된다.

한편, 각각 스테이지(SRC1 ~ SRCn+ 1)는 게이트 오프전압(Voff)이 제공되는 전압단자(VSS)를 더 포함한다.

도 5는 도 1에 도시된 액정표시패널에 대한 평면도이다. 도 6은 도 5에 도시된 I-I 선을 따라 절단한 액정표시패널의 개략적인 단면도이다.

도 5 및 도 6을 참조하면, 액정표시패널(100)은 어레이 기관(110)과, 상기 어레이 기관(110)에 대항하는 대항 기관(120)과, 상기 어레이 기관 및 대항 기관(110, 120) 사이에 개재된 액정층(LC)을 포함한다.

상기 어레이 기관(110)은 제1 베이스 기관(101) 위에 복수의 게이트 배선들(GLn-2,...,GLn)과, 복수의 소스 배선들(DLm, DLm+ 1)과, 상기 게이트 배선들(GLn-2,...,GLn)과 소스 배선들(DLm, DLm+ 1)에 의해 정의된 제1 내지 제3 화소부들(P1, P2, P3)이 형성된다.

상기 제1 화소부(p1)는 n-1번째 및 n번째 게이트 배선들(GLn-1, GLn)과 m번째 및 m+ 1번째 소스 배선들(DLm, DLm+ 1)에 의해 정의된다.

상기 제2 화소부(P2)는 상기 제1 화소부(P1)와 데이터 배선의 연장 방향으로 인접하고, n-1번째 및 n-2번째 게이트 배선들(GLn-1, GLn-2)과 m번째 및 m+ 1번째 소스 배선들(DLm, DLm+ 1)에 의해 정의된다.

상기 제3 화소부(P3)는 상기 제2 화소부(P2)와 데이터 배선의 연장 방향으로 인접하고, n-2번째 및 n-3번째 게이트 배선들(GLn-2, GLn-3)과 m번째 및 m+ 1번째 소스 배선들(DLm, DLm+ 1)에 의해 정의된다.

상기 제1 화소부(P1)에는 제1 스위칭소자(TFT1)가 형성되고, 상기 제2 화소부(P2)에는 제2 스위칭소자(TFT2)가 형성되며, 상기 제3 화소부(P3)에는 제3 스위칭소자(TFT3)가 형성된다.

구체적으로, 상기 제1 화소부(P1)에는 제1 스위칭소자(TFT1)가 형성되고, 상기 제1 스위칭소자(TFT1)는 제1 화소 전극(PE1) 및 제1 스토리지 캐패시터(CST1)와 전기적으로 연결된다.

상기 제1 스위칭소자(TFT1)는 n번째 게이트 배선(GLn)에 연결된 게이트 전극(131)과 m번째 소스 배선(DLm)과 연결된 소스 전극(151) 및 상기 제1 화소 전극(PE1)과 콘택홀(162)을 통해 연결된 드레인 전극(152)으로 이루어진다.

상기 게이트 전극(131)과 상기 소스 및 드레인 전극(151, 152) 사이에는 반도체층이 형성되고, 상기 반도체층은 활성층(141)과 저항성 접촉층(142)을 포함한다. 상기 제1 스위칭소자(TFT1) 위에는 보호 절연막(103)이 형성된다

상기 제1 화소 전극(PE1)은 제2 화소부(P2)에 형성되며, 상기 n-1번째 게이트 배선(GLn-1) 및 n-2번째 게이트 배선(GLn-2)과 일정부분이 중첩되도록 형성되어 고개구율 화소 구조로 형성된다.

상기 제1 스토리지 캐패시터(CST1)는 상기 제1 화소 전극(PE1)과 상기 n-1 번째 게이트 배선(GLn-1)이 중첩되는 제1 영역에 의해 제1 캐패시터(CST11)가 정의되고, 상기 제1 화소 전극(PE1)과 상기 n-2 번째 게이트 배선(GLn-2)이 중첩되는 제2 영역에 의해 제2 캐패시터(CST12)가 정의된다. 상기 제1 스토리지 캐패시터(CST11)는 n-1번째, n-2번째 게이트 배선(GLn-1, GLn-2)을 공통전극으로 하고, 게이트 절연막(102) 및 보호절연막(103)을 유전체층으로 하며, 상기 제1 화소 전극(PE1)을 상기 공통전극에 대항하는 대항전극으로 한다.

상기 제2 화소부(P2)에는 제2 스위칭소자(TFT2)가 형성되고, 상기 제2 스위칭소자(TFT2)는 제2 화소 전극(PE2) 및 제2 스토리지 캐패시터(CST2)와 전기적으로 연결된다. 상기 제2 화소 전극(PE2)은 제3 화소부(P3)에 형성되며, 상기 n-2 번째 게이트 배선(GLn-2) 및 n-3번째 게이트 배선(GLn-3)과 일정부분이 중첩되도록 형성되어 고개구율 화소 구조로 형성된다.

상기 제2 스토리지 캐패시터(CST2)는 상기 제2 화소 전극(PE2)과 상기 n-2 번째, n-3 번째 게이트 배선(GLn-1, GLn-2)이 중첩되는 영역에 의해 정의된다. 즉, 상기 제2 스토리지 캐패시터(CST2)는 n-1번째, n-2번째 게이트 배선(GLn-2, GLn-3)을 공통전극으로 하고, 상기 제2 화소 전극(PE2)을 상기 공통전극에 대항하는 대향전극으로 한다.

상기 제3 화소부(P3)에는 제3 스위칭소자(TFT3)가 형성되고, 상기 제3 스위칭소자(TFT3)는 제3 화소 전극(PE3) 및 제3 스토리지 캐패시터(CST3)와 전기적으로 연결된다. 상기 제3 화소 전극(PE3)은 제3 화소부(P3)에 형성되며, 상기 n-2 번째 게이트 배선(GLn-2) 및 n-3번째 게이트 배선(GLn-3)과 일정부분이 중첩되도록 형성되어 고개구율 화소 구조로 형성된다.

상기 제3 스토리지 캐패시터(CST3)는 상기 제3 화소 전극(PE3)과 상기 n-2 번째, n-3 번째 게이트 배선(GLn-2, GLn-3)이 중첩되는 영역에 의해 정의된다. 즉, 상기 제3 스토리지 캐패시터(CST3)는 n-2번째, n-3번째 게이트 배선(GLn-2, GLn-3)을 공통전극으로 하고, 상기 제3 화소 전극(PE2)을 상기 공통전극에 대항하는 대향전극으로 한다.

상기와 같이, 화소 전극과 전단 게이트 배선들을 중첩시켜 스토리지 캐패시터를 정의함으로써 별도의 공통전극을 형성하지 않아도 된다. 이에 의해 화소의 개구율을 향상시킬 수 있다.

또한, 스토리지 캐패시터의 정전용량이 두 개의 전단 게이트 배선들에 의해 제1 캐패시터와 제2 캐패시터로 형성함으로써 충분한 양의 정전용량을 확보할 수 있다. 따라서, 화소 전압이 안정적으로 유지될 수 있게 한다.

상기 대향 기관(120)은 제2 베이스 기관(201) 위에 형성된 컬러필터 패터들(123a, 123b, 123c) 및 공통전극(127)을 포함한다.

상기 대향 기관에는 차광패턴이 불필요하다. 구체적으로, 게이트 배선들(GLn, GLn-1, GLn-2, GLn-3)과 화소 전극들(PE1, PE2, PE3)을 중첩시켜 스토리지 캐패시터들을 형성함으로써 상기 화소 전극들(PE1, PE2, PE3)이 형성되지 않은 영역에서의 빛샘을 막기 위한 별도의 차광패턴을 형성하지 않아도 된다. 즉, 상기 게이트 배선들(GLn, GLn-1, GLn-2, GLn-3)이 상기 차광 패턴 기능을 수행한다.

따라서, 기존의 미스 얼라인 마진을 고려하여 형성된 차광 패턴에 의해 개구율이 저하되는 것을 막을 수 있다.

상기 컬러필터패터들(123a, 123b, 123c)은 상기 화소 전극들(PE1, PE2)에 대응하여 형성되며, 레드, 그린 및 블루 필터 패터를 포함한다.

구체적으로 상기 제1 화소부(P1)에 대응하여 제1 컬러필터패터(123a)이 형성되고, 상기 제2 화소부(P2)에 대응하여 제2 컬러필터패터(123b)이 형성되며, 상기 제3 화소부에 대응하여 제3 컬러필터패터(123c)이 형성된다.

상기 공통 전극(127)은 상기 제1, 제2, 제3 컬러필터패터들(123a, 123b, 123c) 위에 형성된다. 상기 공통전극(127)과 상기 화소 전극들(PE, PE1, PE2) 간의 전위차에 의해 상기 액정층(LC)내의 액정 분자들의 배향각이 변화되고, 배향각이 변화된 액정 분자들에 의해 투과되는 광량이 조절됨에 따라 영상의 계조가 표시된다.

도 7 내지 도 9는 도 5에 도시된 어레이 기관의 제조 방법에 대한 공정도들이다.

도 5 및 도 7을 참조하면, 제1 베이스 기관(101) 상에 게이트 금속층을 증착하고 패터닝하여 게이트 금속패터들을 형성한다. 상기 게이트 금속패터들은 구체적으로 게이트 배선들(GLn-2, GLn-1, GLn), 제1 스위칭소자(TFT1)의 게이트 전극(131)을 포함한다. 상기 게이트 전극(131)은 n번째 게이트 배선들(GLn)으로부터 연장되어 제1 화소부(P1)에 형성된다.

상기 게이트 금속패터들이 형성된 제1 베이스 기관(101) 위에 게이트 절연막(102)을 형성한다. 상기 게이트 절연막(102)은 질화 실리콘 및 산화 실리콘과 같은 절연 물질로 대략 4500 Å의 두께로 형성한다.

상기 게이트 절연막(102) 위에 반도체층(140)을 형성한다. 상기 반도체층(140)은 활성층(141)과 저항성 접촉층(142)을 포함한다. 예컨대, 상기 게이트 절연막(102) 위에 활성층인 아몰퍼스 실리콘막(141) 및 저항성 접촉층인 인 시튜(in-situ) 도핑된 n<sup>+</sup> 아몰퍼스 실리콘막(142)을 화학 기상 증착 방법으로 차례로 적층한다. 적층된 아몰퍼스 실리콘막(141) 및 n<sup>+</sup> 아몰퍼스 실리콘막(142)을 패터닝하여 제1 게이트 전극(131) 위에 반도체층(140)을 형성한다.

도 5 및 도 8을 참조하면, 상기 반도체층(140)이 형성된 제1 베이스 기판(101) 위에 소스 금속층을 증착하고 패터닝하여 소스 금속패턴들을 형성한다.

상기 소스 금속패턴들은 구체적으로, 소스 배선들(DLm, DLm+1), 상기 제1 스위칭소자(TFT1)의 소스 전극(151), 드레인 전극(152)을 포함한다. 상기 드레인 전극(152)은 n-1번째 게이트 배선(GLn-1)과 교차하여 상기 제2 화소부(P2)의 일정영역까지 연장되어 형성된다.

도 5 및 도 9를 참조하면, 상기 소스 금속패턴들이 형성된 제1 베이스 기판(101) 위에 보호 절연막(103)을 형성한다. 상기 보호 절연막(103)은 질화 실리콘 및 산화 실리콘과 같은 절연 물질로 대략 4000 Å 이하의 두께로 형성한다.

상기 보호 절연막(103) 위에 투명 전극층을 증착하고, 패터닝하여 투명 전극패턴들을 형성한다. 상기 투명 전극층은 투명한 전도성 물질로 형성되며, 상기 투명한 전도성 물질은 인듐-틴-옥사이드(Indium-Tin-Oxide : ITO), 인듐-아연-옥사이드(Indium-Zinc-Oxide : IZO) 또는 인듐-틴-아연 옥사이드(Indium-Tin-Zinc-Oxide)를 포함한다.

이후, 상기 n-1번째 게이트 배선(GLn-1)과 교차하여 상기 제2 화소부(P2)의 일정영역까지 연장되어 형성된 드레인 전극(152)의 일부영역을 노출시키는 콘택홀(162)을 형성한다. 상기 투명 전극패턴들은 상기 제1 스위칭소자(TFT1)와 콘택홀(162)을 통해 전기적으로 각각 연결된 화소 전극(PE1)을 포함한다.

구체적으로, 상기 제1 화소 전극(PE1)은 상기 콘택홀(162)을 통해 상기 제1 드레인 전극(151)과 전기적으로 연결되며, 상기 제2 화소부(P2)에 형성된다. 상기 제1 화소 전극(PE1)은 상기 n-1번째 및 n-2번째 게이트 배선들(GLn-1, GLn-2)과 일정부분이 중첩되도록 형성된다. 상기 제1 화소 전극(PE1)은 상기 게이트 배선들(GLn-1, GLn-2)의 연장방향에 대응하는 장변과 상기 소스 배선(DLm)의 연장방향에 대응하는 단변을 갖는다.

제1 스토리지 캐패시터(CST1)는 상기 제1 화소 전극(PE1)과 상기 n-1번째 게이트 배선(GLn-1)이 중첩되어 정의되는 제1 캐패시터(CST11)와, 상기 제1 화소 전극(PE1)과 상기 n-2번째 게이트 배선(GLn-2)이 중첩되어 정의되는 제2 캐패시터(CST12)를 포함한다.

상기 제2 화소 전극(PE2)은 상기 제2 스위칭소자(TFT2)와 연결되어 상기 제3 화소부(P3)에 형성되고, 상기 n-2번째 및 n-3번째 게이트 배선들(GLn-2, GLn-3)과 일정부분이 중첩되도록 형성된다. 상기 제2 화소 전극(PE2)은 상기 게이트 배선들(GLn-2, GLn-3)의 연장방향에 대응하는 장변과 상기 소스 배선(DLm)의 연장방향에 대응하는 단변을 갖는다.

제2 스토리지 캐패시터(CST2)는 상기 제2 화소 전극(PE2)과 상기 n-2번째 게이트 배선(GLn-2)이 중첩되어 정의되는 제1 캐패시터(CST21)와, 상기 제2 화소 전극(PE2)과 상기 n-3번째 게이트 배선(GLn-3)이 중첩되어 정의되는 제2 캐패시터(CST22)를 포함한다.

상기와 같이, 전단의 화소 전극(PE1, PE2)과 중첩되는 게이트 배선들(GLn-1, GLn-2, GLn-3)을 후단의 스토리지 캐패시터(CST1, CST2)의 공통전극으로 사용함으로써 별도의 공통전극을 형성하기 않아도 되며, 이에 의해 화소의 개구율을 향상시킬 수 있다.

또한, 스토리지 캐패시터(CST1, CST2)의 정전용량이 제1 캐패시터(CST11, CST21)의 정전용량과 제2 캐패시터(CST12, CST22)의 정전용량으로 형성됨으로써 충분한 양의 정전용량을 확보할 수 있다. 따라서, 화소 전압이 안정적으로 유지될 수 있게 한다.

이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

## 발명의 효과

이상에서 설명한 바와 같이, 본 발명에 따르면 전단의 화소 전극(PE1, PE2)과 중첩되는 게이트 배선들(GLn-1, GLn-2, GLn-3)을 후단의 스토리지 캐패시터(CST1, CST2)의 공통전극으로 사용함으로써 별도의 공통전극을 형성하기 않아도 되며, 이에 의해 화소의 개구율을 향상시킬 수 있다.

또한, 스토리지 캐패시터(CST1, CST2)의 정전용량이 제1 캐패시터(CST11, CST21)의 정전용량과 제2 캐패시터(CST12, CST22)의 정전용량으로 형성됨으로써 충분한 양의 정전용량을 확보할 수 있다. 따라서, 화소 전압이 안정적으로 유지될 수 있게 한다.

이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

### 도면의 간단한 설명

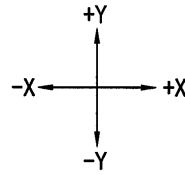
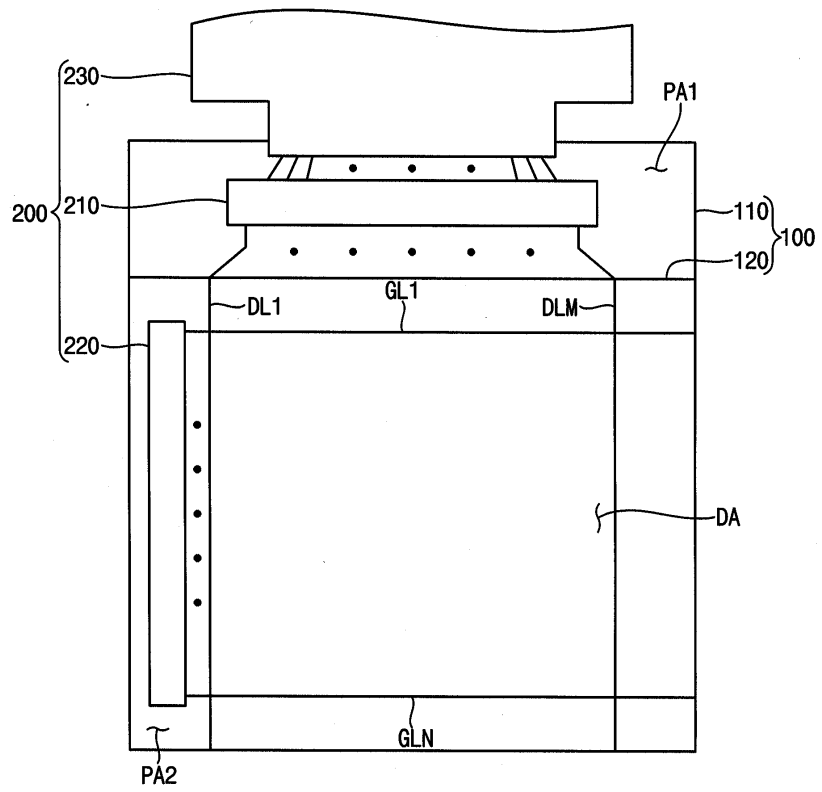
- 도 1은 본 발명의 실시예에 따른 액정표시 장치의 개략적인 평면도이다.
- 도 2는 도 1에 도시된 액정표시패널의 화소 구조에 대한 개략도이다.
- 도 3은 도 1에 도시된 액정표시패널의 구동 방식을 설명하기 위한 타이밍도이다.
- 도 4는 도 1에 도시된 게이트 회로부의 상세한 블록도이다.
- 도 5는 도 2에 도시된 액정표시패널에 대한 평면도이다.
- 도 6은 도 5에 도시된 I-I' 선을 따라 절단한 액정표시패널의 개략적인 단면도이다.
- 도 7 내지 도 9는 도 5에 도시된 어레이 기관의 제조 방법에 대한 공정도들이다.

<도면의 주요부분에 대한 부호의 설명>

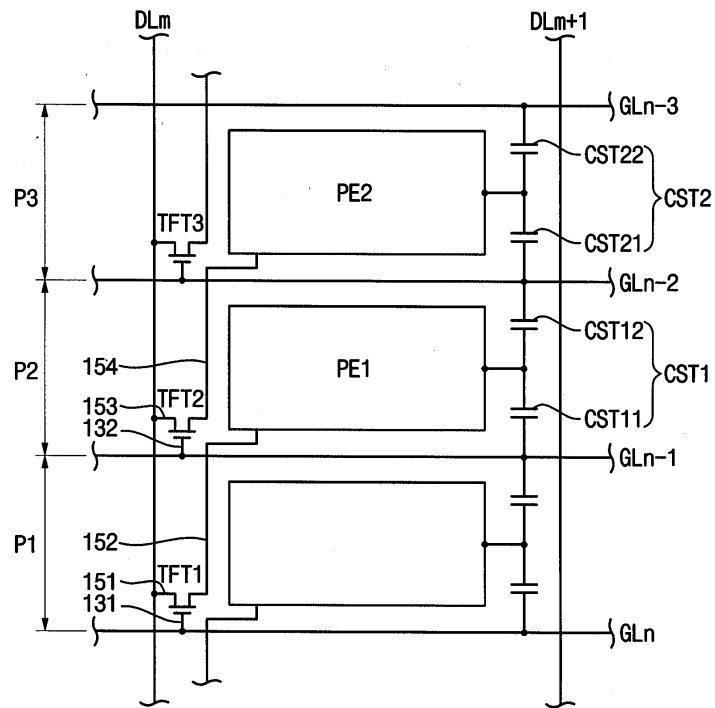
- 100 : 액정표시패널 110 : 어레이 기관
- 120 : 대향 기관 127 : 공통 전극
- 200 : 구동부 P1, P2, P3 : 제1, 제2, 제3 화소부
- PE1, PE2: 제1, 제2 화소 전극
- CST11, CST12, CST21 : 제11, 제12, 제21 스토리지 캐패시터

도면

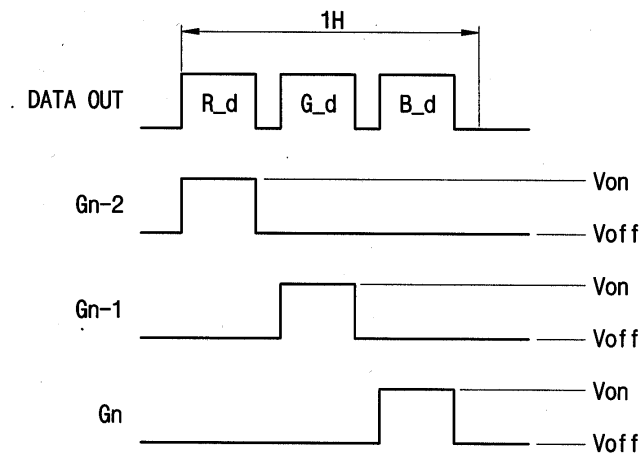
도면1



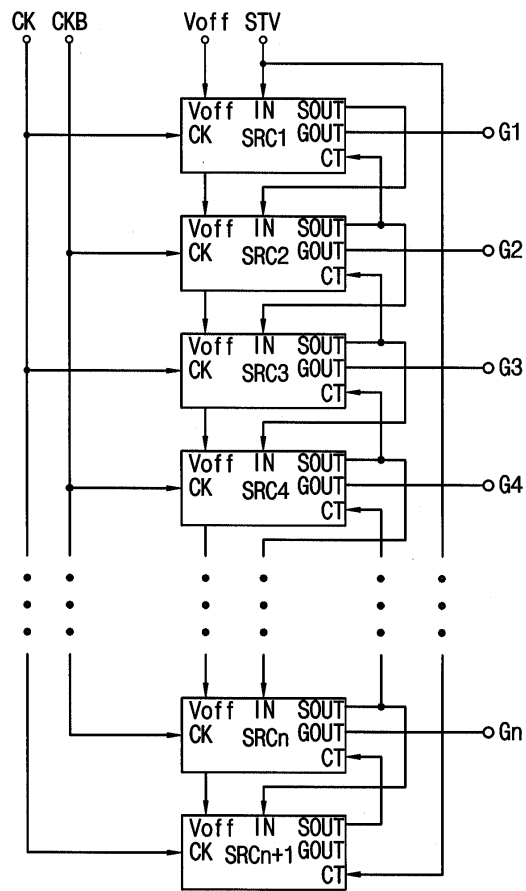
도면2



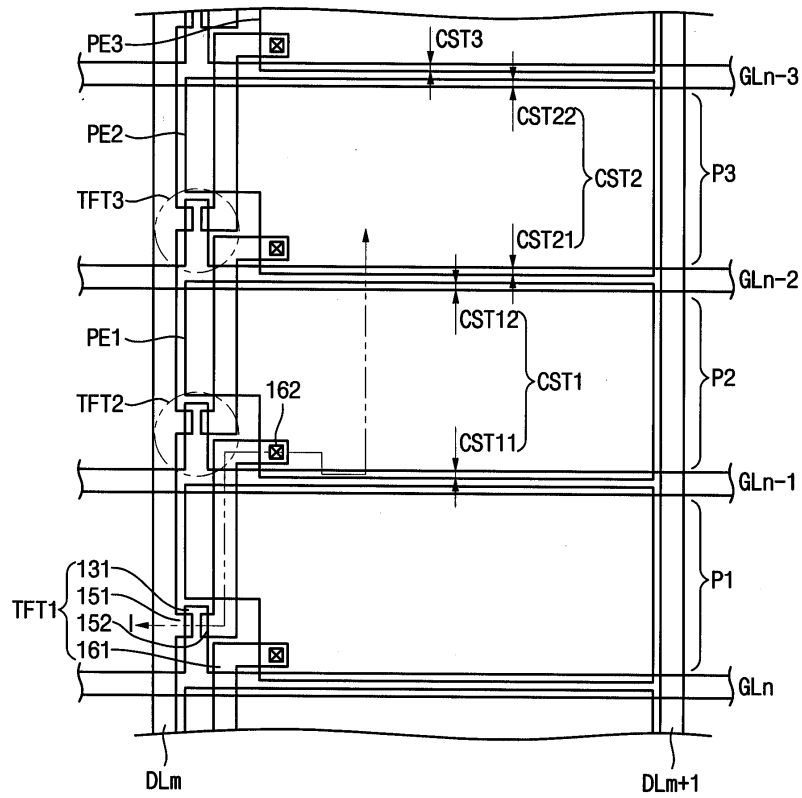
도면3



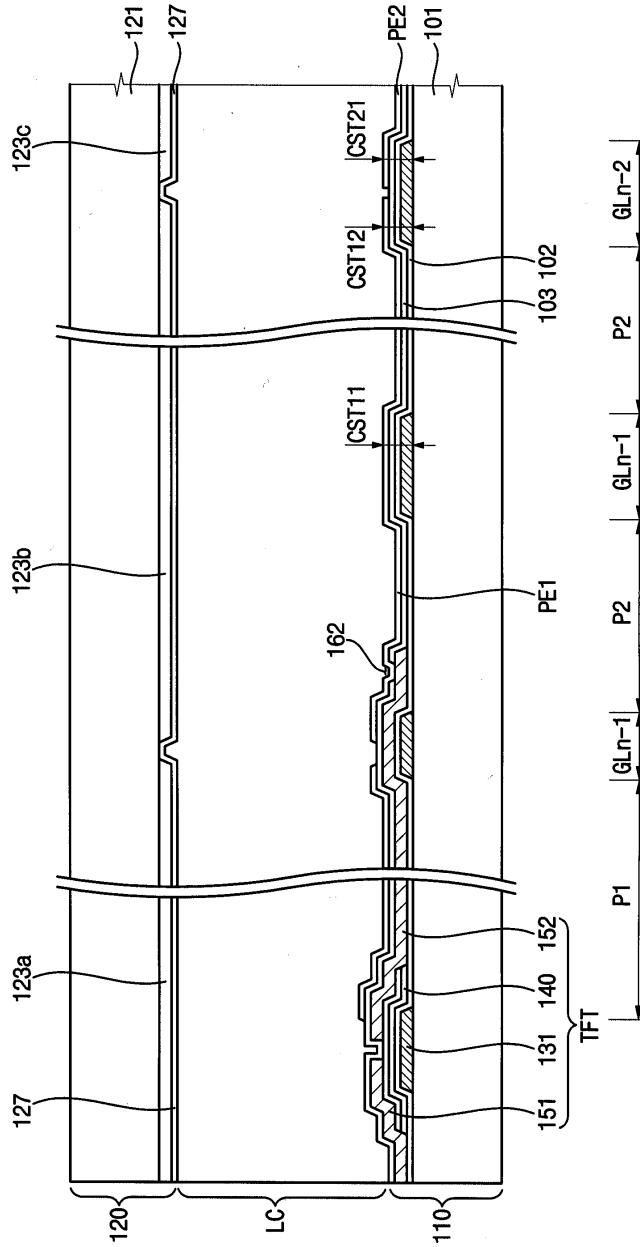
도면4



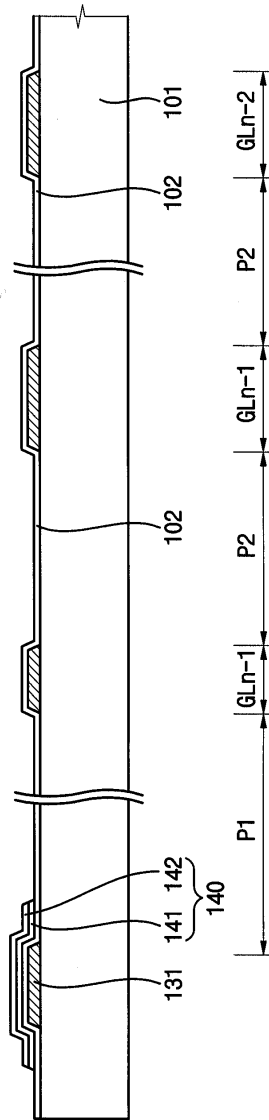
도면5



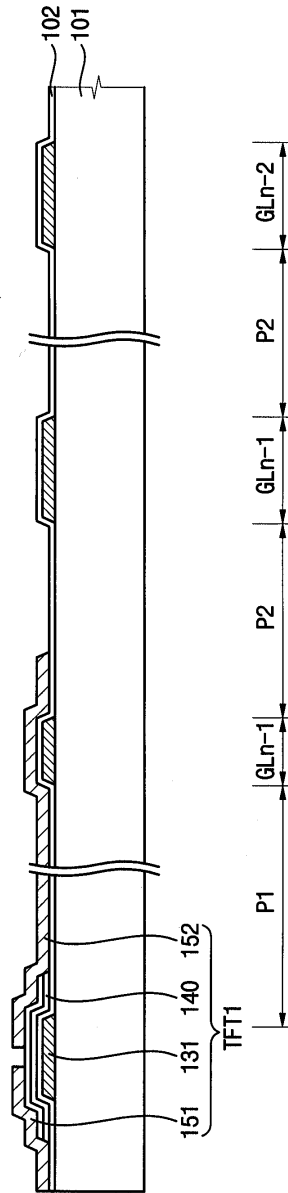
도면6



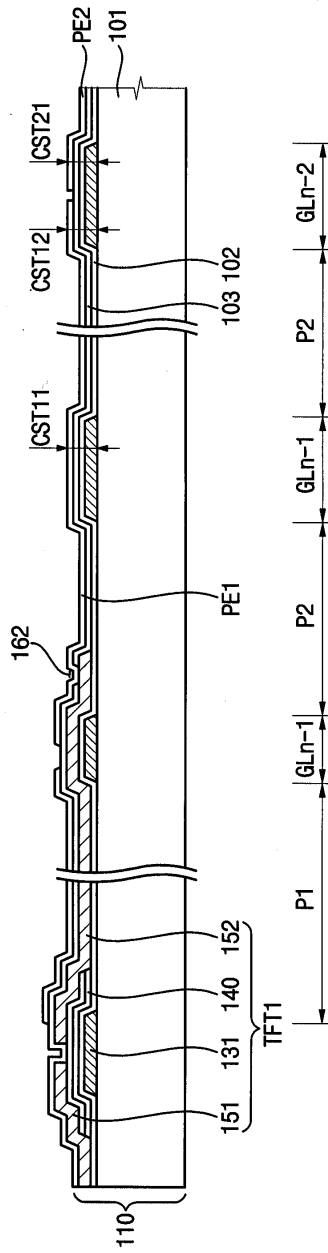
도면7



도면8



도면9



专利名称(译)	显示基板，液晶显示面板和液晶显示器		
公开(公告)号	<a href="#">KR1020070059252A</a>	公开(公告)日	2007-06-12
申请号	KR1020050117893	申请日	2005-12-06
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	SHIN SEOB 신섭 OH SE CHUN 오세춘 KIM YEONG KOO 김영구 CHO JEONG MIN 조정민 HAN JONG HEON 한중헌		
发明人	신섭 오세춘 김영구 조정민 한중헌		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136213 G02F1/136286 G02F1/1368 G02F2201/123 G09G3/3688		
代理人(译)	PARK, YOUNG WOO		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

公开了一种具有高孔径比像素结构的显示基板和包括该显示基板的LCD面板和液晶显示器。第一像素包括第n栅极布线和连接到m个源极布线的第二开关装置。第二像素包括第一像素，n-1是与其相邻的栅极布线，第二开关元件连接到m个源极布线。第三像素包括第二像素，n-2是与其相邻的栅极布线，第三开关装置连接到m个源极布线。像素电极连接到第一开关器件，并且它形成在第二像素中。形成它使得n-1，n-2栅极布线和等分试样重叠。因此，通过具有高孔径比的像素结构，可以提高显示质量。存储电容，像素结构，重叠，高孔径比。

