



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/36 (2006.01)

G11C 19/28 (2006.01)

H03K 19/00 (2006.01)

G09G 3/20 (2006.01)

(11) 공개번호 10-2007-0000984

(43) 공개일자 2007년01월03일

(21) 출원번호 10-2006-0052948

(22) 출원일자 2006년06월13일

심사청구일자 없음

(30) 우선권주장 1020050056537 2005년06월28일 대한민국(KR)

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 김빈
서울 양천구 목5동 목동4단지아파트 408동 2003호
장용호
경기 성남시 분당구 분당동 셋별마을삼부아파트 414-806

(74) 대리인 김영호

전체 청구항 수 : 총 67 항

(54) 쉬프트 레지스터와 이를 이용한 액정표시장치

(57) 요약

본 발명은 클럭 신호의 지연을 줄여 게이트 출력 파형을 안정화할 수 있는 쉬프트 레지스터와 이를 이용한 액정표시장치에 관한 것이다.

이 액정표시장치는 다수의 게이트 라인들과 다수의 데이터 라인들이 교차되고 다수의 액정셀들이 배치되는 어레이 영역을 가지는 액정표시패널과; 제1 스타트 펄스, 제1 고전위 구동전압, 제1 저전위 구동전압 및 다수의 클럭 신호를 포함한 제1 구동 신호군이 공급되는 제1 쉬프트 레지스터와, 제2 스타트 펄스, 제2 고전위 구동전압, 제2 저전위 구동전압 및 다수의 클럭 신호를 포함한 제2 구동 신호군이 공급되는 제2 쉬프트 레지스터를 이용하여 상기 게이트 라인들에 스캔펄스들을 순차적으로 공급하는 게이트 구동회로와; 상기 데이터 라인들에 데이터를 공급하기 위한 데이터 구동회로를 구비하고; 상기 제1 및 제2 쉬프트 레지스터는 기판의 적어도 일측에 배치된다.

대표도

도 5

특허청구의 범위

청구항 1.

제1 스타트 펄스, 제1 고전위 구동전압, 제1 저전위 구동전압 및 다수의 클럭 신호를 포함한 제1 구동 신호군이 공급되는 제1 쉬프트 레지스터와;

제2 스타트 펄스, 제2 고전위 구동전압, 제2 저전위 구동전압 및 다수의 클럭 신호를 포함한 제2 구동 신호군이 공급되는 제2 쉬프트 레지스터를 구비하고;

상기 제1 및 제2 쉬프트 레지스터는 기관의 적어도 일측에 배치되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 2.

제1 항에 있어서,

상기 제1 저전위 구동전압과 상기 제2 저전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 공통 공급되고;

상기 제1 고전위 구동전압과 상기 제2 고전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 분리 공급되고;

상기 제1 스타트 펄스와 상기 제2 스타트 펄스는 소정의 시간차를 두고 상기 제1 및 제2 쉬프트 레지스터에 분리 공급되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 3.

제1 항에 있어서,

상기 기관 상의 일측에 형성되어 상기 제1 구동 신호군이 공급되는 제1 신호배선군과;

상기 기관 상의 일측에 형성되어 상기 제2 구동 신호군이 공급되는 제2 신호배선군과;

상기 제1 신호배선군과 상기 제1 쉬프트 레지스터 사이에 접속되어 상기 제1 쉬프트 레지스터에 상기 제1 구동 신호군을 공급하는 제3 신호배선군과;

상기 제2 신호배선군과 상기 제2 쉬프트 레지스터 사이에 접속되어 상기 제2 쉬프트 레지스터에 상기 제2 구동 신호군을 공급하는 제4 신호배선군을 더 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 4.

제3 항에 있어서,

상기 제1 및 제2 신호배선군은 스트라이프 형태로 상기 기관 상에 형성되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 5.

제3 항에 있어서,

상기 제2 신호배선군은 일부분이 상기 기관의 가장자리 근방에 배치되고 나머지 부분이 상기 제2 쉬프트 레지스터 근방에 배치되는 지그재그 형태로 상기 기관 상에 형성되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 6.

제5 항에 있어서,

상기 제1 신호배선군의 길이와 상기 제2 신호배선군의 길이는 다른 것을 특징으로 하는 쉬프트 레지스터.

청구항 7.

제3 항에 있어서,

상기 제2 신호배선군은 "U"자 형태로 상기 기관 상에 형성되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 8.

제7 항에 있어서,

상기 제1 신호배선군의 길이와 상기 제2 신호배선군의 길이는 다른 것을 특징으로 하는 쉬프트 레지스터.

청구항 9.

제3 항에 있어서,

상기 클럭 신호는 순차적으로 공급되는 클럭 신호가 서로 오버랩되게 공급되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 10.

제3 항에 있어서,

상기 제1 및 제2 구동 신호는 신호를 공급받는 쉬프트 레지스터가 구동하지 않는 기간에는 오프되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 11.

제3 항에 있어서,

상기 제1 및 제2 구동 신호는 신호를 공급받는 쉬프트 레지스터가 구동하지 않는 기간에는 로우 전압을 유지하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 12.

제1 항에 있어서,

상기 제1 및 제2 쉬프트 레지스터는,

데이터 기간 동안 출력 신호를 순차적으로 쉬프트시키기 위한 다수의 스테이지를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 13.

제1 항에 있어서,

상기 제1 저전위 구동전압과 상기 제2 저전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 공통 공급되고;

상기 제1 고전위 구동전압과 상기 제2 고전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 분리 공급되고;

상기 제2 스타트 펄스는 상기 제1 쉬프트 레지스터에 위치한 스테이지 중 마지막 스테이지의 출력 신호인 것을 특징으로 하는 쉬프트 레지스터.

청구항 14.

제1 항에 있어서,

상기 제1 저전위 구동전압과 상기 제2 저전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 공통 공급되고;

상기 제1 고전위 구동전압과 상기 제2 고전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 분리 공급되고;

상기 제1 스타트 펄스와 상기 제2 스타트 펄스는 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 공통 공급되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 15.

제13 항 또는 제14 항에 있어서,

상기 스테이지는,

출력단자에 출력 신호를 공급하는 출력 버퍼와;

상기 출력 버퍼를 제어하는 제어부를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 16.

제15 항에 있어서,

상기 출력 버퍼는,

Q 노드에 의해 제어되어 클럭 신호에 따라 상기 출력단자에 하이 전압과 로우 전압 중 어느 하나를 공급하는 풀-업 트랜지스터와;

QB 노드에 의해 제어되어 상기 출력단자에 저전위 구동전압을 공급하는 풀-다운 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 17.

제16 항에 있어서,

상기 제어부는,

제1 스타트 펄스 혹은 이전 스테이지 출력 신호를 공급받아 턴-온되어 Q 노드에 하이 전압을 공급함으로써 상기 풀-업 트랜지스터를 턴-온시켜 제1 클럭 신호를 상기 출력단자에 공급시키는 제1 트랜지스터와;

제2 클럭 신호의 하이 전압을 공급받아 턴-온됨으로써 QB 노드에 제1 고전위 구동전압 혹은 제2 고전위 구동전압을 공급하는 제4 트랜지스터와;

상기 QB 노드의 하이 전압을 통해 턴-온됨으로써 상기 Q 노드를 방전시키는 제3 트랜지스터와;

다음 스테이지 출력 신호를 공급받아 턴-온됨으로써 상기 Q 노드를 방전시키는 제3a 트랜지스터와;

상기 제1 스타트 펄스 혹은 이전 스테이지 출력 신호를 공급받아 턴-온됨으로써 QB 노드를 방전시키는 제5 트랜지스터와;

상기 Q 노드의 하이 전압을 통해 턴-온됨으로써 상기 QB 노드를 방전시키는 제5a 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 18.

제17 항에 있어서,

상기 스테이지들 중 상기 제2 쉬프트 레지스터에 위치한 첫 번째 스테이지는,

상기 제1 스타트 펄스의 하이 전압을 통해 턴-온됨으로써 상기 QB 노드를 방전시키는 제5b 트랜지스터를 더 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 19.

제18 항에 있어서,

상기 스테이지 중 상기 제1 및 제2 쉬프트 레지스터에 위치한 첫 번째 스테이지들을 제외한 나머지 스테이지들은,

상기 제1 스타트 펄스의 하이 전압을 통해 턴-온됨으로써 상기 QB 노드를 충전시키는 제4a 트랜지스터를 더 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 20.

제19 항에 있어서,

상기 제4a 트랜지스터는,

상기 제1 고전위 구동전압 혹은 상기 제2 고전위 구동전압을 공급받아 상기 QB 노드를 충전전시키는 것을 특징으로 하는 쉬프트 레지스터.

청구항 21.

제20 항에 있어서,

상기 제1 및 제2 고전위 구동전압은,

하이 전압과 로우 전압을 포함하는 교류 전압인 것을 특징으로 하는 쉬프트 레지스터.

청구항 22.

제21 항에 있어서,

상기 제4a 트랜지스터는,

상기 제1 및 제2 고전위 구동전압의 하이 전압을 통해 상기 QB 노드를 충전시키고,

상기 제1 및 제2 고전위 구동전압의 로우 전압을 통해 상기 QB 노드를 방전시키는 것을 특징으로 하는 쉬프트 레지스터.

청구항 23.

제22 항에 있어서,

상기 제1 고전위 구동전압은,

상기 제1 쉬프트 레지스터가 구동할 때는 상기 하이 전압을 출력하고,

상기 제1 쉬프트 레지스터가 구동하지 않을 때는 상기 로우 전압을 출력하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 24.

제23 항에 있어서,

상기 제2 고전위 구동전압은,

상기 제2 쉬프트 레지스터가 구동할 때는 상기 하이 전압을 출력하고,

상기 제2 쉬프트 레지스터가 구동하지 않을 때는 상기 로우 전압을 출력하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 25.

제1 스타트 펄스, 제1 고전위 구동전압, 제1 저전위 구동전압 및 다수의 클럭 신호를 포함한 제1 구동 신호군이 공급되는 제1 쉬프트 레지스터와;

제2 스타트 펄스, 제2 고전위 구동전압, 제2 저전위 구동전압 및 다수의 클럭 신호를 포함한 제2 구동 신호군이 공급되는 제2 쉬프트 레지스터와;

제3 스타트 펄스, 제3 고전위 구동전압, 제3 저전위 구동전압 및 다수의 클럭 신호를 포함한 제3 구동 신호군이 공급되는 제3 쉬프트 레지스터와;

제4 스타트 펄스, 제4 고전위 구동전압, 제4 저전위 구동전압 및 다수의 클럭 신호를 포함한 제4 구동 신호군이 공급되는 제4 쉬프트 레지스터를 구비하고;

상기 제1 및 제3 쉬프트 레지스터는 기관의 일측에 배치되고 상기 제2 및 제4 쉬프트 레지스터는 상기 기관의 타측에 배치되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 26.

제24 항에 있어서,

상기 제1 내지 제4 저전위 구동전압은 동일한 전압으로 상기 제1 내지 제4 쉬프트 레지스터에 공통 공급되고;

상기 제1 고전위 구동전압과 상기 제2 고전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 공통 공급되고 상기 제3 고전위 구동전압과 상기 제4 고전위 구동전압은 동일한 전압으로 상기 제3 및 제4 쉬프트 레지스터에 공통 공급되고;

상기 제1 및 제2 스타트 펄스들은 동시에 발생되고 상기 제3 및 제4 스타트 펄스들은 동시에 발생되며 상기 제1 및 제2 스타트 펄스들과 소정의 시간차를 두고 발생하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 27.

제26 항에 있어서,

데이터 기간 동안 출력 신호를 순차적으로 쉬프트시키기 위한 다수의 스테이지를 더 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 28.

제27 항에 있어서,

상기 스테이지는,

출력단자에 출력 신호를 공급하는 출력 버퍼와;

상기 출력 버퍼를 제어하는 제어부를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 29.

제28 항에 있어서,

상기 출력 버퍼는,

Q 노드에 의해 제어되어 클럭 신호에 따라 상기 출력단자에 하이 전압과 로우 전압 중 어느 하나를 공급하는 풀-업 트랜지스터와;

QB 노드에 의해 제어되어 상기 출력단자에 저전위 구동전압을 공급하는 풀-다운 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 30.

제29 항에 있어서,

상기 제어부는,

스타트 펄스 혹은 이전 스테이지 출력 신호를 공급받아 턴-온되어 Q 노드에 하이 전압을 공급함으로써 상기 풀-업 트랜지스터를 턴-온시켜 제1 클럭 신호를 상기 출력단자에 공급시키는 제1 트랜지스터와;

제2 클럭 신호의 하이 전압을 공급받아 턴-온됨으로써 QB 노드에 고전위 구동전압을 공급하는 제4 트랜지스터와;

상기 QB 노드의 하이 전압을 통해 턴-온됨으로써 상기 Q 노드를 방전시키는 제3 트랜지스터와;

다음 스테이지 출력 신호를 공급받아 턴-온됨으로써 상기 Q 노드를 방전시키는 제3a 트랜지스터와;

상기 스타트 펄스 혹은 이전 스테이지 출력 신호를 공급받아 턴-온됨으로써 QB 노드를 방전시키는 제5 트랜지스터와;

상기 Q 노드의 하이 전압을 통해 턴-온됨으로써 상기 QB 노드를 방전시키는 제5a 트랜지스터와;

리셋신호를 공급받아 턴-온됨으로써 상기 QB 노드를 방전시키는 제5i 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 31.

제29 항에 있어서,

상기 제어부는,

스타트 펄스 혹은 이전 스테이지 출력 신호를 공급받아 턴-온되어 Q 노드에 하이 전압을 공급함으로써 상기 풀-업 트랜지스터를 턴-온시켜 제1 클럭 신호를 상기 출력단자에 공급시키는 제1 트랜지스터와;

고전위 구동전압을 공급받아 턴-온됨으로써 QB 노드에 고전위 구동전압을 공급하는 제4 트랜지스터와;

상기 QB 노드의 하이 전압을 통해 턴-온됨으로써 상기 Q 노드를 방전시키는 제3 트랜지스터와;

다음 스테이지 출력 신호를 공급받아 턴-온됨으로써 상기 Q 노드를 방전시키는 제3a 트랜지스터와;

상기 스타트 펄스 혹은 이전 스테이지 출력 신호를 공급받아 턴-온됨으로써 QB 노드를 방전시키는 제5 트랜지스터와;

상기 Q 노드의 하이 전압을 통해 턴-온됨으로써 상기 QB 노드를 방전시키는 제5a 트랜지스터와;

리셋신호를 공급받아 턴-온됨으로써 상기 QB 노드를 방전시키는 제5i 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 32.

제29 항에 있어서,

상기 제어부는,

스타트 펄스 혹은 이전 스테이지 출력 신호를 공급받아 턴-온되어 Q 노드에 하이 전압을 공급함으로써 상기 풀-업 트랜지스터를 턴-온시켜 제1 클럭 신호를 상기 출력단자에 공급시키는 제1 트랜지스터와;

고전위 구동전압을 공급받아 턴-온됨으로써 QB 노드에 고전위 구동전압을 공급하는 제4 트랜지스터와;

상기 QB 노드의 하이 전압을 통해 턴-온됨으로써 상기 Q 노드를 방전시키는 제3 트랜지스터와;

다음 스테이지 출력 신호를 공급받아 턴-온됨으로써 상기 Q 노드를 방전시키는 제3a 트랜지스터와;

상기 다음 스테이지 출력 신호를 공급받아 턴-온됨으로써 상기 제4 트랜지스터가 턴-온되는 것을 방지하는 제4a 트랜지스터와;

상기 스타트 펄스 혹은 이전 스테이지 출력 신호를 공급받아 턴-온됨으로써 QB 노드를 방전시키는 제5 트랜지스터와;

상기 Q 노드의 하이 전압을 통해 턴-온됨으로써 상기 QB 노드를 방전시키는 제5a 트랜지스터와;

리셋신호를 공급받아 턴-온됨으로써 상기 QB 노드를 방전시키는 제5i 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 33.

제29 항에 있어서,

상기 제어부는,

스타트 펄스 혹은 이전 스테이지 출력 신호를 공급받아 턴-온되어 Q 노드에 하이 전압을 공급함으로써 상기 풀-업 트랜지스터를 턴-온시켜 제1 클럭 신호를 상기 출력단자에 공급시키는 제1 트랜지스터와;

고전위 구동전압을 공급받아 턴-온됨으로써 T4 노드에 하이 전압을 공급하는 제4a 트랜지스터와;

상기 T4 노드의 하이 전압으로 턴-온되어 QB 노드에 고전위 구동전압을 공급하는 제4 트랜지스터와;

리셋신호를 공급받아 턴-온됨으로써 상기 T4 노드를 방전시키는 제4b 트랜지스터와;

Q 노드의 하이 전압으로 턴-온되어 상기 T4 노드를 방전시키는 제4c 트랜지스터와;

상기 스타트 펄스 혹은 이전 스테이지 출력 신호를 공급받아 턴-온되어 상기 T4 노드를 방전시키는 제4d 트랜지스터와;

상기 QB 노드의 하이 전압을 통해 턴-온됨으로써 상기 Q 노드를 방전시키는 제3 트랜지스터와;

다음 스테이지 출력 신호를 공급받아 턴-온됨으로써 상기 Q 노드를 방전시키는 제3a 트랜지스터와;

상기 스타트 펄스 혹은 이전 스테이지 출력 신호를 공급받아 턴-온됨으로써 QB 노드를 방전시키는 제5 트랜지스터와;

상기 Q 노드의 하이 전압을 통해 턴-온됨으로써 상기 QB 노드를 방전시키는 제5a 트랜지스터와;

리셋신호를 공급받아 턴-온됨으로써 상기 QB 노드를 방전시키는 제5i 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 34.

제30 항 내지 제33 항 중 어느 한 항에 있어서,

상기 리셋신호는 현재 구동되는 쉬프트 레지스터와 동일한 측면에 위치하여 차후 구동되는 쉬프트 레지스터의 고전위 구동전압과 첫 스테이지 출력 신호 중 적어도 어느 하나를 이용하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 35.

제25 항에 있어서,

상기 기관 상의 일측에 형성되어 상기 제1 구동 신호군이 공급되는 제1 신호배선군과;

상기 기관 상의 일측에 형성되어 상기 제3 구동 신호군이 공급되는 제2 신호배선군과;

상기 제1 신호배선과 상기 제1 쉬프트 레지스터 사이에 접속되어 상기 제1 쉬프트 레지스터에 상기 제1 구동 신호군을 공급하는 제3 신호배선군과;

상기 제2 신호배선과 상기 제3 쉬프트 레지스터 사이에 접속되어 상기 제3 쉬프트 레지스터에 상기 제3 구동 신호군을 공급하는 제4 신호배선군과;

상기 기관 상의 타측에 형성되어 상기 제2 구동 신호군이 공급되는 제5 신호배선군과;

상기 기관 상의 타측에 형성되어 상기 제4 구동 신호군이 공급되는 제6 신호배선군과;

상기 제5 신호배선과 상기 제2 쉬프트 레지스터 사이에 접속되어 상기 제2 쉬프트 레지스터에 상기 제2 구동 신호군을 공급하는 제7 신호배선군과;

상기 제6 신호배선과 상기 제4 쉬프트 레지스터 사이에 접속되어 상기 제4 쉬프트 레지스터에 상기 제4 구동 신호군을 공급하는 제8 신호배선군을 더 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 36.

제35 항에 있어서,

상기 제1, 제2, 제5, 제6 신호배선군은 스트라이프 형태로 상기 기관 상에 형성되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 37.

제35 항에 있어서,

상기 제2 신호배선군은 일부분이 상기 기관의 가장자리 근방에 배치되고 나머지 부분이 상기 제3 쉬프트 레지스터 근방에 배치되는 지그재그 형태로 상기 기관 상에 형성되고;

상기 제6 신호배선군은 일부분이 상기 기관의 가장자리 근방에 배치되고 나머지 부분이 상기 제4 쉬프트 레지스터 근방에 배치되는 지그재그 형태로 상기 기관 상에 형성되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 38.

제37 항에 있어서,

상기 제1 신호배선군의 길이와 상기 제2 신호배선군의 길이는 다르고, 상기 제5 신호배선군의 길이와 상기 제6 신호배선군의 길이는 다른 것을 특징으로 하는 쉬프트 레지스터.

청구항 39.

제35 항에 있어서,

상기 제2 및 제6 신호배선군은 "U"자 형태로 상기 기관 상에 형성되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 40.

제39 항에 있어서,

상기 제1 신호배선군의 길이와 상기 제2 신호배선군의 길이는 다르고, 상기 제5 신호배선군의 길이와 상기 제6 신호배선군의 길이는 다른 것을 특징으로 하는 쉬프트 레지스터.

청구항 41.

제35 항에 있어서,

상기 클럭 신호는 순차적으로 공급되는 클럭 신호가 서로 오버랩되게 공급되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 42.

제35 항에 있어서,

상기 제1 내지 제4 구동 신호는 신호를 공급받는 쉬프트 레지스터가 구동하지 않는 기간에는 오프되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 43.

제35 항에 있어서,

상기 제1 내지 제4 구동 신호는 신호를 공급받는 쉬프트 레지스터가 구동하지 않는 기간에는 로우 전압을 유지하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 44.

다수의 게이트 라인들과 다수의 데이터 라인들이 교차되고 다수의 액정셀들이 배치되는 어레이 영역을 가지는 액정표시패널과;

제1 스타트 펄스, 제1 고전위 구동전압, 제1 저전위 구동전압 및 다수의 클럭 신호를 포함한 제1 구동 신호군이 공급되는 제1 쉬프트 레지스터와, 제2 스타트 펄스, 제2 고전위 구동전압, 제2 저전위 구동전압 및 다수의 클럭 신호를 포함한 제2 구동 신호군이 공급되는 제2 쉬프트 레지스터를 이용하여 상기 게이트 라인들에 스캔펄스들을 순차적으로 공급하는 게이트 구동회로와;

상기 데이터 라인들에 데이터를 공급하기 위한 데이터 구동회로를 구비하고;

상기 제1 및 제2 쉬프트 레지스터는 기판의 적어도 일측에 배치되는 것을 특징으로 하는 액정표시장치.

청구항 45.

제44 항에 있어서,

상기 제1 저전위 구동전압과 상기 제2 저전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 공통 공급되고;

상기 제1 고전위 구동전압과 상기 제2 고전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 분리 공급되고;

상기 제1 스타트 펄스와 상기 제2 스타트 펄스는 소정의 시간차를 두고 상기 제1 및 제2 쉬프트 레지스터에 분리 공급되는 것을 특징으로 하는 액정표시장치.

청구항 46.

제44 항에 있어서,

상기 제1 저전위 구동전압과 상기 제2 저전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 공통 공급되고;

상기 제1 고전위 구동전압과 상기 제2 고전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 분리 공급되고;

상기 제2 스타트 펄스는 상기 제1 쉬프트 레지스터에 위치한 스테이지 중 마지막 스테이지의 출력 신호인 것을 특징으로 하는 액정표시장치.

청구항 47.

제44 항에 있어서,

상기 제1 저전위 구동전압과 상기 제2 저전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 공통 공급되고;

상기 제1 고전위 구동전압과 상기 제2 고전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 분리 공급되고;

상기 제1 스타트 펄스와 상기 제2 스타트 펄스는 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 공통 공급되는 것을 특징으로 하는 액정표시장치.

청구항 48.

제44 항에 있어서,

상기 기판 상의 일측에 형성되어 상기 제1 구동 신호군이 공급되는 제1 신호배선군과;

상기 기판 상의 일측에 형성되어 상기 제2 구동 신호군이 공급되는 제2 신호배선군과;

상기 제1 신호배선과 상기 제1 쉬프트 레지스터 사이에 접속되어 상기 제1 쉬프트 레지스터에 상기 제1 구동 신호군을 공급하는 제3 신호배선군과;

상기 제2 신호배선과 상기 제2 쉬프트 레지스터 사이에 접속되어 상기 제2 쉬프트 레지스터에 상기 제2 구동 신호군을 공급하는 제4 신호배선군을 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 49.

제48 항에 있어서,

상기 제1 및 제2 신호배선군은 스트라이프 형태로 상기 기판 상에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 50.

제48 항에 있어서,

상기 제2 신호배선군은 일부분이 상기 기판의 가장자리 근방에 배치되고 나머지 부분이 상기 제2 쉬프트 레지스터 근방에 배치되는 지그재그 형태로 상기 기판 상에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 51.

제50 항에 있어서,

상기 제1 신호배선군의 길이와 상기 제2 신호배선군의 길이는 다른 것을 특징으로 하는 액정표시장치.

청구항 52.

제51 항에 있어서,

상기 제2 신호배선군의 일부는 상기 액정표시패널의 실링재와 중첩되는 것을 특징으로 하는 액정표시장치.

청구항 53.

제48 항에 있어서,

상기 제2 신호배선은 "U"자 형태로 상기 기관 상에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 54.

제53 항에 있어서,

상기 제1 신호배선군의 길이와 상기 제2 신호배선군의 길이는 다른 것을 특징으로 하는 액정표시장치.

청구항 55.

제54 항에 있어서,

상기 제2 신호배선군의 일부는 상기 액정표시패널의 실링재와 중첩되는 것을 특징으로 하는 액정표시장치.

청구항 56.

다수의 게이트 라인들과 다수의 데이터 라인들이 교차되고 다수의 액정셀들이 배치되는 어레이 영역을 가지는 액정표시패널과;

제1 스타트 펄스, 제1 고전위 구동전압, 제1 저전위 구동전압 및 다수의 클럭 신호를 포함한 제1 구동 신호군이 공급되는 제1 쉬프트 레지스터와, 제2 스타트 펄스, 제2 고전위 구동전압, 제2 저전위 구동전압 및 다수의 클럭 신호를 포함한 제2 구동 신호군이 공급되는 제2 쉬프트 레지스터와, 제3 스타트 펄스, 제3 고전위 구동전압, 제3 저전위 구동전압 및 다수의 클럭 신호를 포함한 제3 구동 신호군이 공급되는 제3 쉬프트 레지스터와, 제4 스타트 펄스, 제4 고전위 구동전압, 제4 저전위 구동전압 및 다수의 클럭 신호를 포함한 제4 구동 신호군이 공급되는 제4 쉬프트 레지스터를 이용하여 상기 게이트 라인들에 스캔펄스들을 순차적으로 공급하는 게이트 구동회로와;

상기 데이터 라인들에 데이터를 공급하기 위한 데이터 구동회로를 구비하고;

상기 제1 및 제3 쉬프트 레지스터는 기관의 일측에 배치되고 상기 제2 및 제4 쉬프트 레지스터는 기관의 타측에 배치되는 것을 특징으로 하는 액정표시장치.

청구항 57.

제56 항에 있어서,

상기 제1 내지 제4 저전위 구동전압은 동일한 전압으로 상기 제1 내지 제4 쉬프트 레지스터에 공통 공급되고;

상기 제1 고전위 구동전압과 상기 제2 고전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 공통 공급되고 상기 제3 고전위 구동전압과 상기 제4 고전위 구동전압은 동일한 전압으로 상기 제3 및 제4 쉬프트 레지스터에 공통 공급되고;

상기 제1 및 제2 스타트 펄스들은 동시에 발생되고 상기 제3 및 제4 스타트 펄스들은 동시에 발생되며 상기 제1 및 제2 스타트 펄스들과 소정의 시간차를 두고 발생하는 것을 특징으로 하는 액정표시장치.

청구항 58.

제56 항에 있어서,

상기 기관 상의 일측에 형성되어 상기 제1 구동 신호군이 공급되는 제1 신호배선군과;

상기 기관 상의 일측에 형성되어 상기 제3 구동 신호군이 공급되는 제2 신호배선군과;

상기 제1 신호배선과 상기 제1 쉬프트 레지스터 사이에 접속되어 상기 제1 쉬프트 레지스터에 상기 제1 구동 신호군을 공급하는 제3 신호배선군과;

상기 제2 신호배선과 상기 제3 쉬프트 레지스터 사이에 접속되어 상기 제3 쉬프트 레지스터에 상기 제3 구동 신호군을 공급하는 제4 신호배선군과;

상기 기관 상의 타측에 형성되어 상기 제2 구동 신호군이 공급되는 제5 신호배선군과;

상기 기관 상의 타측에 형성되어 상기 제4 구동 신호군이 공급되는 제6 신호배선군과;

상기 제5 신호배선과 상기 제2 쉬프트 레지스터 사이에 접속되어 상기 제2 쉬프트 레지스터에 상기 제2 구동 신호군을 공급하는 제7 신호배선군과;

상기 제6 신호배선과 상기 제4 쉬프트 레지스터 사이에 접속되어 상기 제4 쉬프트 레지스터에 상기 제4 구동 신호군을 공급하는 제8 신호배선군을 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 59.

제58 항에 있어서,

상기 제1, 제2, 제5, 제6 신호배선군은 스트라이프 형태로 상기 기관 상에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 60.

제58 항에 있어서,

상기 제2 신호배선군은 일부분이 상기 기관의 가장자리 근방에 배치되고 나머지 부분이 상기 제3 쉬프트 레지스터 근방에 배치되는 지그재그 형태로 상기 기관 상에 형성되고;

상기 제6 신호배선군은 일부분이 상기 기관의 가장자리 근방에 배치되고 나머지 부분이 상기 제4 쉬프트 레지스터 근방에 배치되는 지그재그 형태로 상기 기관 상에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 61.

제60 항에 있어서,

상기 제1 신호배선군의 길이와 상기 제2 신호배선군의 길이는 다르고, 상기 제5 신호배선군의 길이와 상기 제6 신호배선군의 길이는 다른 것을 특징으로 하는 액정표시장치.

청구항 62.

제61 항에 있어서,

상기 제2 및 제6 신호배선군의 일부는 상기 액정표시패널의 실링재와 중첩되는 것을 특징으로 하는 액정표시장치.

청구항 63.

제58 항에 있어서,

상기 제2 및 제6 신호배선군은 "U"자 형태로 상기 기판 상에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 64.

제63 항에 있어서,

상기 제1 신호배선군의 길이와 상기 제2 신호배선군의 길이는 다르고, 상기 제5 신호배선군의 길이와 상기 제6 신호배선군의 길이는 다른 것을 특징으로 하는 액정표시장치.

청구항 65.

제64 항에 있어서,

상기 제2 및 제6 신호배선군의 일부는 상기 액정표시패널의 실링재와 중첩되는 것을 특징으로 하는 액정표시장치.

청구항 66.

제56 항에 있어서,

상기 게이트 라인은 오드/이븐으로 분리되어, 제1 및 제3 쉬프트 레지스터는 오드 게이트 라인을 구동하고, 제2 및 제4 쉬프트 레지스터는 이븐 게이트 라인을 구동하는 것을 특징으로 하는 액정표시장치.

청구항 67.

제56 항에 있어서,

상기 제1 및 제3 쉬프트 레지스터는 동일한 게이트 라인을 동시 구동하고, 상기 제2 및 제4 쉬프트 레지스터는 동일한 게이트 라인을 동시 구동하는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 클럭 신호의 지연을 줄여 게이트 출력 파형을 안정화할 수 있는 쉬프트 레지스터와 이를 이용한 액정표시장치에 관한 것이다.

액정표시장치는 사무기기의 표시소자부터 컴퓨터의 모니터, 나아가 최근의 공정기술과 구동기술의 발전에 힘입어 대화면의 텔레비전(Television)에 이르기까지 광범위하게 이용되고 있는 평판 표시장치이다. 이러한 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 액정셀들이 매트릭스 형태로 배열된 액정표시패널과, 액정표시패널을 구동하기 위한 구동 회로를 구비한다.

도 1을 참조하면, 종래의 일반적인 액정표시장치는 $m \times n$ 개의 액정셀들(Clc)이 매트릭스 타입으로 배열되고 m 개의 데이터 라인들(D1 내지 Dm)과 n 개의 게이트 라인들(G1 내지 Gn)이 교차되며 그 교차부에 박막 트랜지스터(TFT)가 접속된 액정표시패널(13)과, 액정표시패널(13)의 데이터 라인들(D1 내지 Dm)에 데이터를 공급하는 데이터 구동회로(11)와, 게이트 라인들(G1 내지 Gn)에 스캔 펄스를 공급하는 게이트 구동회로(12)를 구비한다.

액정표시패널(13)은 박막 트랜지스터 어레이가 형성된 박막 트랜지스터 기판과 컬러 필터 어레이가 형성된 컬러 필터 기판이 액정 층을 사이에 두고 합착 되어 형성된다. 이 액정표시패널(13)의 박막 트랜지스터 기판에 형성된 데이터 라인들(D1 내지 Dm)과 게이트 라인들(G1 내지 Gn)은 상호 직교 된다. 데이터 라인들(D1 내지 Dm)과 게이트 라인들(G1 내지 Gn)의 교차부에 접속된 박막 트랜지스터(TFT)는 게이트 라인(G1 내지 Gn)의 스캔 펄스에 응답하여 데이터 라인(D1 내지 Dn)을 통해 공급된 데이터 전압을 액정셀(Clc)의 화소 전극에 공급하게 된다. 컬러 필터 기판에는 블랙 매트릭스, 컬러 필터 및 공통 전극 등이 형성된다. 이에 따라, 액정셀(Clc)은 화소 전극에 공급된 데이터 전압과, 공통 전극에 공급된 공통 전압과의 전위차에 의해 유전 이방성을 갖는 액정이 회전하여 광 투과율을 조절하게 된다. 그리고 액정표시패널(13)의 박막 트랜지스터 기판과 컬러 필터 기판상에는 광축이 직교하는 편광판이 부착되고, 액정 층과 접하는 내측면 상에는 액정의 프리틸트각을 결정하는 배향막이 더 형성된다. 또한, 액정셀(Clc) 각각에는 스토리지 캐패시터(Cst)가 더 형성된다. 스토리지 캐패시터(Cst)는 화소 전극과 전단 게이트 라인 사이에 형성되거나, 화소 전극과 도시하지 않은 공통 라인 사이에 형성되어 액정셀(Clc)에 충전된 데이터 전압을 일정하게 유지시킨다.

데이터 구동회로(11)는 입력된 디지털 비디오 데이터를 감마 전압을 이용하여 아날로그 데이터 전압으로 변환하고 데이터 라인들(D1 내지 Dm)에 공급한다.

게이트 구동회로(12)는 스캔 펄스를 게이트 라인들(G1 내지 Gn)에 순차적으로 공급하여 데이터가 공급될 액정셀(Clc)의 수평 라인을 선택한다.

구체적으로, 게이트 구동회로(12)는 도 2에 도시된 바와 같이 게이트 라인들(G1 내지 Gn)에 순차적으로 스캔 펄스를 공급하기 위하여 스타트 펄스(Vst) 입력 라인에 종속적으로 접속된 제1 내지 제n 스테이지 및 더미 스테이지를 구비하는 쉬프트 레지스터를 포함한다. 도 2에 도시된 제1 내지 제n 스테이지 및 더미 스테이지에는 고전위 및 저전위 구동전압(Vdd, Vss)과 함께 클럭 신호(CLK)가 공통으로 공급되고, 스타트 펄스(Vst) 또는 이전 단 및 다음 단 스테이지의 출력 신호가 공급된다. 제1 내지 제n-1 스테이지의 출력 신호는 다음 단 스테이지의 출력 신호로 인하여 리셋되고, 제n 스테이지의 리셋을 위하여 더미 스테이지를 구비한다. 제1 스테이지는 스타트 펄스(Vst)와 클럭 신호(CLK)에 응답하여 첫 번째 게이트 라인(G1)으로 스캔 펄스를 출력한다. 그리고, 제2 내지 제n 스테이지는 이전 단 스테이지의 출력 신호와 클럭 신호(CLK)에 응답하여 제2 내지 제n 게이트 라인(G2 내지 Gn) 각각에 스캔 펄스를 순차적으로 출력한다. 다시 말하여, 제1 내지 제n 스테이지 및 더미 스테이지는 동일한 회로 구성을 가지며, 클럭 신호(CLK)로는 위상이 서로 다른 적어도 2개의 클럭 신호가 공급된다.

이러한 구성을 갖는 게이트 구동회로를 아모퍼스-실리콘 박막 트랜지스터를 이용하여 구현하는 경우, 낮은 전계 효과 이동도로 인하여 출력 파형의 늘어짐, 즉 라이징 타임(Rising Time)과 폴링 타임(Falling Time)의 증가가 발생한다. 이러한 출력 파형의 늘어짐은 해상도의 증가로 인한 로드의 증가에 따라 더욱 심해진다.

도 3은 1024×768 해상도의 패널에 적용된 비정질 실리콘 트랜지스터를 이용한 게이트 구동회로의 출력 파형을 나타낸다. 도 3을 참조하면, 클럭 신호 파형(51) 자체도 정상적인 클럭 파형을 보여주지 못하고 있을 뿐만 아니라 게이트 출력 파형(52)에도 충전 불량이 발생함을 알 수 있다. 이와 같은 경우에는 픽셀의 충전을 위한 유효 충전 시간이 매우 적다. 또한, 다른 스테이지의 게이트 출력 파형과 오버랩(Overlap)됨으로써 데이터가 섞이는 등 패널 구동시 화면 불량이 발생한다. 향후 노트북, 모니터 뿐만아니라 텔레비전용 대면적 액정표시장치를 제작함에 있어서 이러한 현상은 더욱 심해질 수밖에 없다.

도 4는 14.1" 1024×768 해상도를 가지는 패널에서 제1 스테이지와 제768 스테이지의 클럭 파형을 측정한 것이다. 도 4을 참조하면, 마지막 단인 제768 스테이지의 클럭 파형(62)이 시작 단인 제1 스테이지의 클럭 파형(61)에 비해 심하게 늘어짐이 발생한 것을 알 수 있다. 이로 인해, 각 스테이지의 출력버퍼 사이즈를 크게 하여 전계 효과 이동도를 높인다 하더라도 클럭 파형 이상의 게이트 출력 파형을 구현하는 것에는 한계가 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 클럭 신호의 지연을 줄여 게이트 출력 파형을 안정화할 수 있는 쉬프트 레지스터와 이를 이용한 액정표시장치를 제공함에 있다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명에 따른 쉬프트 레지스터는 제1 스타트 펄스, 제1 고전위 구동전압, 제1 저전위 구동전압 및 다수의 클럭 신호를 포함한 제1 구동 신호군이 공급되는 제1 쉬프트 레지스터와; 제2 스타트 펄스, 제2 고전위 구동전압, 제2 저전위 구동전압 및 다수의 클럭 신호를 포함한 제2 구동 신호군이 공급되는 제2 쉬프트 레지스터를 구비하고; 상기 제1 및 제2 쉬프트 레지스터는 기관의 적어도 일측에 배치된다.

상기 제1 저전위 구동전압과 상기 제2 저전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 공통 공급되고; 상기 제1 고전위 구동전압과 상기 제2 고전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 분리 공급되고; 상기 제1 스타트 펄스와 상기 제2 스타트 펄스는 소정의 시간차를 두고 상기 제1 및 제2 쉬프트 레지스터에 분리 공급된다.

상기 기관 상의 일측에 형성되어 상기 제1 구동 신호군이 공급되는 제1 신호배선군과; 상기 기관 상의 일측에 형성되어 상기 제2 구동 신호군이 공급되는 제2 신호배선군과; 상기 제1 신호배선군과 상기 제1 쉬프트 레지스터 사이에 접속되어 상기 제1 쉬프트 레지스터에 상기 제1 구동 신호군을 공급하는 제3 신호배선군과; 상기 제2 신호배선군과 상기 제2 쉬프트 레지스터 사이에 접속되어 상기 제2 쉬프트 레지스터에 상기 제2 구동 신호군을 공급하는 제4 신호배선군을 더 구비한다.

상기 제1 및 제2 신호배선군은 스트라이프 형태로 상기 기관 상에 형성된다.

상기 제2 신호배선군은 일부분이 상기 기관의 가장자리 근방에 배치되고 나머지 부분이 상기 제2 쉬프트 레지스터 근방에 배치되는 지그재그 형태로 상기 기관 상에 형성된다.

상기 제1 신호배선군의 길이와 상기 제2 신호배선군의 길이는 다르다.

상기 제2 신호배선군은 "U"자 형태로 상기 기관 상에 형성된다.

상기 제1 신호배선군의 길이와 상기 제2 신호배선군의 길이는 다르다.

상기 클럭 신호는 순차적으로 공급되는 클럭 신호가 서로 오버랩되게 공급된다.

상기 제1 및 제2 구동 신호는 신호를 공급받는 쉬프트 레지스터가 구동하지 않는 기간에는 오프된다.

상기 제1 및 제2 구동 신호는 신호를 공급받는 쉬프트 레지스터가 구동하지 않는 기간에는 로우 전압을 유지한다.

상기 제1 및 제2 쉬프트 레지스터는 데이터 기간 동안 출력 신호를 순차적으로 쉬프트시키기 위한 다수의 스테이지를 구비한다.

상기 제1 저전위 구동전압과 상기 제2 저전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 공통 공급되고; 상기 제1 고전위 구동전압과 상기 제2 고전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 분리 공급되고; 상기 제2 스타트 펄스는 상기 제1 쉬프트 레지스터에 위치한 스테이지 중 마지막 스테이지의 출력 신호이다.

상기 제1 저전위 구동전압과 상기 제2 저전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 공통 공급되고; 상기 제1 고전위 구동전압과 상기 제2 고전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 분리 공급되고; 상기 제1 스타트 펄스와 상기 제2 스타트 펄스는 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 공통 공급된다.

상기 스테이지는 출력단자에 출력 신호를 공급하는 출력 버퍼와; 상기 출력 버퍼를 제어하는 제어부를 구비한다.

상기 출력 버퍼는 Q 노드에 의해 제어되어 클럭 신호에 따라 상기 출력단자에 하이 전압과 로우 전압 중 어느 하나를 공급하는 풀-업 트랜지스터와; QB 노드에 의해 제어되어 상기 출력단자에 저전위 구동전압을 공급하는 풀-다운 트랜지스터를 구비한다.

상기 제어부는 제1 스타트 펄스 혹은 이전 스테이지 출력 신호를 공급받아 턴-온되어 Q 노드에 하이 전압을 공급함으로써 상기 풀-업 트랜지스터를 턴-온시켜 제1 클럭 신호를 상기 출력단자에 공급시키는 제1 트랜지스터와; 제2 클럭 신호의 하이 전압을 공급받아 턴-온됨으로써 QB 노드에 제1 고전위 구동전압 혹은 제2 고전위 구동전압을 공급하는 제4 트랜지스터와; 상기 QB 노드의 하이 전압을 통해 턴-온됨으로써 상기 Q 노드를 방전시키는 제3 트랜지스터와; 다음 스테이지 출력 신호를 공급받아 턴-온됨으로써 상기 Q 노드를 방전시키는 제3a 트랜지스터와; 상기 제1 스타트 펄스 혹은 이전 스테이지 출력 신호를 공급받아 턴-온됨으로써 QB 노드를 방전시키는 제5 트랜지스터와; 상기 Q 노드의 하이 전압을 통해 턴-온됨으로써 상기 QB 노드를 방전시키는 제5a 트랜지스터를 구비한다.

상기 스테이지들 중 상기 제2 쉬프트 레지스터에 위치한 첫 번째 스테이지는 상기 제1 스타트 펄스의 하이 전압을 통해 턴-온됨으로써 상기 QB 노드를 방전시키는 제5b 트랜지스터를 더 구비한다.

상기 스테이지 중 상기 제1 및 제2 쉬프트 레지스터에 위치한 첫 번째 스테이지들을 제외한 나머지 스테이지들은 상기 제1 스타트 펄스의 하이 전압을 통해 턴-온됨으로써 상기 QB 노드를 충방전시키는 제4a 트랜지스터를 더 구비한다.

상기 제4a 트랜지스터는 상기 제1 고전위 구동전압 혹은 상기 제2 고전위 구동전압을 공급받아 상기 QB 노드를 충방전시킨다.

상기 제1 및 제2 고전위 구동전압은 하이 전압과 로우 전압을 포함하는 교류 전압이다.

상기 제4a 트랜지스터는 상기 제1 및 제2 고전위 구동전압의 하이 전압을 통해 상기 QB 노드를 충전시키고, 상기 제1 및 제2 고전위 구동전압의 로우 전압을 통해 상기 QB 노드를 방전시킨다.

상기 제1 고전위 구동전압은 상기 제1 쉬프트 레지스터가 구동할 때는 상기 하이 전압을 출력하고, 상기 제1 쉬프트 레지스터가 구동하지 않을 때는 상기 로우 전압을 출력한다.

상기 제2 고전위 구동전압은 상기 제2 쉬프트 레지스터가 구동할 때는 상기 하이 전압을 출력하고, 상기 제2 쉬프트 레지스터가 구동하지 않을 때는 상기 로우 전압을 출력한다.

본 발명에 따른 쉬프트 레지스터는 제1 스타트 펄스, 제1 고전위 구동전압, 제1 저전위 구동전압 및 다수의 클럭 신호를 포함한 제1 구동 신호군이 공급되는 제1 쉬프트 레지스터와; 제2 스타트 펄스, 제2 고전위 구동전압, 제2 저전위 구동전압 및 다수의 클럭 신호를 포함한 제2 구동 신호군이 공급되는 제2 쉬프트 레지스터와; 제3 스타트 펄스, 제3 고전위 구동전압, 제3 저전위 구동전압 및 다수의 클럭 신호를 포함한 제3 구동 신호군이 공급되는 제3 쉬프트 레지스터와; 제4 스타트 펄스, 제4 고전위 구동전압, 제4 저전위 구동전압 및 다수의 클럭 신호를 포함한 제4 구동 신호군이 공급되는 제4 쉬프트 레지스터를 구비하고; 상기 제1 및 제3 쉬프트 레지스터는 기관의 일측에 배치되고 상기 제2 및 제4 쉬프트 레지스터는 상기 기관의 타측에 배치된다.

상기 제1 내지 제4 저전위 구동전압은 동일한 전압으로 상기 제1 내지 제4 쉬프트 레지스터에 공통 공급되고; 상기 제1 고전위 구동전압과 상기 제2 고전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 공통 공급되고 상기 제3 고전위 구동전압과 상기 제4 고전위 구동전압은 동일한 전압으로 상기 제3 및 제4 쉬프트 레지스터에 공통 공급되고; 상기 제1 및 제2 스타트 펄스들은 동시에 발생되고 상기 제3 및 제4 스타트 펄스들은 동시에 발생되며 상기 제1 및 제2 스타트 펄스들과 소정의 시간차를 두고 발생된다.

본 발명에 따른 쉬프트 레지스터는 데이터 기간 동안 출력 신호를 순차적으로 쉬프트시키기 위한 다수의 스테이지를 더 구비한다.

상기 스테이지는 출력단자에 출력 신호를 공급하는 출력 버퍼와; 상기 출력 버퍼를 제어하는 제어부를 구비한다.

상기 출력 버퍼는 Q 노드에 의해 제어되어 클럭 신호에 따라 상기 출력단자에 하이 전압과 로우 전압 중 어느 하나를 공급하는 풀-업 트랜지스터와; QB 노드에 의해 제어되어 상기 출력단자에 저전위 구동전압을 공급하는 풀-다운 트랜지스터를 구비한다.

상기 제어부는 스타트 펄스 혹은 이전 스테이지 출력 신호를 공급받아 턴-온되어 Q 노드에 하이 전압을 공급함으로써 상기 풀-업 트랜지스터를 턴-온시켜 제1 클럭 신호를 상기 출력단자에 공급시키는 제1 트랜지스터와; 제2 클럭 신호의 하이 전압을 공급받아 턴-온됨으로써 QB 노드에 고전위 구동전압을 공급하는 제4 트랜지스터와; 상기 QB 노드의 하이 전압을 통해 턴-온됨으로써 상기 Q 노드를 방전시키는 제3 트랜지스터와; 다음 스테이지 출력 신호를 공급받아 턴-온됨으로써 상기 Q 노드를 방전시키는 제3a 트랜지스터와; 상기 스타트 펄스 혹은 이전 스테이지 출력 신호를 공급받아 턴-온됨으로써 QB 노드를 방전시키는 제5 트랜지스터와; 상기 Q 노드의 하이 전압을 통해 턴-온됨으로써 상기 QB 노드를 방전시키는 제5a 트랜지스터와; 리셋신호를 공급받아 턴-온됨으로써 상기 QB 노드를 방전시키는 제5i 트랜지스터를 구비한다.

상기 제어부는 스타트 펄스 혹은 이전 스테이지 출력 신호를 공급받아 턴-온되어 Q 노드에 하이 전압을 공급함으로써 상기 풀-업 트랜지스터를 턴-온시켜 제1 클럭 신호를 상기 출력단자에 공급시키는 제1 트랜지스터와; 고전위 구동전압을 공급받아 턴-온됨으로써 QB 노드에 고전위 구동전압을 공급하는 제4 트랜지스터와; 상기 QB 노드의 하이 전압을 통해 턴-온됨으로써 상기 Q 노드를 방전시키는 제3 트랜지스터와; 다음 스테이지 출력 신호를 공급받아 턴-온됨으로써 상기 Q 노드를 방전시키는 제3a 트랜지스터와; 상기 스타트 펄스 혹은 이전 스테이지 출력 신호를 공급받아 턴-온됨으로써 QB 노드를 방전시키는 제5 트랜지스터와; 상기 Q 노드의 하이 전압을 통해 턴-온됨으로써 상기 QB 노드를 방전시키는 제5a 트랜지스터와; 리셋신호를 공급받아 턴-온됨으로써 상기 QB 노드를 방전시키는 제5i 트랜지스터를 구비한다.

상기 제어부는 스타트 펄스 혹은 이전 스테이지 출력 신호를 공급받아 턴-온되어 Q 노드에 하이 전압을 공급함으로써 상기 풀-업 트랜지스터를 턴-온시켜 제1 클럭 신호를 상기 출력단자에 공급시키는 제1 트랜지스터와; 고전위 구동전압을 공급받아 턴-온됨으로써 QB 노드에 고전위 구동전압을 공급하는 제4 트랜지스터와; 상기 QB 노드의 하이 전압을 통해 턴-온됨으로써 상기 Q 노드를 방전시키는 제3 트랜지스터와; 다음 스테이지 출력 신호를 공급받아 턴-온됨으로써 상기 Q 노드를 방전시키는 제3a 트랜지스터와; 상기 다음 스테이지 출력 신호를 공급받아 턴-온됨으로써 상기 제4 트랜지스터가 턴-온되는 것을 방지하는 제4a 트랜지스터와; 상기 스타트 펄스 혹은 이전 스테이지 출력 신호를 공급받아 턴-온됨으로써 QB 노드를 방전시키는 제5 트랜지스터와; 상기 Q 노드의 하이 전압을 통해 턴-온됨으로써 상기 QB 노드를 방전시키는 제5a 트랜지스터와; 리셋신호를 공급받아 턴-온됨으로써 상기 QB 노드를 방전시키는 제5i 트랜지스터를 구비한다.

상기 제어부는 스타트 펄스 혹은 이전 스테이지 출력 신호를 공급받아 턴-온되어 Q 노드에 하이 전압을 공급함으로써 상기 풀-업 트랜지스터를 턴-온시켜 제1 클럭 신호를 상기 출력단자에 공급시키는 제1 트랜지스터와; 고전위 구동전압을 공급받아 턴-온됨으로써 T4 노드에 하이 전압을 공급하는 제4a 트랜지스터와; 상기 T4 노드의 하이 전압으로 턴-온되어 QB 노드에 고전위 구동전압을 공급하는 제4 트랜지스터와; 리셋신호를 공급받아 턴-온됨으로써 상기 T4 노드를 방전시키는 제4b 트랜지스터와; Q 노드의 하이 전압으로 턴-온되어 상기 T4 노드를 방전시키는 제4c 트랜지스터와; 상기 스타트 펄스 혹은 이전 스테이지 출력 신호를 공급받아 턴-온되어 상기 T4 노드를 방전시키는 제4d 트랜지스터와; 상기 QB 노드의 하이 전압을 통해 턴-온됨으로써 상기 Q 노드를 방전시키는 제3 트랜지스터와; 다음 스테이지 출력 신호를 공급받아 턴-온됨으로써 상기 Q 노드를 방전시키는 제3a 트랜지스터와; 상기 스타트 펄스 혹은 이전 스테이지 출력 신호를 공급받아 턴-온됨으로써 QB 노드를 방전시키는 제5 트랜지스터와; 상기 Q 노드의 하이 전압을 통해 턴-온됨으로써 상기 QB 노드를 방전시키는 제5a 트랜지스터와; 리셋신호를 공급받아 턴-온됨으로써 상기 QB 노드를 방전시키는 제5i 트랜지스터를 구비한다.

상기 리셋신호는 현재 구동되는 쉬프트 레지스터와 동일한 측면에 위치하여 차후 구동되는 쉬프트 레지스터의 고전위 구동전압과 첫 스테이지 출력 신호 중 적어도 어느 하나를 이용한다.

본 발명에 따른 쉬프트 레지스터는 상기 기관 상의 일측에 형성되어 상기 제1 구동 신호군이 공급되는 제1 신호배선군과; 상기 기관 상의 일측에 형성되어 상기 제3 구동 신호군이 공급되는 제2 신호배선군과; 상기 제1 신호배선과 상기 제1 쉬프트 레지스터 사이에 접속되어 상기 제1 쉬프트 레지스터에 상기 제1 구동 신호군을 공급하는 제3 신호배선군과; 상기 제2 신호배선과 상기 제3 쉬프트 레지스터 사이에 접속되어 상기 제3 쉬프트 레지스터에 상기 제3 구동 신호군을 공급하는 제

4 신호배선군과; 상기 기관 상의 타측에 형성되어 상기 제2 구동 신호군이 공급되는 제5 신호배선군과; 상기 기관 상의 타측에 형성되어 상기 제4 구동 신호군이 공급되는 제6 신호배선군과; 상기 제5 신호배선과 상기 제2 쉬프트 레지스터 사이에 접속되어 상기 제2 쉬프트 레지스터에 상기 제2 구동 신호군을 공급하는 제7 신호배선군과; 상기 제6 신호배선과 상기 제4 쉬프트 레지스터 사이에 접속되어 상기 제4 쉬프트 레지스터에 상기 제4 구동 신호군을 공급하는 제8 신호배선군을 더 구비한다.

상기 제1, 제2, 제5, 제6 신호배선군은 스트라이프 형태로 상기 기관 상에 형성된다.

상기 제2 신호배선군은 일부분이 상기 기관의 가장자리 근방에 배치되고 나머지 부분이 상기 제3 쉬프트 레지스터 근방에 배치되는 지그재그 형태로 상기 기관 상에 형성되고; 상기 제6 신호배선군은 일부분이 상기 기관의 가장자리 근방에 배치되고 나머지 부분이 상기 제4 쉬프트 레지스터 근방에 배치되는 지그재그 형태로 상기 기관 상에 형성된다.

상기 제1 신호배선군의 길이와 상기 제2 신호배선군의 길이는 다르고, 상기 제5 신호배선군의 길이와 상기 제6 신호배선군의 길이는 다르다.

상기 제2 및 제6 신호배선군은 "U"자 형태로 상기 기관 상에 형성된다.

상기 제1 신호배선군의 길이와 상기 제2 신호배선군의 길이는 다르고, 상기 제5 신호배선군의 길이와 상기 제6 신호배선군의 길이는 다르다.

상기 클럭 신호는 순차적으로 공급되는 클럭 신호가 서로 오버랩되게 공급된다.

상기 제1 내지 제4 구동 신호는 신호를 공급받는 쉬프트 레지스터가 구동하지 않는 기간에는 오프된다.

상기 제1 내지 제4 구동 신호는 신호를 공급받는 쉬프트 레지스터가 구동하지 않는 기간에는 로우 전압을 유지한다.

본 발명에 따른 액정표시장치는 다수의 게이트 라인들과 다수의 데이터 라인들이 교차되고 다수의 액정셀들이 배치되는 어레이 영역을 가지는 액정표시패널과; 제1 스타트 펄스, 제1 고전위 구동전압, 제1 저전위 구동전압 및 다수의 클럭 신호를 포함한 제1 구동 신호군이 공급되는 제1 쉬프트 레지스터와, 제2 스타트 펄스, 제2 고전위 구동전압, 제2 저전위 구동전압 및 다수의 클럭 신호를 포함한 제2 구동 신호군이 공급되는 제2 쉬프트 레지스터를 이용하여 상기 게이트 라인들에 스캔펄스들을 순차적으로 공급하는 게이트 구동회로와; 상기 데이터 라인들에 데이터를 공급하기 위한 데이터 구동회로를 구비하고; 상기 제1 및 제2 쉬프트 레지스터는 기관의 적어도 일측에 배치된다.

상기 제1 저전위 구동전압과 상기 제2 저전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 공통 공급되고; 상기 제1 고전위 구동전압과 상기 제2 고전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 분리 공급되고; 상기 제1 스타트 펄스와 상기 제2 스타트 펄스는 소정의 시간차를 두고 상기 제1 및 제2 쉬프트 레지스터에 분리 공급된다.

상기 제1 저전위 구동전압과 상기 제2 저전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 공통 공급되고; 상기 제1 고전위 구동전압과 상기 제2 고전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 분리 공급되고; 상기 제2 스타트 펄스는 상기 제1 쉬프트 레지스터에 위치한 스테이지 중 마지막 스테이지의 출력 신호이다.

상기 제1 저전위 구동전압과 상기 제2 저전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 공통 공급되고; 상기 제1 고전위 구동전압과 상기 제2 고전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 분리 공급되고; 상기 제1 스타트 펄스와 상기 제2 스타트 펄스는 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 공통 공급된다.

상기 기관 상의 일측에 형성되어 상기 제1 구동 신호군이 공급되는 제1 신호배선군과; 상기 기관 상의 일측에 형성되어 상기 제2 구동 신호군이 공급되는 제2 신호배선군과; 상기 제1 신호배선과 상기 제1 쉬프트 레지스터 사이에 접속되어 상기 제1 쉬프트 레지스터에 상기 제1 구동 신호군을 공급하는 제3 신호배선군과; 상기 제2 신호배선과 상기 제2 쉬프트 레지스터 사이에 접속되어 상기 제2 쉬프트 레지스터에 상기 제2 구동 신호군을 공급하는 제4 신호배선군을 더 구비한다.

상기 제1 및 제2 신호배선군은 스트라이프 형태로 상기 기관 상에 형성된다.

상기 제2 신호배선군은 일부분이 상기 기관의 가장자리 근방에 배치되고 나머지 부분이 상기 제2 쉬프트 레지스터 근방에 배치되는 지그재그 형태로 상기 기관 상에 형성된다.

상기 제1 신호배선군의 길이와 상기 제2 신호배선군의 길이는 다르다.

상기 제2 신호배선군의 일부는 상기 액정표시패널의 실링재와 중첩된다.

상기 제2 신호배선은 "U"자 형태로 상기 기관 상에 형성된다.

상기 제1 신호배선군의 길이와 상기 제2 신호배선군의 길이는 다르다.

상기 제2 신호배선군의 일부는 상기 액정표시패널의 실링재와 중첩된다.

본 발명에 따른 액정표시장치는 다수의 게이트 라인들과 다수의 데이터 라인들이 교차되고 다수의 액정셀들이 배치되는 어레이 영역을 가지는 액정표시패널과; 제1 스타트 펄스, 제1 고전위 구동전압, 제1 저전위 구동전압 및 다수의 클럭 신호를 포함한 제1 구동 신호군이 공급되는 제1 쉬프트 레지스터와, 제2 스타트 펄스, 제2 고전위 구동전압, 제2 저전위 구동전압 및 다수의 클럭 신호를 포함한 제2 구동 신호군이 공급되는 제2 쉬프트 레지스터와, 제3 스타트 펄스, 제3 고전위 구동전압, 제3 저전위 구동전압 및 다수의 클럭 신호를 포함한 제3 구동 신호군이 공급되는 제3 쉬프트 레지스터와, 제4 스타트 펄스, 제4 고전위 구동전압, 제4 저전위 구동전압 및 다수의 클럭 신호를 포함한 제4 구동 신호군이 공급되는 제4 쉬프트 레지스터를 이용하여 상기 게이트 라인들에 스캔펄스들을 순차적으로 공급하는 게이트 구동회로와; 상기 데이터 라인들에 데이터를 공급하기 위한 데이터 구동회로를 구비하고; 상기 제1 및 제3 쉬프트 레지스터는 기관의 일측에 배치되고 상기 제2 및 제4 쉬프트 레지스터는 기관의 타측에 배치된다.

상기 제1 내지 제4 저전위 구동전압은 동일한 전압으로 상기 제1 내지 제4 쉬프트 레지스터에 공통 공급되고; 상기 제1 고전위 구동전압과 상기 제2 고전위 구동전압은 동일한 전압으로 상기 제1 및 제2 쉬프트 레지스터에 공통 공급되고 상기 제3 고전위 구동전압과 상기 제4 고전위 구동전압은 동일한 전압으로 상기 제3 및 제4 쉬프트 레지스터에 공통 공급되고; 상기 제1 및 제2 스타트 펄스들은 동시에 발생되고 상기 제3 및 제4 스타트 펄스들은 동시에 발생되며 상기 제1 및 제2 스타트 펄스들과 소정의 시간차를 두고 발생된다.

상기 기관 상의 일측에 형성되어 상기 제1 구동 신호군이 공급되는 제1 신호배선군과; 상기 기관 상의 일측에 형성되어 상기 제3 구동 신호군이 공급되는 제2 신호배선군과; 상기 제1 신호배선과 상기 제1 쉬프트 레지스터 사이에 접속되어 상기 제1 쉬프트 레지스터에 상기 제1 구동 신호군을 공급하는 제3 신호배선군과; 상기 제2 신호배선과 상기 제3 쉬프트 레지스터 사이에 접속되어 상기 제3 쉬프트 레지스터에 상기 제3 구동 신호군을 공급하는 제4 신호배선군과; 상기 기관 상의 타측에 형성되어 상기 제2 구동 신호군이 공급되는 제5 신호배선군과; 상기 기관 상의 타측에 형성되어 상기 제4 구동 신호군이 공급되는 제6 신호배선군과; 상기 제5 신호배선과 상기 제2 쉬프트 레지스터 사이에 접속되어 상기 제2 쉬프트 레지스터에 상기 제2 구동 신호군을 공급하는 제7 신호배선군과; 상기 제6 신호배선과 상기 제4 쉬프트 레지스터 사이에 접속되어 상기 제4 쉬프트 레지스터에 상기 제4 구동 신호군을 공급하는 제8 신호배선군을 더 구비한다.

상기 제1, 제2, 제5, 제6 신호배선군은 스트라이프 형태로 상기 기관 상에 형성된다.

상기 제2 신호배선군은 일부분이 상기 기관의 가장자리 근방에 배치되고 나머지 부분이 상기 제3 쉬프트 레지스터 근방에 배치되는 지그재그 형태로 상기 기관 상에 형성되고; 상기 제6 신호배선군은 일부분이 상기 기관의 가장자리 근방에 배치되고 나머지 부분이 상기 제4 쉬프트 레지스터 근방에 배치되는 지그재그 형태로 상기 기관 상에 형성된다.

상기 제1 신호배선군의 길이와 상기 제2 신호배선군의 길이는 다르고, 상기 제5 신호배선군의 길이와 상기 제6 신호배선군의 길이는 다르다.

상기 제2 및 제6 신호배선군의 일부는 상기 액정표시패널의 실링재와 중첩된다.

상기 제2 및 제6 신호배선군은 "U"자 형태로 상기 기관 상에 형성된다.

상기 제1 신호배선군의 길이와 상기 제2 신호배선군의 길이는 다르고, 상기 제5 신호배선군의 길이와 상기 제6 신호배선군의 길이는 다르다.

상기 제2 및 제6 신호배선군의 일부는 상기 액정표시패널의 실링재와 중첩된다.

상기 게이트 라인은 오드/이븐으로 분리되어, 제1 및 제3 쉬프트 레지스터는 오드 게이트 라인을 구동하고, 제2 및 제4 쉬프트 레지스터는 이븐 게이트 라인을 구동한다.

상기 제1 및 제3 쉬프트 레지스터는 동일한 게이트 라인을 동시 구동하고, 상기 제2 및 제4 쉬프트 레지스터는 동일한 게이트 라인을 동시 구동한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예를 도 5 내지 도 30을 참조하여 설명하기로 한다.

도 5는 본 발명에 따른 액정표시장치의 제1 실시 예를 나타내는 도면이다.

도 5를 참조하면, 본 발명에 따른 액정표시장치는 액정표시패널(50) 내의 어레이 영역(55) 일측에 n 개의 스테이지를 구비하고 제1 및 제2 구동 신호(51, 52)를 공급받는다. n 개의 스테이지는 제1 쉬프트 레지스터(53)와 제2 쉬프트 레지스터(54)로 2분할되어 제1 쉬프트 레지스터(53)는 제1 구동 신호(51)를 공급받고, 제2 쉬프트 레지스터(54)는 제2 구동 신호(52)를 공급받는다. 제1 쉬프트 레지스터(53)는 제1 내지 제 $n/2$ 스테이지를 포함하고, 제2 쉬프트 레지스터(54)는 제 $(n/2) + 1$ 내지 제 n 스테이지 및 더미 스테이지를 포함한다. 따라서, 본 발명에 따른 액정표시장치의 제1 실시 예는 각 스테이지에 발생하는 클럭 지연을 $1/2$ 로 줄일 수 있다.

또한, 이와 같은 방법으로 n 개의 스테이지를 다수개로 분할 구동함으로써 분할 구동하는 만큼의 클럭 지연 개선 효과를 가질 수 있다. 예를 들어, 스테이지들을 3 분할할 경우에는 $1/3$ 의 클럭 지연 개선 효과를, 4분할할 경우에는 $1/4$ 의 클럭 지연 개선 효과를 가질 수 있다.

도 5의 각 스테이지는 도 6, 도 8 및 도 9와 같은 회로 구성을 가질 수 있다.

도 6, 도 8 및 도 9는 도 5에 도시된 제1 스테이지의 회로 구성을 나타내는 도면이다.

제1 스테이지의 제1 실시 예를 나타내는 도 6을 참조하면, 제1 스테이지는 Q 노드의 제어에 의해 제1 클럭 신호(C1A)를 첫 번째 게이트 라인(GL1)으로 출력하는 풀-업 트랜지스터(T6)와 QB 노드의 제어에 의해 저전위 구동전압(V_{ss1})을 첫 번째 게이트 라인(GL1)으로 출력하는 풀-다운 트랜지스터(T7)로 구성된 출력 버퍼와, Q 노드와 QB 노드를 제어하는 제1 내지 제5a 트랜지스터(T1 내지 T5a)로 구성된 제어부를 구비한다. 이러한 제1 스테이지에는 고전위 구동전압 및 저전위 구동전압(V_{dd1} , V_{ss1})과 스타트 펄스(V_{st1})가 공급되고, 도 7에 도시된 바와 같이 위상이 서로 다른 제1A 및 제2A 클럭 신호(C1A, C2A)가 공급된다. 이하, 제1 스테이지의 동작 과정을 도 7에 도시된 구동 파형을 참조하여 상세히 설명하기로 한다.

도 7을 참조하면, A 기간에서 스타트 펄스(V_{st1})의 하이 전압에 의해 제1 트랜지스터(T1)가 턴-온되어 하이 전압이 Q 노드로 프리-차지된다. Q 노드로 프리-차지된 하이 전압에 의해 풀-업 트랜지스터(T6)가 턴-온되어 제1A 클럭 신호(C1A)의 로우 전압이 출력 신호(V_{g_out1})로 첫 번째 게이트 라인(GL1)에 공급된다. 이때, 스타트 펄스(V_{st1})의 하이 전압에 따라 턴-온된 제5 트랜지스터(T5)와 Q 노드의 하이 전압에 따라 턴-온된 제5a 트랜지스터(T5a)에 의해 QB 노드는 로우 전압 상태가 되어 제3 및 풀-다운 트랜지스터(T3, T7)가 턴-오프된다.

B 기간에서 스타트 펄스(V_{st1})의 로우 전압에 의해 제1 트랜지스터(T1)가 턴-오프되므로 Q 노드는 하이 전압 상태로 플로팅되고, 풀-업 트랜지스터(T6)는 턴-온 상태를 유지한다. 이때, 제1A 클럭 신호(C1A)의 하이 전압에 의해 Q 노드는 풀-업 트랜지스터(T6)의 게이트 전극과 드레인 전극의 중첩으로 형성된 기생 캐패시턴스의 영향으로 부트스트래핑(Bootstrapping)되어 A 기간보다 더 높은 전압으로 충전된다. 이에 따라, 풀-업 트랜지스터(T6)가 확실하게 턴-온됨으로써 제1A 클럭 신호(C1A)의 하이 전압이 출력 신호(V_{g_out1})로 첫 번째 게이트 라인(GL1)에 빠르게 공급된다. 한편, Q 노드에 의해 턴-온된 제5a 트랜지스터(T5a)를 통해 방전된 QB 노드는 로우 전압 상태를 유지한다.

C 기간에서는 다음 스테이지 게이트 출력 신호(V_{g_out2})의 하이 전압에 의해 제3a 트랜지스터(T3a)가 턴-온되고, 제2A 클럭 신호(C2A)의 하이 전압에 의해 턴-온된 제4 트랜지스터(T4)를 통해 고전위 구동전압(V_{dd1})이 공급되어 QB 노드는

하이 전압 상태가 되고 제3 및 풀-다운 트랜지스터(T3, T7)를 턴-온시킨다. 턴-온된 제3 및 제3a 트랜지스터에 의해 Q 노드는 빠르게 방전되고, 턴-온된 풀-다운 트랜지스터(T7)에 의해 로우 전압이 출력 신호(Vg_out1)로 첫 번째 게이트 라인(GL1)에 공급된다.

D 기간에서는 C 기간에서 하이 전압 상태로 플로팅된 QB 노드가 플로팅 상태를 유지하여 제3 및 풀-다운 트랜지스터(T3 및 T7)를 턴-온시킨다. 이로 인해 Q 노드는 방전되어 로우 전압 상태를 유지하고 로우 전압이 출력 신호(Vg_out1)로 첫 번째 게이트 라인(GL1)에 공급된다. 다음 프레임에서 스타트 펄스(Vst1)가 공급될 때까지 출력 신호(Vg_out1)는 D 기간의 로우 전압 상태를 유지한다.

제1 스테이지의 제2 실시 예를 나타내는 도 8을 참조하면, 제1 스테이지는 도 6의 회로 구성에 제8 내지 제11 트랜지스터(T8 내지 T11)를 더 구비하고, 구동 파형은 도 7과 같다.

제8 트랜지스터(T8)는 제1A 클럭 신호(C1A)를 통해 턴-온되어 제1A 클럭 신호(C1A)의 하이 전압으로 제11 트랜지스터(T11)가 턴-온될 수 있도록 한다. 제11 트랜지스터(T11)는 제8 트랜지스터(T8)에 의해 턴-온되어 Q 노드를 방전시킨다. 제9 트랜지스터(T9)는 출력 신호(Vg_out1)의 하이 전압으로 턴-온되어 제8 트랜지스터(T8)를 통해 제11 트랜지스터(T11)가 턴-온되는 것을 차단한다. 제10 트랜지스터(T10)는 제2A 클럭 신호(C2A)를 공급받아 턴-온됨으로써 제11 트랜지스터(T11)가 턴-온되는 것을 차단한다. 즉, 제8 내지 제11 트랜지스터(T8 내지 T11)는 1 프레임 기간에서 하이 전압이 출력된 이후에 제1A 클럭 신호(C1A)가 하이 전압으로 공급될 때마다 Q 노드를 방전시키는 역할을 한다.

제1 스테이지의 제3 실시 예를 나타내는 도 9를 참조하면, 제1 스테이지는 Q 노드의 제어에 의해 제1 클럭 신호(C1A)를 첫 번째 게이트 라인(GL1)으로 출력하는 풀-업 트랜지스터(T6)와 QB 노드의 제어에 의해 저전위 구동전압(Vss1)을 첫 번째 게이트 라인(GL1)으로 출력하는 풀-다운 트랜지스터(T7)로 구성된 출력 버퍼와, Q 노드와 QB 노드를 제어하는 제1 내지 제5i 트랜지스터(T1 내지 T5i)로 구성된 제어부를 구비한다. 이러한 제1 스테이지에는 고전위 구동전압 및 저전위 구동전압(Vdd1, Vss1)과 스타트 펄스(Vst1)가 공급되고, 도 10에 도시된 바와 같이 위상이 서로 다른 제1, 제2 및 제4 클럭 신호(C1A, C2A, C4A)가 공급된다. 이하, 제1 스테이지의 동작 과정을 도 10에 도시된 구동 파형을 참조하여 상세히 설명하기로 한다.

도 10을 참조하면, T1 기간에서 스타트 펄스(Vst1)의 하이 전압에 의해 제1 트랜지스터(T1)가 턴-온되어 하이 전압이 Q 노드로 프리-차지된다. Q 노드로 프리-차지된 하이 전압에 의해 풀-업 트랜지스터(T6)가 턴-온되어 제1 클럭 신호(C1A)의 로우 전압이 출력 신호(Vg_out1)로 첫 번째 게이트 라인(GL1)에 공급된다. 이때, 스타트 펄스(Vst1)의 하이 전압에 따라 턴-온된 제5 트랜지스터(T5a)와 Q 노드의 하이 전압에 따라 턴-온된 제5a 트랜지스터(T5, T5a)에 의해 QB 노드는 로우 전압 상태가 되어 제3 및 풀-다운 트랜지스터(T3, T7)가 턴-오프된다. 한편, 제4 클럭 신호(C4A)에 의해 제4a 트랜지스터(T4a)가 턴-온되지만, 스타트 펄스(Vst1)에 의해 턴-온된 제4c 트랜지스터(T4c)로부터 저전위 구동전압(Vss1)의 로우 전압이 공급되어 제4 트랜지스터(T4)가 턴-오프됨으로써 QB 노드의 충전 경로가 차단된다.

T2 기간에서 스타트 펄스(Vst1)의 로우 전압에 의해 제1 트랜지스터(T1)가 턴-오프되므로 Q 노드는 하이 전압 상태로 플로팅되고, 풀-업 트랜지스터(T6)는 턴-온 상태를 유지한다. 이때, 제1 클럭 신호(C1A)의 하이 전압에 의해 Q 노드는 풀-업 트랜지스터(T6)의 게이트 전극과 드레인 전극의 중첩으로 형성된 기생 캐패시턴스의 영향으로 부트스트래핑(Bootstrapping)되어 T1 기간보다 더 높은 전압으로 충전된다. 이에 따라, 풀-업 트랜지스터(T6)가 확실하게 턴-온됨으로써 제1 클럭 신호(C1A)의 하이 전압이 출력 신호(Vg_out1)로 첫 번째 게이트 라인(GL1)에 빠르게 공급된다. 한편, Q 노드에 의해 턴-온된 제5a 트랜지스터(T5a)를 통해 방전된 QB 노드는 로우 전압 상태를 유지한다.

T3 기간에서는 다음 스테이지 게이트 출력 신호(Vg_out2)의 하이 전압에 의해 제3a 트랜지스터(T3a)가 턴-온되고, 제2 클럭 신호(C2A)의 하이 전압에 의해 제4b 및 제5i 트랜지스터(T4b, T5i)가 턴-온된다. 턴-온된 제3a 트랜지스터(T3a)를 통해 Q 노드에 저전위 구동전압(Vss1)의 로우 전압이 공급되어 풀-업 트랜지스터(T6)가 턴-오프되고, 턴-온된 제5i 트랜지스터(T5i)를 통해 QB 노드에 저전위 구동전압(Vss1)의 로우 전압이 공급되어 로우 전압 상태를 유지한다. 이때, 턴-온된 제4b 트랜지스터(T4b)를 통해 제4 트랜지스터(T4)가 턴-오프 상태를 유지하면서 QB 노드로 하이 전압이 공급되는 것을 확실하게 차단한다. 한편, T3 기간이 시작되면서 Q 노드가 완전하게 방전되어 풀-업 트랜지스터(T6)가 확실하게 턴-오프되기 전에 로우 전압으로 방전된 제1 클럭 신호(C1A)에 의해 T2 기간에서 하이 상태를 유지하던 출력 신호(Vg_out1)가 방전된다. 이로 인해, Q 노드와 QB 노드에 의해 풀-업 및 풀-다운 트랜지스터(T6, T7)가 턴-오프 상태이지만, 출력 신호(Vg_out1)는 로우 전압 상태를 유지하게 된다.

T4 기간에서는 모든 트랜지스터가 턴-오프됨으로써 Q 노드, QB 노드 및 출력 신호(Vg_out1)가 로우 전압 상태로 플로팅된다.

T5 기간에서는 제4 클럭 신호(C4A)가 하이 전압으로 반전되어 제4a 및 제4 트랜지스터(T4a, T4)가 턴-온됨에 따라 QB 노드에 하이 전압이 공급되고, QB 노드에 의해 제3, 풀-다운 트랜지스터(T3, T7)가 턴-온된다. 이때, 제3 트랜지스터(T3)를 통해 Q 노드에 저전위 구동전압(Vss1)이 공급되어 Q 노드는 로우 전압 상태를 유지하고, 풀-다운 트랜지스터(T7)를 통해 저전위 구동전압(Vss1)의 로우 전압이 출력 신호(Vg_out1)로 첫 번째 게이트 라인(GL1)에 공급된다.

T6 기간에서 제4 클럭 신호(C4A)가 로우 전압으로 다시 반전되지만, QB 노드의 방전 경로가 모두 차단 상태를 유지하여 QB 노드는 계속 하이 전압 상태로 플로팅된다. QB 노드의 하이 전압에 의해 제3, 풀-다운 트랜지스터(T3, T7)가 턴-온되고, T5 기간에서 상술한 바와 같이 Q 노드와 출력 신호(Vg_out1)는 로우 상태를 유지한다.

T7 기간에서는 제2 클럭 신호(C2A)가 하이 전압으로 반전되어 제4b 및 제5i 트랜지스터(T4b, T5i)가 턴-온된다. 제4b 트랜지스터(T4b)에 의해 제4 트랜지스터(T4)는 턴-오프 상태를 확실하게 유지하여 QB 노드로 하이 전압이 공급되는 것을 차단한다. 제5i 트랜지스터(T5i)는 QB 노드에 저전위 구동전압(Vss1)을 공급함으로써 QB 노드가 로우 전압 상태를 유지하도록 한다. 한편, Q 노드는 T6 기간의 로우 전압 상태로 플로팅된다. Q 노드와 QB 노드가 모두 로우 전압 상태를 유지함에 따라 풀-업 및 풀-다운 트랜지스터가 모두 턴-오프되어 출력 신호(Vg_out1)도 로우 전압 상태로 플로팅된다.

T8 기간에는 모든 트랜지스터가 턴-오프되어 Q 노드, QB 노드, 출력 신호(Vg_out1)가 T4 기간과 같은 로우 상태를 유지한다. 제1 스테이지는 T8 기간 이후부터 해당 프레임이 종료되는 시점까지 T4 기간부터 T7 기간의 상태를 반복하여 유지한다.

이와 같이, 도 9에 따른 게이트 구동회로는 하나의 QB 노드를 이용하여 하이 전압의 신호가 출력되는 클럭 타이밍에서만 QB 노드를 하이 전압 상태로 유지함으로써 두 개의 QB 노드를 이용하여 프레임마다 교번 구동 하는 방식과 같은 효과를 가지면서도 회로 면적을 크게 줄일 수 있다.

상기 도 6, 도 8 및 도 9에 도시된 회로는 도 5에 도시된 제1 쉬프트 레지스터(53) 및 제2 쉬프트 레지스터(54)에 관계없이 제1 스테이지뿐만 아니라 제1 스테이지를 제외한 나머지 스테이지의 회로로 사용된다. 이때, 제1 쉬프트 레지스터(53)의 나머지 스테이지들에는 각 스테이지의 위치에 따라 제1 구동 신호(51)의 클럭 신호들 중 적어도 두 개의 클럭 신호가 공급된다. 마찬가지로 제2 쉬프트 레지스터(54)의 스테이지들에는 각 스테이지의 위치에 따라 제2 구동 신호(52)의 클럭 신호들 중 적어도 두 개의 클럭 신호가 공급된다. 또한, 도 5에 도시된 제2 쉬프트 레지스터(54)의 첫 스테이지, 즉 제(n/2)+1 스테이지에는 제2 구동 신호(52)의 스타트 펄스(Vst2)가 공급되고, 제1 스테이지와 제(n/2)+1 스테이지를 제외한 나머지 스테이지들은 도 6, 도 8 및 도 9에 도시된 스타트 펄스(Vst1) 대신, 이전 단 스테이지의 출력 신호를 공급받는다.

도 11 및 도 12는 도 5의 스테이지를 구성하는 회로의 제4 실시 예를 나타내는 도면이다. 제4 실시 예에서, 제1 스테이지의 회로 구성은 도 6과 동일하고, 제(n/2)+1 스테이지는 도 11의 회로 구성을 가지며, 제1 스테이지와 제(n/2)+1 스테이지를 제외한 나머지 스테이지는 도 12의 회로 구성을 가진다.

도 11의 회로도에는 도 6의 회로도에서 제5b 트랜지스터(T5b)를 더 구비하고, 도 12의 회로도에는 도 6의 회로도에서 제4a 트랜지스터(T4a)를 더 구비하며, 제1 구동 신호(51)의 스타트 펄스(Vst1) 및 제1B 내지 제4B 클럭 신호(C1B 내지 C4B)는 도 7에 도시된 스타트 펄스(Vst1) 및 제1A 내지 제4A 클럭 신호(C1A 내지 C4A)와 동일한 타이밍의 파형을 가진다.

또한, 도 5의 스테이지를 구성하는 회로의 제4 실시 예에서는 도 11에 도시된 바와 같이 제n/2 스테이지의 출력 신호가 제2 구동 신호(52)의 제2 스타트 펄스(Vst2)로 사용되거나, 제1 구동 신호(51)의 제1 스타트 펄스(Vst1)가 제2 스타트 펄스(Vst2)로 사용될 수 있다.

제1 스타트 펄스(Vst1)를 제2 스타트 펄스(Vst2)로 사용하는 경우, 제1 스타트 펄스(Vst1)는 한 프레임 동안 두 번의 하이 전압 타이밍을 가지게 된다. 다시 말해, 제1 스타트 펄스(Vst1)는 제1 쉬프트 레지스터(53)가 구동되기 시작할 때와 제2 쉬프트 레지스터(52)가 구동되기 시작할 때 하이 전압을 가지게 된다.

이때, 제1 구동 신호(51)의 제1 고전위 구동전압(Vdd1)과 제2 구동 신호(52)의 제2 고전위 구동전압(Vdd2)은 하이 전압과 로우 전압을 포함하는 교류 전압으로써, 제1 쉬프트 레지스터(53)가 구동되는 동안에는 제1 고전위 구동전압(Vdd1)은 하이 전압을 출력하고, 제2 고전위 구동전압(Vdd2)은 로우 전압을 출력한다. 마찬가지로, 제2 쉬프트 레지스터(54)가 구동되는 동안에는 제1 고전위 구동전압(Vdd1)은 로우 전압을 출력하고, 제2 고전위 구동전압(Vdd2)은 하이 전압을 출력한다.

이로 인해, 제1 스타트 펄스(V_{st1})의 첫번째 하이 전압 타임에는 제1 쉬프트 레지스터(53)의 첫 스테이지, 즉 도 6에 도시된 제1 스테이지의 제1 트랜지스터($T1$)가 턴-온되어 하이 전압의 제1 고전위 구동전압(V_{dd1})이 공급됨으로써 제1 스테이지의 Q 노드가 충전되어 제1 쉬프트 레지스터(53)의 구동이 시작된다. 아울러, 제2 쉬프트 레지스터(53)의 첫 스테이지, 즉 도 11에 도시된 제($n/2$)+1 스테이지의 제1 트랜지스터($T1$)도 턴-온되지만, 제2 고전위 구동전압(V_{dd2})은 로우 전압을 공급하는 상태로 Q 노드를 방전시켜 제2 쉬프트 레지스터(54)의 출력 발생을 억제한다.

마찬가지로, 제1 스타트 펄스(V_{st2})의 두번째 하이 전압 타임에는 제2 쉬프트 레지스터(54)의 첫 스테이지, 즉 도 11에 도시된 제($n/2$)+1 스테이지의 제1 트랜지스터($T1$)가 턴-온되어 하이 전압의 제2 고전위 구동전압(V_{dd2})이 공급됨으로써 제($n/2$)+1 스테이지의 Q 노드가 충전되어 제2 쉬프트 레지스터(54)의 구동이 시작된다. 아울러, 제1 쉬프트 레지스터(53)의 첫 스테이지, 즉 도 6에 도시된 제1 스테이지의 제1 트랜지스터($T1$)도 턴-온되지만, 제1 고전위 구동전압(V_{dd1})은 로우 전압을 공급하는 상태로 Q 노드를 방전시켜 제1 쉬프트 레지스터(53)의 출력 발생을 억제하게 된다.

도 11에서 제5b 트랜지스터($T5b$)는 제1 구동 신호(51)의 스타트 펄스(V_{st1}), 즉 제1 스타트 펄스(V_{st1})를 공급받아 턴-온되어 QB 노드를 방전시킨다. 이로 인해, 제($n/2$)+1 스테이지는, 제1 스타트 펄스(V_{st1})가 하이 전압을 가짐으로써 제1 스테이지의 구동이 시작되는 때, 즉 도 5에 도시된 제1 쉬프트 레지스터(53)가 구동되기 시작할 때, 하이 전압 상태를 유지하고 있던 QB 노드를 방전시키는 제5b 트랜지스터($T5b$)가 턴-온된다. 따라서, 제1 쉬프트 레지스터(53)가 구동되는 동안 제2 쉬프트 레지스터(54)의 구동이 중단되어 오동작이 방지된다.

도 12는 제1 스테이지와 제($n/2$)+1 스테이지를 제외한 스테이지들 중, 특히 제k 스테이지를 나타내는 회로도로서, k는 $4m+1$ (m은 임의의 자연수)을 나타낸다. 제($n/2$)+1 스테이지를 제외한 스테이지들 중, 제k 스테이지 이외의 스테이지들은 제k-1 스테이지 출력 신호(V_{g_outk-1}), 제k+1 스테이지 출력 신호(V_{g_outk+1}) 대신 이전 단 스테이지의 출력 신호, 다음 단 스테이지의 출력 신호를 사용하는 것을 제외하고는 동일한 회로 구성을 가지고, 적어도 두 개의 클럭 신호를 공급받는다.

도 12에서 제4a 트랜지스터($T4a$)는 제1 스타트 펄스(V_{st1})를 공급받아 턴-온되어, 제1 및 제2 고전위 구동전압(V_{dd1} , V_{dd2})이 하이 전압일 때는 QB 노드를 하이 전압으로 충전시키고, 로우 전압일 때는 QB 노드를 방전시킨다. 이는 상술한 바와 같이 제1 고전위 구동전압(V_{dd1})은 제1 쉬프트 레지스터(53)가 구동 중일 때는 하이 전압을 공급하고, 제1 쉬프트 레지스터(53)가 구동하지 않을 때는 로우 전압을 공급하며, 제2 고전위 구동전압(V_{dd2})은 제2 쉬프트 레지스터(54)가 구동 중일 때는 하이 전압을 공급하고, 제2 쉬프트 레지스터(54)가 구동하지 않을 때는 로우 전압을 공급하기 때문이다. 즉, 제1 및 제2 고전위 구동전압(V_{dd1} , V_{dd2})은 하이 전압과 로우 전압을 교류 출력하므로 제4a 트랜지스터($T4a$)의 QB 노드 충방전이 가능하다. 이로 인해, 제1 스테이지와 제($n/2$)+1 스테이지를 제외한 나머지 스테이지들은 해당 쉬프트 레지스터가 동작 중일 때는 QB 노드가 방전되기 전까지 QB 노드를 확실하게 충전시켜주고, 해당 쉬프트 레지스터가 동작 중이지 않을 때는 QB 노드를 방전시켜줌으로써 QB 노드의 오동작을 방지한다.

상기 도 6, 도 8, 도 9, 도 11 및 도 12의 회로도에서는 클럭 신호가 4상으로 되어있지만, 실제로 클럭수는 2상 및 3상 등을 다양하게 적용할 수 있다. 또한 본 발명에 따른 액정표시장치의 제1 실시 예에서는 제1 구동 신호(51)의 고전위 구동전압(V_{dd1})과 제2 구동 신호(52)의 고전위 구동전압(V_{dd2})을 발생하는 전압원을 공통으로 사용할 수 있다. 뿐만 아니라, 본 발명의 제1 실시 예에서는 제1 구동 신호(51)의 저전위 구동전압(V_{ss1})과 제2 구동 신호(52)의 저전위 구동전압(V_{ss2})을 공통으로 사용할 수 있고, 제2 쉬프트 레지스터(54)의 첫 스테이지는 제2 구동 신호(52)의 스타트 펄스(V_{st2})로써 제1 쉬프트 레지스터(53)의 마지막 스테이지 출력 신호를 사용할 수 있다. 즉, 제1 및 제2 쉬프트 레지스터들(53, 54)은 하나의 스타트 펄스를 사용할 수 있다.

도 13은 본 발명에 따른 액정표시장치의 제2 실시 예를 나타내는 도면이다.

도 13을 참조하면, 본 발명에 따른 액정표시장치는 양방향으로 내장된 쉬프트 레지스터가 게이트 라인들을 오드와 이븐으로 각각 분리하여 독립 구동함에 있어서, 일측의 쉬프트 레지스터와 타측의 쉬프트 레지스터를 각각 2분할하여 구동한다. 즉, 제1 및 제3 쉬프트 레지스터($L1$, $L2$)는 제1 및 제3 구동 신호(111, 113)를 공급받고, 제2 및 제4 쉬프트 레지스터($R1$, $R2$)는 제2 및 제4 구동 신호(112, 114)를 공급받는다. 도 11에서는 4상 클럭을 도시하였으나, 2상 및 3상을 비롯하여 클럭 신호에 관계없이 적용할 수 있고, 게이트 라인들을 오드와 이븐으로 한 라인씩 분리하였으나, 각각 일정한 개수의 게이트 라인들을 번갈아가며 양방향으로 분리하여 구동할 수 있다. 또한, 도 13에서는 양방향의 쉬프트 레지스터를 각각 2분할하여 구동하는 방식을 설명하고 있으나 패널의 크기, 해상도 및 구동 조건 등에 따라 다수개로 분할할 수 있다.

도 13의 구동 신호 배선 방법에는 도 14 내지 도 16이 있다.

도 14 내지 도 16은 도 13의 제1 및 제3 쉬프트 레지스터(L1, L2)의 구동 신호 배선을 나타내는 도면이다. 제2 및 제4 쉬프트 레지스터(R1, R2)는 제1 및 제3 쉬프트 레지스터(L1, L2)와 구동 신호 배선의 위치만 다르고 기본 배선 구조는 동일하다.

도 14를 참조하면, 제1 및 제3 쉬프트 레지스터(L1, L2)는 액정표시패널(120) 내의 어레이 영역(129) 일측에 내장된다. 제1 구동 신호(121)와 제3 구동 신호(122)는 실링재(123)가 차지하는 공간의 외부에 배선된다. 제1 구동 신호(121)는 신호를 공급하는 제1 쉬프트 레지스터(L1) 구간뿐만 아니라 제3 쉬프트 레지스터(L2)의 전 구간에 걸쳐 배선되고, 제3 구동 신호(122)는 제1 구동 신호(121)에 오버랩되어 제3 쉬프트 레지스터(L2)에 신호를 공급한다. 하지만, 도 14와 같은 방법으로서는 쉬프트 레지스터를 분할 구동함에 따라 구동 신호의 배선이 많아짐으로 인해 레이아웃 공간이 커질 수밖에 없다. 물론, 모니터 및 텔레비전 등 대형 패널에 적용할 시에는 패널 외곽부의 비표시 영역 면적이 충분하여 큰 문제가 되지 않지만, 레이아웃 공간에 문제가 발생할 때에는 도 15 및 도 16과 같은 방법을 이용하여 레이아웃 공간을 절약할 수 있다.

도 15는 구동 신호 배선의 일부를 실링재 하부에 오버랩시키는 것을 나타내는 도면이다.

도 14에서는 실링재(123)가 차지하는 공간 외부에 신호를 배선했기 때문에 신호 배선 수가 늘어날수록 더 많은 공간을 필요로 하게 된다. 하지만, 도 13에서는 제1 구동 신호(131)를 제1 쉬프트 레지스터(L1)의 영역에만 배선하고, 제3 구동 신호(132)의 일부 배선은 실링재(133) 하면에 오버랩시킴으로써 신호 배선 증가에 의한 레이아웃 공간 문제를 해결할 수 있다. 일반적으로 실링재에는 유리 섬유가 혼합되는데, 이는 신호 배선과 쉬프트 레지스터를 연결하는 ITO(Indium-Tin Oxide)를 쉽게 파괴하므로 신호 배선은 실링재와의 오버랩을 피하여 구성한다. 하지만, 도 15와 같이 신호 배선과 쉬프트 레지스터의 연결부가 존재하지 않는 부분을 실링재와 오버랩시킴으로써 상기와 같은 문제는 발생하지 않게 된다.

도 16은 도 15에서 제3 구동 신호의 배선 방향에 변형을 준 도면이다.

도 15와 같은 방법에서는, 제1 쉬프트 레지스터(L1)의 첫 스테이지에 공급되는 구동 신호에 비해 제1 쉬프트 레지스터(L1)의 마지막 스테이지에 공급되는 구동 신호에는 두 스테이지의 간격만큼 로드가 발생할 수 있다. 하지만, 제3 쉬프트 레지스터(L2)의 첫 스테이지의 구동 신호들에는 제1 쉬프트 레지스터(L1)의 마지막 스테이지로 공급되는 구동 신호들에 발생하는 로드가 발생하지 않는다. 따라서, 제1 쉬프트 레지스터(L1)의 마지막 스테이지를 비롯한 하부 스테이지와 제3 쉬프트 레지스터(L2)의 첫 스테이지를 비롯한 상부 스테이지에 발생하는 구동 신호의 로드 차이로 인하여 게이트 출력에도 차이가 발생함으로써 표시 영상에 차이가 생길 수 있다. 이와 같은 문제를 해결하기 위하여 도 16에서는 제3 구동 신호(142)의 공급 방향을 하부에서 상부로 하여 배선한다. 이에 따라 제3 쉬프트 레지스터(L2)의 첫 스테이지의 구동 신호에도 제1 쉬프트 레지스터(L1)의 마지막 스테이지에 발생하는 것만큼의 로드가 발생하여 제1 쉬프트 레지스터(L1)와 제3 쉬프트 레지스터(L2) 사이에 발생하는 영상 편차를 줄일 수 있다.

도 13의 구동 신호 공급 방법에는 도 17, 도 18 및 도 19가 있다.

도 17은 일측의 쉬프트 레지스터 개수만큼 한 프레임 기간을 분할하여 구동 신호를 공급하는 타이밍 다이어그램을 나타낸다. 도 13은 일측의 쉬프트 레지스터를 2분할하였으므로, 한 프레임 기간을 2분할하여 구동 신호를 공급한다.

도 17을 참조하면, 한 프레임이 시작하고 처음 1/2 프레임 기간 동안 제1 및 제2 쉬프트 레지스터(L1, R1)의 구동 신호, 즉 제1 및 제2 구동 신호(111, 112)가 공급된다. 그 동안 제3 및 제4 구동 신호들(113, 114)은 오프 상태를 유지한다. 나머지 1/2 프레임 기간 동안 제3 및 제4 쉬프트 레지스터(L2, R2)에 제3 및 제4 구동 신호(113, 114)가 공급되고, 제1 및 제2 구동 신호들(111, 112)은 오프 상태가 된다.

도 18은 클럭 신호를 오버랩시켜 공급하는 타이밍 다이어그램을 나타낸다.

액정표시패널이 고정세되고 대형화됨에 따라 신호의 충전 시간이 부족하여 충전 불량 등의 문제가 발생할 수 있다. 도 18은 이러한 문제점을 해결하기 위하여 클럭 신호를 오버랩시켜 공급함으로써 구동 신호의 유효 충전 시간을 늘리는 방법이다.

도 18을 참조하면, 제1 구동 신호(111)의 클럭 신호(CLKA, CLKB)와 제2 구동 신호(112)의 클럭 신호(CLKC, CLKD)가 오버랩되고, 제3 구동 신호(113)의 클럭 신호(CLKA', CLKB')와 제4 구동 신호(114)의 클럭 신호(CLKC', CLKD')가 오버랩되게 공급되는 것을 알 수 있다.

도 19는 도 18에 따른 충전 효과를 나타내는 도면이다.

도 19의 도면 부호 171은 오버랩시키지 않고 공급하는 클럭 신호를 나타내고, 도면 부호 172 및 173은 오버랩시켜서 공급하는 클럭 신호들을 나타낸다. 도면의 A 부분은 클럭 신호를 오버랩시키지 않을 때의 유효 충전 시간을 나타내고, 도면의 B 부분은 클럭 신호를 오버랩시켰을 때의 유효 충전 시간을 나타낸다. A와 B를 비교하면, B의 유효 충전 시간이 더 큰 것을 알 수 있다.

도 20은 구동되지 않는 쉬프트 레지스터의 구동 신호들을 오프시키지 않고, 로우 전압 상태를 유지하도록 하는 방법을 나타내는 도면이다.

도 20의 구동 신호 공급 방법은 기본적으로 도 17과 같으나, 도 17에서 제1 및 제2 구동 신호(111, 112)가 공급되는 동안 제3 및 제4 구동 신호(113, 114)가 오프되고, 제3 및 제4 구동 신호(113, 114)가 공급되는 동안 제1 및 제2 구동 신호(111, 112)가 오프되었던 것과는 달리, 도 20에서는 상기에서 오프되었던 구동 신호들이 로우 전압 상태를 유지할 수 있도록 한다. 도 20의 방법에서도 도 18과 마찬가지로 클럭 신호들을 오버랩시켜 공급할 수 있다.

도 13에서는 제1 및 제2 쉬프트 레지스터(L1, R1)와 제3 및 제4 쉬프트 레지스터(L2, R2)가 차례대로 게이트 라인들을 번갈아가며 구동하기 때문에, 동작이 끝난 쉬프트 레지스터 블럭은 별도의 리셋 신호로 리셋을 해줄 필요가 있다. 이때 리셋 신호로 고전위 구동전압(Vdd)과 게이트 출력 신호(Vg_out)를 사용할 수 있다. 자세히 말하면, 제1 쉬프트 레지스터(L1)의 스테이지들과 제3 쉬프트 레지스터(L2)의 스테이지들의 고전위 구동전압(Vdd)과 게이트 출력 신호(Vg_out)가 서로의 리셋 신호로 사용되고, 제2 쉬프트 레지스터(R2)의 스테이지들과 제4 쉬프트 레지스터(R4)의 스테이지들의 고전위 구동전압(Vdd)과 게이트 출력 신호(Vg_out)가 서로의 리셋 신호로 사용된다. 즉, 같은 측에 위치한 쉬프트 레지스터 블럭들에서, 구동 중인 쉬프트 레지스터는 다음 번에 구동되는 쉬프트 레지스터의 고전위 구동전압(Vdd)과 게이트 출력 신호(Vg_out)에 의해 리셋된다.

고전위 구동전압(Vdd)를 통해 리셋하는 방법은 도 17, 도 18 및 도 20의 타이밍 다이어그램을 통해 설명할 수 있다. 제1 쉬프트 레지스터(L1)의 동작이 완료되면, 제3 쉬프트 레지스터(L2)의 Vdd3을 이용하여 리셋되고, 제2 쉬프트 레지스터(R1)의 동작이 완료되면, 제4 쉬프트 레지스터(R2)의 Vdd4를 이용하여 리셋된다. 마찬가지로, 제3 쉬프트 레지스터(L2)의 동작이 완료되면, 제1 쉬프트 레지스터(L1)의 Vdd1을 이용하여 리셋되고, 제4 쉬프트 레지스터(R2)의 동작이 완료되면, 제2 쉬프트 레지스터(R1)의 Vdd2를 이용하여 리셋된다.

도 21은 게이트 출력 신호(Vg_out)을 통해 리셋하는 방법을 나타내는 도면이다. 제1 쉬프트 레지스터(L1)의 동작이 완료되면, 제3 쉬프트 레지스터(L2)의 Vout3을 이용하여 리셋되고, 제2 쉬프트 레지스터(R1)의 동작이 완료되면, 제4 쉬프트 레지스터(R2)의 Vout4를 이용하여 리셋된다. 마찬가지로, 제3 쉬프트 레지스터(L2)의 동작이 완료되면, 제1 쉬프트 레지스터(L1)의 Vout1을 이용하여 리셋되고, 제4 쉬프트 레지스터(R2)의 동작이 완료되면, 제2 쉬프트 레지스터(R1)의 Vout2를 이용하여 리셋된다.

이와 같은 리셋 방법들을 이용하여, 도 13의 쉬프트 레지스터에 포함된 스테이지를 구성하는 회로에는 도 22, 도 24, 도 25 및 도 26이 있다.

도 22, 도 24, 도 25 및 도 26은 제1 쉬프트 레지스터(L1)의 제1 스테이지를 나타내는 도면이다.

도 22를 참조하면, 제1 스테이지는 Q 노드의 제어에 의해 제1 클럭 신호(CLK1)를 첫 번째 게이트 라인(GL1)으로 출력하는 풀-업 트랜지스터(T6)와 QB 노드의 제어에 의해 저전위 구동전압(Vss1)을 첫 번째 게이트 라인(GL1)으로 출력하는 풀-다운 트랜지스터(T7)로 구성된 출력 버퍼와, Q 노드와 QB 노드를 제어하는 제1 내지 제5i 트랜지스터(T1 내지 T5i)로 구성된 제어부를 구비한다. 이러한 제1 스테이지에는 제1 고전위 구동전압 및 제1 저전위 구동전압(Vdd1, Vss1)과 제1 스타트 펄스(Vst1)가 공급되고, 도 23에 도시된 바와 같은 제1 및 제2 클럭 신호(CLK1, CLK2)가 공급된다. 이하, 제1 스테이지의 동작 과정을 도 23에 도시된 구동 파형을 참조하여 상세히 설명하기로 한다.

도 23을 참조하면, 1H 기간에서 제1 스타트 펄스(Vst1)의 하이 전압에 의해 제1 트랜지스터(T1)가 턴-온되어 하이 전압이 Q 노드로 프리-차지된다. Q 노드로 프리-차지된 하이 전압에 의해 풀-업 트랜지스터(T6)가 턴-온되어 제1 클럭 신호(CLK1)의 로우 전압이 출력 신호(Vg_out1)로 첫 번째 게이트 라인(GL1)에 공급된다. 이때, 제1 스타트 펄스(Vst1)의 하이 전압에 따라 턴-온된 제5 트랜지스터(T5)와 Q 노드의 하이 전압에 따라 턴-온된 제5a 트랜지스터(T5a)에 의해 QB 노드는 로우 전압 상태가 되어 제3 및 풀-다운 트랜지스터(T3, T7)가 턴-오프된다.

2H 기간에서 제1 스타트 펄스(Vst1)의 로우 전압에 의해 제1 트랜지스터(T1)가 턴-오프되므로 Q 노드는 하이 전압 상태로 플로팅되고, 풀-업 트랜지스터(T6)는 턴-온 상태를 유지한다. 이때, 제1 클럭 신호(CLK1)의 하이 전압에 의해 Q 노드는 풀-업 트랜지스터(T6)의 게이트 전극과 드레인 전극의 중첩으로 형성된 기생 캐패시턴스의 영향으로 부트스트래핑(Bootstrapping)되어 1H 기간보다 더 높은 전압으로 충전된다. 이에 따라, 풀-업 트랜지스터(T6)가 확실하게 턴-온됨으로써 제1 클럭 신호(CLK1)의 하이 전압이 출력 신호(Vg_out1)로 첫 번째 게이트 라인(GL1)에 빠르게 공급된다. 한편, Q 노드에 의해 턴-온된 제5a 트랜지스터(T5a)를 통해 방전된 QB 노드는 로우 전압 상태를 유지한다.

3H 기간에서는 다음 스테이지 게이트 출력 신호(Vg_out2)의 하이 전압에 의해 제3a 트랜지스터(T3a)가 턴-온되고, 제2 클럭 신호(CLK2)의 하이 전압에 의해 턴-온된 제4 트랜지스터(T4)를 통해 제1 고전위 구동전압(Vdd1)이 공급되어 QB 노드는 하이 전압 상태가 되고 제3 및 풀-다운 트랜지스터(T3, T7)를 턴-온시킨다. 턴-온된 제3 및 제3a 트랜지스터에 의해 Q 노드는 빠르게 방전되고, 턴-온된 풀-다운 트랜지스터(T7)에 의해 로우 전압이 출력 신호(Vg_out1)로 첫 번째 게이트 라인(GL1)에 공급된다.

4H 기간에서는 3H 기간에서 하이 전압 상태로 플로팅된 QB 노드가 플로팅 상태를 유지하여 제3 및 풀-다운 트랜지스터(T3 및 T7)를 턴-온시킨다. 이로 인해 Q 노드는 방전되어 로우 전압 상태를 유지하고 로우 전압이 출력 신호(Vg_out1)로 첫 번째 게이트 라인(GL1)에 공급된다. 다음 프레임에서 제1 스타트 펄스(Vst1)가 공급될 때까지 출력 신호(Vg_out1)는 4H 기간의 로우 전압 상태를 유지하거나 구동 신호의 오프로 인해 오프 상태를 유지한다.

도 22의 제5i 트랜지스터(T5i)는 제3 쉬프트 레지스터(L2)의 제3 고전위 구동전압(Vdd3)이나 제3 출력 신호(Vout3)를 통해 턴-온되어 QB 노드를 방전시킨다. 본 발명에 따라 분할되어 구동되는 쉬프트 레지스터들은 한 프레임 기간 동안 분할된 기간만 구동되고, 나머지 기간에는 상술한 바와 같이 로우 전압을 유지하거나 오프된다. 하지만, 도 22의 QB와 같은 경우에는, 한 프레임에서 1H 및 2H 기간을 제외하고 나머지 기간동안 하이 전압을 유지하므로 이를 방전시켜줄 필요가 있다. 즉, 구동되지 않는 쉬프트 레지스터는 리셋을 시켜야한다. 이를 위해, 제1 쉬프트 레지스터의 구동이 끝난 후에 제3 쉬프트 레지스터가 구동을 시작하면서 발생하는 제3 고전위 구동전압(Vdd3)이나 제3 출력 신호(Vout3)로 QB 노드를 방전시킨다. 제3 출력 신호(Vout3)로는 제3 쉬프트 레지스터의 첫 스테이지의 출력 신호를 이용할 수 있다. 이와 같이, 제3 쉬프트 레지스터의 제3 고전위 구동전압(Vdd3)과 제3 출력 신호(Vout3)가 발생하면, 제1 쉬프트 레지스터의 모든 스테이지에 상기 신호들이 공급됨으로써 제1 쉬프트 레지스터가 리셋된다.

도 22와 같은 회로를 본 발명의 제2 실시 예와 같은 분할 구동에 적용할 때에는 DC 타입의 회로로 AC 타입의 회로 효과를 구현할 수 있어 내장 회로의 수명이 크게 향상된다.

도 24의 회로에서는, 제4 트랜지스터가 도 22의 회로에서 제2 클럭 신호로 인해 턴-온되었던 것과는 달리, 제1 고전위 구동전압(Vdd1)로 인해 턴-온되며, 나머지 회로 구성과 구동 파형은 도 22 및 도 23과 같다.

도 25의 회로에서는, 도 24의 회로에서 제4a 트랜지스터(T4a)가 추가로 구비되고 나머지 회로 구성과 구동 파형은 같다. 제4a 트랜지스터(T4a)는 제3a 트랜지스터(T3a)와 같이 다음 스테이지의 출력(Vg_out2)으로 인해 턴-온되어, 제4 트랜지스터(T4)가 QB 노드를 충전시킬 때 제4 트랜지스터(T4)와 함께 QB 노드를 제1 고전위 구동전압으로 빠르게 충전시킨다.

도 26의 회로에서는, 도 25의 회로와 제4a 트랜지스터(T4a)의 구성이 다르고, 제4b 내지 제4d 트랜지스터(T4b 내지 T4d)가 추가로 구비되며 나머지 회로 구성과 구동 파형은 같다. 제4a 트랜지스터(T4a)는 제1 고전위 구동전압(Vdd1)를 통해 턴-온되어 제4 트랜지스터(T4)를 턴-온시킨다. 제4b 트랜지스터(T4b)는 제5i 트랜지스터(T5i)와 함께 제3 쉬프트 레지스터(L2)의 제3 고전위 구동전압(Vdd3)이나 출력 신호(Vout3)에 의해 턴-온되어, 제4 트랜지스터(T4)의 게이트 단자에 연결된 노드를 방전시킴으로써 제4 트랜지스터(T4)의 턴-온을 방지하여 QB 노드가 충전되는 것을 차단한다. 제4c 및 제4d 트랜지스터(T4c, T4d)는 각각 Q 노드와 제1 스타트 펄스(Vst1)에 의해 턴-온되어 제4b 트랜지스터(T4b)와 같은 역할을 한다.

상기 도 13의 제2 실시 예에 있어서, 제1 및 제2 쉬프트 레지스터(L1, R1)의 스타트 펄스, 고전위 구동전압, 저전위 구동전압, 즉 Vst1과 Vst2, Vdd1과 Vdd2, Vss1과 Vss2는 서로 공유할 수 있다. 마찬가지로, 제3 및 제4 쉬프트 레지스터(L2, R2)의 스타트 펄스, 고전위 구동전압, 저전위 구동전압, 즉 Vst3과 Vst4, Vdd3과 Vdd4, Vss3과 Vss4도 서로 공유할 수 있다. 다시 말하면, 양방향에서 서로 대향되도록 배치된 쉬프트 레지스터들의 스타트 펄스, 고전위 구동전압 및 저전위 구동전압의 신호 배선을 서로 공유함으로써 신호 배선에 따른 공간을 절약할 수 있다.

본 발명에 따른 액정표시장치의 제2 실시 예에서는 제1 실시 예를 통해 설명한 스테이지의 회로를 적용할 수 있다.

도 27은 본 발명에 따른 액정표시장치의 제3 실시 예를 나타내는 도면이다.

도 27을 참조하면, 본 발명에 따른 액정표시장치는 내장된 쉬프트 레지스터를 양방향에서 동시 구동하여 한 게이트 라인의 양쪽으로 동시에 출력 신호를 공급함에 있어서, 일측의 쉬프트 레지스터와 타측의 쉬프트 레지스터를 각각 4분할하여 구동한다. 즉, 제1, 제3, 제5 및 제7 쉬프트 레지스터(L1 내지 L4)는 제1, 제3, 제5 및 제7 구동 신호(211, 213, 215, 217)를 공급받고, 제2, 제4, 제6 및 제8 쉬프트 레지스터(R1 내지 R4)는 제2, 제4, 제6 및 제8 구동 신호(212, 214, 216, 218)를 공급받는다. 도 27에서는 4상 클럭을 도시하였으나, 2상 및 3상을 비롯하여 클럭 신호에 관계없이 적용할 수 있다. 또한, 도 27에서는 양방향의 쉬프트 레지스터를 각각 4분할하여 구동하는 방식을 설명하고 있으나 패널의 크기, 해상도 및 구동 조건 등에 따라 다수개로 분할할 수 있다.

도 27에 따른 제3 실시 예는, 구동 신호를 배선하는 방법에 있어서 제2 실시 예와 마찬가지로 도 14 내지 도 16과 같은 방법을 적용할 수 있고, 구동 신호를 공급하는 방법에 있어서는 도 28 내지 도 30을 적용할 수 있다. 제2 실시 예에서는 양측의 쉬프트 레지스터들이 각각 다른 게이트 라인을 구동하였기 때문에, 각 쉬프트 레지스터들이 쉬프트된 구동 신호를 공급 받았지만, 제3 실시 예에서는 양측의 대향되는 쉬프트 레지스터들이 같은 게이트 라인을 구동하기 때문에, 대향되는 쉬프트 레지스터들에 공급되는 구동 신호가 일치한다. 또한, 제2 실시 예에서 설명한 바와 같은 리셋 방법으로 도 22, 도 24, 도 25 및 도 26과 같은 회로구성을 적용할 수 있고, 본 발명에 따른 액정표시장치의 제1 및 제2 실시 예를 통해 설명한 스테이지의 회로를 적용할 수 있다.

도 28은 일측의 쉬프트 레지스터 개수만큼 한 프레임 기간을 분할하여 구동 신호를 공급하는 타이밍 다이어그램을 나타낸다. 도 28의 방법은 제2 실시 예의 도 17에서 설명한 바와 동일하다.

도 29는 클럭 신호를 오버랩시켜 공급하는 타이밍 다이어그램을 나타낸다. 도 29의 방법은 제2 실시 예의 도 18에서 설명한 바와 동일하다.

도 30은 구동되지 않는 쉬프트 레지스터의 구동 신호들을 오프시키지 않고, 로우 전압 상태를 유지하도록 하는 방법을 나타낸다. 도 30의 방법은 제2 실시 예의 도 20에서 설명한 바와 동일하다.

상기 도 27의 제3 실시 예에 있어서, 양방향에서 같은 게이트 라인에 게이트 펄스를 공급하는 쉬프트 레지스터의 스타트 펄스, 고전위 구동전압 및 저전위 구동전압의 신호 배선을 서로 공유함으로써 신호 배선에 따른 공간을 절약할 수 있다. 예를 들어, 제1 및 제2 쉬프트 레지스터의 스타트 펄스, 고전위 구동전압, 저전위 구동전압, 즉 V_{st1} 과 V_{st2} , V_{dd1} 과 V_{dd2} , V_{ss1} 과 V_{ss2} 는 서로 공유할 수 있다.

이와 같이, 본 발명에 따른 액정표시장치는 쉬프트 레지스터를 분할 구동함으로써 공급되는 클럭 신호의 로드를 줄여 게이트 출력 신호의 파형을 개선할 수 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 쉬프트 레지스터와 이를 이용한 액정표시장치는 쉬프트 레지스터를 다수개의 블록으로 분할하고 분할된 쉬프트 레지스터들에 각각의 클럭 신호를 공급함으로써 클럭 신호의 지연을 줄여 게이트 출력 파형의 지연을 줄이고, 그 결과 표시품질을 향상시킬 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

도 1은 종래의 액정표시장치를 나타내는 도면.

도 2는 도 1에 도시된 게이트 구동회로의 구성을 나타내는 도면.

- 도 3은 1024×768 해상도의 액정표시패널에 적용된 게이트 구동회로의 출력 파형을 나타내는 도면.
- 도 4는 14.1" 1024×768 해상도를 가지는 액정표시패널에서 제1 스테이지와 제768 스테이지의 클럭 파형을 측정한 도면.
- 도 5는 본 발명에 따른 액정표시장치의 제1 실시 예를 나타내는 도면.
- 도 6은 도 5에 도시된 스테이지의 제1 실시 예를 나타내는 회로도.
- 도 7은 도 6 및 도 8에 도시된 회로의 구동 파형도.
- 도 8은 도 5에 도시된 스테이지의 제2 실시 예를 나타내는 회로도.
- 도 9는 도 5에 도시된 스테이지의 제3 실시 예를 나타내는 회로도.
- 도 10은 도 9에 도시된 회로의 구동 파형도.
- 도 11 및 도 12는 도 5에 도시된 스테이지의 제4 실시 예를 나타내는 회로도.
- 도 13은 본 발명에 따른 액정표시장치의 제2 실시 예를 나타내는 도면.
- 도 14 내지 도 16은 도 13의 구동 신호 배선 방법을 나타내는 도면.
- 도 17은 도 13에 도시된 구동 신호의 제1 공급 방법을 나타내는 파형도.
- 도 18은 도 13에 도시된 구동 신호의 제2 공급 방법을 나타내는 파형도.
- 도 19는 도 18에 따른 유효 충전 시간을 나타내는 도면.
- 도 20은 도 13에 도시된 구동 신호의 제3 공급 방법을 나타내는 파형도.
- 도 21은 게이트 출력을 통해 쉬프트 레지스터를 리셋하는 방법을 나타내는 도면.
- 도 22는 도 13에 도시된 스테이지의 제1 실시 예를 나타내는 회로도.
- 도 23은 도 22, 도 24, 도 25 및 도 26에 도시된 회로의 구동 파형도.
- 도 24는 도 13에 도시된 스테이지의 제2 실시 예를 나타내는 회로도.
- 도 25는 도 13에 도시된 스테이지의 제3 실시 예를 나타내는 회로도.
- 도 26은 도 13에 도시된 스테이지의 제4 실시 예를 나타내는 회로도.
- 도 27은 본 발명에 따른 액정표시장치의 제3 실시 예를 나타내는 도면.
- 도 28은 도 27에 도시된 구동 신호의 제1 공급 방법을 나타내는 파형도.
- 도 29은 도 27에 도시된 구동 신호의 제2 공급 방법을 나타내는 파형도.
- 도 30은 도 27에 도시된 구동 신호의 제3 공급 방법을 나타내는 파형도.

<도면의 주요 부분에 대한 설명>

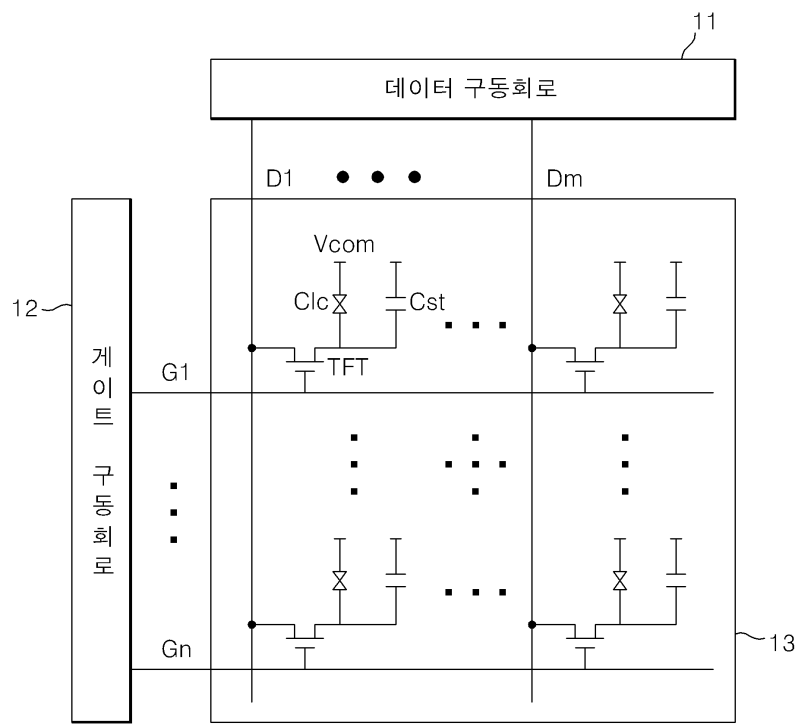
11 : 데이터 구동회로 12 : 게이트 구동회로

13, 50, 110, 120, 210 : 액정표시패널 55, 129 : 어레이 영역

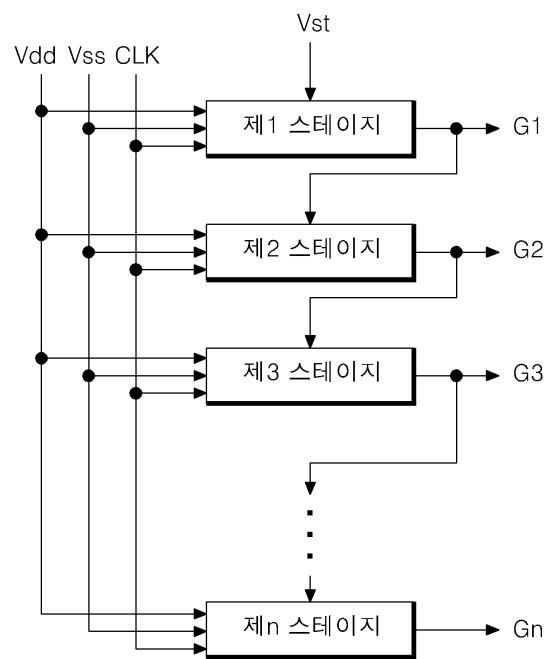
123, 133, 143 : 실링재

도면

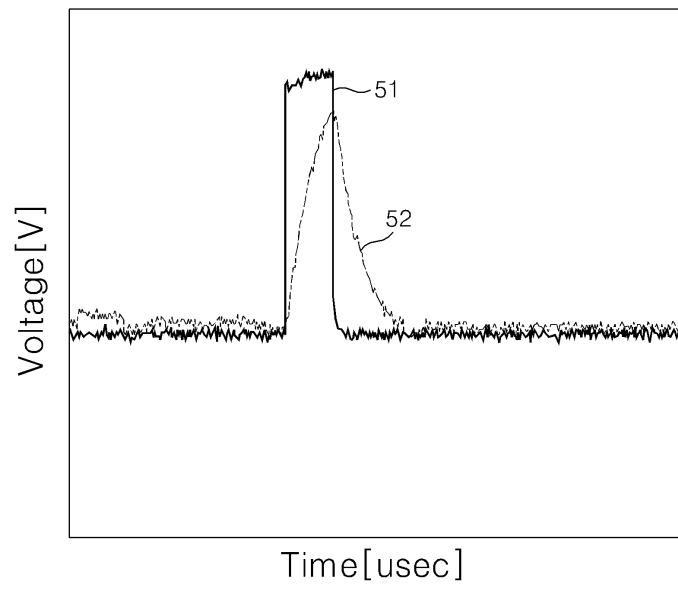
도면1



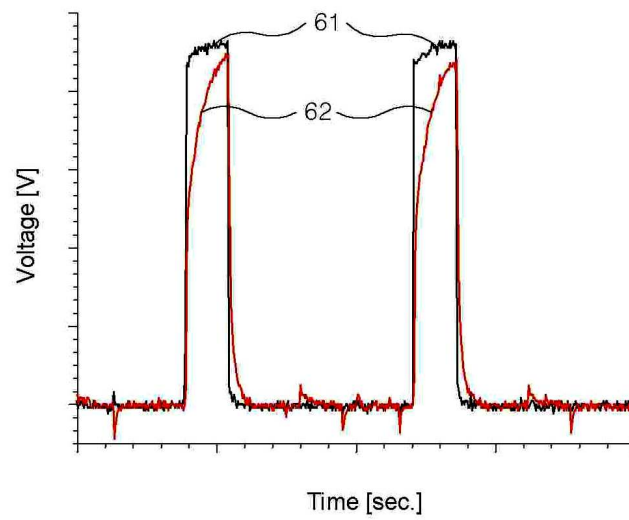
도면2



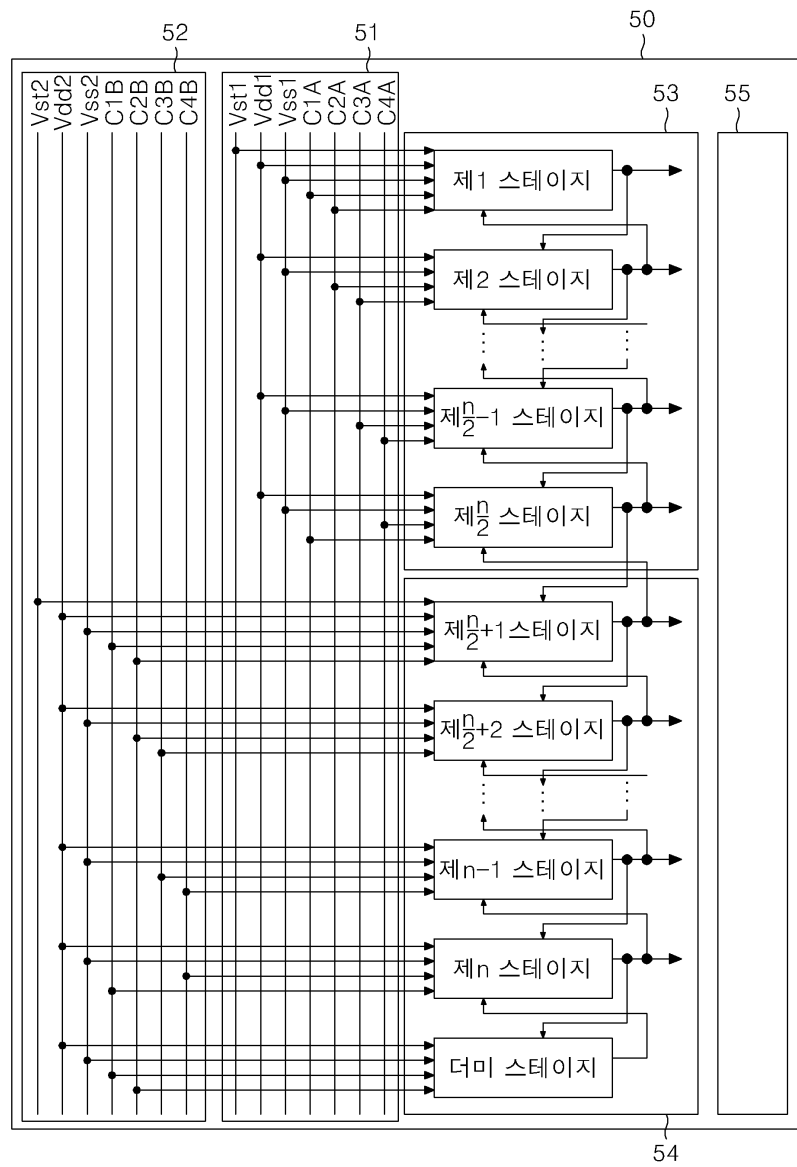
도면3



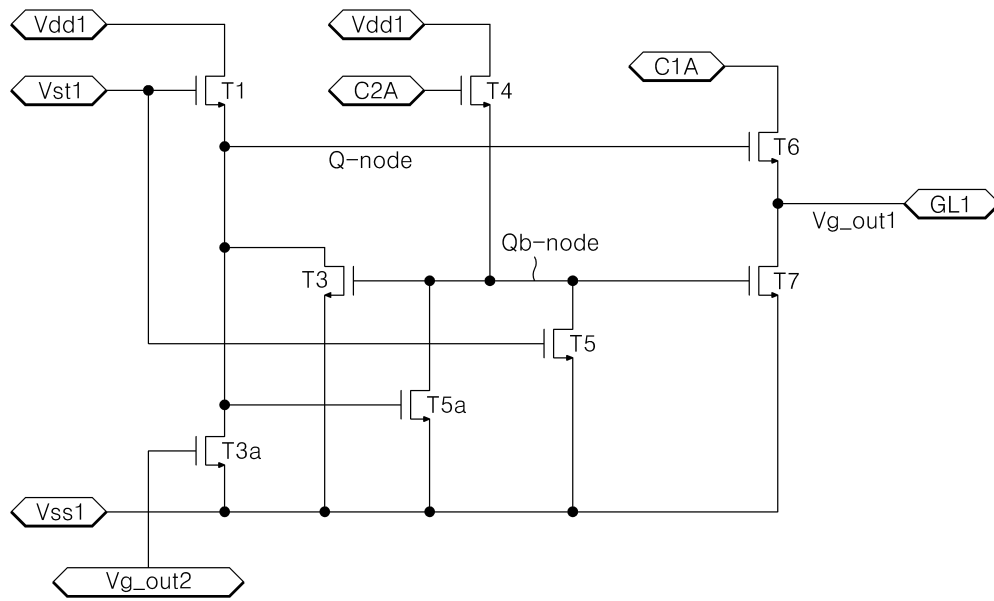
도면4



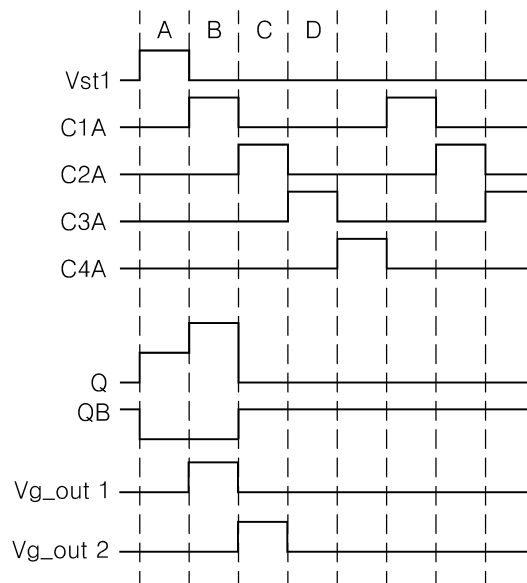
도면5



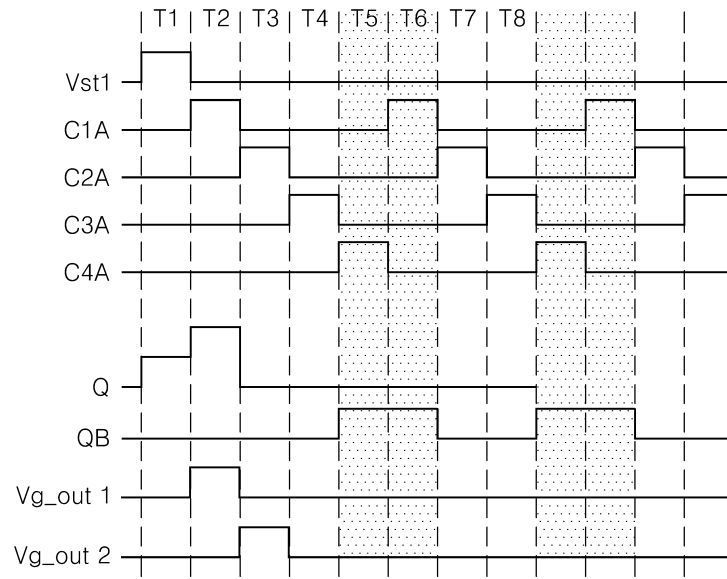
도면6



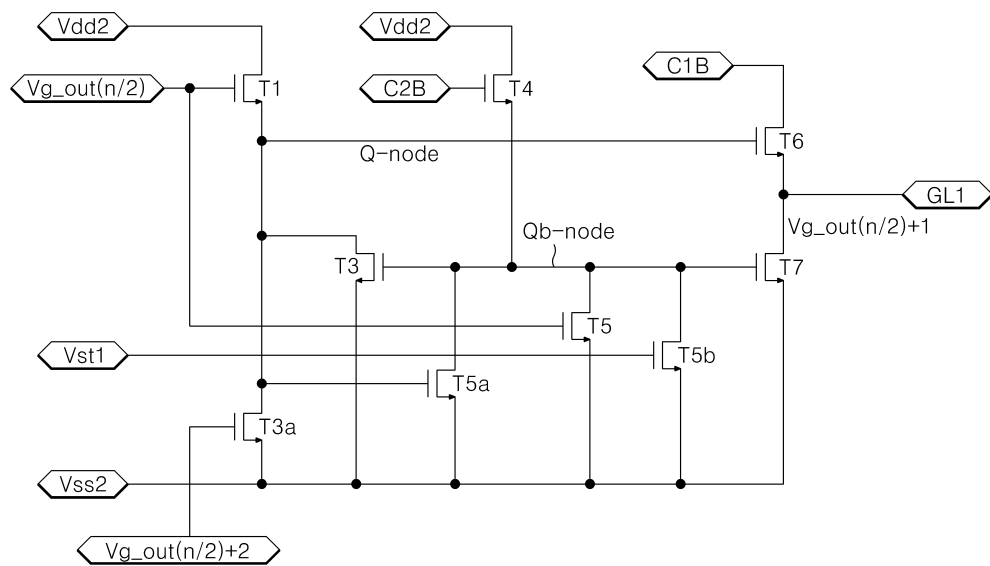
도면7



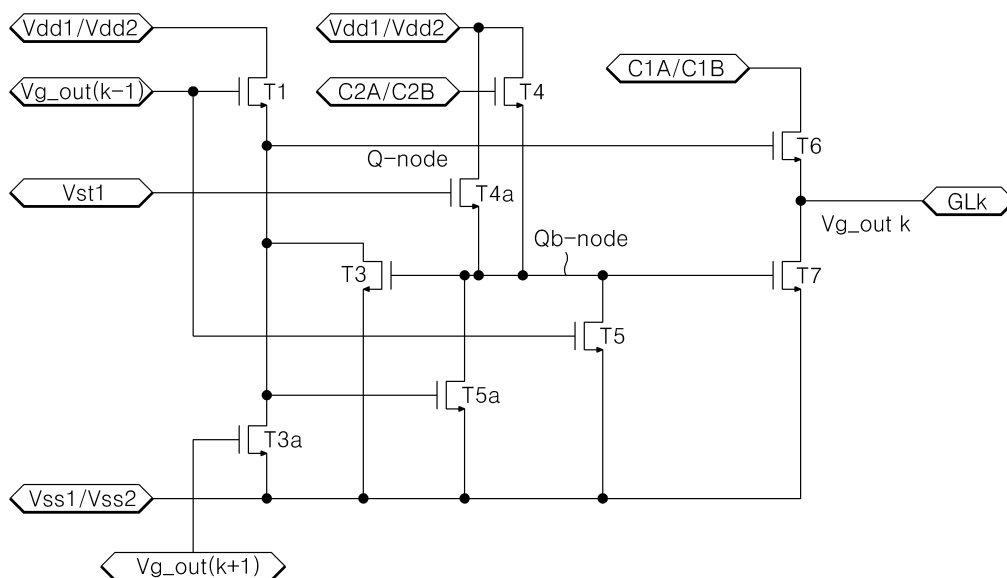
도면10



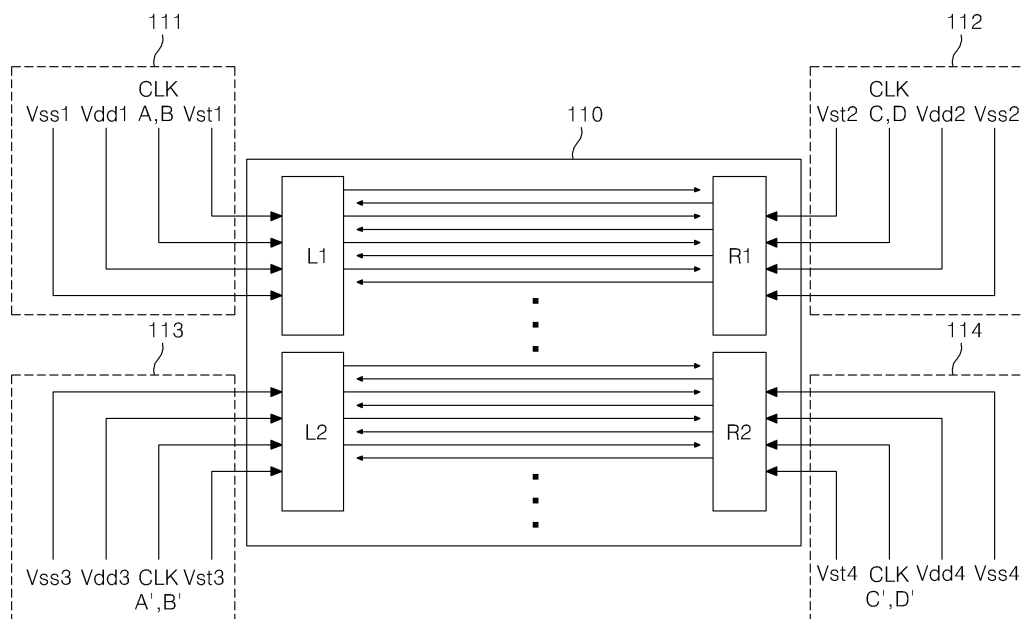
도면11



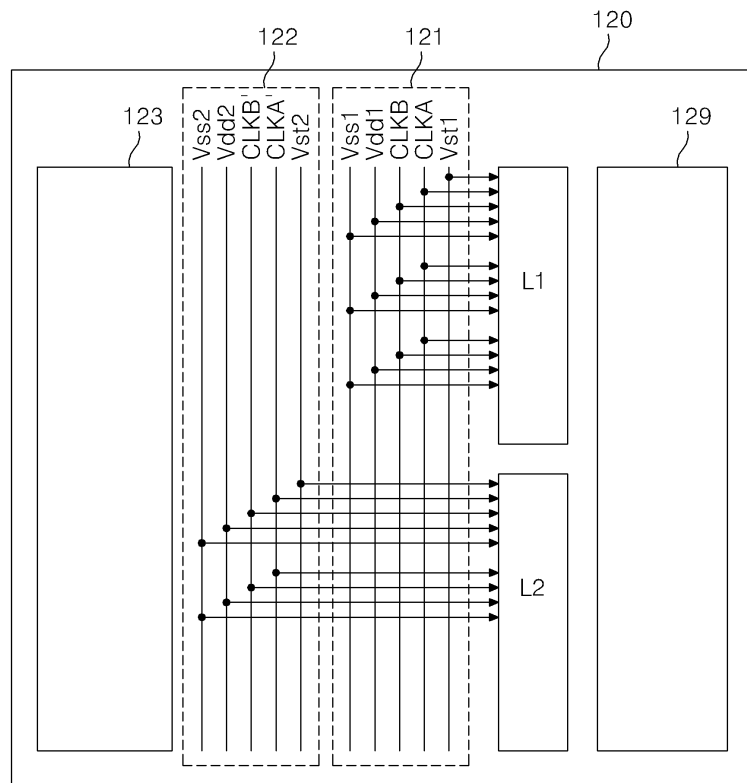
도면12



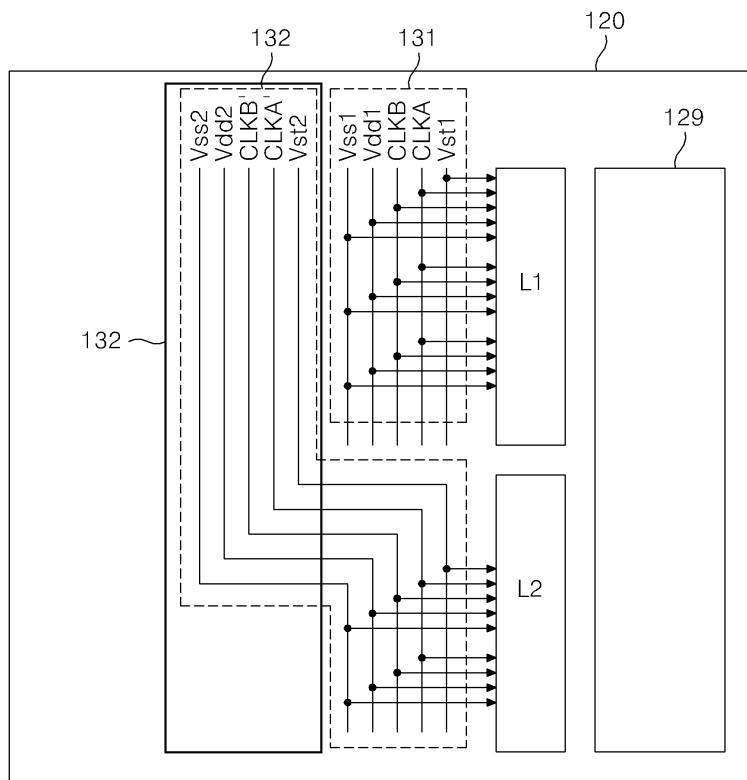
도면13



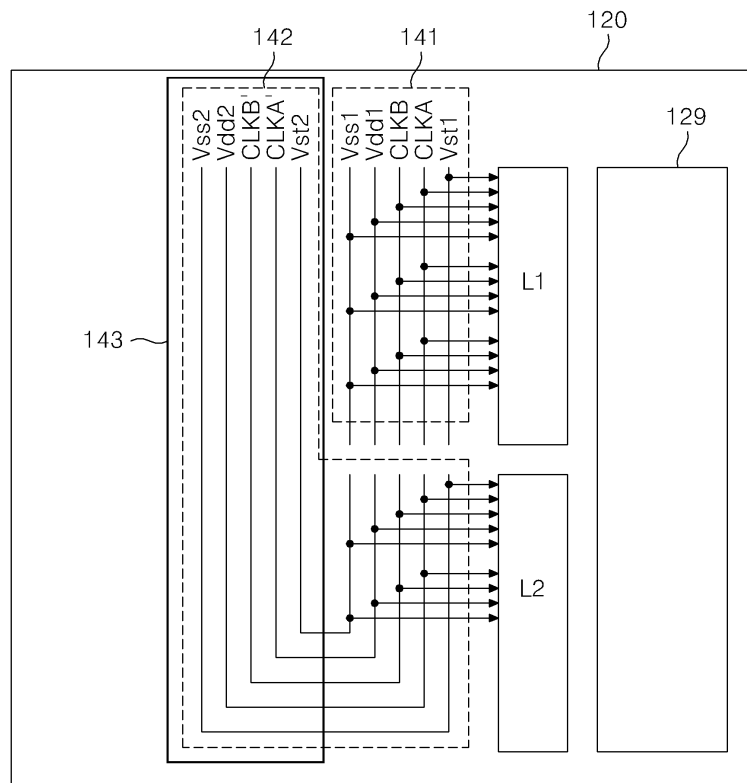
도면14



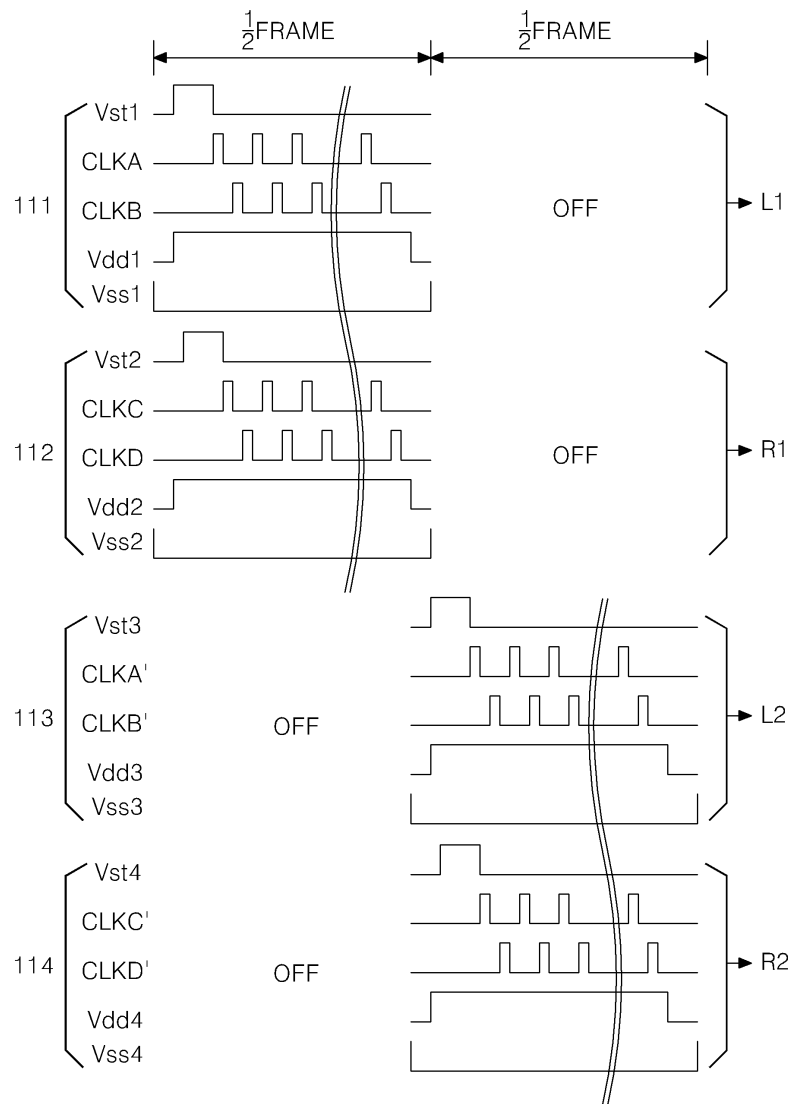
도면15



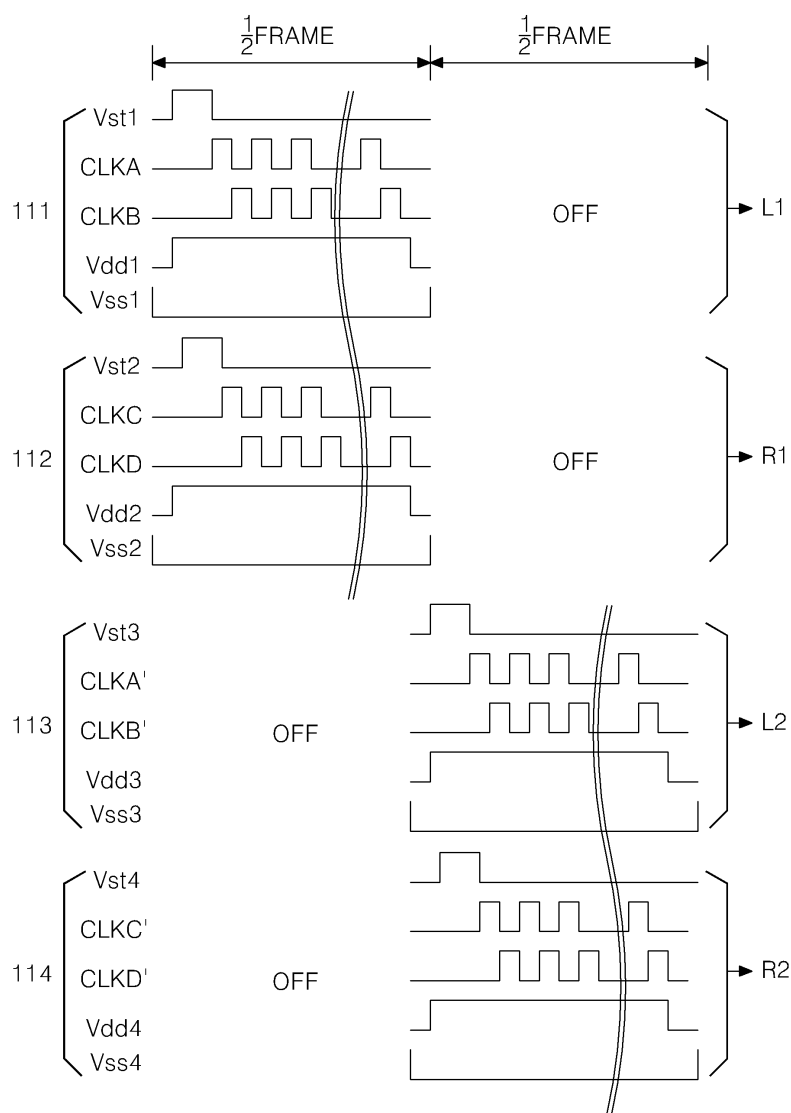
도면16



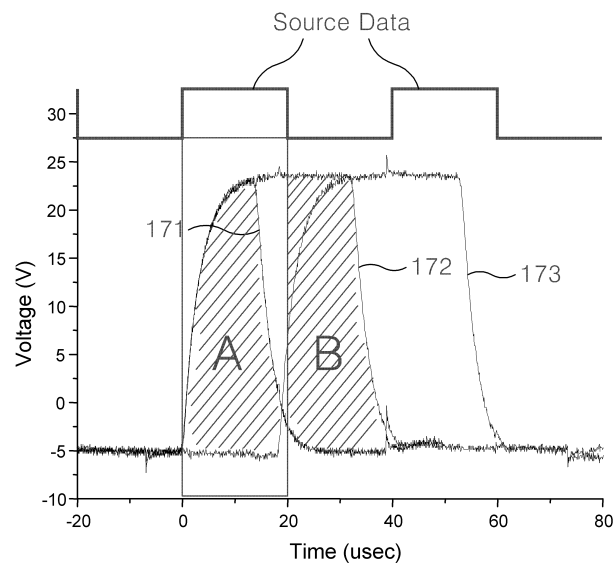
도면17



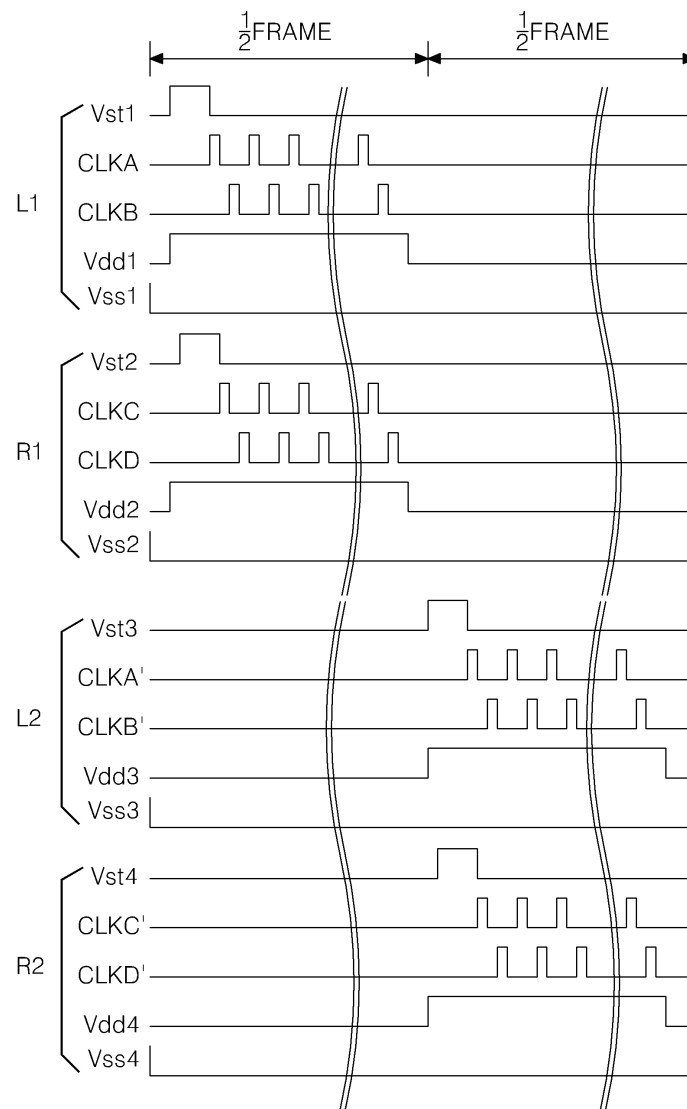
도면18



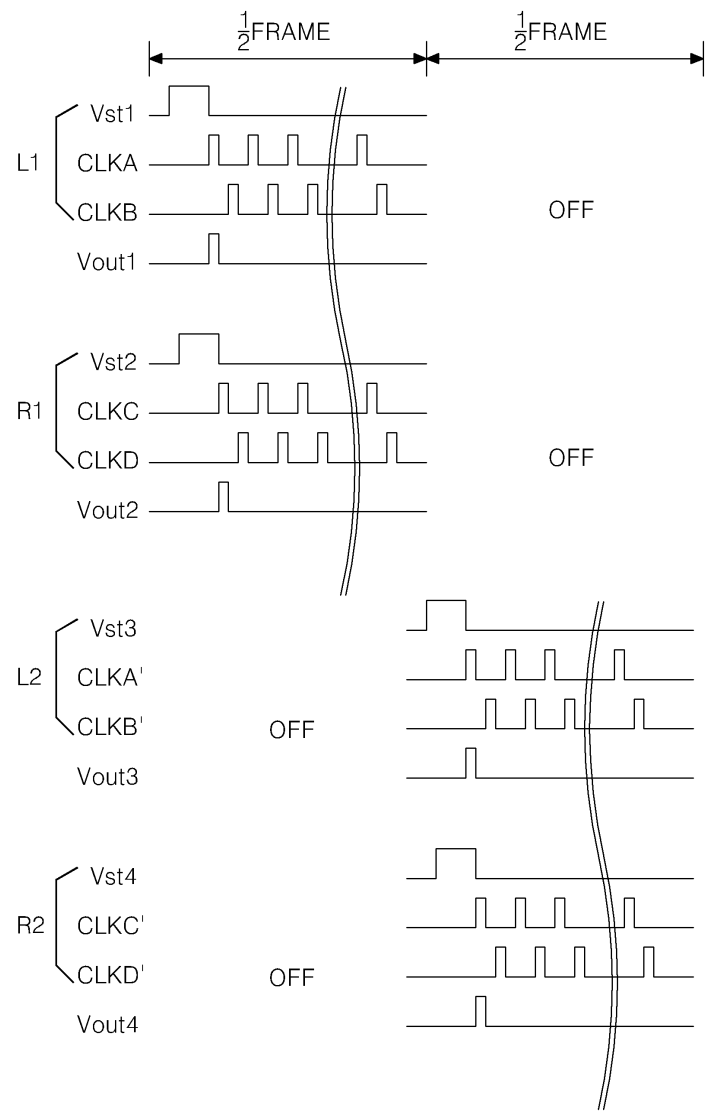
도면19



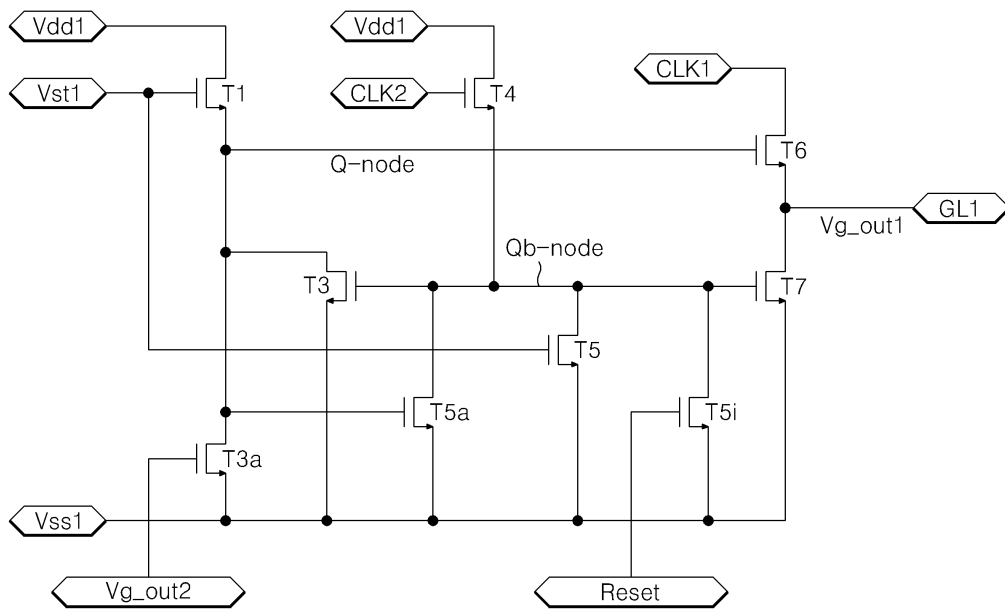
도면20



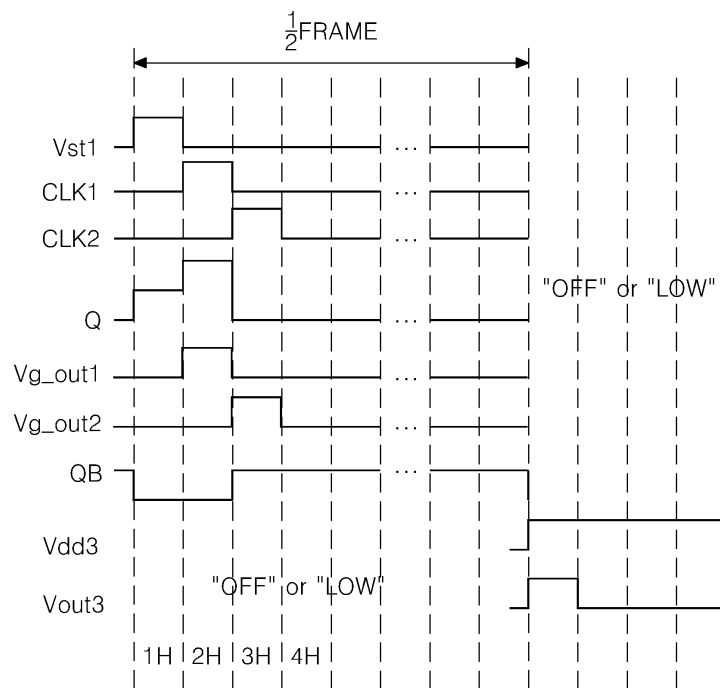
도면21



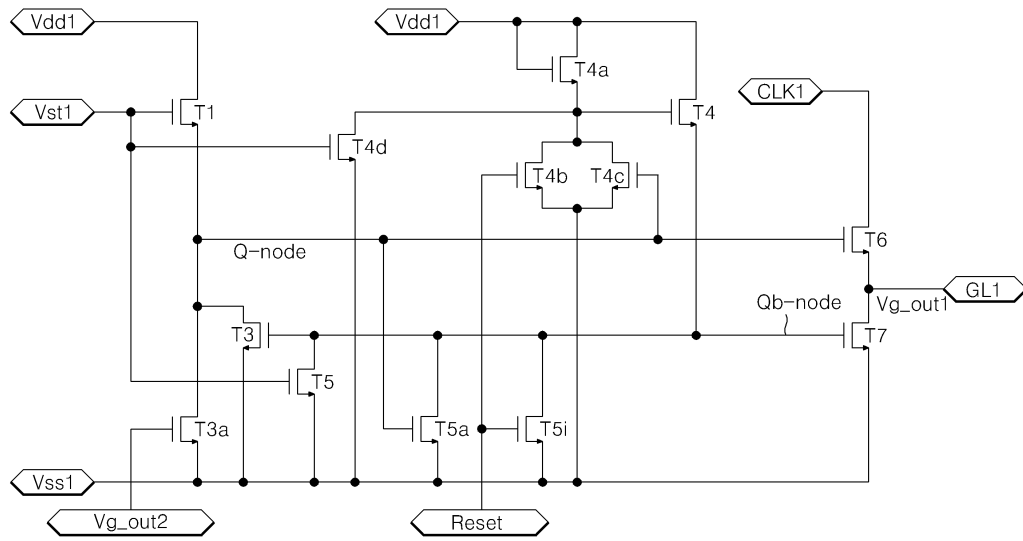
도면22



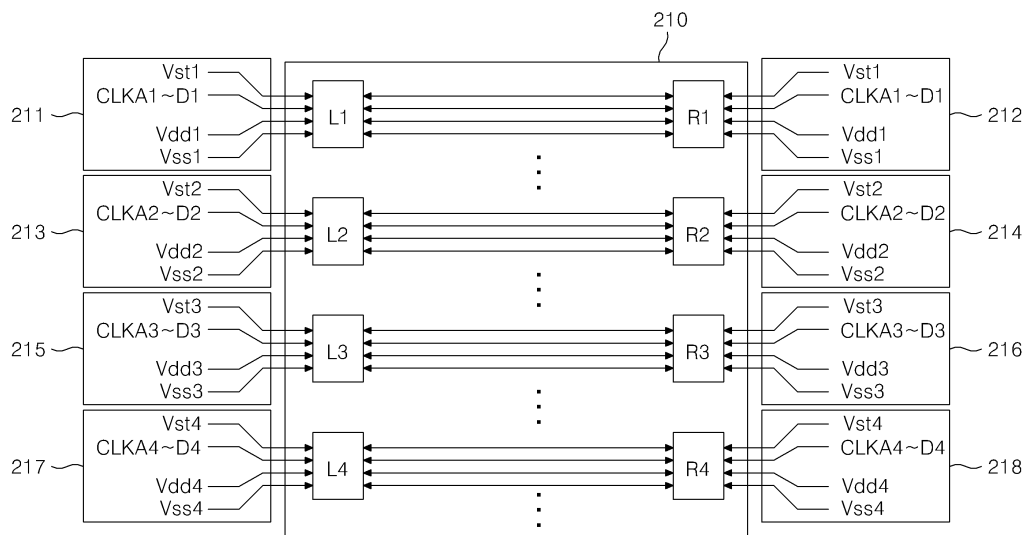
도면23



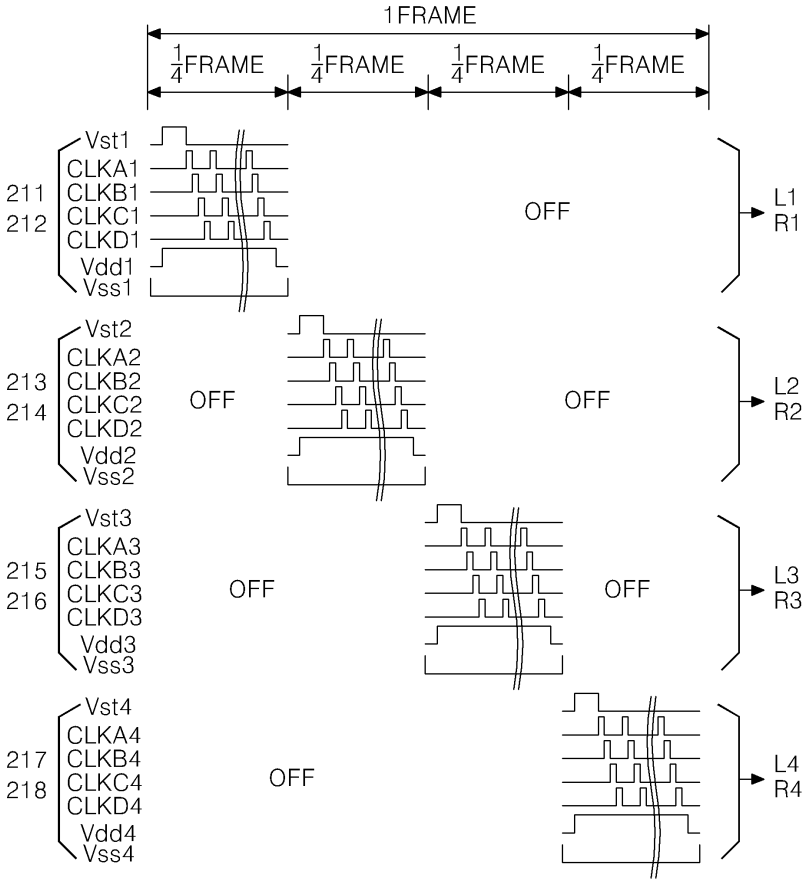
도면26



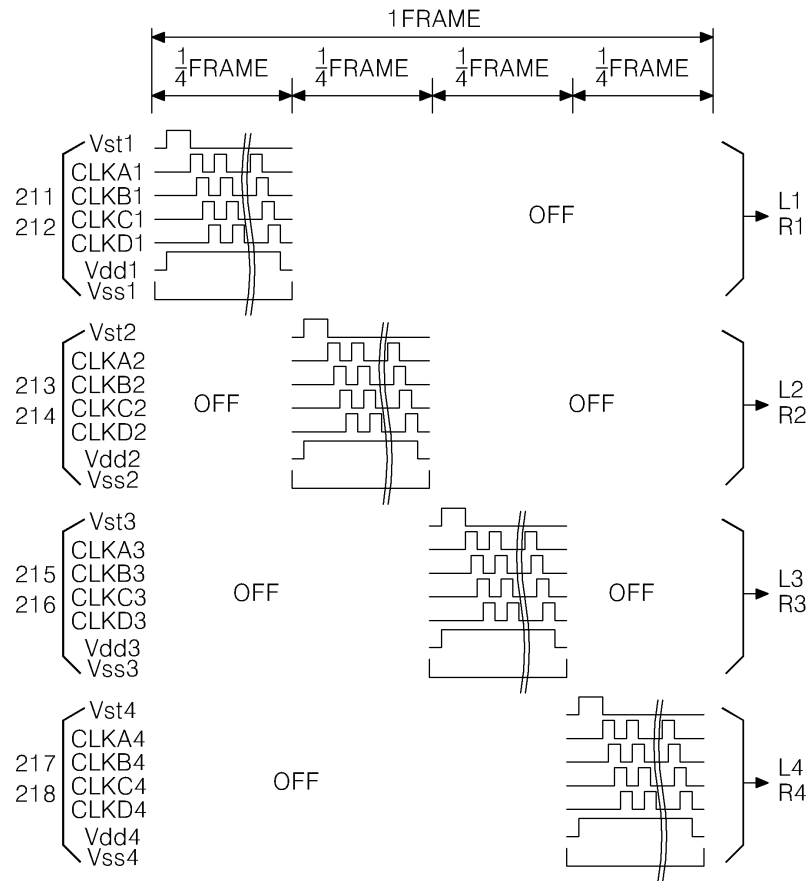
도면27



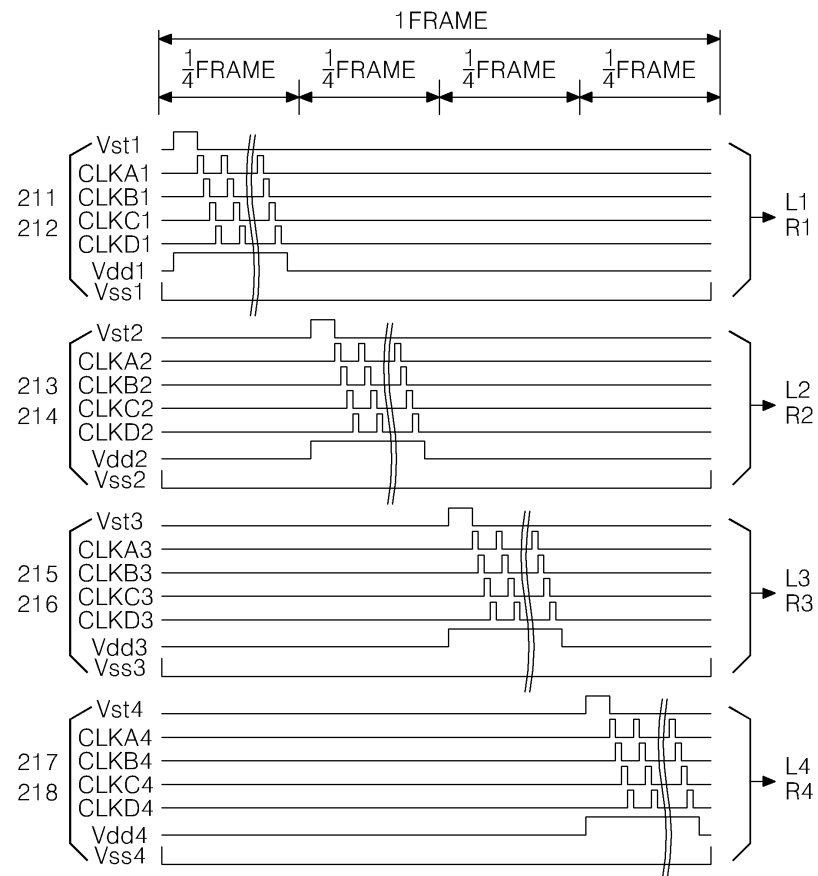
도면28



도면29



도면30



本发明涉及使用减少时钟信号延迟的移位寄存器和液晶显示器，并且可以稳定栅极输出波形。该液晶显示器包括第一移位寄存器，第二起始脉冲，第二高压驱动电压，第二低电位驱动电压，其中第一驱动信号组中多条数据线与多条栅极线交叉并包括多个液晶单元是具有排列的阵列区域的LCD面板，第一起始脉冲，第一高电位驱动电压，第一低电位驱动电压和多个时钟信号被提供给连续提供扫描的栅极驱动电路使用其中提供包括多个时钟信号的第二驱动信号组的第二移位寄存器的脉冲到栅极线，并且在基板的至少一侧中布置用于向数据线和第一和第二移位寄存器提供数据的数据驱动电路。

