

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/1343 (2006.01)

(11) 공개번호 10-2006-0078713
(43) 공개일자 2006년07월05일

(21) 출원번호 10-2004-0117401

(22) 출원일자 2004년12월30일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 강병구
경상북도 구미시 신평2동 70-17번지
최운섭
부산광역시 사상구 덕포1동 94-7

(74) 대리인 박장원

심사청구 : 없음

(54) 횡전계방식 액정표시소자

요약

본 발명은 데이터라인의 신호 간섭을 방지하고, 세로선 불량을 감소시킬 수 있는 횡전계방식 액정표시소자에 관한 것으로, 본 발명에 따른 횡전계방식 액정표시소자는, 제 1 기판과 제 2 기판; 상기 제 1 기판 상에 형성되는 게이트라인; 상기 게이트라인과 교차되어 단위 화소를 정의하는 데이터라인; 상기 게이트라인과 데이터라인이 교차되는 지점에 형성되는 박막트랜지스터; 상기 해당 화소의 데이터라인에 인접하며, 상기 데이터라인에 평행하게 형성되는 화소전극라인; 상기 화소전극라인으로부터 상기 게이트라인의 연장방향으로 인출되며, 그 양단에 화소보조전극이 연장 형성되는 복수의 화소전극; 상기 복수의 화소전극과 교대로 평행하게 배열되어 횡전계를 발생시키는 복수의 공통전극; 상기 데이터라인에 대하여 수직 한 방향으로 러빙처리된 배향막; 및 상기 제 1 및 제 2 기판 사이에 형성된 액정층을 포함하여 구성된다.

대표도

도 5

색인어

액정표시소자, 수평 2-도트 인버전 방식, 세로선, 기생 커패시턴스

명세서

도면의 간단한 설명

도 1은 종래 액정표시소자를 나타내는 평면도.

도 2a 및 2b는 상기 도 1의 영역 T에 대한 확대도.

도 3는 본 발명의 제 1 실시예에 따른 액정표시소자의 단위 화소를 나타내는 도면.

도 4a 및 4b는 도 3의 II-II'선 및 III-III'선에 대한 단면도.

도 4c 및 4d는 도 3의 영역 IV에 대한 확대도.

도 5는 본 발명의 제 2 실시예에 따른 액정표시소자의 단위 화소를 나타내는 도면.

도 6a 및 6b는 액정패널에 공급되는 수평 2-도트 인버전 방식의 데이터 극성패턴을 나타내는 도면.

도 7은 수평으로 인접하여 동일 극성을 갖는 두 화소의 회로도.

도 8은 도 7에 도시된 화소에서 기생 커패시턴스에 의한 화소전압의 변동을 나타내는 신호 파형도.

도 9는 액정표시소자의 기생 커패시턴스에 의한 커패시턴스 커플링 효과에 의해 액정패널에 표시되는 세로선 현상을 나타내는 도면.

도 10은 본 발명의 제 3 실시예에 따른 액정표시소자의 단위 화소를 나타내는 도면.

도 11은 본 발명의 제 4 실시예에 따른 액정표시소자의 단위 화소를 나타내는 도면.

본 발명의 주요부분에 대한 부호의 설명

10, 100, 100', 200, 200', 200, 200': 데이터라인

1, 101, 201: 게이트라인 3, 103, 203, 403: 화소전극

5, 105, 205, 405: 공통전극 123: 제 1 화소전극라인

123': 제 2 화소전극라인 223: 화소전극라인

125, 225: 제 1 공통라인 125', 225', 325': 제 2 공통라인

103', 203', 403': 화소보조전극 105', 205', 405': 공통보조전극

TFT: 박막트랜지스터 Cdp, Cpd: 기생 커패시턴스

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시소자에 관한 것으로, 특히 데이터라인의 신호 간섭을 방지하고, 세로선 불량을 감소시킬 수 있는 횡전 계방식 액정표시소자에 관한 것이다.

근래, 핸드폰(Mobile Phone), PDA, 노트북 컴퓨터와 같은 각종 휴대용 전자 기기가 발전함에 따라 이에 적용할 수 있는 경박단소용의 평판표시소자(Flat Panel Display Device)에 대한 요구가 점차 증대되고 있다. 이러한 평판표시소자로 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), FED(Field Emission Display), VFD(Vacuum Fluorescent Display) 등이 활발히 연구되고 있는데, 그 중 양산화 기술, 구동수단의 용이성, 고화질의 구현이라는 이유로 인해 현재에는 액정표시장치(LCD)가 각광을 받고 있다.

통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 구현하게 된다. 이를 위하여, 액정표시장치는 화소들이 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다.

도 1은 일반적인 횡전계방식 액정표시소자의 단위화소를 나타낸 것으로, 도면에 도시된 바와 같이, 액정패널의 제 1 기판에는 게이트라인(1)과 데이터라인(10)이 교차하게 배열되어 화소영역을 정의하며, 상기 게이트라인(1)과 데이터라인(10)이 교차 영역에는 스위칭소자인 박막트랜지스터(thin film transistor, TFT)가 형성된다. 액정패널의 화소 각각에는 화소전극(3)과 공통전극(5)이 교대로 배치되는데, 상기 화소전극(3)은 스위칭 소자인 박막트랜지스터(TFT)의 소스/드레인 전극(13, 15)으로부터 데이터신호를 인가받아 공통전극(5)과 함께 제 1 기판 상에 횡전계를 형성한다. 박막트랜지스터(TFT)의 게이트전극(9)은 데이터신호가 1 라인분씩의 화소전극(3)들에게 인가되도록 게이트라인(1)에 접속된다. 이에 따라, 액정표시장치는 화소별로 공급된 데이터신호에 따라 화소전극(3)과 공통전극(5) 사이에 인가되는 전계에 의해 액정층의 광투과율을 조절함으로써 화상을 표시한다.

또한, 도면에 도시하지는 않았지만, 제 2 기판 상에는 컬러필터층이 형성되며, 상기 제 1 기판 및 제 2 기판 사이의 이격 공간에 액정층이 형성된다.

상기 액정층의 액정분자는 화소전극(3) 및 공통전극(5) 사이에 형성되는 횡전계에 의해 구동되므로, 종래 TN(Twisted Nematic) 모드 액정표시소자에 비해 가시범위가 넓어지게 되어, 상, 하, 좌, 우 방향으로 약 80°~85°범위의 시야각을 확보하게 된다.

그런데, 상기한 바와 같은 종래 횡전계방식 액정표시소자에서는 데이터라인(10)과 화소전극(3)이 평행하게 근접 배치됨에 따라 상기 데이터라인(10)과 화소전극(3) 간의 신호간섭이 쉽게 유발되고, 이로 인해 크로스토크 및 광누설 현상등이 야기되었다. 따라서, 이와 같은 문제점을 최소화시키고자, 화소의 외곽 영역, 즉 데이터라인(10)과 인접하는 영역에 최외곽 공통전극(5')을 배치하고, 상기 최외곽 공통전극(5')의 폭을 다른 공통전극(5)에 비하여 넓게 형성하였다. 하지만, 이와 같은 전극 배치 구조는 액정표시소자의 개구율을 저하시킬 뿐 아니라, 데이터라인의 신호 간섭에 의한 전계의 왜곡 현상도 효과적으로 방지할 수 없었다.

도 2a 및 도 2b는 상기 도 1의 'I'영역에 대한 확대도면으로서, 도면을 참조하여, 데이터라인의 신호간섭에 의한 액정 배열의 왜곡현상을 보다 상세히 설명하겠다.

이때, 액정분자의 초기 배열을 유도하는 러빙 방향은 공통전극(5, 5') 및 화소전극(3)에 대하여 약 45°의 기울기를 갖도록 형성하여, 전압이 인가될 경우, 상기 공통전극(5, 5') 및 화소전극(3)과 직교되는 방향으로 횡전계가 발생되도록 한다.

우선, 도 2a는 데이터라인(10)에 8V의 전압이 인가되고, 공통전극(5, 5') 및 화소전극(3)에 각각 5V와 8V의 전압이 인가되는 조건 하에서, 상기 공통전극(5, 5')과 화소전극(3) 사이의 전압차에 의한 전계에 의해 액정분자의 제 1 방향자(30)가 결정되는 것을 도시하고 있다. 다음으로, 도 2b는 상기 도 2a에서와 같이 공통전극(5, 5')과 화소전극(3)에 3V의 전압차가 발생하더라도 데이터라인(10)에 인가되는 전압이 바뀔 경우, 실제 구동 영역의 전계에도 변화가 발생되어 도 2a에 따른 제 1 방향자(30)보다 조금 더 회전된 제 2 방향자(35)를 가지게 되는 것을 나타낸 것이다. 이와 같이 데이터라인의 신호 전압차는 전계의 방향을 왜곡시켜 액정 배열에 변화를 유발함으로써, 공통전극과 화소전극에 동일한 전압이 인가되는 조건이라도 표시 화면 상에서 색감의 변화를 야기하게 된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 바와 같은 문제점을 해결하기 위한 것으로, 러빙방향을 데이터라인에 대하여 수직하게 형성하고, 공통전극 및 화소전극을 상기 러빙방향에 대응되도록 배치함으로써, 데이터라인의 신호 간섭에 의한 화질 불량을 방지하는 횡전계방식 액정표시소자를 제공하는 데 그 목적이 있다.

또한, 화소전극라인 및 화소전극을 인접하는 화소의 데이터라인으로부터 이격 배치시켜, 수평 2-도트 인버전 구동시 이웃하는 데이터신호에 의한 기생 커패시턴스의 영향을 최소화함으로써, 표시화면에서의 세로선 불량을 방지할 수 있는 횡전계방식 액정표시소자를 제공하는 것을 또다른 목적으로 한다.

발명의 구성 및 작용

상기한 목적을 달성하기 위하여, 본 발명에 따른 횡전계방식 액정표시소자는, 제 1 기관과 제 2 기관; 상기 제 1 기관 상에 형성되는 게이트라인; 상기 게이트라인과 교차되어 단위 화소를 정의하는 데이터라인; 상기 게이트라인과 데이터라인이 교차되는 지점에 형성되는 박막트랜지스터; 상기 데이터라인에 평행하게 형성되는 화소전극라인; 상기 화소전극라인으로부터 상기 게이트라인의 연장방향으로 인출되는 복수의 화소전극; 상기 복수의 화소전극과 교대로 평행하게 배열되어 횡전계를 발생시키는 복수의 공통전극; 상기 데이터라인에 대하여 수직한 방향으로 러빙처리된 배향막; 및 상기 제 1 및 제 2 기관 사이에 형성된 액정층을 포함하여 구성되며, 상기 화소전극라인은 해당 화소의 데이터라인의 근처에만 배치되는 것을 특징으로 한다.

상기 화소전극 및 공통전극은 상기 데이터라인에 수직한 방향을 기준으로 $0^{\circ} \sim 45^{\circ}$ 범위의 경사각을 갖도록 형성된다.

상기 화소의 좌우측에는 인접하는 데이터라인과 평행하게 배치되어, 데이터 신호를 차폐하며, 상기 복수의 공통전극을 연결하는 공통라인을 더 포함하여 형성된다. 상기 공통라인은 외부로부터 상기 공통전극으로 공통신호를 전달하며, 상기 화소전극라인과 오버랩되어 스토리지를 형성한다. 이때, 상기 공통라인은 인접하는 데이터라인에 $1\mu\text{m}$ 이내의 범위로 오버랩되거나 $3\mu\text{m}$ 이내의 이격거리를 갖고 형성될 수 있다.

또한, 상기 공통전극 및 공통라인이 예각을 이루는 영역 상부에는 화소보조전극이 추가로 형성되어, 상기 화소 내에서 디스클리네이션(disclination)의 발생을 방지함을 특징으로 한다. 이때, 상기 화소보조전극은 삼각형 형태로 형성되거나, 혹은 평행사변형 형태로 형성될 수 있다.

또한, 상기 공통전극과 상기 공통라인이 접하는 영역에 상기 공통라인의 연장방향을 따라 인출되는 공통보조전극을 더 포함하여 형성될 수 있는데, 상기 공통보조전극은 상기 화소전극과 상기 화소전극라인이 예각을 이루며 연결되는 영역 상부에 형성되어, 디스클리네이션을 방지하게 된다.

한편, 상기 공통전극 및 화소전극은 상기 해당 화소에서 대칭을 이루며 배치되어 2-도메인을 형성할 수 있다.

또한, 상기 게이트라인은 인접하는 상기 공통전극 또는 화소전극과 평행하게 형성되어, 지그재그(zig-zag) 형태로 연장될 수 있으며, 상기 단위 화소는 상기 게이트라인을 경계로 인접하는 화소와 대칭 형태로 형성될 수 있다. 또한, 상기 단위 화소는 상기 데이터라인을 경계로 인접하는 화소와 대칭 형태로 형성될 수도 있다.

또한, 상기 화소전극은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 또는 ITZO(indium tin zinc oxide)를 포함하여 구성되는 투명도전체로 형성될 수 있다.

또한, 상기 박막트랜지스터는 게이트전극, 반도체층, 소스전극 및 드레인전극을 포함하여 구성되며, 상기 드레인전극과 상기 화소전극을 전기적으로 접속하는 제 1 컨택홀을 추가로 포함하여 형성될 수 있다.

이하, 도면을 참조하여, 본 발명에 따른 액정표시소자에 대하여 보다 상세히 설명한다.

먼저, 도 3은 본 발명의 제 1 실시예에 따른 액정표시소자의 단위 화소를 나타내는 도면이고, 도 4a와 4b는 도 3의 II-II' 선과 III-III' 선에 대한 단면도이다.

도면에 도시된 바와 같이, 액정패널은 제 1 기관(110) 위에 배열되어 단위 화소영역을 정의하는 데이터라인(100) 및 게이트라인(101)과, 상기한 게이트라인(101)과 데이터라인(100)의 교차점에 배치된 스위칭소자인 박막트랜지스터(TFT)와, 상기 화소내에 교대로 평행하게 배열되어 횡전계를 발생시키는 적어도 하나의 화소전극(103)과 공통전극(105)을 포함하여 구성된다. 이때, 상기 화소전극(103) 및 공통전극(105)은 상기 데이터라인(100)에 수직한 방향에 대하여 $0^{\circ} \sim 45^{\circ}$ 사이의 경사각을 갖도록 형성된다.

박막트랜지스터(TFT)는 제 1 기관(110) 위에 형성되어 상기 게이트라인(101)의 일부로 형성되는 게이트전극(107)과, 상기 게이트전극(107) 위에 적층된 SiNx 또는 SiOx 와 같은 물질로 이루어진 게이트절연막(120)과, 상기 게이트절연막(120) 위에 형성된 반도체층(109)과, 상기 반도체층(109) 위에 형성된 오믹컨택트층(111)과, 상기 오믹컨택트층(111) 위에 형성되어 데이터라인(100)과 화소전극(119)에 각각 접속되는 소스전극(113) 및 드레인전극(115)으로 구성된다.

상기 박막트랜지스터(TFT) 위에는 SiNx 또는 SiOx 와 같은 물질로 이루어진 보호막(130)이 기판 전체에 걸쳐 적층되어 있으며, 상기 보호막(130) 상에 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 또는 ITZO(indium tin zinc oxide) 등의 투명도전체로 이루어진 화소전극(103)이 형성되어 상기 보호막(130)에 형성된 제 1 콘택홀(117)을 통해 상기 박막트랜지스터(TFT)의 드레인전극(115)에 접속되어 데이터신호를 인가받는다.

한편, 상기 단위 화소 내에는 상기 데이터라인(100)에 평행하게 인접배치되는 제 1 화소전극라인(123)과, 게이트라인(101)의 연장방향으로 인접하는 화소의 데이터라인(100')에 평행하게 인접배치되는 제 2 화소전극라인(123')이 형성되어 복수의 화소전극(103)을 전기적으로 연결하고 있다.

또한, 상기 제 1 화소전극라인(123)과 제 2 화소전극라인(123')의 하부에는 각각 금속층의 제 1 공통라인(125) 및 제 2 공통라인(125')이 형성되어 복수의 공통전극(105)을 전기적으로 연결한다.

그리고, 상기 제 1 공통라인(125)과 제 1 화소전극라인(123) 및 제 2 공통라인(125')과 제 2 화소전극라인(123')은 각각 상기 게이트절연막(120) 및 보호막(130)을 사이에 두고 오버랩되어 제 1 스토리지(Cst1) 및 제 2 스토리지(Cst2)를 형성하게 된다.

한편, 상기 액정표시소자는 제 1 및 제 2 공통라인(125, 125')에 공통신호를 인가하는 제 3 공통라인(125'')을 추가로 포함할 수 있는데, 상기 데이터라인(100)에 대하여 소정의 경사각을 갖고 형성된 상기 화소전극(103) 및 공통전극(105)이 상기 제 3 공통라인(125'')의 연장방향을 기준으로 대칭으로 배치되어 상기 화소영역 내에서 2-도메인을 형성할 수 있다.

이때, 상기 게이트라인(101)은 인접하는 화소전극(103) 또는 공통전극(105)에 평행하게 형성되어, 액정패널의 전 영역에 걸쳐 지그재그(zig-zag) 형태로 연장될 수 있으며, 상기 게이트라인(101)을 경계로 인접하는 두 화소영역이 대칭 형태로 형성될 수 있으며, 상기 데이터라인(100')을 경계로 인접하는 화소영역과 대칭 형태로 형성될 수도 있다.

또한, 본 발명의 액정표시소자는 상기 제 1 및 제 2 화소전극라인(123, 123')으로부터 화소전극(103)이 인출되는 영역에 화소보조전극(103')을 추가로 포함하고, 상기 제 1 및 제 2 공통라인(125, 125')으로부터 공통전극(105)이 인출되는 영역에 공통보조전극(105')을 추가로 포함하여 형성된다.

여기서, 상기 화소보조전극(103')은 상기 제 1 또는 제 2 공통라인(125, 125')이 상기 공통전극(105)과 예각을 이루며 연결되어 디스클리네이션(disclination)을 유발시킬 수 있는 영역상에 삼각형 또는 평행사변형의 형태로 형성될 수 있으며, 상기 공통보조전극(105')은 상기 제 1 또는 제 2 화소전극라인(123, 123')이 상기 화소전극(103)과 예각을 이루며 연결되어 디스클리네이션(disclination)을 유발시킬 수 있는 영역상에 삼각형 또는 평행사변형의 형태로 형성될 수 있다.

이와 같이, 화소전극(103) 및 공통전극(105)의 양단부에 화소보조전극(103') 및 공통보조전극(105')을 설치하는 이유는 상기 공통전극(105) 및 화소전극(103)에 의한 횡전계 형성영역 중에, 화소의 외곽 영역 즉, 두 전극(103, 105)이 공통라인(125, 125') 및 화소전극라인(123, 123')과 접하는 양측 영역에서 발생하는 전계의 방향이 화소 중심부와 다르게 형성되는 영역을 최소화하기 위한 것이다.

이를 좀더 상세하게 설명하면, 공통전극(105) 및 화소전극(103)의 양측에서 형성되는 전계는 이들 두 전극(103, 105)이 화소 중심에서와 같이 평행하게 배치되지 않기 때문에, 전계 왜곡에 의한 액정 분자의 이상 배열이 나타난다. 따라서, 본 발명은 이 영역에서 횡전계를 발생시키는 두 전극(103, 105)이 최대한 평행하게 배치되도록 하기 위해 화소전극(103) 또는 공통전극(105)의 양측에 전계를 형성하는 보조전극을 형성함으로써, 디스클리네이션을 방지하는 것이다.

한편, 상기한 제 1 기판(110)에 대응하는 제 2 기판(미도시) 위에는 광의 누설을 방지하는 차광층과 R, G, B의 칼라필터소자로 이루어진 칼라필터층 및 오버코트층이 차례로 적층되어 형성될 수 있다.

한편, 도 4c 및 4d는 도 3의 영역 IV에 대한 확대도면으로서, 각각 단위 화소에 전압이 인가될 때와 인가되지 않을 때의 액정분자의 구동특성을 나타낸 것이다.

도면에 도시하지는 않았지만, 화소전극(103) 및 공통전극(105)을 포함하는 제 1 기판(110) 상에는 데이터라인(100)에 대하여 수직인 방향, 즉 상기 데이터라인(100)과 제 1 화소전극라인(123) 간에 형성되는 전계방향(142)과 동일한 방향으로 러빙처리된 배향막이 적층된다.

다시 말해, 본 실시예에서는 액정분자의 초기 배열을 유도하는 러빙 방향과, 전압의 인가시 데이터라인(100)과 제 1 화소전극라인(123) 사이의 전계(142)의 방향이 동일하게 되도록 러빙방향을 형성한다. 즉, 기존에는 데이터라인(100) 방향을 기준으로 약 45°기울어진 방향으로 러빙처리를 하였으나, 본 발명에서는 데이터라인(100)에 수직한 방향으로 러빙처리에 따라, 전압이 인가되지 않을 경우, 특히 데이터라인(100)과 제 1 화소전극라인(123)의 사이 구간에 위치하는 액정분자(140)가 상기 데이터라인(100)과 직교되는 방향으로 배열되어 잔류전압에 의해 왜곡되지 않도록 하는 것을 특징으로 한다.

도 4d에 도시된 바와 같이, 전압이 인가되는 경우에는 전계 방향(142)과 대응되는 방향으로 액정분자(140)의 방향이 결정된다. 이때, 데이터라인(100)과 제 1 화소전극라인(123) 간에는 데이터라인(100)과 직교되는 방향으로 전계(142)가 형성되기 때문에, 이 구간에 위치하는 액정분자(140)는 움직임이 없고, 공통전극(105)과 화소전극(103) 간에는 횡전계(144)가 형성되어, 전계의 방향에 따라 액정분자(140)가 구동된다.

결국, 본 발명의 제 1 실시예는 배향막의 러빙방향을 데이터라인에 수직한 방향으로 형성하고, 공통전극 및 화소전극을 상기 러빙방향에 대응되도록 배치함으로써, 데이터라인의 잔류전압에 의한 전계의 왜곡을 최소화하고, 그로 인한 액정분자의 비틀림현상을 방지하여 흑백 모드시에도 해당영역에서의 빛샘현상과 같은 불량을 효과적으로 방지할 수 있다.

그런데, 상기한 바와 같은 액정표시소자의 구성에서는 수평 2-도트 인버전 방식에 의한 구동을 적용할 경우, 데이터라인과 화소전극 간의 기생 커패시턴스에 의해 세로 뒹(dim) 현상이 발생하는 단점이 있다. 따라서, 본 발명의 제 2 실시예는 특히 이러한 세로선 현상을 제거하여, 액정패널의 화질을 개선할 수 있는 횡전계방식 액정표시소자를 제공한다.

본 실시예의 구성은 제 1 실시예와 유사하므로 차이점 및 그 효과를 중심으로 상술할 것이다.

본 실시예는 상기 제 1 실시예에서 제 2 화소전극라인을 제거한 화소를 나타낸 예로서, 도면에 도시된 바와 같이, 액정패널은 제 1 기판 위에 배열되어 단위 화소를 정의하는 데이터라인(200) 및 게이트라인(201)과, 상기한 게이트라인(201)과 데이터라인(200)의 교차점에 배치된 스위칭소자인 박막트랜지스터(TFT)와, 상기 화소내에 평행하게 교차 배열되어 횡전계를 발생시키는 복수의 화소전극(203)과 공통전극(205)을 포함하여 구성된다. 이때, 도면에 도시하지는 않았지만, 상기 제 1 기판 상에는 상기 데이터라인(200)에 수직한 방향으로 러빙처리된 배향막이 도포되며, 상기 배향막의 러빙방향에 대응되도록, 상기 화소전극(203) 및 공통전극(205)이 상기 데이터라인(200)에 수직한 방향에 대하여 0°~45°사이의 경사각을 갖도록 형성된다.

박막트랜지스터(TFT)는 상기 게이트라인(201)의 일부로 형성되는 게이트전극(207)과, 채널영역인 반도체층(미도시), 상기 데이터라인(200)의 일부가 연장되어 형성된 소스전극(213) 및 상기 소스전극(213)과 소정 간격 이격되어 형성되는 드레인전극(215)을 포함하여 구성되는데, 상기 화소전극(203)은 상기 드레인전극(215) 상부에 형성된 제 1 컨택홀(227)을 통해 상기 박막트랜지스터(TFT)의 데이터신호를 인가받는다.

한편, 상기 단위 화소 내에는 상기 복수의 화소전극(203)이 인출되는 화소전극라인(223)이 상기 해당 화소의 데이터라인(200)에 평행하게 인접배치되어 형성되는데, 본 실시예에서는 상기 제 1 실시예와 달리 해당 화소의 데이터라인 근처에만 화소전극라인(203)을 형성함으로써, 이웃하는 데이터라인(200')으로부터 상기 화소전극(203) 및 화소전극라인(223)을 소정 간격 이격시킨다.

또한, 상기 화소의 좌우 양측에는 상기 복수의 공통전극(205)을 연결하는 공통전극라인(225, 225')이 각각 인접하는 데이터라인(200, 200')에 평행하게 배치되어 복수의 공통전극(205)을 연결시킨다. 이때, 상기 해당 화소의 데이터라인(200)에 인접하는 공통전극라인(225)은 상기 화소전극라인(223)과 오버랩되어 스토리지를 형성하며, 이웃하는 화소의 데이터라인(200')에 인접하는 공통전극라인(225')은 상기 화소전극라인(223) 및 화소전극(203)으로부터 이웃하는 화소의 데이터신호를 차폐하는 역할을 한다.

한편, 상기 화소전극라인(223) 및 화소전극(203)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 및 ITZO(Indium Tin Zinc Oxide)를 포함하여 구성되는 일군의 투명도전체 중 하나로 형성될 수 있어, 액정표시소자의 휘도를 증가시킬 수 있다.

또한, 상기 화소전극(203) 및 공통전극(205)은 상기 공통라인(225")을 기준으로 대칭으로 배치되어 상기 화소영역 내에서 2-도메인을 형성함으로써, 액정의 복굴절(birefringence) 특성에 의한 이상 광을 서로 상쇄시켜 색전이(color shift) 현상을 최소화할 수 있다.

또한, 상기 게이트라인(201)은 인접하는 화소전극(203) 또는 공통전극(205)에 평행하게 형성되어, 액정패널의 전면적에 걸쳐 지그재그(zig-zag) 형태로 연장될 수 있으며, 상기 게이트라인(201)을 경계로 인접하는 두 화소영역이 대칭 형태로 형성될 수 있다. 이때, 상기 액정표시소자의 단위 화소는 데이터라인(200')을 경계로 인접하는 화소와 대칭 형태로 형성될 수도 있다.

결국, 전술한 바와 같이, 본 발명의 제 2 실시예는 화소전극라인(223) 및 복수의 화소전극(203)을 인접하는 화소의 데이터라인(200')으로부터 이격시키고, 상기 공통전극라인(205)을 통해 이웃하는 데이터라인(200')의 데이터신호를 차폐해줌으로써 상기 데이터라인(200')에 의한 기생 커패시턴스의 영향을 최소화시키게 된다.

이와 같은 구조는 하나의 화소를 중심으로 수평으로 인접하는 두 화소의 극성을 다르게 구동시키는 수평 2-도트 구동시 화소간 기생 커패시턴스의 차이에 기인한 휘도 불균일 문제를 해결해 준다.

이에 대하여, 도면(도 6a~도 9)을 참조하여 상술하면 다음과 같다.

일반적으로, 액정표시장치에서는 액정패널 상의 화소들을 구동하기 위하여 프레임 인버전 방식(frame inversion system), 라인 인버전 방식(line inversion system) 및 도트 인버전 방식(dot inversion system)과 같은 인버전 구동방법이 사용되었다. 프레임 인버전 방식의 액정패널 구동방법은 프레임이 변경될 때마다 액정패널 상의 화소들에 공급되는 데이터신호의 극성을 반전시키고, 라인 인버전 방식의 액정패널 구동방법에서는 액정패널 상의 라인에 따라 화소들에 공급되는 데이터신호들의 극성을 반전시킨다. 도트 인버전 방식은 액정패널 상의 라인에 수직 및 수평 방향들 쪽에서 인접하는 화소들에 공급되는 데이터신호들과 상반된 극성의 데이터신호가 공급되게 함과 함께 프레임마다 액정패널 상의 모든 화소들에 공급되는 데이터신호들의 극성이 반전되게 한다. 이러한 인버전 구동방법들 중 도트 인버전 방식은 프레임 및 라인 인버전 방식들에 비하여 뛰어난 화질의 화상을 제공하였다.

그런데, 종래 액정표시장치는 60Hz의 프레임주파수에 의해 구동되는 것이 일반적이었으나, 노트북 컴퓨터와 같이 저소비전력을 필요로 하는 시스템에서는 프레임 주파수를 50~30Hz로 낮추는 것이 요구되었다. 따라서, 프레임 주파수가 낮아짐에 따라 도트 인버전 방식들 중에서도 저소비전력을 요하는 수평 2-도트 인버전 방식의 액정패널 구동방법이 제안되었다.

도 6a 및 도 6b는 수평 2-도트 인버전 방식 중 2,1-도트 인버전 방식의 구동방법에 의해 액정패널의 화소들에 공급되는 데이터 극성패턴을 홀수 프레임과 짝수 프레임으로 나누어 도시한 것이다. 수평 2,1-도트 인버전 구동방식에서는 도 6a에 도시된 홀수 프레임과 도 6b에 도시된 짝수 프레임에 있어서 데이터 극성패턴이 수평방향으로는 2개의 화소, 즉 2 도트 단위로 바뀌는 반면에 수직방향으로는 1 도트 단위로 바뀌게 되는 구동된다. 또한, 도면에 도시하지는 않았지만, 수평 2,2-도트 인버전 구동방식에서는 데이터 극성패턴이 수평, 수직의 화소들에서 모두 2 도트 단위로 변하게 구동된다.

이러한 수평 2-도트 인버전 방식을 사용하게 되면, R, G, B 화소의 컬러와 데이터 극성패턴이 일치 주기가 수평으로는 12 도트가 되므로 거의 대부분의 상용화면에서 DC 전압이 데이터라인에 편중되는 현상이 없어, 플리커(flicker) 현상이 감소하게 된다. 그러나, 수평 2-도트 인버전 방식을 사용할 경우 중간계조 화면에서 데이터라인들 중 홀수라인과 짝수라인의 휘도 차이가 발생하여 세로선 현상이 발생하게 된다.

이러한, 수평 2-도트 인버전 구동에서 발생하는 세로선은 데이터라인과 화소전극 사이의 기생 커패시턴스의 불균일 현상에 의해 발생되는데, 이를 도면을 참조하여 설명하면 다음과 같다.

도 7은 수평으로 인접하여 동일한 극성의 데이터신호를 인가받는 두 개 화소의 회로도를 나타내는 것으로, 액정표시소자의 단위 화소는 데이터라인(D), 게이트라인(G)의 교차부에 형성된 박막트랜지스터(TFT)와, 박막트랜지스터(TFT)에 접속되는 화소전극을 포함한다.

박막트랜지스터(TFT)는 게이트라인(G)에 접속되는 게이트전극과, 데이터라인(D)에 접속되는 소스전극 및 화소전극에 접속되는 드레인전극을 구비한다. 이러한, 박막트랜지스터(TFT)는 게이트라인(G)으로부터 스캔신호, 즉 게이트 하이 전압(VGH)이 공급되는 경우, 턴-온되어 데이터라인(D)으로부터의 데이터신호를 화소에 공급한다. 그리고, 박막트랜지스터(TFT)는 게이트라인(G)으로부터 게이트 로우 전압(VGL)이 공급되는 경우 턴-오프되어 화소에 충전된 데이터신호를 유지시키게 된다. 그리고, 화소는 충전된 화소전극에 다음 데이터신호가 충전될 때까지 안정적으로 유지되게 하기 위하여 스토리지 커패시터(Cst)를 구비하는데, 이는 일반적으로 화소전극과 전단 게이트라인(G') 사이에 형성된다.

한편, 이러한 화소에는 데이터라인(D, D', D'')과 화소전극 사이에 기생 커패시턴스가 발생하게 되는데, 이러한 기생 커패시턴스는 좌측 데이터라인(D)과 화소전극 사이의 제 1 기생 커패시턴스(Cdp)와, 화소전극과 우측 데이터라인(D') 사이의 제 2 기생 커패시턴스(Cpd)로 존재하게 된다. 이때, 제 1 및 제 2 커패시턴스(Cdp, Cpd) 각각은 화소에 데이터신호가 충전된 후, 데이터라인의 전압의 변동과 커패시턴스 커플링(capacitance coupling)을 발생시켜 화소의 전압을 변동시키게 된다.

다시 말해서, 화소가 수평 2-도트 인버전 방식으로 구동될 경우, 수평 방향으로 동일 극성의 전압이 분포되는 좌측 화소(L)와 우측 화소(R)에 도 8에 도시된 바와 같이 제 1 기생 커패시턴스(Cdp)의 커패시턴스 커플링에 의한 화소전압(A)의 평균 변동치(ΔV_{p-dp})와 제 2 기생 커패시턴스(Cpd)의 커패시턴스 커플링에 의한 화소전압(B)의 평균 변동치(ΔV_{p-pd})가 다르게 나타나게 된다.

이때, 제 1 기생 커패시턴스(Cdp)의 커패시턴스 커플링에 의한 화소전압(A)의 평균 변동치(ΔV_{p-dp})와 제 2 기생 커패시턴스(Cpd)의 커패시턴스 커플링에 의한 화소전압(B)의 평균 변동치(ΔV_{p-pd})는 아래의 수학식 1과 같다.

수학식 1

$$\Delta V_p = \{C_{dp} \times \Delta V(DLm-1) + C_{pd} \times \Delta V(DLm)\} \div C_{total}$$

여기서, Ctotal은 화소전극의 전체 커패시턴스이다.

이에 따라, 극성이 반대인 화소와 인접하는 우측화소(R)에서는 수평 1-도트 인버전 구동방식에서와 같이 그 값이 서로 상쇄되는 방향으로 영향을 미치게 된다. 그러나, 좌측화소(L)의 경우에 제 1 기생 커패시턴스(Cdp)의 커패시턴스 커플링에 의한 화소전압(A)의 평균 변동치(ΔV_{p-dp})와 제 2 기생 커패시턴스(Cpd)의 커패시턴스 커플링에 의한 화소전압(B)의 평균변동치(ΔV_{p-pd})가 서로 상쇄되지 않고, 합쳐지게(C) 되어 우측화소(R)이 받는 영향과 달라지게 된다.

즉, 좌측 화소(L)는 제 1 기생 커패시턴스(Cdp)와 제 2 기생 커패시턴스(Cpd)가 같은 경우 우측화소(R)에 비하여 2배의 ΔV_{p-dp} 만큼 화소전압의 실효치가 변화되어 나타나게 되고, 따라서, 도 9에 도시된 바와 같이 좌측 화소(L)보다 우측 화소(R)이 더 밝아지는 현상이 나타나게 된다. 이로 인하여, 수평 2-도트 인버전 구동 방식을 이용한 액정표시소자는 액정패널 상에 휘도차에 의한 세로선(150)이 발생하게 되었다.

그러므로, 본 발명에 따른 액정표시소자의 제 2 실시예는 단위 화소 내에서 제 2 기생 커패시턴스의 영향력을 최소화하기 위해, 제 1 기생 커패시턴스(Cdp)와 제 2 기생 커패시턴스(Cpd)의 크기를 달리 형성함으로써, 기생 커패시턴스의 불균일에 의한 휘도차를 보상하여, 세로선이 발생하지 않도록 하는 것이다.

결국, 도 5에 도시한 바와 같이, 화소전극라인(223) 및 화소전극(203)을 이웃하는 화소의 데이터라인(200')으로부터 이격 형성시킴으로써, 상기 데이터라인(200')의 데이터신호에 기인한 기생 커패시턴스(Cpd)의 영향을 최소화하여, 수평으로 동일한 극성을 갖는 좌측화소(L)와 우측화소(R)의 데이터간에 커플링(coupling) 현상을 보상하고, 좌측(L) 및 우측화소(R)의 화소전압의 편차를 상쇄되게 한다. 따라서, 본 발명은 데이터라인과 화소전극 간의 기생 커패시턴스(Cdp, Cpd) 불균일에 의한 세로선이 발생하지 않는다.

계속해서, 도 10은 본 발명의 제 3 실시예를 도시하는 것으로, 본 실시예는 제 2 실시예의 제 1 공통라인 및 제 2 공통라인의 폭을 더욱 증가시킨 예를 나타내고 있다.

본 실시예의 구성은 제 2 실시예와 유사하므로 차이점 및 그 효과를 중심으로 상술할 것이다.

도 10에 도시된 바와 같이, 본 실시예에 따른 액정표시소자에서는 화소 좌우측에 배치되는 제 1 공통라인(325) 및 제 2 공통라인(325')을 각각 인접하는 데이터라인(300, 300')에 1 μ m 범위 안에서 오버랩시키거나, 약 3 μ m의 범위까지의 이격거리를 두고 인접 배치시킴으로써, 상기 제 1 공통라인(325) 및 제 2 공통라인(325')을 통해 데이터 신호를 차폐시키고, 기생 커패시턴스(Cdp, Cpd)의 불균일을 최소화시킨다. 따라서, 데이터라인과 화소전극 간의 기생 커패시턴스(Cdp, Cpd) 불균일에 의한 세로선 불량을 방지하게 된다.

이와 같은 구성에서는 데이터라인(300, 300') 주변의 차광층(black matrix) 공정에서 공정 마진을 넓히는 효과 또한 얻어낼 수 있다.

계속해서, 도 11은 본 발명의 제 4 실시예를 도시하는 것으로, 본 실시예는 제 2 실시예에서 상기 화소보조전극의 형태에 변형을 가한 예를 나타내고 있다.

본 실시예의 구성 역시 제 2 실시예와 유사하므로 차이점 및 그 효과를 중심으로 상술할 것이다.

도 11에 도시된 바와 같이, 본 실시예에 따른 액정표시소자는 화소보조전극(403")을 평행사변형으로 형성한 것을 특징으로 한다.

본 발명의 횡전계방식 액정표시소자는 화소전극(403)의 양단부에 각각 화소보조전극(403")을 추가로 포함하고, 공통전극(405)의 양단부에 각각 공통보조전극(405")을 추가로 포함하는데, 이는 동일한 극성의 전극이 예각을 이루며 연결되는 영역에서 전계의 왜곡이 발생하여 디스클리네이션 현상이 유발되는 것을 방지하기 위함이다.

본 실시예에서는 상기 제 1 또는 제 2 공통라인(425, 425')이 상기 공통전극(405)과 예각을 이루며 연결되는 영역 상에 평행사변형의 형태의 화소보조전극(403")을 형성하고, 상기 화소전극라인(423)이 상기 화소전극(403)과 예각을 이루며 연결되는 영역상에 삼각형 또는 평행사변형의 공통보조전극(405")을 추가로 포함한다.

평행사변형 형태의 화소보조전극(403')은 전술한 실시예의 삼각형 형태 화소보조전극(103', 203')에 비하여, 액정표시소자의 개구율을 향상시킬 수 있는 장점이 있다. 즉, 평행사변형의 전극은 삼각형에 비하여, 실질적으로 액정분자가 구동할 수 있는 개구부의 면적을 증가시켜, 개구율의 문제를 개선할 수 있다.

이상에서 상기한 실시예들은 본 발명을 설명하기 위해 예시된 것으로, 본 발명의 권리 범위를 한정하는 것은 아니다. 즉, 도면에 도시하지 않았어도, 본 발명은 본 발명의 사상에서 벗어나지 않는 범위의 다양한 화소 구조 및 배치를 포함한다.

따라서, 본 발명의 권리의 범위는 상술한 상세한 설명에 의해 결정되는 것이 아니라 첨부한 특허청구범위에 의해 결정되어야만 할 것이다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 횡전계방식 액정표시소자는 러빙방향을 데이터라인 및 화소전극라인에 대하여 수직하게 형성함으로써, 데이터라인 부근에 위치하는 액정분자가 전압의 인가 여부에 관계없이 초기 배향 방향을 유지할 수 있도록 하여, 전압의 오프 상태에서 데이터라인의 잔류전압으로 인한 액정의 비틀림으로 인한 광누설을 방지하며, 데이터라인의 신호왜곡으로 인한 색감의 변화를 방지하여 화질특성을 개선할 수 있다.

또한, 화소전극라인 및 화소전극을 인접하는 화소의 데이터라인으로부터 이격 배치시켜, 수평 2-도트 인버전 구동시 이웃하는 데이터신호에 의한 기생 커패시턴스의 영향을 최소화함으로써, 표시화면에서의 세로선 불량을 방지하고, 액정패널의 화질을 개선할 수 있다.

(57) 청구의 범위

청구항 1.

제 1 기판과 제 2 기판;

상기 제 1 기판 상에 형성되는 게이트라인;

상기 게이트라인과 교차되어 단위 화소를 정의하는 데이터라인;

상기 게이트라인과 데이터라인이 교차되는 지점에 형성되는 박막트랜지스터;

상기 데이터라인에 평행하게 형성되는 화소전극라인;

상기 화소전극라인으로부터 상기 게이트라인의 연장방향으로 인출되는 복수의 화소전극;

상기 복수의 화소전극과 교대로 평행하게 배열되어 횡전계를 발생시키는 복수의 공통전극;

상기 데이터라인에 대하여 수직한 방향으로 러빙처리된 배향막; 및

상기 제 1 및 제 2 기판 사이에 형성된 액정층을 포함하여 구성되며, 상기 화소전극라인은 해양 화소의 데이터라인의 근처에만 배치되는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 2.

제 1 항에 있어서, 상기 화소전극 및 공통전극은 상기 데이터라인에 수직한 방향을 기준으로 $0^{\circ} \sim 45^{\circ}$ 범위의 경사각을 갖도록 형성됨을 특징으로 하는 횡전계방식 액정표시소자.

청구항 3.

제 1 항에 있어서, 상기 화소의 좌우측에서 인접하는 데이터라인과 평행하게 배치되어, 데이터 신호를 차폐하며, 상기 복수의 공통전극을 연결하는 공통라인을 더 포함하여 형성됨을 특징으로 하는 횡전계방식 액정표시소자.

청구항 4.

제 3 항에 있어서, 상기 공통라인은 인접하는 데이터라인에 $1\mu\text{m}$ 이내의 범위로 오버랩되거나 $3\mu\text{m}$ 이내의 이격거리를 갖고 형성될 수 있음을 특징으로 하는 횡전계방식 액정표시소자.

청구항 5.

제 3 항에 있어서, 상기 화소전극라인과 그 하부에 형성되는 공통라인은 오버랩되어 스토리지를 형성함을 특징으로 하는 횡전계방식 액정표시소자.

청구항 6.

제 3 항에 있어서, 상기 공통라인은 외부로부터 상기 공통전극으로 공통신호를 전달함을 특징으로 하는 횡전계방식 액정표시소자.

청구항 7.

제 3 항에 있어서, 상기 공통전극 및 공통라인이 예각을 이루는 영역 상부에 화소보조전극이 추가로 형성됨을 특징으로 하는 횡전계방식 액정표시소자.

청구항 8.

제 7 항에 있어서, 상기 화소보조전극은 상기 화소 내에서 디스클리네이션(disclination)의 발생을 방지함을 특징으로 하는 횡전계방식 액정표시소자.

청구항 9.

제 7 항에 있어서, 상기 화소보조전극은 삼각형 형태로 형성됨을 특징으로 하는 횡전계방식 액정표시소자.

청구항 10.

제 7 항에 있어서, 상기 화소보조전극은 평행사변형 형태로 형성됨을 특징으로 하는 횡전계방식 액정표시소자.

청구항 11.

제 3 항에 있어서, 상기 공통전극과 상기 공통라인이 접하는 영역에 상기 공통라인의 연장방향을 따라 인출되는 공통보조전극을 더 포함하여 형성됨을 특징으로 하는 횡전계방식 액정표시소자.

청구항 12.

제 11 항에 있어서, 상기 공통보조전극은 상기 화소전극과 상기 화소전극라인이 예각을 이루며 연결되는 영역 상부에 형성됨을 특징으로 하는 횡전계방식 액정표시소자.

청구항 13.

제 11 항에 있어서, 상기 공통보조전극은 삼각형 형태로 형성됨을 특징으로 하는 횡전계방식 액정표시소자.

청구항 14.

제 11 항에 있어서, 상기 화소보조전극은 평행사변형 형태로 형성됨을 특징으로 하는 횡전계방식 액정표시소자.

청구항 15.

제 1 항에 있어서, 상기 공통전극 및 화소전극은 상기 해당 화소에서 대칭을 이루며 배치되어 2-도메인을 형성함을 특징으로 하는 횡전계방식 액정표시소자.

청구항 16.

제 1 항에 있어서, 상기 게이트라인은 인접하는 상기 공통전극 또는 화소전극과 평행하게 형성되어, 지그재그(zig-zag) 형태로 연장됨을 특징으로 하는 횡전계방식 액정표시소자.

청구항 17.

제 1 항에 있어서, 상기 단위 화소는 상기 게이트라인을 경계로 인접하는 화소와 대칭 형태로 형성됨을 특징으로 하는 횡전계방식 액정표시소자.

청구항 18.

제 1 항에 있어서, 상기 단위 화소는 상기 데이터라인을 경계로 인접하는 화소와 대칭 형태로 형성됨을 특징으로 하는 횡전계방식 액정표시소자.

청구항 19.

제 1 항에 있어서, 상기 화소전극은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 또는 ITZO(indium tin zinc oxide)를 포함하여 구성되는 투명도전체로 형성됨을 특징으로 하는 횡전계방식 액정표시소자.

청구항 20.

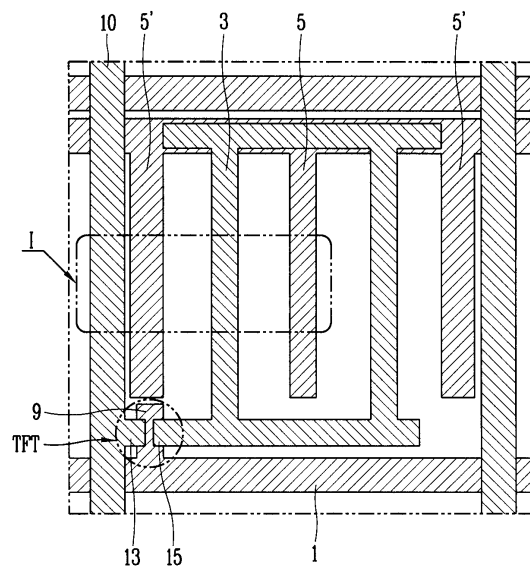
제 1 항에 있어서, 상기 박막트랜지스터는 게이트전극, 반도체층, 소스전극 및 드레인전극을 포함하여 구성됨을 특징으로 하는 횡전계방식 액정표시소자.

청구항 21.

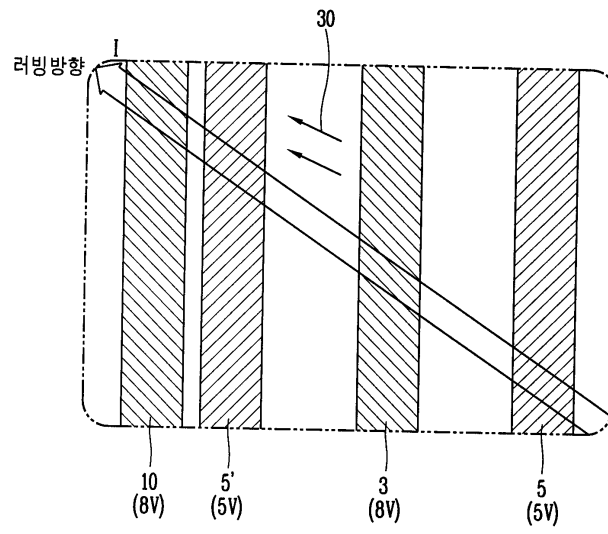
제 1 항에 있어서, 상기 드레인전극과 상기 화소전극을 전기적으로 접속하는 제 1 콘택홀을 추가로 포함함을 특징으로 하는 횡전계방식 액정표시소자.

도면

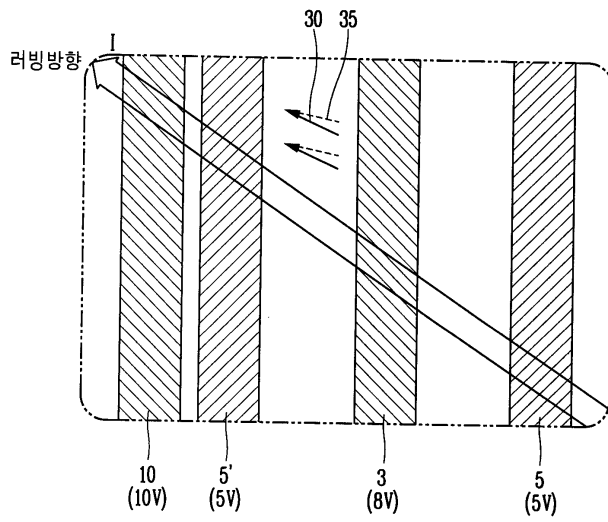
도면1



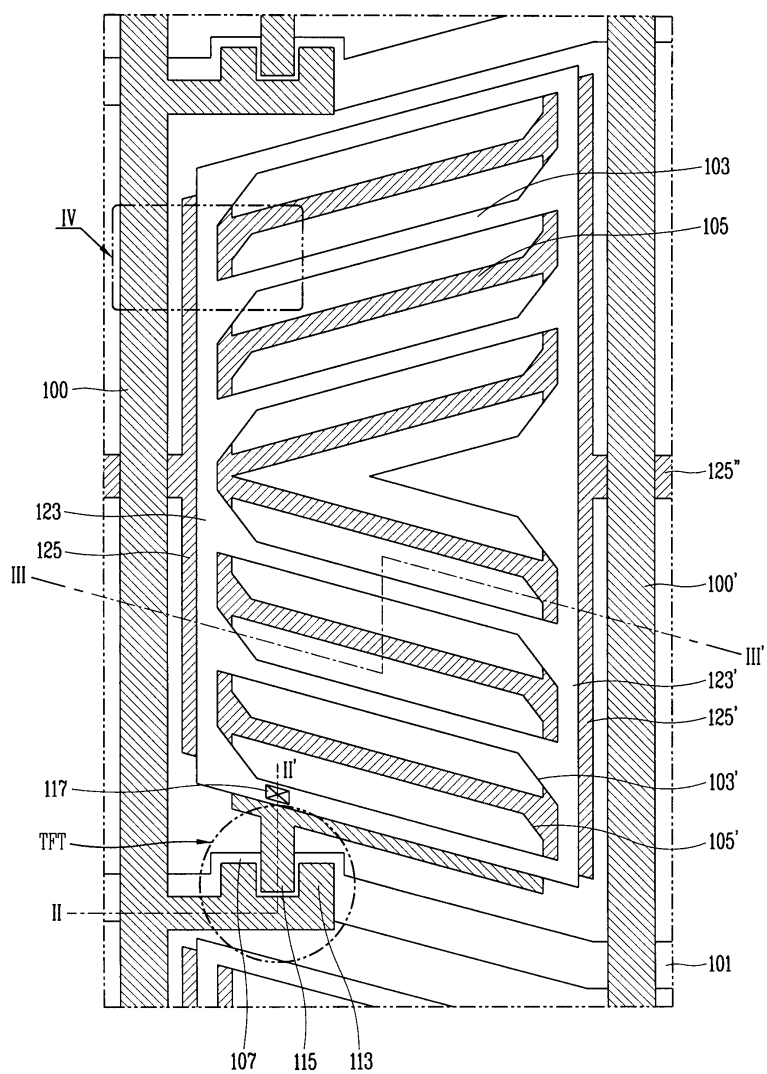
도면2a



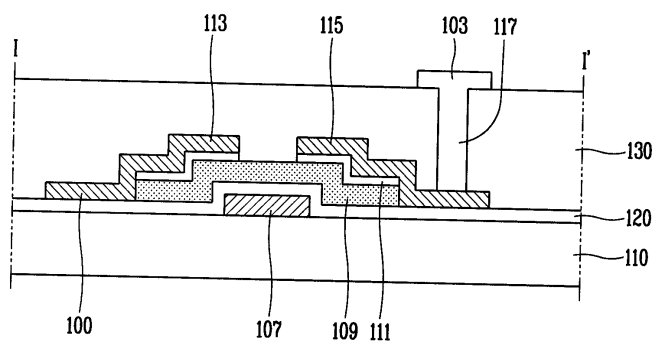
도면2b



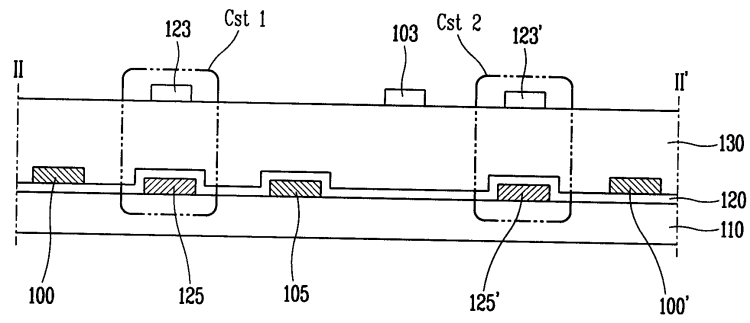
도면3



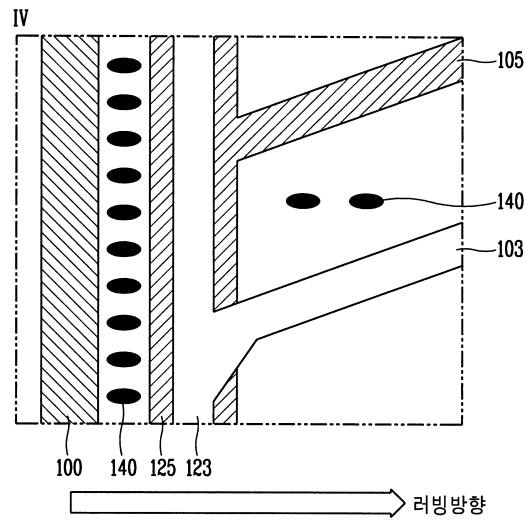
도면4a



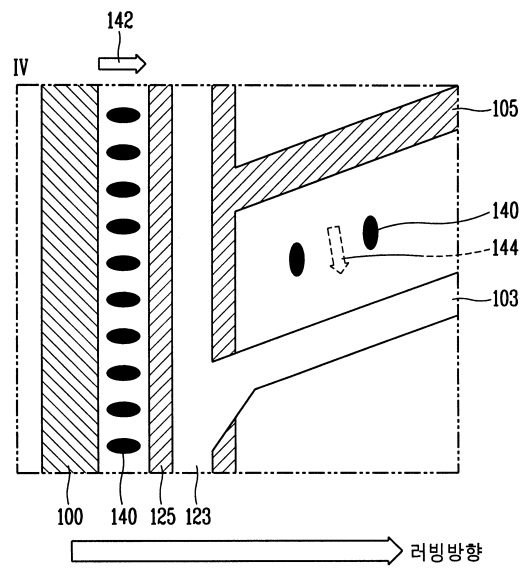
도면4b



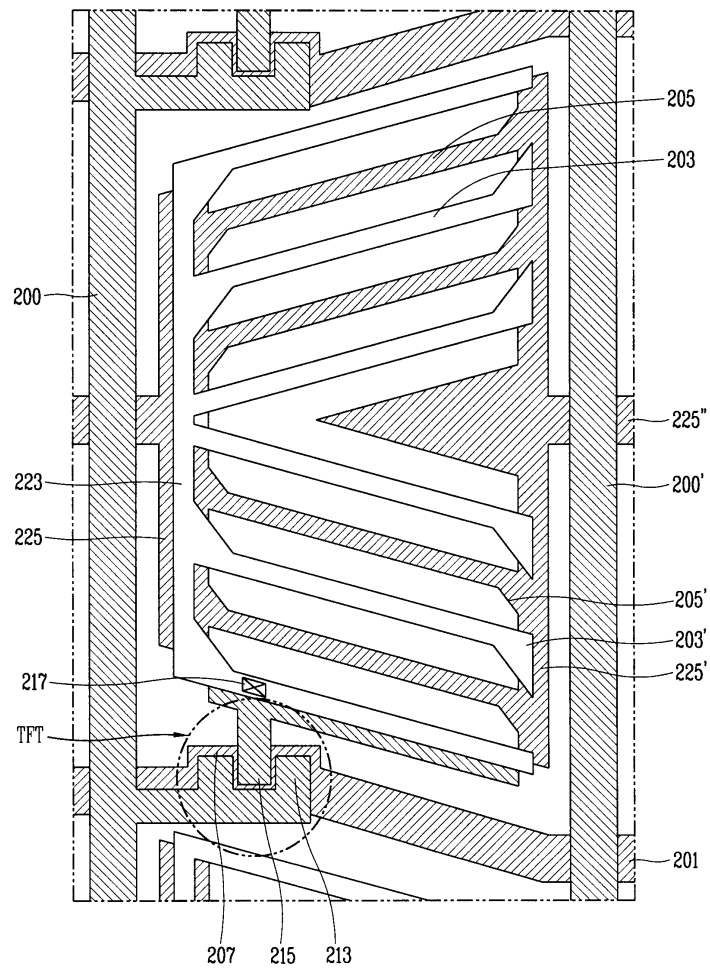
도면4c



도면4d



도면5



도면6a

R	G	B	R	G	B	R	G	B	R	G	B
+	+	-	-	+	+	-	-	+	+	-	-
-	-	+	+	-	-	+	+	-	-	+	+
+	+	-	-	+	+	-	-	+	+	-	-
-	-	+	+	-	-	+	+	-	-	+	+

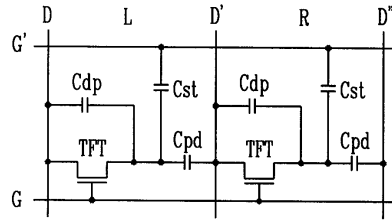
홀수 프레임

도면6b

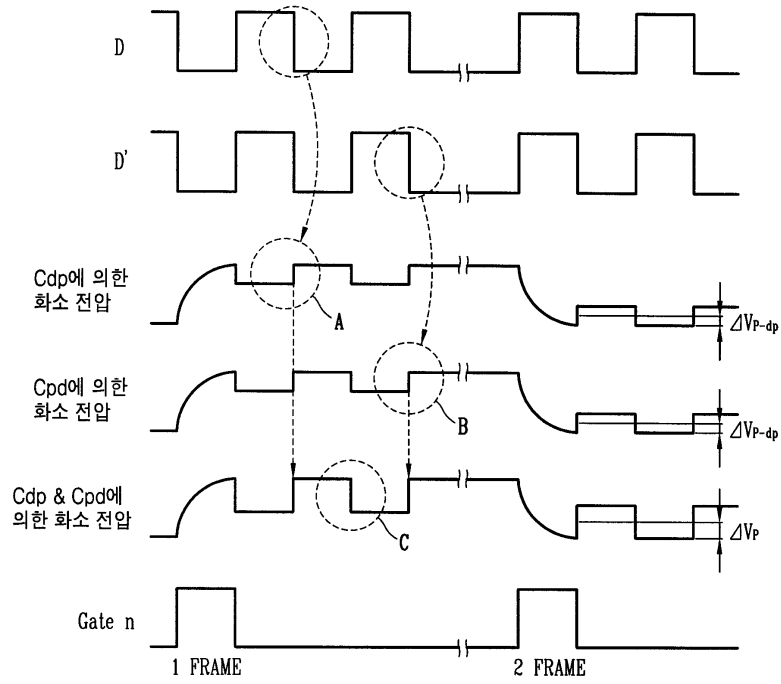
R	G	B	R	G	B	R	G	B	R	G	B
-	-	+	+	-	-	+	+	-	-	+	+
+	+	-	-	+	+	-	-	+	+	-	-
-	-	+	+	-	-	+	+	-	-	+	+
+	+	-	-	+	+	-	-	+	+	-	-

짝수 프레임

도면7



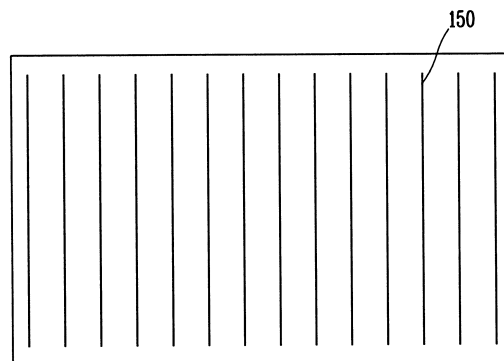
도면8



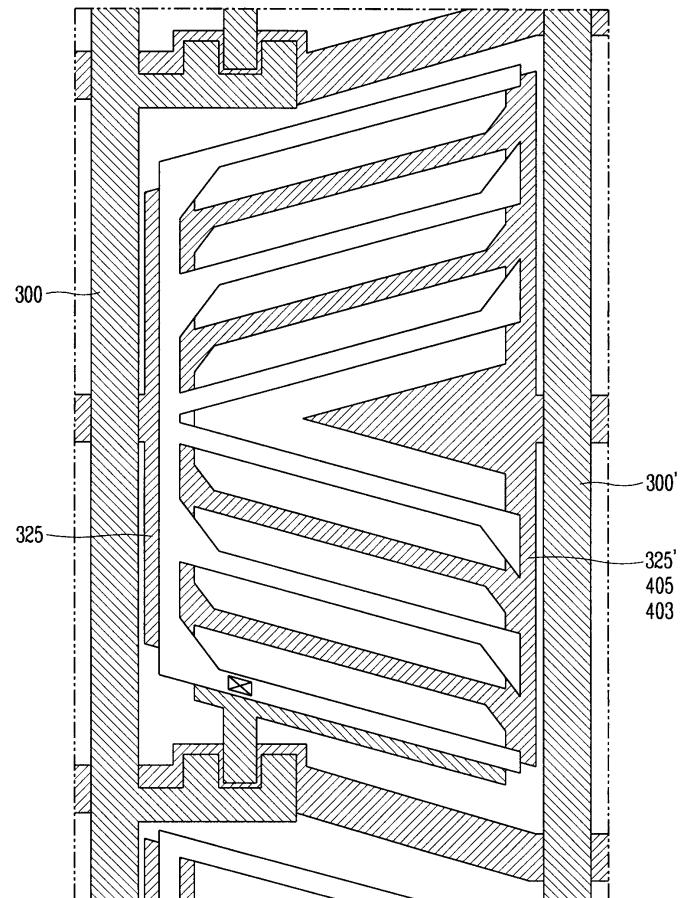
도면9

-	+	+	-	+	+	+	+
+	+	-	-	+	+	-	-
-	+	+	+	-	-	+	+
+	+	-	-	+	+	-	-

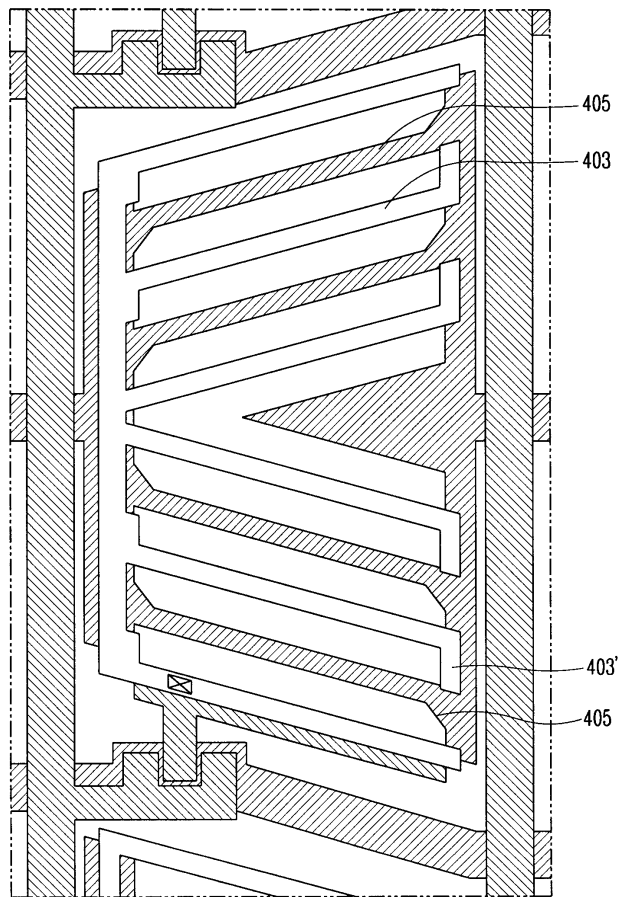
L R



도면10



도면11



专利名称(译)	横向电场型液晶显示装置		
公开(公告)号	KR1020060078713A	公开(公告)日	2006-07-05
申请号	KR1020040117401	申请日	2004-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KANG BYUNGKOO 강병구 CHOI WOONSUB 최운섭		
发明人	강병구 최운섭		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/134363		
代理人(译)	PARK , JANG WON		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示元件的横向电场类型这可以防止数据线之间的信号干扰，降低了垂直线缺陷，横向电场型的液晶显示装置包括第一基板和根据本发明的第二基板;形成在第一基板上的栅极线;跨越栅极线的数据线以定义单位像素;在栅极线和数据线交叉的点处形成的薄膜晶体管;像素电极线，与相应像素的数据线相邻，并与数据线平行形成;从像素电极线在栅极线的延伸方向拉伸，多个像素电极是辅助电极成为延伸到两个像素的其两端：多个公共其被布置成平行于所述多个像素电极和交替地产生横向电场电极;在垂直于数据线的方向上摩擦取向膜;并且在第一和第二基板之间形成液晶层。五 指数方面 液晶显示装置，水平双点反转系统，垂直线，寄生电容

