

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/1343 (2006.01)

(11) 공개번호 10-2006-0072774
(43) 공개일자 2006년06월28일

(21) 출원번호 10-2004-0111497

(22) 출원일자 2004년12월23일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 하성철
경북 칠곡군 석적면 중리 224-1 엘지필립스엘시디기숙사 204동 518호
강정호
경북 구미시 구평동 부영8단지아파트 804동 403호

(74) 대리인 박장원

심사청구 : 없음

(54) 회전계모드 액정표시소자

요약

본 발명의 회전계모드 액정표시소자는 복수의 게이트라인 및 데이터라인에 의해 정의되는 복수의 화소와, 화소내에 실질적으로 평행하게 배열되어 회전계를 형성하는 적어도 하나의 제1전극 및 제2전극과, 상기 화소내에 배치되어 해당 화소의 데이터라인을 통해 입력되는 신호를 상기 제1전극에 인가하는 제1박막트랜지스터와, 상기 화소내에 배치되어 인접 화소의 데이터라인을 통해 인가되는 신호를 상기 제2전극에 인가하는 제2박막트랜지스터로 구성된다.

대표도

도 3

색인어

회전계모드, 박막트랜지스터, 교번, 제1전극, 제2전극

명세서

도면의 간단한 설명

도 1a는 종래 회전계모드 액정표시소자의 평면도.

도 1b는 도 1a의 I-I'선 단면도.

도 2는 종래 회전계모드 액정표시소자의 신호파형도.

도 3은 본 발명의 일실시예에 따른 횡전계모드 액정표시소자의 평면도.

도 4는 도 3의 II-II'선 단면도.

도 5a 및 도 5b는 도 3에 도시된 횡전계모드 액정표시소자의 다른 구조를 나타내는 단면도.

도 6은 본 발명에 도 3에 도시된 횡전계모드 액정표시소자의 신호파형도.

도 7은 본 발명의 다른 실시예에 따른 횡전계모드 액정표시소자의 평면도.

도 8은 본 발명의 또 다른 실시예에 따른 횡전계모드 액정표시소자의 평면도.

* 도면의 주요부분에 대한 부호의 설명 *

101 : 화소 103 : 게이트라인

104 : 데이터라인 107 : 제1전극

108 : 제2전극 110a,110b : 박막트랜지스터

111a,111b : 게이트전극 112a,112b : 반도체층

113a,113b : 소스전극 114a,114b : 드레인전극

120,130 : 기판 122 : 게이트절연층

124 : 보호층 132 : 블랙매트릭스

134 : 컬러필터층 140 : 액정층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시소자에 관한 것으로, 특히 화소내에 실질적으로 배치된 한쌍의 전극에 서로 다른 신호를 인가함으로써 구동전압을 낮추고 액정의 반응속도를 향상시킬 수 있는 횡전계모드 액정표시소자에 관한 것이다

근래, 핸드폰(Mobile Phone), PDA, 노트북컴퓨터와 같은 각종 휴대용 전자기기가 발전함에 따라 이에 적용할 수 있는 경박단소용의 평판표시장치(Flat Panel Display Device)에 대한 요구가 점차 증대되고 있다. 이러한 평판표시장치로는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), FED(Field Emission Display), VFD(Vacuum Fluorescent Display) 등이 활발히 연구되고 있지만, 양산화 기술, 구동수단의 용이성, 고화질의 구현이라는 이유로 인해 현재에는 액정표시소자(LCD)가 각광을 받고 있다.

이러한 액정표시소자는 액정분자의 배열에 따라 다양한 표시모드가 존재하지만, 현재에는 흑백표시가 용이하고 응답속도가 빠르며 구동전압이 낮다는 장점 때문에 주로 TN모드의 액정표시소자가 사용되고 있다. 이러한 TN모드 액정표시소자에서는 기판과 수평하게 배향된 액정분자가 전압이 인가될 때 기판과 거의 수직으로 배향된다. 따라서, 액정분자의 굴절률이방성(refractive anisotropy)에 의해 전압의 인가시 시야각이 좁아진다는 문제가 있었다.

이러한 시야각문제를 해결하기 위해, 근래 광시야각특성(wide viewing angle characteristic)을 갖는 각종 모드 of 액정표시소자가 제안되고 있지만, 그중에서도 횡전계모드(In Plane Switching Mode)의 액정표시소자가 실제 양산에 적용되어 생산되고 있다. 상기 IPS모드 액정표시소자는 화소내에 평행으로 배열된 적어도 한쌍의 전극을 형성하여 기판과 실질적으로 평행한 횡전계를 형성함으로써 액정분자를 평면상으로 배향시키는 것이다.

도 1은 종래 IPS모드 액정표시소자의 구조를 나타내는 도면으로, 도 1a는 평면도이고 도 1b는 도 1a의 I-I'선 단면도이다. 도 1a에 도시된 바와 같이, 액정패널(1)의 화소는 종횡으로 배치된 게이트라인(3) 및 데이터라인(4)에 의해 정의된다. 도면에는 비록 (n,m)번째의 화소만을 도시하고 있지만 실제의 액정패널(1)에는 상기한 게이트라인(3)과 데이터라인(4)이 각각 n개 및 m개 배치되어 액정패널(1) 전체에 걸쳐서 $n \times m$ 개의 화소를 형성한다. 상기 화소내의 게이트라인(3)과 데이터라인(4)의 교차영역에는 박막트랜지스터(10)가 형성되어 있다. 상기 박막트랜지스터(10)는 게이트라인(3)으로부터 주사신호가 인가되는 게이트전극(11)과, 상기 게이트전극(11) 위에 형성되어 주사신호가 인가됨에 따라 활성화되어 채널층을 형성하는 반도체층(12)과, 상기 반도체층(12) 위에 형성되어 데이터라인(4)을 통해 화상신호가 인가되는 소스전극(13) 및 드레인전극(14)으로 구성되어 외부로부터 입력되는 화상신호를 액정층에 인가한다.

화소내에는 데이터라인(4)과 실질적으로 평행하게 배열된 복수의 공통전극(5)과 화소전극(7)이 배치되어 있다. 또한, 화소의 상부영역에는 상기 공통전극(5)과 접속되는 공통라인(16)이 배치되어 있으며, 상기 공통라인(16) 위에는 화소전극(7)과 접속되는 화소전극라인(18)이 배치되어 상기 공통라인(16)과 오버랩되어 있다. 상기 공통라인(16)과 화소전극라인(18)의 오버랩에 의해 횡전계모드 액정표시소자에는 축적용량(storage capacitance)이 형성된다.

상기와 같이 구성된 IPS모드 액정표시소자에서 액정분자는 공통전극(5) 및 화소전극(7)과 실질적으로 평행하게 배향되어 있다. 박막트랜지스터(10)가 작동하여 화소전극(7)에 신호가 인가되면, 공통전극(5)과 화소전극(7) 사이에는 액정패널(1)과 실질적으로 평행한 횡전계가 발생하게 된다. 액정분자는 상기 횡전계를 따라 동일 평면상에서 회전하게 되므로, 액정분자의 굴절을 이방성에 의한 계조반전을 방지할 수 있게 된다.

상기한 구조의 종래 IPS모드 액정표시소자를 도 1b의 단면도를 참조하여 더욱 상세히 설명하면 다음과 같다.

도 1b에 도시된 바와 같이, 제1기판(20) 위에는 게이트전극(11)이 형성되어 있으며, 상기 제1기판(20) 전체에 걸쳐 게이트절연층(22)이 적층되어 있다. 상기 게이트절연층(22) 위에는 반도체층(12)이 형성되어 있으며, 그 위에 소스전극(13) 및 드레인전극(14)이 형성되어 있다. 또한, 상기 제1기판(20) 전체에 걸쳐 보호층(passivation layer; 24)이 형성되어 있다.

또한, 상기 제1기판(20) 위에는 복수의 공통전극(5)이 형성되어 있고 게이트절연층(22) 위에는 화소전극(7) 및 데이터라인(4)이 형성되어, 상기 공통전극(5)과 화소전극(7) 사이에 횡전계(E)가 발생한다.

제2기판(30)에는 블랙매트릭스(32)와 컬러필터층(34)이 형성되어 있다. 상기 블랙매트릭스(32)는 액정분자가 동작하지 않는 영역으로 광이 누설되는 것을 방지하기 위한 것으로, 도면에 도시한 바와 같이 박막트랜지스터(10) 영역 및 화소와 화소 사이(즉, 게이트라인 및 데이터라인 영역)에 주로 형성된다. 컬러필터층(34)은 R(Red), B(Blue), G(Green)로 구성되어 실제 컬러를 구현하기 위한 것이다.

상기 제1기판(20) 및 제2기판(30) 사이에는 액정층(40)이 형성되어 액정패널(1)이 완성된다.

상기한 바와 같이, IPS모드 액정표시소자에서는 기판(20)과 게이트절연층(22)에 각각 형성된 공통전극(5)과 화소전극(7)에 의해 액정층(40) 내부에 횡전계(E)가 발생하여 액정층(40) 내부의 액정분자를 구동한다.

상기와 같은 구조의 액정패널(1)의 데이터라인(4)에 인가되는 데이터신호의 위상에 따라 라인인버전(line inversion)방식, 컬럼인버전(column inversion) 및 도트인버전(dot inversion)방식으로 분류될 수 있다. 라인인버전방식은 데이터라인(4)에 인가되는 데이터신호의 위상을 각 라인마다 반전시켜 인가하는 방식이고 컬럼인버전방식은 데이터라인(4)에 인가되는 데이터신호의 위상을 각 컬럼마다 반전시켜 인가하는 방식이며, 도트인버전방식은 데이터라인(4)에 인가되는 전압의 극성을 각 컬럼과 라인마다 동시에 반전시켜 인가하는 방식이다. 상기와 같이, 데이터신호의 위상을 반전시켜 데이터라인(4)에 인가하는 이유는 화소전극과 공통전극 사이에 동일한 전압을 계속하여 인가하는 경우 액정이 열화되어 액정표시소자를 제작했을 때, 화면에 크로스토크(cross-talk)현상이 발생하는 것을 방지하기 위한 것이다.

통상적으로 도트인버전방식은 라인인버전방식이나 컬럼인버전방식에 비해 크로스토크현상이 덜 발생하기 때문에, 더 좋은 화질을 구현할 수 있다고 알려져 있다. 그 이유는 도트인버전방식에서는 서로 인접하는 화소전극에는 위상이 다른 화소전압이 인가되기 때문이다.

도 2는 종래 도트인버전방식 IPS모드 액정표시소자에 인가되는 공통전압(V_{com}) 및 화소전압(V_d)를 나타내는 파형도이다. 도면에는 n 번째 데이터라인 및 $n+1$ 번째 데이터라인에 연결된 화소에 인가되는 신호만이 도시되어 있다. 도면에 도시된 바와 같이, n 번째 및 $n+1$ 번째 데이터라인에 연결된 화소의 공통전극(5)에는 약 7.5V의 공통전압이 인가되고 화소전극(7)에는 약 15V의 화소전압이 인가된다. 이때, 상기 화소전압은 일정 주기로 교번하므로, 인접하는 화소에는 각각 15V의 화소전압과 0V의 화소전압이 교대로 인가된다. 또한, n 번째 데이터라인의 화소와 $n+1$ 번째 데이터라인의 화소에도 15V 및 0V의 전압이 교대로 인가되어 액정패널이 도트인버전으로 구동하게 된다.

한편, 액정층의 액정분자는 공통전극(5)과 화소전극(7) 사이의 횡전계에 의해 구동하여 화상을 표시한다. 그런데, 공통전극(5)에는 약 7.5V의 전압이 인가되고 화소전극(7)에는 약 0V 및 15V의 전압이 인가되므로, 결국 인접하는 화소의 공통전극(5)과 화소전극(7) 사이에는 약 7.5V 및 -7.5V의 전압차가 교대로 발생하며 상기 전압차에 의한 횡전계에 의해 인접하는 화소에서 반대방향으로 액정분자가 구동하는 것이다.

상기한 바와 같이, 종래 액정분자에서는 공통전극에는 약 7.5V의 전압이 인가되고 화소전극에는 약 15V의 고전압이 인가된다. 따라서, 고전압의 공급을 위한 전력소모가 증가하는 단점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 점을 감안하여 이루어진 것으로, 구동전압을 낮춰 전력소모를 감소시킴과 동시에 큰 전압차에 의해 액정의 반응속도를 향상시킬 수 있는 횡전계모드 액정표시소자에 관한 것이다.

상기한 목적을 달성하기 위해, 본 발명의 일관점에 따른 횡전계모드 액정표시소자는 복수의 게이트라인 및 데이터라인에 의해 정의되는 복수의 화소와, 화소내에 실질적으로 평행하게 배열되어 횡전계를 형성하는 적어도 하나의 제1전극 및 제2전극과, 상기 화소내에 배치되어 해당 화소의 데이터라인을 통해 입력되는 신호를 상기 제1전극에 인가하는 제1박막트랜지스터와, 상기 화소내에 배치되어 인접 화소의 데이터라인을 통해 인가되는 신호를 상기 제2전극에 인가하는 제2박막트랜지스터로 구성된다.

상기 제1전극 및 제2전극에는 서로 다른 크기의 신호가 인가되어, 상기 제1전극 및 제2전극의 전압차에 의해 횡전계가 형성된다. 이때, 서로 인접하는 화소의 데이터라인에는 교번하는 전압이 인가되어 제1전극 및 제2전극에는 전압차가 발생한다.

또한, 본 발명에 다른 관점에 따른 횡전계모드 액정표시소자는 복수의 게이트라인 및 데이터라인에 의해 정의되는 복수의 화소와, 화소내에 실질적으로 평행하게 배열되어 횡전계를 형성하는 적어도 하나의 제1전극 및 제2전극과, 상기 화소내에 배치되고 해당 화소의 게이트라인에 연결되어 해당 화소의 데이터라인을 통해 입력되는 신호를 상기 제1전극에 인가하는 제1박막트랜지스터와, 상기 화소내에 배치되고 인접 화소의 게이트라인에 연결되어 해당 화소의 데이터라인을 통해 인가되는 한 수평주기 지연된 신호를 상기 제2전극에 인가하는 제2박막트랜지스터로 구성된다.

발명의 구성 및 작용

IPS모드 액정표시소자에서 액정층에 인가되는 횡전계는 공통전극과 화소전극 사이의 상대적인 전압차에 기인한다. 따라서, 화소내에 서로 평행하게 배치되는 전극 사이에 전압차를 발생시킬 수만 있다면, 공통전극에 공통전압을 인가하지 않아도 원하는 화상을 얻을 수 있을 것이다.

본 발명은 이러한 관점에서 창출된 것으로, 화소내에 실질적으로 평행하게 배열되는 전극에 해당 화소의 화소전압과 인접하는 화소의 화소전압을 인가한다. 도트인버전방식 IPS모드 액정표시소자에서는 서로 인접하는 화소에는 서로 반대 부호의 전압이 인가되므로, 상기와 같이 해당 화소의 화소전압과 인접 화소의 화소전압을 전극에 인가함으로써 화소내의 전극에는 교번하는 전압차가 발생하여 횡전계가 형성된다.

이때, 화소전압의 크기는 필요에 따라 설정할 수 있지만, 종래에 비해 화소전압의 크기를 작게 하는 경우에도 화소내의 전극 사이의 전압차를 크게 할 수 있으므로 작은 전압의 인가에도 액정분자가 민감하게 반응할 수 있게 된다.

이하, 첨부한 도면을 참조하여 본 발명에 따른 횡전계모드 액정표시소자에 대해 상세히 설명한다.

도 3은 본 발명의 일실시예에 따른 IPS모드 액정표시소자의 구조를 나타내는 평면도이다. 이때, 도면에는 인접하는 2개의 화소만을 도시하였다.

도면에 도시된 바와 같이, 게이트라인(103)과 데이터라인(104)에 의해 정의되는 화소(101)에는 제1박막트랜지스터(110a) 및 제2박막트랜지스터(110b)가 배치되어 있다. 상기 제1박막트랜지스터(110a)는 게이트라인(103)을 통해 외부의 구동회로부터 주사신호가 인가되는 제1게이트전극(111a)과, 상기 제1게이트전극(111a) 위에 형성되어 제1게이트전극(111a)에 주사신호가 인가됨에 따라 활성화되어 채널층을 형성하는 제1반도체층(112a)과, 상기 제1반도체층(112a) 위에 형성되어 데이터라인(104)을 통해 외부의 구동회로부터 인가되는 화상신호를 액정층(도면표시하지 않음)에 인가하는 제1소스전극(113a) 및 제1드레인전극(114a)으로 구성된다. 또한, 상기 제2박막트랜지스터(110b)도 제2게이트라인(111b)과, 제2반도체층(112b)과, 제2소스전극(113b) 및 제2드레인전극(114b)으로 구성된다.

상기 제1박막트랜지스터(110a)의 제1소스전극(113a)은 해당 화소의 데이터라인(104)에 접속되는 반면에 제2박막트랜지스터(110b)의 제2소스전극(113b)은 인접하는 화소의 데이터라인(104)에 접속되어 있다. 따라서, 제1박막트랜지스터(110a)를 통해 인가되는 신호는 해당 화소의 데이터라인(104)에 입력된 신호인 반면에, 제2박막트랜지스터(110b)를 통해 인가되는 신호는 인접하는 화소의 데이터라인(104)에 입력된 신호이다.

화소(101)에는 제1전극(107) 및 제2전극(108)이 실질적으로 평행하게 배열되어 있다. 도면에 도시된 바와 같이, 제1전극(107)은 제1박막트랜지스터(110a)의 제1드레인전극(114a)에 접속된 반면에, 제2전극(108)은 제2박막트랜지스터(110b)의 제2드레인전극(114b)에 접속되어 있다. 따라서, 상기 제1전극(107)에는 해당 화소의 데이터라인(104)에 입력된 신호가 인가되고 제2전극(108)에는 인접하는 화소의 데이터라인(104)에 입력된 신호가 인가된다. 특히, 본 발명의 IPS모드 액정표시소자는 도트인버전방식 액정표시소자이기 때문에, 해당 화소와 인접하는 화소에는 교번하는 신호(즉, 서로 다른 신호)가 인가되기 때문에, 결국 상기 제1전극(107) 및 제2전극(108) 사이에는 전압차가 발생하고 이 전압차에 의해 상기 제1전극(107)과 제2전극(108) 사이에 기관의 표면과 실질적으로 평행한 횡전계가 형성되어 액정분자를 구동시키게 되는 것이다. 특히, 상기 제1전극(107) 및 제2전극(108) 사이의 전압차는 교번하기 때문에 도트인버전 구동을 하게 된다.

도 4는 도 3의 II-II'선 단면도이다. 도 4에 도시된 바와 같이, 유리나 같은 투명한 절연물질로 이루어진 제1기관(120) 위에는 제1게이트전극(111a) 및 제2게이트전극(111b)이 형성되어 있으며, 상기 제1기관(120) 전체에 걸쳐 게이트절연층(122)이 적층되어 있다.

상기 게이트절연층(122) 위에는 제1반도체층(112a) 및 제2반도체층(112b)이 형성되어 있으며, 그 위에 각각 제1소스전극(113a)과 제1드레인전극(114a) 및 제2소스전극(113b)과 제2드레인전극(114b)이 형성되어 있다. 또한, 상기 제1기관(120) 전체에 걸쳐 보호층(passivation layer; 124)이 형성되어 있다.

또한, 상기 게이트절연층(122) 위에는 복수의 제1전극(107) 및 제2전극(108)이 실질적으로 평행하게 형성되어 횡전계가 발생한다. 이때, 상기 제1전극(107) 및 제2전극(108)은 어떠한 금속으로도 형성 가능하지만 제1박막트랜지스터(110a) 및 제2박막트랜지스터(110b)의 소스전극(113a, 113b) 및 드레인전극(114a, 114b)과 동일한 공정에 의해 동일한 금속으로 형성되는 것이 공정의 단순화를 위해 바람직할 것이다.

제2기관(130)에는 블랙매트릭스(132)와 컬러필터층(134)이 형성되어 있으며, 상기 제1기관(120) 및 제2기관(130) 사이에는 액정층(140)이 형성되어 액정패널(101)이 완성된다.

한편, 상기 제1전극(107) 및 제2전극(108)은 화소내에서 실질적으로 평행하게 배열되어 횡전계를 형성할 수만 있다면 어떤 위치에 형성될 수도 있을 것이다. 도 5a 및 도 5b는 본 발명에 따른 IPS모드 액정표시소자의 다른 예를 나타내는 것으로, 도 5a는 제1전극(107)은 보호층(124) 위에 형성되고 제2전극(108)은 게이트절연층(122) 위에 형성된 구조이며, 도 5b는 제1전극(107) 및 제2전극(108)이 모두 보호층(124) 위에 형성된 구조이다.

도 5a의 IPS모드 액정표시소자에서는 제2전극(108)은 제2박막트랜지스터(110b)의 제2소스전극(113b) 및 제2드레인전극(114b)과 동일한 금속으로 이루어진 반면에 제1전극(107)은 ITO(Indium Tin Oxide)나 IZO(Indium Zinc Oxide)와 같은 투명한 물질로 형성될 것이다. 또한, 상기 제1전극(107)이 제1박막트랜지스터(110a)의 제1소스전극(113a) 및 제2드레인전극(114a)과 동일한 금속으로 이루어져 게이트절연층(122) 위에 형성되고 제2전극(108)이 ITO나 IZO와 같은 투명한 물질로 이루어져 보호층(124) 위에 형성될 수도 있을 것이다.

상기와 같이, 제1전극(107) 및/또는 제2전극(108)을 투명한 물질로 형성함으로써 IPS모드 액정표시소자의 휘도를 향상시킬 수 있을 것이다. 그러나, 이러한 구조의 경우, 투명한 물질로 이루어진 전극이 박막트랜지스터(110a, 110b)의 드레인전극(114a, 114b)과는 다른 층에 형성되므로, 보호층(124)에 콘택홀(contact hole)을 형성하여 상기 전극(107, 108)과 드레인전극(114a, 114b)을 전기적으로 접속시켜야만 할 것이다.

상술한 바와 같이, 본 발명에서는 한 화소내에 해당 화소의 데이터라인과 접속되는 제1박막트랜지스터(110a)와 인접하는 화소의 데이터라인에 접속되는 제2박막트랜지스터(110b)가 배치되어 해당 화소의 데이터라인에 입력되는 화상신호와 인접하는 화소의 데이터라인에 입력되는 화상신호가 상기 제1박막트랜지스터(110a)와 제2박막트랜지스터(110b)를 통해 제1전극(107) 및 제2전극(108)에 인가된다. 이때, 본 발명의 IPS모드 액정표시소자는 도트인버전 구동하므로 해당 화소와 인접하는 화소에는 도 6에 실선과 점선으로 표시된 바와 같이 서로 교번하는 신호가 인가되며, 따라서 화소내의 제1전극(107) 및 제2전극(108)에도 도 6에 도시된 신호가 인가된다.

따라서, 상기 제1전극(107) 및 제2전극(108)에는 서로 교번하는 신호가 인가되어 제1전극(107)과 제2전극(108) 사이에는 교번하는 전압차(V)가 발생하며 이 전압차에 의해 횡전계가 생성되어 액정분자가 구동하게 된다.

종래 IPS모드 액정표시소자에서는 공통전극에는 일정한 전압의 신호가 인가되고 화소전극에는 교번하는 신호가 인가되어 상기 공통전극과 화소전극 사이의 전압차에 의해 액정분자가 구동하는 반면에, 본 발명에 따른 IPS모드 액정표시소자에서는 제1전극(107) 및 제2전극(108)에 서로 다른 신호가 인가되어 그 전압차에 의해 액정분자가 구동한다. 따라서, 종래에 비해 본 발명의 IPS모드 액정표시소자에서는 작은 전압의 인가에도 액정층에 큰 전압차에 의한 횡전계를 인가할 수 있게 되므로, 전력소모를 절감할 수 있게 액정분자의 반응속도를 향상시킬 수 있게 된다. 예를 들어, 종래 IPS모드 액정표시소자의 경우 공통전극에는 7.5V의 전압이 인가되고 화소전극에는 15V의 높은 전압이 인가되는 경우에는 공통전극과 화소전극 사이의 전압차는 7.5V에 불과하므로, 액정분자의 반응속도가 낮았다. 그러나, 본 발명에서는 종래에 비해 상대적으로 낮은 10V의 전압을 제1전극 및 제2전극에 인가하는 경우에도, 제1전극과 제2전극 사이에는 종래에 비해 높은 10V의 전압차에 의해 액정분자가 구동하므로 액정분자의 반응속도가 향상된다.

이와 같이, 본 발명에서는 화소내에 평행하게 배치된 전극에 서로 다른 신호를 인가함으로써 전압차에 의한 횡전계를 형성한다. 상술한 실시예에서는 전극에 서로 다른 신호를 인가하기 위해, 인접하는 화소의 데이터라인에 입력되는 화상신호를 해당 화소의 전극에 인가했지만, 본 발명이 이러한 구조에만 한정될 필요는 없을 것이다. 다시 말해서, 화소내에 평행하게 배치되는 전극에 서로 다른 전압의 신호만 인가할 수 있다면 어떠한 구조도 가능할 것이다.

도 7은 상기한 점을 감안하여 제안된 본 발명의 다른 실시예에 따른 IPS모드 액정표시소자의 구조를 나타내는 도면이다. 도 7에 도시된 바와 같이, 이 실시예의 액정표시소자에서는 화소내에 제1박막트랜지스터(210a) 및 제2박막트랜지스터(210b)가 배치되어 있다. 이때, 제1박막트랜지스터(210a)의 게이트전극(211a)은 해당 화소의 게이트라인(203)에 접속된 반면에, 제2박막트랜지스터(210b)의 게이트전극(211b)은 인접 화소, 즉 전단 화소의 게이트라인(203)에 접속되어 있다. 또한, 제1박막트랜지스터(210a)의 제1소스전극(213a) 및 제2박막트랜지스터(210b)의 제2소스전극(213b)은 해당 화소의 데이터라인(204)에 접속되어 있다.

화소내에 실질적으로 평행하게 배치되는 제1전극(207) 및 제2전극(208)은 각각 제1박막트랜지스터(210a)의 제1드레인전극(214a) 및 제2박막트랜지스터(210b)의 제2드레인전극(214b)에 연결되어 있다. 따라서, 제1전극(207) 및 제2전극(208)에는 모두 해당 화소의 데이터라인(204)을 통해 입력되는 신호가 인가된다. 그러나, 제2박막트랜지스터(210b)의 게이트전극(211b)이 인접하는 화소의 게이트라인(203)에 접속되어 있으므로, 상기 제1박막트랜지스터(210a)와 제2박막트랜지스터(210b)의 턴온시간이 다르게 된다. 즉, 제1박막트랜지스터(210a)는 제2박막트랜지스터(210b)에 비해 한 수평주기만큼 턴온시간이 지연된다.

한편, 데이터라인(204)에 입력되는 화상신호는 교번하는 신호이므로, 제1박막트랜지스터(210a)와 제2박막트랜지스터(210b)의 한수평주기의 턴온지연에 의해 화소내의 제1전극(207) 및 제2전극(208)에는 각각 다른 크기의 신호(예를 들면, 제1전극(207)에는 하이신호가 입력되고 제2전극(208)에는 로우신호)가 입력된다. 따라서, 상기 제1전극(207) 및 제2전극(208) 사이에는 신호의 전압차에 의한 횡전계가 발생하여 액정분자가 기판과 실질적으로 평행하게 구동함으로써 화상을 구현하게 되는 것이다.

도 8은 본 발명의 또 다른 실시예에 따른 IPS모드 액정표시소자의 구조를 나타내는 도면이다. 도 3 및 도 7에 도시된 실시예에서는 제1전극 및 제2전극이 데이터라인과 실질적으로 평행하게 배열된 반면에, 이 실시예에서는 제1전극(307) 및 제2전극(308)이 게이트라인(303)과 실질적으로 평행하게 배열되어 있다. 또한, 이 실시예의 IPS모드 액정표시소자에서도

화소내에 2개의 박막트랜지스터(310a,310b)가 배치되어 제1전극(307)에는 해당 화소의 데이터라인(304)을 통해 입력되는 신호가 인가되고 제2전극(308)에는 인접하는 화소의 데이터라인(304)을 통해 입력되는 신호가 인가되어, 상기 제1전극(307) 및 제2전극(308)에 횡전계가 형성된다.

다시 말해서, 이 실시예의 IPS모드 액정표시소자는 제1전극(307) 및 제2전극(308)의 배열형태만을 제외하고는 도 3 및 도 7에 도시된 구조의 IPS모드 액정표시소자와 그 구조가 동일하다. 따라서, 이 실시예의 변형례로서, 제2박막트랜지스터(310b)의 제2게이트전극(311b)이 인접하는 화소의 게이트라인(303)과 접속되는 구조도 가능할 것이다.

상술한 바와 같이, 본 발명에서는 공통전압의 인가없이 데이터라인을 통해 인가되는 화상신호를 화소내에 배열된 전극에 인가하여 작은 전압으로도 큰 전압차에 의한 액정분자의 구동을 가능하게 한다. 상술한 실시예에서는 비록 특정 구조의 IPS모드 액정표시소자가 개시되어 있지만, 본 발명의 이러한 특정 구조의 IPS모드 액정표시소자에만 한정되는 것은 아니다. 예를 들어, 제1전극 및 제2전극을 적어도 1회 절곡하여 한화소를 2개 이상의 도메인으로 분할함으로써 시야각특성을 더욱 향상시킨 구조의 IPS모드 액정표시소자로 본 발명에 훌륭하게 적용될 것이다. 또한, 제1전극 및 제2전극의 숫자 역시 특정 개수에 한정되지 않을 것이다.

발명의 효과

상술한 바와 같이, 본 발명에서는 해당 화소의 화상신호 및 인접 화소의 화상신호를 평행하게 배열된 제1전극 및 제2전극에 인가한다. 따라서, 종래에 비해 상대적으로 작은 전압에 의해서도 횡전계를 형성할 수 있으므로, 전력소모를 최소화할 수 있게 된다.

또한, 작은 전압에 의해서도 제1전극 및 제2전극 사이의 전압차는 종래에 비해 상대적으로 크게 할 수 있으므로, 상기 전압차에 의한 횡전계의 세기가 크기 되어 액정분자의 반응속도를 향상시킬 수 있게 된다.

(57) 청구의 범위

청구항 1.

복수의 게이트라인 및 데이터라인에 의해 정의되는 복수의 화소;

화소내에 실질적으로 평행하게 배열되어 횡전계를 형성하는 적어도 하나의 제1전극 및 제2전극;

상기 화소내에 배치되어 해당 화소의 데이터라인을 통해 입력되는 신호를 상기 제1전극에 인가하는 제1박막트랜지스터; 및

상기 화소내에 배치되어 인접 화소의 데이터라인을 통해 인가되는 신호를 상기 제2전극에 인가하는 제2박막트랜지스터로 구성된 횡전계모드 액정표시소자.

청구항 2.

제1항에 있어서, 상기 제1전극 및 제2전극에는 서로 다른 크기의 신호가 인가되는 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 3.

제2항에 있어서, 상기 제1전극 및 제2전극의 전압차에 의해 횡전계가 형성되는 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 4.

제1항에 있어서, 서로 인접하는 화소의 데이터라인을 통해 입력되는 신호는 교번하는 전압인 것을 특징으로 하는 횡전계 모드 액정표시소자.

청구항 5.

제1항에 있어서, 상기 제1박막트랜지스터는,

제1기판위에 형성된 제1게이트전극;

상기 제1게이트전극 위에 형성된 게이트절연층;

상기 게이트절연층 위에 형성된 제1반도체층;

상기 제1반도체층 위에 형성되며 해당 화소의 데이터라인에 연결된 제1소스전극 및 제1드레인전극; 및

상기 제1소스전극 및 제1드레인전극 위에 형성된 보호층으로 이루어진 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 6.

제1항에 있어서, 상기 제2박막트랜지스터는,

제1기판위에 형성된 제2게이트전극;

상기 제2게이트전극 위에 형성된 게이트절연층;

상기 게이트절연층 위에 형성된 제2반도체층;

상기 제2반도체층 위에 형성되며 인접한 화소의 데이터라인에 연결된 제2소스전극 및 제2드레인전극; 및

상기 제2소스전극 및 제2드레인전극 위에 형성된 보호층으로 이루어진 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 7.

제5항 또는 제6항에 있어서, 상기 제1전극 및 제2전극은 게이트절연층 위에 형성된 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 8.

제5항 또는 제6항에 있어서, 상기 제1전극 및 제2전극은 보호층 위에 형성된 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 9.

제8항에 있어서, 상기 제1전극 및 제2전극은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)로 이루어진 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 10.

제5항 또는 제6항에 있어서, 상기 제1전극은 게이트절연층 위에 형성되고 제2전극은 보호층 위에 형성된 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 11.

제5항 또는 제6항에 있어서, 상기 제2전극은 게이트절연층 위에 형성되고 제1전극은 보호층 위에 형성된 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 12.

제1항에 있어서, 상기 제1전극 및 제2전극은 데이터라인 방향을 따라 연장된 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 13.

복수의 게이트라인 및 데이터라인에 의해 정의되는 복수의 화소;

화소내에 실질적으로 평행하게 배열되어 횡전계를 형성하는 적어도 하나의 제1전극 및 제2전극;

상기 화소내에 배치되고 해당 화소의 게이트라인에 연결되어 해당 화소의 데이터라인을 통해 입력되는 신호를 상기 제1전극에 인가하는 제1박막트랜지스터; 및

상기 화소내에 배치되고 인접 화소의 게이트라인에 연결되어 해당 화소의 데이터라인을 통해 인가되는 한수평주기 지연된 신호를 상기 제2전극에 인가하는 제2박막트랜지스터로 구성된 횡전계모드 액정표시소자.

청구항 14.

제13항에 있어서, 상기 화소의 데이터라인에 인가되는 신호는 수평주기로 교번하는 전압인 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 15.

제1항 또는 제13항에 있어서, 상기 제1전극 및 제2전극은 데이터라인 방향을 따라 연장된 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 16.

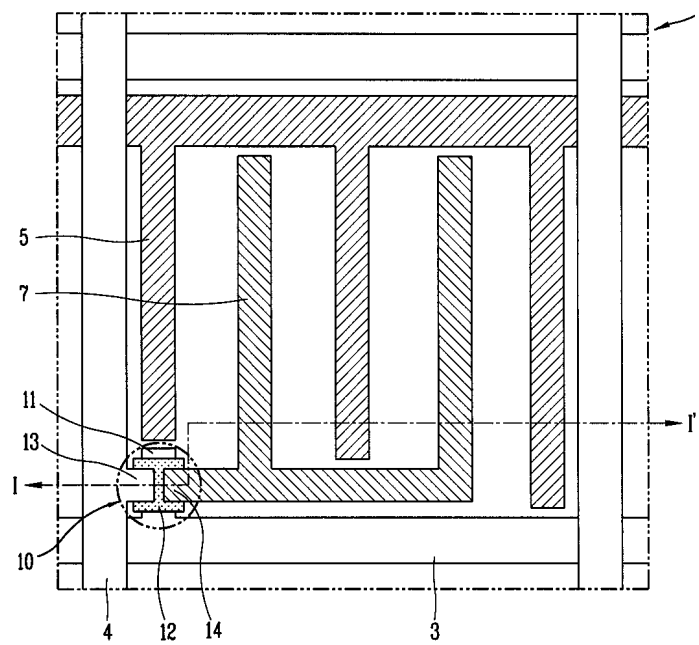
제1항 또는 제13항에 있어서, 상기 제1전극 및 제2전극은 게이트라인 방향을 따라 연장된 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 17.

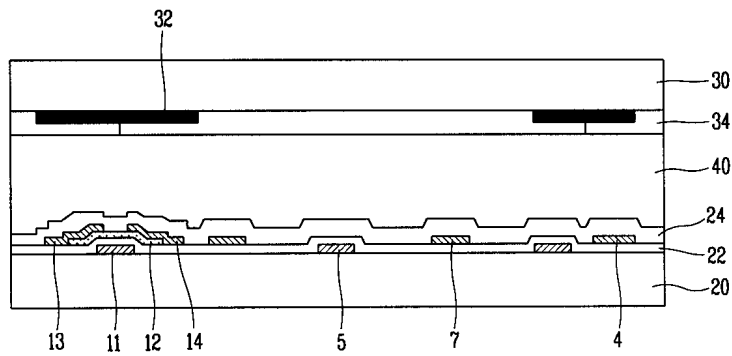
제1항 또는 13항에 있어서, 상기 제1전극 및 제2전극은 적어도 1회 절곡되어 화소를 복수의 도메인으로 분할하는 것을 특징으로 하는 횡전계모드 액정표시소자.

도면

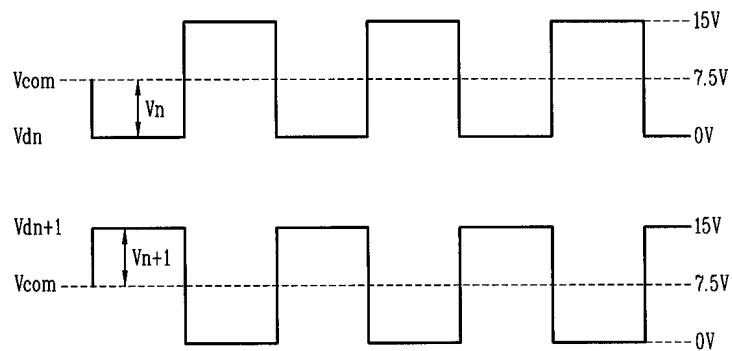
도면1a



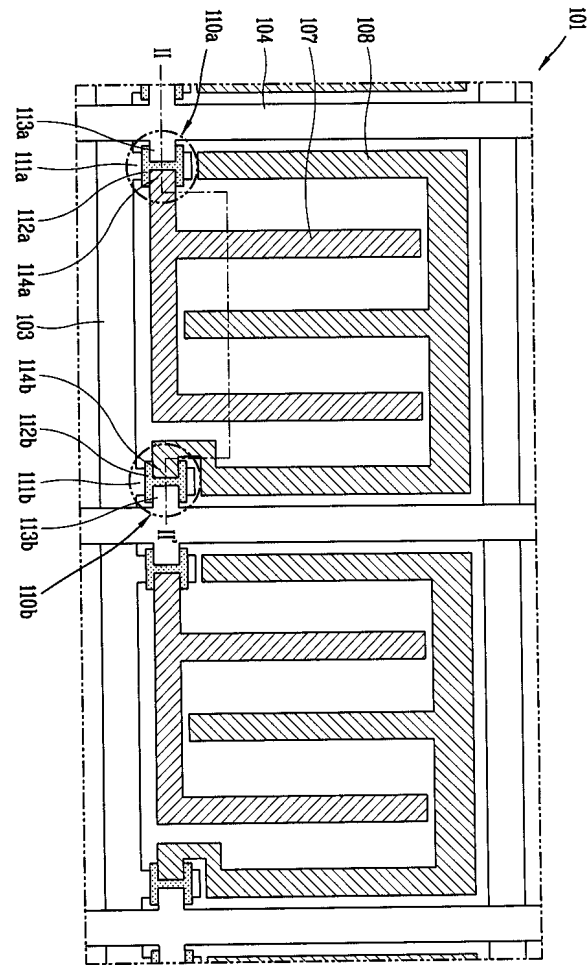
도면1b



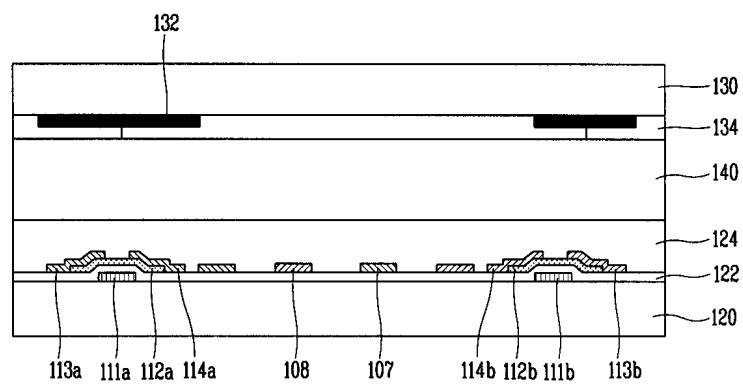
도면2



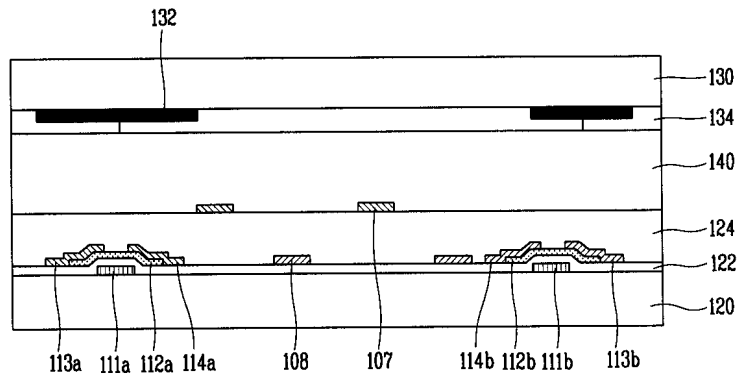
도면3



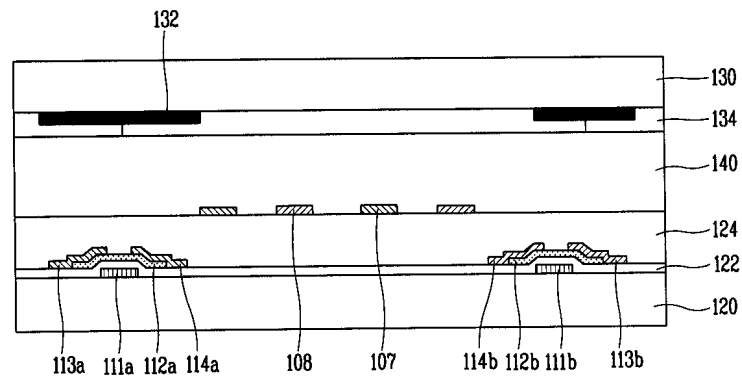
도면4



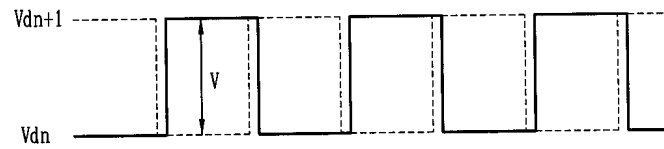
도면5a



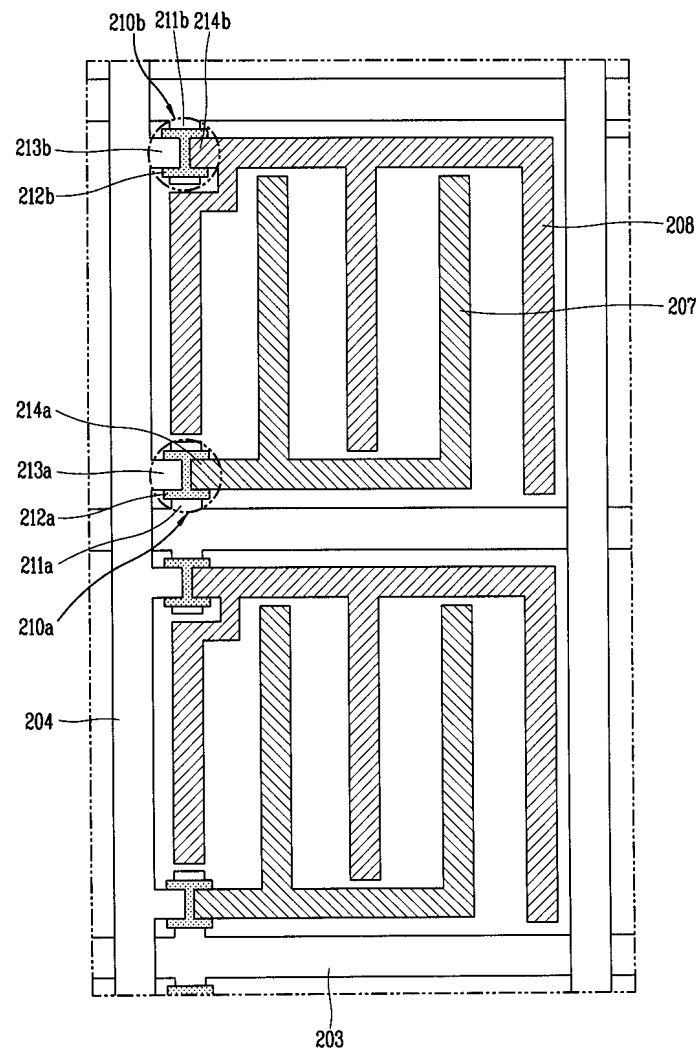
도면5b



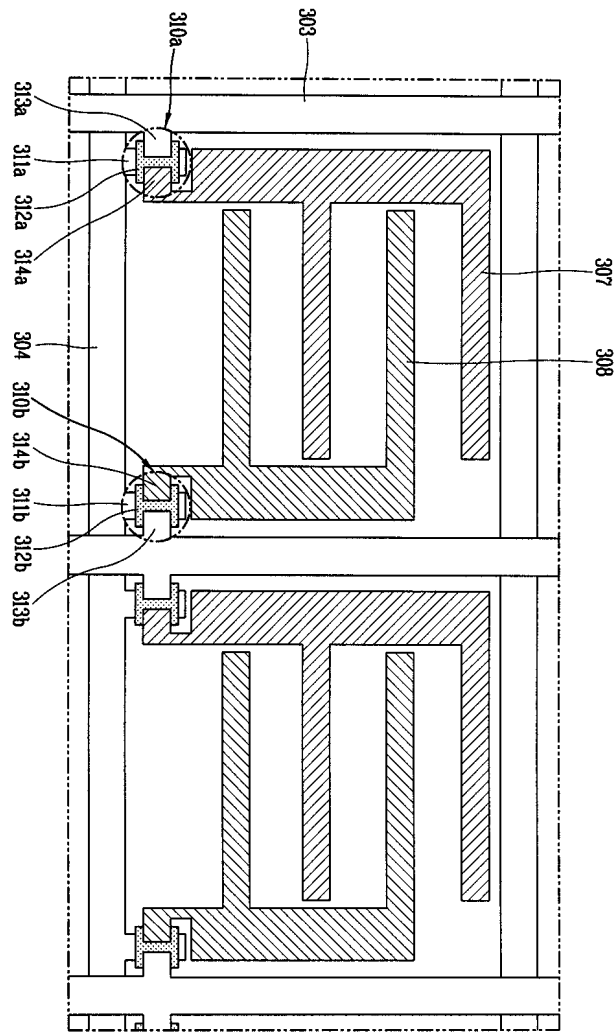
도면6



도면7



도면8



专利名称(译)	横向电场模式液晶显示元件		
公开(公告)号	KR1020060072774A	公开(公告)日	2006-06-28
申请号	KR1020040111497	申请日	2004-12-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HA SUNGCHUL 하성철 KANG JEONGHO 강정호		
发明人	하성철 강정호		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/13624 G02F1/134363 G09G3/3659		
代理人(译)	PARK , JANG WON		
外部链接	Espacenet		

摘要(译)

本发明的平面内切换模式液晶显示装置包括多个像素的第一电极，由多条栅极线和数据线限定，并且至少一个在平面内形成切换，它在像素内实质上平行排列，并且第二电极和薄膜晶体管，其通过第一电极中的目标像素的数据线授权输入的的信号，其布置在像素内，并且第二薄膜晶体管布置在像素内，并授权通过数据线施加的信号第二电极中的相邻像素的一部分。在平面切换模式中，薄膜晶体管，交替，第一电极，第二电极。

