

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. G02F 1/136 (2006.01)	(11) 공개번호 10-2006-0072743 (43) 공개일자 2006년06월28일
---	--

(21) 출원번호	10-2004-0111462
-----------	-----------------

(22) 출원일자	2004년12월23일
-----------	-------------

(71) 출원인	엘지.필립스 엘시디 주식회사 서울 영등포구 여의도동 20번지
----------	--------------------------------------

(72) 발명자	조흥렬 서울특별시 강남구 개포2동 주공아파트 408동 301호 류순성 경기 군포시 산본동 금강아파트 915동 1402호
----------	---

(74) 대리인	박장원
----------	-----

심사청구 : 없음

(54) 수평전계방식 액정표시소자 및 그 제조방법

요약

본 발명은 데이터배선을 리페어하기 위한 리페어라인이 저저항배선을 갖는 수평전계방식 액정표시소자 및 그 제조방법에 관한 것으로, 제1 및 제2기관을 준비하는 단계; 상기 제1기관 상에 제1금속막을 증착한 다음, 제1마스크 공정을 통해 게이트라인, 공통라인, 제1공통전극 및 게이트패드를 형성하는 단계; 상기 게이트라인, 제1공통전극 및 공통라인을 포함하는 제1기관 전면에 제1절연막과 비정질실리콘과 n+ 비정질실리콘 및 제2금속막을 순차적으로 적층한 다음, 제2마스크 공정을 통해 게이트라인과 수직으로 교차하며, 화소영역을 정의하는 데이터라인, 반도체층(액티브층,오믹접촉층), 소스/드레인전극 및 데이터패드를 형성하는 단계; 상기 데이터라인 및 소스/드레인전극을 포함하는 기관 전면에 제2절연막을 형성한 다음, 제3마스크 공정을 통해 상기 데이터라인, 제1기관, 공통라인 및 상기 게이트/데이터패드의 일부를 노출시키는 단계; 및 상기 데이터라인 및 게이트/데이터패드를 포함하는 제1기관 전면에 저저항 금속층을 증착하여, 상기 데이터라인과 접촉하는 데이터리페어라인과, 화소내에서 수평전계를 발생시키는 제2공통전극 및 화소전극과, 상기 게이트/데이터패드와 접촉하는 게이트연결패드 및 데이터연결패드를 형성하는 단계를 포함하여 이루어지는 수평전계방식 액정표시소자의 제조방법을 제공한다.

대표도

도 3b

명세서

도면의 간단한 설명

도 1a 및 도 1b는 일반적인 수평전계방식 액정표시소자를 나타낸 도면.

도 2a ~ 도 2e는 종래 5마스크 공정에 따른 수평전계방식 액정표시소자를 공정단면도를 나타낸 도면.

도 3a 및 도 3b는 본 발명에 따른 수평전계방식 액정표시소자를 나타낸 것으로, 도 3a는 평면도이고, 도 3b는 도 3a의 I-I'의 단면도.

도 4a ~ 도 4e 본 발명에 의한 수평전계방식 액정표시소자의 제조방법을 나타낸 공정평면도.

도 5a ~ 도 5c는 본 발명에 의한 수평전계방식 액정표시소자의 제조방법을 나타낸 공정단면도.

도면의 주요부분에 대한 부호의 설명

101: 게이트 라인 103: 데이터 라인

104: 공통라인 106a, 106b: 제1, 제2공통전극

107: 화소전극 117a, 117b: 제1, 제2스토리지전극

120: 데이터 리페어라인 130: PR패턴

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 수평전계방식 액정표시소자에 관한 것으로, 특히 데이터라인의 리페어라인을 저저항배선으로 형성할 수 있도록 한 수평전계방식 액정표시소자 및 그 제조방법에 관한 것이다.

고화질, 저전력의 평판표시소자(flat panel display device)로서 주로 액정표시소자가 사용되고 있다. 액정표시소자는 박막트랜지스터 어레이기판과 칼라필터 기판이 대향하여 균일한 간격을 갖도록 합착되며, 그 박막트랜지스터 어레이 기판과 칼라필터 기판 사이에 액정층이 형성된다.

박막트랜지스터 어레이기판은 화소들이 매트릭스 형태로 배열되며, 그 단위화소에는 박막트랜지스터, 화소전극 및 커패시터가 형성되고, 상기 칼라필터기판은 상기 화소전극과 함께 액정층에 전계를 인가하는 공통전극과 실제 칼라를 구현하는 RGB 칼라필터 및 블랙매트릭스가 형성되어 있다.

한편, 상기 박막트랜지스터 어레이기판과 칼라필터기판의 대향면에는 배향막이 형성되고, 러빙이 실시되어 상기 액정층이 일정한 방향으로 배열되도록 한다. 이때, 액정은 박막트랜지스터 어레이 기판의 단위 화소별로 형성된 화소전극과 칼라필터 기판의 전면에서 형성된 공통전극 사이에 전계가 인가될 경우에 유전 이방성에 의해 회전함으로써, 단위화소별로 빛을 통과시키거나 차단시켜 문자나 화상을 표시하게 된다. 그러나, 상기와 같은 트위스트 네마틱 모드(twisted nematic mode) 액정표시소자(liquid crystal display device)는 시야각이 좁다는 단점이 있다.

따라서, 액정분자를 기판과 거의 횡방향으로 배향하여 시야각 문제를 해결하는 수평전계방식 액정표시소자(In Plane Switching mode LCD)가 최근에 활발하게 연구되고 있다.

도 1은 일반적인 수평전계방식 액정표시소자의 단위화소를 개략적으로 도시한 것으로, 도 1a는 평면도이고, 도 1b는 도 1a의 I-I'의 단면도이다.

도면에 도시된 바와 같이, 투명한 제1기판(10) 상에 게이트라인(1) 및 데이터라인(3)이 중첩으로 배열되어 화소영역을 정의한다. 실제의 액정표시소자에서는 n개의 게이트라인(1)과 m개의 데이터라인(3)이 교차하여 n×m개의 화소가 존재하지만, 도면에는 설명을 간단하게 하기 위해 단지 한 화소만을 나타내었다.

상기 게이트라인(1)과 데이터라인(3)의 교차점에는 게이트전극(1'), 반도체층(5) 및 소스/드레인전극(2a, 2b)으로 구성된 박막트랜지스터(thin film transistor; 9)가 배치되어 있으며, 상기 게이트전극(1') 및 소스/드레인전극(2a, 2b)은 각각 게이트라인(1) 및 데이터라인(3)에 접속된다. 또한, 게이트절연막(8)은 기판 전체에 걸쳐서 적층되어 있다.

화소영역 내에는 상기 게이트라인(1)과 평행하게 공통라인(4)이 배열되고, 액정분자를 스위칭 시키는 적어도 한쌍의 전극 즉, 공통전극(6)과 화소전극(7)이 데이터라인과 평행하게 배열되어 있다. 상기 공통전극(6)은 게이트라인(1)과 동시에 형성되어 공통라인(4)에 접속되며, 화소전극(7)은 소스/드레인전극(2a,2b)과 동시에 형성되어 박막트랜지스터(9)의 드레인전극(2b)과 접속된다. 그리고, 상기 소스/드레인전극(2a,2b)을 포함하는 기관 전체에 걸쳐서 보호막(11)이 형성되어 있다. 또한, 상기 공통라인(4)과 중첩되어 형성되며, 화소전극(7)과 접속하는 화소전극라인(14)은 그 사이에 개재된 절연막(8)을 사이에 두고 축적용량(Cst)를 형성한다.

또한, 제2기관(20)에는 박막트랜지스터(9), 게이트라인(1) 및 데이터라인(3)으로 빛이 새는 것을 방지하는 블랙매트릭스(21)와 칼라를 구현하기 위한 칼라필터(23)가 형성되어 있으며, 그 위에는 칼라필터(23)를 평탄화하기 위한 오버코트막(25)이 도포되어 있다. 그리고, 상기 제1기관(10) 및 제2기관(20)의 대향면에는 액정의 초기 배향방향을 결정짓는 배향막(12a,12b)이 도포되어 있다.

또한, 상기 제1기관(10) 및 제2기관(20) 사이에는 상기 공통전극(6) 및 화소전극(7)에 인가되는 전압에 의해 빛의 투과율을 조절하는 액정층(13)이 형성되어 있다.

한편, 도면에 도시하지 않았지만, 상기 게이트라인(1) 및 데이터라인(3)의 일단부에는 구동회로와 연결되어 상기 구동회로로부터 공급받은 외부신호를 상기 게이트라인(1) 및 데이터라인(3)에 인가하기 위한 게이트패드 및 데이터패드가 형성되어 있다.

상기와 같은 구조를 갖는 종래 수평전계방식 액정표시소자는 공통전극(6a,6b) 및 화소전극(7)이 동일평면 상에 배치되어 수평전계(in-plane electric field)를 발생시키기 때문에 시야각을 향상시킬 수 있는 장점을 가진다.

상기한 바와 같이 구성된 액정표시소자의 하부기관에는 동작 수행을 위해 기관에 구동소자(TFT) 또는 배선(예를들면, 게이트/데이터라인) 등의 여러 패턴들을 형성하는데, 패턴을 형성하기 위해 사용되는 기술 중 일반적인 것이 포토리소그래피(photoolithography) 방법이다.

도 2a~2e는 종래 5마스크를 이용한 액정표시소자의 제조방법을 나타낸 공정단면도이다.

먼저, 도 2a에 도시한 바와 같이, 투명한 기관(10)을 준비한 다음, 그 상부에 게이트전극 물질을 증착한 후, 제1마스크 공정을 통해 이를 패터닝함으로써, 게이트전극(1'), 공통전극(6) 및 게이트패드(1a)를 형성한다.

이어서, 도 2b에 도시한 바와 같이, 게이트전극(1') 및 공통전극(6)을 포함하는 기관 전면에 절연막, 비정질실리콘 및 n+ 비정질실리콘막을 순차적으로 적층한 다음, 제2마스크 공정을 통해 이를 패터닝함으로써, 게이트절연막(8), 액티브층(5a) 및 n+ 층(5b')을 형성한다.

다음으로, 도 2c에 도시한 바와 같이, 액티브층(5a) 및 n+ 층(5b')을 포함하는 기관 전면에 소스/드레인전극 물질을 증착한 다음, 제3마스크 공정을 통해 이를 패터닝함으로써, 액티브층(5a)의 중앙부를 노출시키는 소스전극(2a) 및 드레인전극(2b)과, n+ 층으로 이루어진 오믹접촉층(5b) 및 상기 공통전극(6)에 나란하게 배치되어, 공통전극(6)과 함께 화소내에 수평전계를 발생시키는 화소전극(7) 및 데이터패드(3a)를 형성한다.

그 후에, 도 2d에 도시한 바와 같이, 소스전극(2a)/드레인전극(2b) 및 화소전극(7)을 포함하는 기관 전면에 절연막을 증착하여 보호막(11)을 형성한 다음, 제4마스크 공정을 통해 상기 게이트패드(1a) 및 데이터패드(3a)의 일부를 노출시키는 콘택홀(9a,9b)을 각각 형성한다.

마지막으로, 도 2e에 도시한 바와 같이, 콘택홀(9a,9b)을 포함하는 보호막 상부에 ITO(indium tin oxide)를 증착한 다음, 이를 패터닝하여 상기 콘택홀(9a,9b)을 통해 외부구동회로와 상기 게이트패드(1a) 및 데이터패드(3a)를 전기적으로 연결시키기 위한 게이트연결패드(1b) 및 데이터연결패드(3c)를 각각 형성한다.

이때, 각 패턴들을 형성하기 위해 진행되는 마스크 공정은 포토리소그래피 공정으로, 포토리소그래피 공정은 패턴이 형성될 기관에 자외선으로 감광하는 재료인 포토레지스트를 코팅하고, 마스크에 형성된 패턴을 포토레지스트 위에 노광하여 현상, 식각하고, 이와 같이 패터닝된 포토레지스트를 마스크로 하여 원하는 물질층을 식각한 후 포토레지스트를 제거하는 일련의 복잡한 과정으로 이루어진다.

따라서, 마스크 공정수가 증가할수록 공정시간 및 공정비가 증가하여 생산성이 저하되는 문제점이 있다. 이에 따라, 마스크 공정의 횟수를 최소한으로 줄여 생산성을 높이고 공정 마진을 확보하기 위해 저마스크 기술에 대한 연구가 진행되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 3마스크 공정을 통한 수평전계방식 액정표시소자 및 그 제조방법을 제공하는 데 있다.

또한, 본 발명의 다른 목적은 데이터라인 상부에 저저항 금속물질을 사용하여 데이터리페어라인을 형성함으로써, 상기 데이터라인의 저항을 낮출 수 있도록 한 수평전계방식 액정표시소자 및 그 제조방법을 제공하는 데 있다.

기타 본 발명의 목적 및 특징은 이하의 발명의 구성 및 특허청구범위에서 상세히 기술될 것이다.

발명의 구성 및 작용

상기한 바와 같은 목적을 달성하기 위한 본 발명의 수평전계방식 액정표시소자의 제조방법은 제1 및 제2기판을 준비하는 단계와; 상기 제1기판 상에 제1금속막을 증착한 다음, 제1마스크 공정을 통해 게이트라인, 공통라인, 제1공통전극 및 게이트패드를 형성하는 단계와; 상기 게이트라인, 제1공통전극 및 공통라인을 포함하는 제1기판 전면에서 제1절연막과 비정질 실리콘과 n+ 비정질실리콘 및 제2금속막을 순차적으로 적층한 다음, 제2마스크 공정을 통해 게이트라인과 수직으로 교차하며, 화소영역을 정의하는 데이터라인, 반도체층(액티브층, 오믹접촉층), 소스/드레인전극 및 데이터패드를 형성하는 단계와; 상기 데이터라인 및 소스/드레인전극을 포함하는 기판 전면에서 제2절연막을 형성한 다음, 제3마스크 공정을 통해 상기 데이터라인, 제1기판, 공통라인 및 상기 게이트/데이터패드의 일부를 노출시키는 단계; 및 상기 데이터라인 및 게이트/데이터패드를 포함하는 제1기판 전면에서 저저항 금속층을 증착하여, 상기 데이터라인과 접촉하는 데이터리페어라인과, 화소내에서 수평전계를 발생시키는 제2공통전극 및 화소전극과, 상기 게이트/데이터패드와 접촉하는 게이트연결패드 및 데이터연결패드를 형성하는 단계를 포함한다.

상기 제2마스크 공정은, 상기 제2금속막 위에 PR막(photoresist layer)을 도포하는 단계와; 광을 일부만 투과시키는 제1투과영역과 광을 모두 투과시키는 제2투과영역 및 광을 차단하는 차단영역이 마련된 마스크를 통해 상기 감광막에 빛을 조사하는 단계와; 상기 마스크를 통해 빛이 조사된 PR을 현상하여, 제2금속막 상에 PR패턴을 형성하되, 제1투과영역에 제1두께를 갖는 제1PR패턴을 형성하고, 제2투과영역에는 제2두께를 갖는 제2PR패턴을 형성하는 단계와; 상기 제1 및 제2PR패턴을 마스크로 하여 비정질실리콘 및 n+ 비정질실리콘층을 식각함으로써, 데이터라인, 액티브층, n+ 층 및 데이터패드를 형성하는 단계와; 상기 제1PR패턴을 제거함으로써, n+ 층 위에 형성된 제2금속패턴의 중앙 영역을 노출시키는 단계와; 상기 제2PR패턴을 마스크로하여 제2금속패턴 및 n+ 층의 일부를 제거함으로써, 오믹접촉층 및 소스/드레인전극을 형성하는 단계; 및 상기 제1 및 제2기판 사이에 액정층을 형성하는 단계를 포함하여 이루어진다. 이때, 상기 제1PR패턴의 두께는 제2PR패턴의 두께보다 얇게 형성한다.

상기 제3마스크 공정은, 상기 제2절연막 위에 PR패턴을 형성하는 단계와; 상기 PR패턴을 마스크로하여 제1,2절연막을 식각함으로써, 상기 드레인전극을 노출시키는 드레인콘택홀과 게이트패드 및 데이터패드를 각각 노출시키는 제1 및 제2콘택홀을 형성하고, 상기 공통라인, 데이터라인 및 제1기판의 일부를 노출시키는 단계와; 상기 PR패턴을 포함하는 제1기판 전면에서 저저항 금속막을 증착한 후, 상기 PR패턴을 제거함으로써, 상기 드레인콘택홀을 통해 드레인전극과 접속하는 화소전극과, 상기 공통라인과 접속하는 공통전극과, 상기 제1,2콘택홀을 통해 게이트/데이터패드와 접속하는 게이트연결패드 및 데이터연결패드와, 상기 데이터라인과 접속하는 데이터 리페어라인을 형성하는 단계로 이루어진다.

상기 저저항 금속은 Cu(구리)을 사용하며, 이때, 상기 저저항 금속 상에 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)를 추가로 형성한다.

상기 저저항 금속으로 Ti(티탄)을 사용할 수도 있다.

그리고, 상기 제2기판 상에 블랙매트릭스를 형성하는 단계; 및 상기 블랙매트릭스 상에 칼라필터를 형성하는 단계를 더 포함한다.

또한, 본 발명에 의한 수평전계방식 액정표시소자는 제1 및 제2기판과; 상기 제1기판 상에 제1방향으로 배열된 복수의 게이트라인과; 상기 게이트라인과 수직으로 교차하여 복수의 화소영역을 정의하는 데이터라인과; 상기 게이트라인과 데이터

라인의 교차영역에 형성된 스위칭소자과; 상기 화소영역에 수평전계를 발생시키는 공통전극 및 화소전극과; 상기 데이터 라인을 따라 형성되며, 저저항 금속물질로 이루어진 데이터 리페어라인; 및 상기 제1 및 제2기판 상에 형성된 액정층을 포함하여 구성된다.

이때, 상기 데이터 리페어라인은 구리(Cu)이며, 이때, 상기 데이터 리페어라인 상에 형성된 ITO층을 더 포함한다.

또한, 상기 데이터 리페어라인은 Ti(티탄)일 수도 있다.

상기한 바와 같이, 본 발명은 3회의 마스크 공정을 통해 액정표시소자를 제작한다. 즉, 종래 2회의 마스크 공정을 통해 형성되었던 반도체층과 소스/드레인전극을 1회의 마스크공정으로 형성하고, 공통전극/화소전극을 리프트오프 방법을 통해 형성함으로써, 종래에 비해 총 2회의 마스크 공정을 줄일 수가 있다.

아울러, 본 발명은 제3마스크 공정에서 데이터라인을 노출시킨 후, 그 상부에 저저항 금속층을 증착함으로써, 데이터라인의 저항을 줄일 수 있다. 즉, 공정불량으로 인해 데이터라인의 단선(open)이 종종 발생하게 되며, 이와 같이, 단선된 데이터라인을 리페어하기 위한 데이터 리페어라인을 별도로 형성하게 된다.

일반적으로, 데이터 리페어라인은 데이터라인 상부에 게이트연결패드와 데이터연결패드를 공정에서 형성되며, 콘택홀을 통해 데이터라인과 전기적으로 접속하게 된다. 이때, 상기 데이터 리페어라인은 주로 ITO로 형성되기 때문에, 저항이 높아지게 된다. 따라서, 본 발명은 데이터라인을 대부분 노출시킨 후에, 저저항금속층을 상기 데이터라인을 따라 형성함으로써, 데이터라인의 저항을 감소시킬 수가 있다.

또한, 본 발명은 데이터라인의 저항이 감소됨에 따라, 기존보다 데이터라인의 폭을 좁게 설계할 수 있으며, 이에 따라, 개구율을 향상시킬 수가 있다.

이하, 첨부한 도면을 통해 본 발명에 의한 액정표시소자의 제조방법을 좀더 상세하게 설명하도록 한다.

도 3a 및 도 3b는 본 발명에 의한 수평전계방식 액정표시소자를 개략적으로 나타낸 것으로, 도 3a는 평면도이고, 도 3b는 도 3a의 I-I'의 단면을 나타낸 단면도이다. 실질적으로, 액정표시소자는 $N \times M$ 개의 화소가 매트릭스 형태로 배치되어 있으나, 설명의 편의를 위하여 단위화소 및 그 이웃하는 화소의 일부만을 나타내었다.

도면에 도시된 바와 같이, 본 발명에 의한 수평전계방식 액정표시소자(100)는 투명한 제1기판(110) 상에 게이트라인(101) 및 데이터라인(103)이 중첩으로 배열되어 단위화소를 정의한다. 그리고, 상기 게이트라인(101)과 데이터라인(103)의 교차점에는 스위칭소자(109)가 형성되어 있으며, 상기 스위칭소자(109)는 게이트라인(101)의 일부로 형성된 게이트전극과 상기 게이트전극 위에 형성된 반도체층(105) 및 상기 반도체층(105) 상에 소정간격 이격하여 형성된 소스/드레인전극(102a, 102b)으로 구성된다.

각 화소내에는 수평전계를 발생시키는 공통전극(106a, 106b) 및 화소전극(107)이 배치되어 있으며, 상기 공통전극(106a, 106b)은 데이터라인(103)과 인접하는 화소의 외곽에 배치된 제1공통전극(106a)과 화소전극(107)들 사이에 배치된 제2공통전극(106b)으로 구분된다.

상기 제1공통전극(106a)은 상기 데이터라인(103)과 화소전극(107) 사이에 배치되어, 상기 데이터라인(103)의 신호가 상기 화소전극(107)에 미치는 영향을 차단시켜, 화소전극(107)의 신호왜곡을 방지하는 역할과 함께, 인접하는 화소전극(107)과 함께 화소내에 수평전계를 발생시킨다.

이때, 상기 공통전극(106a, 106b) 및 화소전극(107)은 격임구조(지그재그 구조)로 형성할 수 있다. 이와 같이, 공통전극(106a, 106b)과 화소전극(107)을 지그재그 구조로 형성됨에 따라, 화소내에 액정의 구동방향이 서로 대칭성을 가지는 멀티도메인(multi-domain)을 형성할 수 있게 된다. 이에 따라, 액정의 복굴절(birefringence) 특성에 의한 이상 광을 서로 상쇄시켜 색전이(color shift) 현상을 최소화 할 수 있는 잇점이 있다.

아울러, 상기 데이터(103)도 공통전극(106a, 106b) 및 화소전극(107)과 동일한 격임구조로 형성할 수 있으며, 상기 공통전극(106a, 106b), 화소전극(107) 및 데이터라인(103)이 일직선인 구조도 가능하다.

또한, 상기 데이터라인(103) 상에는 상기 데이터라인(103)을 따라 데이터 리페어라인(120)이 형성되어 있으며, 상기 데이터라인(103)과 데이터 리페어라인(120)은 그 사이에 절연층이 존재하지 않고, 직접접촉되어 있다. 그리고, 상기 데이터 리페어라인(120)은 상기 데이터라인(103)의 폭과 동일하거나, 데이터라인(103)의 폭보다 좁게 형성되어, 데이터라인(103) 내부에 배치될 수도 있다.

이때, 상기 데이터 리페어라인(120)은 구리(Cu) 또는 티탄(Ti)과 같은 저저항 금속으로 이루어져 있으며, 상기 데이터 리페어라인(120)이 구리(Cu)로 이루어진 경우, 그 상부에 ITO가 별도로 형성되고, ITO층은 상기 구리층(120; 데이터 리페어라인)이 산소와 반응하는 것을 막아주는 보호층 역할을 한다.

또한, 상기 데이터 리페어라인(120)이 티탄(Ti)으로 이루어진 경우, 티탄(Ti)이 산소와 반응하지 않기 때문에, ITO와 같은 별도의 보호층이 필요없다.

또한, 상기 드레인전극(102b)으로부터 연장되어, 상기 화소전극(107)의 일측과 접속하는 제1스토리지전극(117a)은 공통라인(104)과 중첩하여 제1스토리지캐패시터(Cst1)를 형성하고, 상기 화소전극(107)의 타측과 접속하는 제2스토리지전극(117b)은 전단 게이트라인(101)과 중첩하여 제2스토리지캐패시터(Cst2)를 형성한다.

도 3b의 단면도를 통해 이를 좀더 상세하게 설명하면, 제1기판(110) 상에 게이트라인(101), 공통라인(104), 제1,2공통전극(106a, 106b) 및 화소전극(107)이 형성되어 있으며, 상기 게이트라인(101) 상에는 반도체층(105)과, 소스전극(102a) 및 드레인전극(102b)으로 구성된 박막트랜지스터(109)가 형성되어 있다. 또한, 상기 게이트라인(101)과 반도체층(105) 사이에는 게이트절연막(108)이 개재되어 있으며, 상기 공통라인(104)은 상기 드레인전극(102b)으로부터 연장된 제1스토리지전극(117a)과 게이트절연막(108)을 사이에 두고 제1스토리지캐패시터(Cst1)를 형성한다.

또한, 상기 제1공통전극(106a) 상부 및 제2공통전극(106b)과 화소전극(107)들 사이에는 게이트절연막(108)과 보호막(111)이 적층되어 있다. 그리고, 상기 데이터라인(103) 위에 데이터 리페어라인(120)이 형성되어 있으며, 상기 데이터 리페어라인(120)은 데이터라인(103)을 따라 형성된다.

한편, 상기 제2공통전극(106a, 106b)과 화소전극(107)은 제1기판(110) 상에 직접 형성되고, 상기 데이터 리페어라인(120)과 동일한 물질로 형성되며, 화소의 외곽에 배치된 제1공통전극(106a)은 제1기판(110) 상에 형성되고, 상기 게이트라인(101)과 동일한 물질로 형성된다.

이것은, 3마스크공정에 의한 것으로, 상기 제2공통전극(106b), 화소전극(107) 및 데이터 리페어라인(120)이 리프트오프(lift off) 방법에 의해 형성되기 때문이며, 이에 대한 구체적인 설명은 이후, 공정도면을 통해 하도록 한다.

아울러, 도면에 도시하지는 않았지만, 상기 제1기판(110)과 일정한 셀랩을 두고, 제2기판이 형성되어 있으며, 상기 제1 및 제2기판 사이에는 액정층이 형성된다. 그리고, 상기 제2기판에는 화소간의 빛샘을 차단하기 위한 블랙매트릭스와 칼라필터가 형성되어 있다.

도 4a ~ 도 4e 및 도 5a ~ 도 5c는 본 발명에 의한 수평전계방식 액정표시소자의 제조방법을 나타낸 것으로, 도 4a ~ 도 4e는 공정 평면도이고, 도 5a ~ 도 5c는 공정 단면도로, 특히, 도 3의 I-I'의 단면과 게이트패드 및 데이터패드부의 단면에 따른 공정도를 나타낸 것이다.

먼저, 도 4a 및 도 5a에 도시된 바와 같이, 투명한 제1기판(110)을 준비한 다음, 상기 기판(110) 위에 Al, Mo, Cu, MoW, MoTa, MoNb, Cr, W 또는 알루미늄(Al) 및 몰리브덴(Mo)의 이중층과 같은 제1금속막(미도시)을 스퍼터링 방법으로 증착한다. 그리고, 제1마스크 공정을 통해 제1금속막을 패터닝함으로써, 게이트라인(101), 제1공통전극(106a) 및 상기 제1공통전극(106a)과 연결된 공통라인(104)을 각각 형성한다.

이어서, 도 4b 및 도 5b에 도시한 바와 같이, 상기 게이트라인(101), 제1공통전극(106a) 및 공통라인(104)을 포함하는 제1기판(110) 전면에 SiNx 또는 SiOx와 같은 무기물질을 증착하여 제1절연막(108) 즉, 게이트절연막을 형성하고, 그 상부에 비정질실리콘막과 인(P)과 같은 불순물이 도핑된 n+ 비정질실리콘막 그리고, Al, AlNd, Cr, Mo, Cu등과 같은 제2금속막을 순차적으로 증착한 다음, 제2마스크 공정을 통해 상기 게이트라인(101)과 수직으로 교차하는 데이터라인(103); 공통라인(104) 및 게이트라인(101)과 각각 중첩하는 제1,2스토리지전극(117a, 117b); 액티브층(105a)과 오믹접촉층(105b)으로 구성된 반도체층(105); 및 상기 반도체층(105) 상부에 소정간격 이격되어 액티브층(105a)의 중앙부를 노출시키는 소스/드레인전극(102a, 102b)을 각각 형성한다.

이때, 제2마스크 공정에서는 1회의 마스크 공정을 통해 반도체층(105) 및 소스/드레인전극(102a,102b)을 동시에 형성해야 하기 때문에 회절마스크(slit mask) 또는 하프톤마스크(half-tone mask)를 사용한다. 즉, 회절마스크는 광투과영역이 슬릿구조를 가지며, 상기 슬릿영역을 통해 조사되는 노광량은 빛을 모두 투과시키는 완전투과영역보다 적기 때문에, PR막을 도포한 후, 상기 PR막에 부분적으로 슬릿영역 및 완전투과영역이 마련된 마스크를 사용하여 노광하게 되면, 슬릿영역에 남아있는 PR의 두께와 완전투과영역에 남아있는 PR의 두께가 다르게 형성된다.

따라서, 본 발명은 회절마스크의 특성을 이용하여 반도체층(105) 및 소스/드레인전극(102a,102b)을 동시에 형성한다.

회절마스크를 사용한 제2마스크 공정(즉, 반도체층(105) 및 소스/드레인전극(102a,102b)의 형성공정)을 좀 더 상세하게 설명하면, 먼저, 도 4a에 도시한 바와 같이, 게이트라인(101), 제1공통전극(106a) 및 공통라인(104)을 포함하는 제1기판(110) 전면에서 제1절연막(108), 비정질실리콘막, n+ 비정질실리콘막 및 제2금속막을 순차적으로 적층한 다음, 그 상부에 PR막을 도포한다. 그리고, 회절마스크를 적용하여 UV와 같은 광을 조사한다. 이때, 회절마스크에는 광을 일부만 투과시키는 제1투과영역과 광을 모두 투과시키는 제2투과영역 및 조사된 모든 광을 차단하는 차단영역이 마련되어 있다.

상기 회절마스크를 통해 노광된 PR막을 현상하여, 제1투과영역 및 제2투과영역을 통해 광이 조사된 영역에만 PR막을 남기고, 나머지 영역은 제거한다. 이때, 제1투과영역을 통해 형성된 제1PR패턴은 제2투과영역에 형성된 제2PR패턴보다 얇게 형성된다(네거티브 PR을 사용한 경우).

그리고, 상기 제1 및 제2PR패턴을 마스크로 하여, 그 하부에 형성된 제2금속막, n+ 비정질실리콘막 및 비정질실리콘막을 식각함으로써, 액티브층(105a), n+ 패턴, 제2금속패턴, 제1,2스토리지전극(117a,117b) 그리고, 데이터패드(103a)를 형성한다.

계속해서, 에싱(ashing)공정을 통해, 제1PR패턴을 제거한 후, 상기 제2PR패턴을 마스크로하여 제1PR패턴이 제거됨에 따라 노출된 제2금속패턴과 n+ 층을 식각함으로써, 액티브층(105a) 상부에 소정간격 이격되어 위치하는 소스/드레인전극(102a,102b) 및 오믹접촉층(105b)을 형성한다.

상기한 바와 같이, 제2마스크 공정을 통해 반도체층(105), 소스/드레인전극(102a,102b) 및 제1,2스토리지전극(117a,117b) 그리고, 데이터패드(103a)가 형성되면, 도 4c에 도시된 바와 같이, 그 상부에 SiO_x 또는 SiN_x와 같은 무기막이나, BCB 또는 아크릴과 같은 유기막을 도포하여 제2절연막(111) 즉, 보호막을 형성한다. 그리고, 상기 제2절연막(111) 상에 PR막을 도포한 다음, 제3마스크 공정을 통해 PR패턴(130)을 형성한다. 그 다음, 상기 PR패턴(130)을 마스크로하여 상기 제1절연막(108) 또는 제2절연막(111)을 식각함으로써, 화소내로 돌출된 영역의 공통라인(104), 제1 및 제2스토리지전극(117a,117b)의 일부와, 상기 게이트패드(101a) 및 데이터패드(103a)를 노출시킨다. 이때, 제2공통전극 및 화소전극이 형성될 화소내의 제1기판(110)과 데이터라인(103)도 함께 노출시킨다. 이때, 상기 데이터라인(103)을 따라 모두 노출시킬 수도 있으나, 상기 노출되는 영역이, 상기 데이터라인(103)의 폭보다 좁을 수도 있다.

이후에, 도 4d에 도시된 바와 같이, 상기 PR패턴(130)이 형성된 제1기판(110) 상에 저저항 금속물질을 증착한다. 이때, 구리(121)과 ITO(122)를 연속하여 증착한다. 또는, 티탄(Ti)을 증착할 수도 있다. 본 발명에서는 상기 저저항 금속물질을 Au, Ti으로 한정하지 않으며, 다른 저저항 금속물질을 사용할 수도 있다.

그리고, 전술한 바와 같이, 상기 ITO는 구리가 산소와 반응하는 것을 방지하여 저항이 커지는 것을 방지하기 위해 형성하는 것이다.

이어서, 상기 PR패턴(130)을 제거함(lift off)으로써, 도 4e 및 도 5c에 도시된 바와 같이, 그 일측이 상기 제1스토리지전극(117a)을 통해 상기 드레인전극(102b)과 전기적으로 연결되고, 그 타측이 공통라인(104)과 접촉하는 제2스토리지전극(117b)과 접촉하는 복수의 화소전극(107)과, 상기 화소전극(107)과 함께 화소내에 수평전계를 발생시키고, 상기 공통라인(104)과 접촉하는 제2공통전극(106b) 및 상기 데이터라인(103)과 접촉하는 데이터 리페어라인(120)을 형성한다. 이때, 상기 게이트패드(101a)와 접촉하는 게이트연결패드(101b)와, 상기 데이터패드(103a)와 접촉하는 데이터연결패드(103b)도 함께 형성한다.

이와 같이, 제3마스크 공정에서는 보호막 위에 PR패턴을 형성한 후, 상기 PR패턴을 통해 노출된 보호막 및 게이트절연막을 식각하고, 그 상부에 저저항 금속막을 증착한 다음, 상기 PR패턴과 그 상부에 증착된 저저항 금속막을 함께 제거하는 리프트 오프 공정을 통해 공통전극, 화소전극, 데이터 리페어라인, 게이트연결패드 및 데이터연결패드를 1회의 마스크 공정으로 형성할 수가 있다.

살펴본 바와 같이, 본 발명은 3마스크 공정을 통해, 종래 2회의 마스크 공정을 통해 형성되었던 반도체층(액티브층 및 오믹콘택층)과 소스/드레인전극을 1회의 마스크 공정으로 줄이고, 공통전극, 화소전극 및 데이터 리페어라인을 1회의 마스크 공정으로 형성함으로써, 총 2회의 마스크 공정을 줄일 수 있는 잇점이 있다.

한편, 본 발명은 상기 데이터 리페어라인이 저저항 금속물질로 형성되기 때문에, 데이터라인의 저항을 줄일 수 있는 잇점이 있으며, 데이터라인의 저항 감소에 따라, 데이터라인의 폭을 줄임으로써, 개구율을 더욱 향상시킬 수가 있다.

발명의 효과

전술한 바와 같이, 본 발명에 의하면, 저마스크 기술(3마스크 공정)을 통해 액정표시소자를 제작함으로써, 공정시간을 줄이고, 생산비를 절감하여 생산성을 향상시킬 수가 있다.

또한, 본 발명은 추가공정 없이 저저항 금속층을 데이터 리페어라인으로 형성함으로써, 데이터라인의 저항을 줄일 수가 있다.

또한, 본 발명은 데이터라인의 저항감소에 따라 데이터라인의 폭을 줄일 수가 있으며, 이에 따라, 개구율을 향상시킬 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

제1 및 제2기판을 준비하는 단계;

상기 제1기판 상에 제1금속막을 증착한 다음, 제1마스크 공정을 통해 게이트라인, 공통라인, 제1공통전극 및 게이트패드를 형성하는 단계;

상기 게이트라인, 제1공통전극 및 공통라인을 포함하는 제1기판 전면에서 제1절연막과 비정질실리콘과 n+ 비정질실리콘 및 제2금속막을 순차적으로 적층한 다음, 제2마스크 공정을 통해 게이트라인과 수직으로 교차하며, 화소영역을 정의하는 데이터라인, 반도체층(액티브층, 오믹접촉층), 소스/드레인전극 및 데이터패드를 형성하는 단계;

상기 데이터라인 및 소스/드레인전극을 포함하는 기판 전면에서 제2절연막을 형성한 다음, 제3마스크 공정을 통해 상기 데이터라인, 제1기판, 공통라인 및 상기 게이트/데이터패드의 일부를 노출시키는 단계; 및

상기 데이터라인 및 게이트/데이터패드를 포함하는 제1기판 전면에서 저저항 금속층을 증착하여, 상기 데이터라인과 접촉하는 데이터리페어라인과, 화소내에서 수평전계를 발생시키는 제2공통전극 및 화소전극과, 상기 게이트/데이터패드와 접속하는 게이트연결패드 및 데이터연결패드를 형성하는 단계를 포함하여 이루어지는 수평전계방식 액정표시소자의 제조방법.

청구항 2.

제1항에 있어서, 상기 제2마스크 공정은,

상기 제2금속막 위에 PR막(photoresist layer)을 도포하는 단계;

광을 일부만 투과시키는 제1투과영역과 광을 모두 투과시키는 제2투과영역 및 광을 차단하는 차단영역이 마련된 마스크를 통해 상기 감광막에 빛을 조사하는 단계;

상기 마스크를 통해 빛이 조사된 PR을 현상하여, 제2금속막 상에 PR패턴을 형성하되, 제1투과영역에 제1두께를 갖는 제1PR패턴을 형성하고, 제2투과영역에는 제2두께를 갖는 제2PR패턴을 형성하는 단계;

상기 제1 및 제2PR패턴을 마스크로 하여 비정질실리콘 및 n+ 비정질실리콘층을 식각함으로써, 데이터라인, 액티브층, n+ 층 및 데이터패드를 형성하는 단계;

상기 제1PR패턴을 제거함으로써, n+ 층 위에 형성된 제2금속패턴의 중앙 영역을 노출시키는 단계;

상기 제2PR패턴을 마스크로하여 제2금속패턴 및 n+ 층의 일부를 제거함으로써, 오믹접촉층 및 소스/드레인전극을 형성하는 단계; 및

상기 제1 및 제2기판 사이에 액정층을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 수평전계방식 액정표시소자의 제조방법.

청구항 3.

제2항에 있어서, 상기 제1PR패턴의 두께는 제2PR패턴의 두께보다 얇게 형성하는 것을 특징으로 하는 수평전계방식 액정표시소자의 제조방법.

청구항 4.

제1항에 있어서, 상기 제3마스크 공정은,

상기 제2절연막 위에 PR패턴을 형성하는 단계;

상기 PR패턴을 마스크로하여 제1,2절연막을 식각함으로써, 상기 드레인전극을 노출시키는 드레인콘택홀과 게이트패드 및 데이터패드를 각각 노출시키는 제1 및 제2콘택홀을 형성하고, 상기 공통라인, 데이터라인 및 제1기판의 일부를 노출시키는 단계;

상기 PR패턴을 포함하는 제1기판 전면에 저저항 금속막을 증착한 후, 상기 PR패턴을 제거함으로써, 상기 드레인콘택홀을 통해 드레인전극과 접속하는 화소전극과, 상기 공통라인과 접속하는 공통전극과, 상기 제1,2콘택홀을 통해 게이트/데이터패드와 접속하는 게이트연결패드 및 데이터연결패드와, 상기 데이터라인과 접속하는 데이터 리페어라인을 형성하는 단계로 이루어지는 것을 특징으로 하는 수평전계방식 액정표시소자의 제조방법.

청구항 5.

제1항에 있어서, 상기 저저항 금속은 Cu(구리)를 사용하는 것을 특징으로 하는 수평전계방식 액정표시소자의 제조방법.

청구항 6.

제5항에 있어서, 상기 저저항 금속 상에 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)를 형성하는 단계를 더 추가하여 이루어지는 것을 특징으로 하는 수평전계방식 액정표시소자의 제조방법.

청구항 7.

제1항에 있어서, 상기 저저항 금속은 Ti(티탄)를 사용하는 것을 특징으로 하는 수평전계방식 액정표시소자의 제조방법.

청구항 8.

제1항에 있어서,

상기 제2기판 상에 블랙매트릭스를 형성하는 단계; 및

상기 블랙매트릭스 상에 칼라필터를 형성하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 수평전계방식 액정표시 소자의 제조방법.

청구항 9.

제1 및 제2기판;

상기 제1기판 상에 제1방향으로 배열된 복수의 게이트라인;

상기 게이트라인과 수직으로 교차하여 복수의 화소영역을 정의하는 데이터라인;

상기 게이트라인과 데이터라인의 교차영역에 형성된 스위칭소자;

상기 화소영역에 수평전계를 발생시키는 공통전극 및 화소전극;

상기 데이터라인을 따라 형성되며, 저저항 금속물질로 이루어진 데이터 리페어라인; 및

상기 제1 및 제2기판 상에 형성된 액정층을 포함하여 구성된 수평전계방식 액정표시소자.

청구항 10.

제9항에 있어서, 상기 데이터 리페어라인은 구리(Cu)인 것을 특징으로 하는 수평전계방식 액정표시소자.

청구항 11.

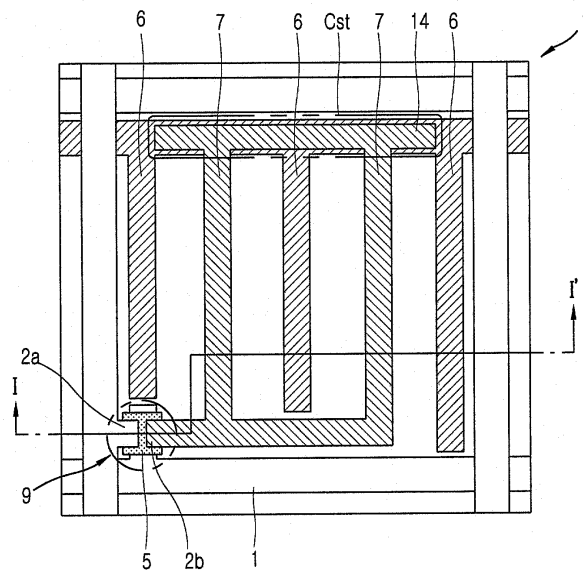
제10항에 있어서, 상기 데이터 리페어라인 상에 형성된 ITO층을 더 포함하여 구성된 것을 특징으로 하는 수평전계방식 액정표시소자.

청구항 12.

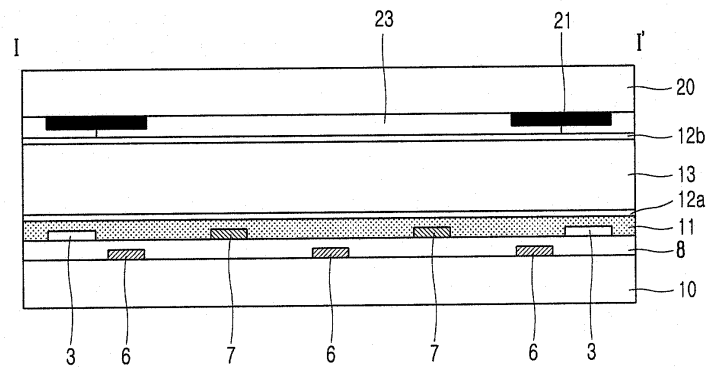
제9항에 있어서, 상기 데이터 리페어라인은 Ti(티탄)인 것을 특징으로 하는 수평전계방식 액정표시소자.

도면

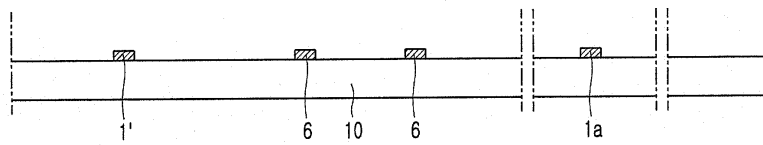
도면1a



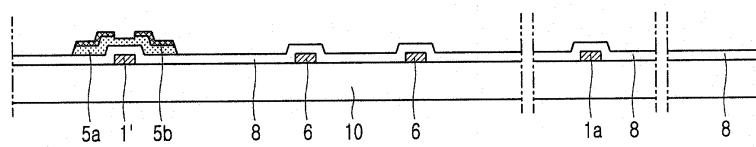
도면1b



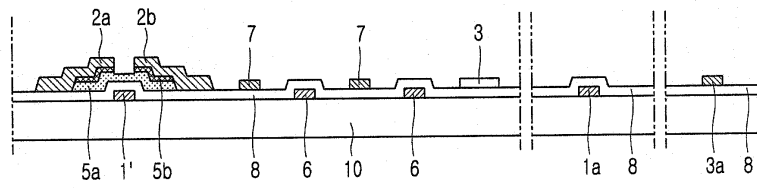
도면2a



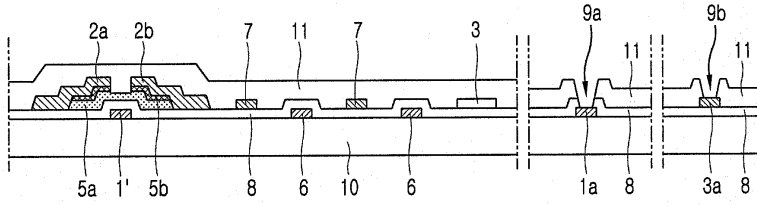
도면2b



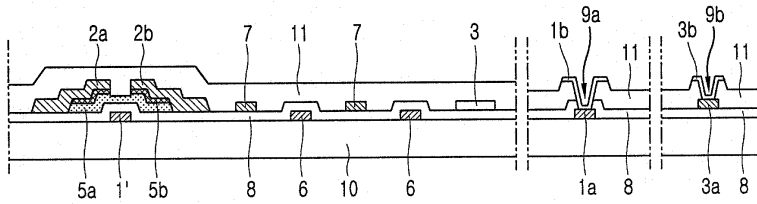
도면2c



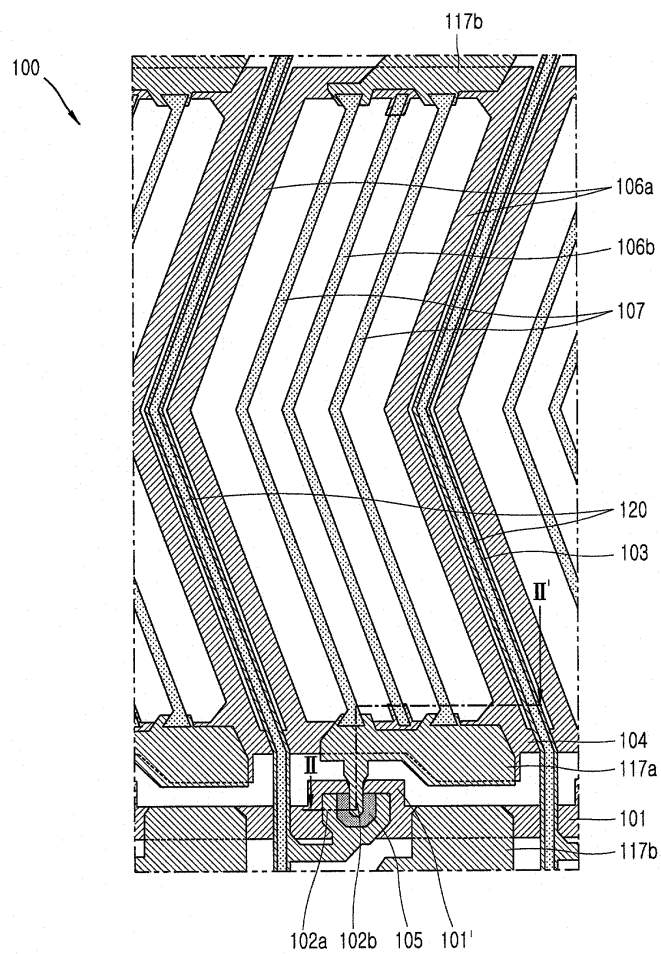
도면2d



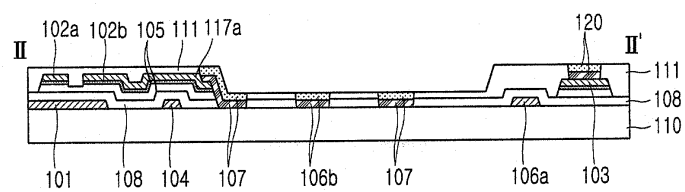
도면2e



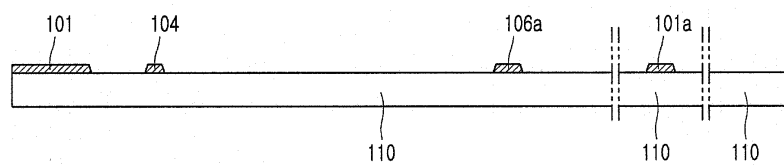
도면3a



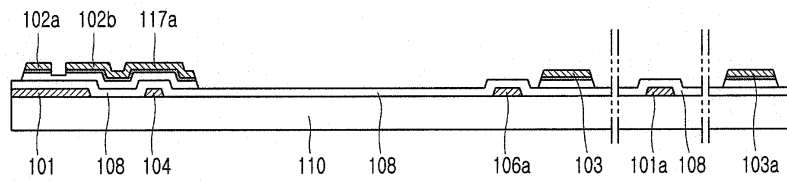
도면3b



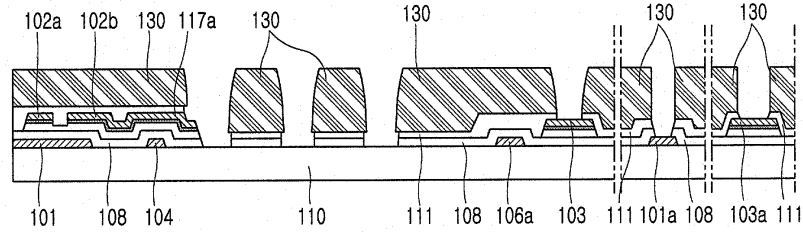
도면4a



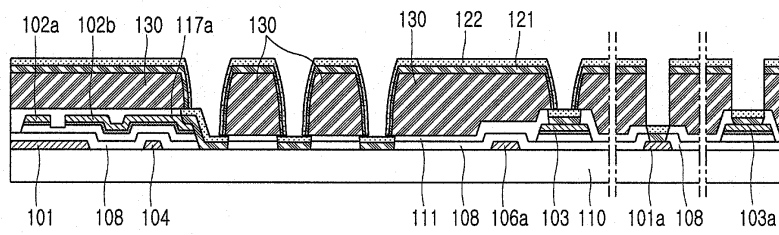
도면4b



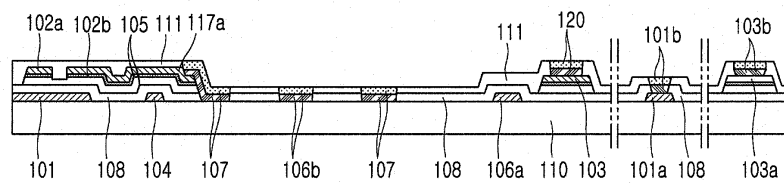
도면4c



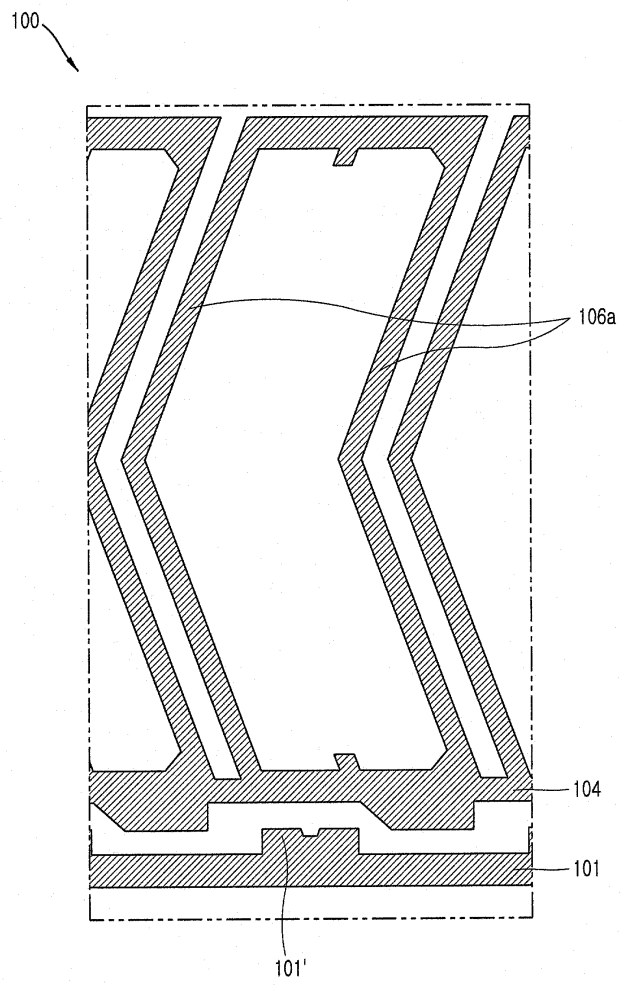
도면4d



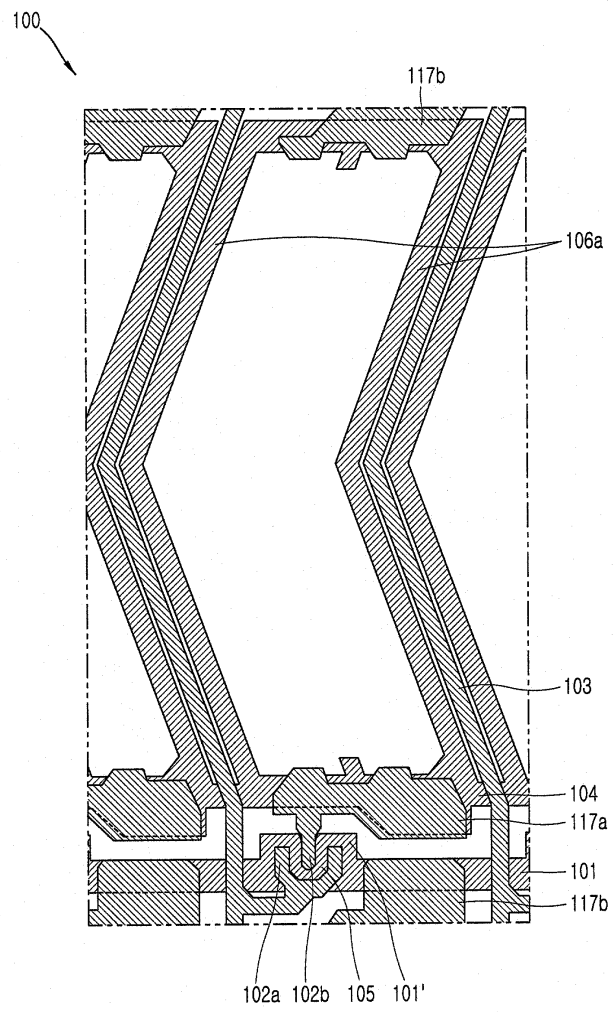
도면4e



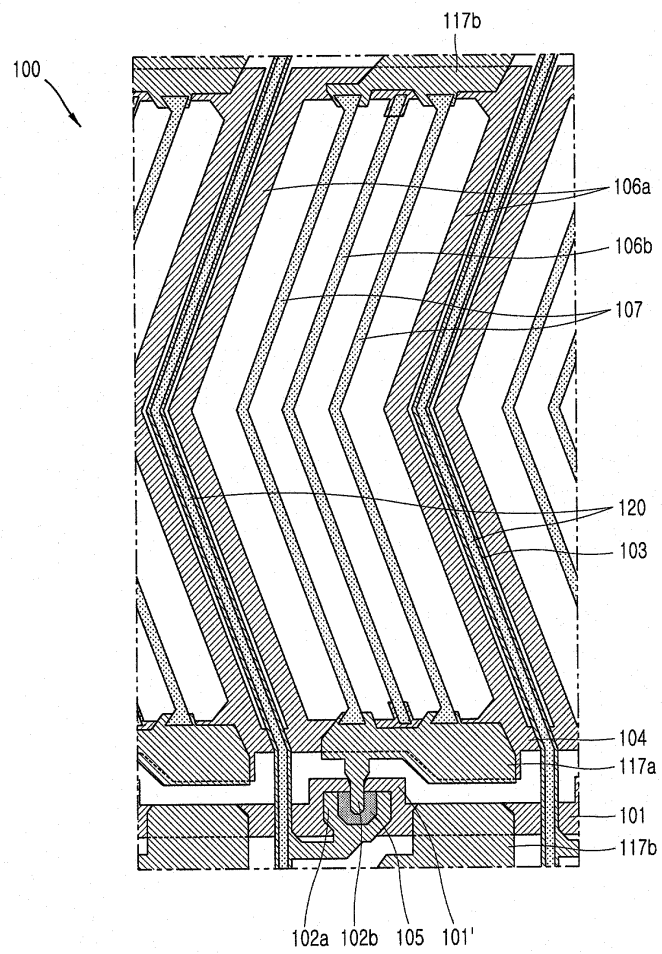
도면5a



도면5b



도면5c



专利名称(译)	水平电场系统的液晶显示装置及其制造方法		
公开(公告)号	KR1020060072743A	公开(公告)日	2006-06-28
申请号	KR1020040111462	申请日	2004-12-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO HEUNGLYUL 조흥렬 YOO SOONSUNG 류순성		
发明人	조흥렬 류순성		
IPC分类号	G02F1/136		
CPC分类号	G02F1/13439 G02F1/13458 G02F1/136259 G02F2001/136231 G02F2001/136272		
代理人(译)	PARK, JANG WON		
其他公开文献	KR101086121B1		
外部链接	Espacenet		

摘要(译)

本发明包括修理线的步骤，以修复数据线涉及的横向电场模式的液晶显示装置和制造该具有低电阻布线，制备第一衬底和第二衬底的方法；在第一基板上沉积第一金属膜，并通过第一掩模工艺形成栅极线，公共线，第一公共电极和栅极焊盘；在包括栅极线，第一公共电极和公共线的第一基板的整个表面上依次沉积第一绝缘膜，非晶硅，n+非晶硅和第二金属膜，形成数据线，半导体层（有源层，欧姆接触层），源/漏电极和数据焊盘，数据线限定像素区域；数据线和源/形成在所述基板，包括漏电极的整个表面上的第二绝缘膜，然后，通过第三掩模工艺中的数据线，所述第一基板，公共线和暴露栅极/数据焊盘的一部分。和第二公共电极和像素电极的数据线和栅极以产生横向电场/过所述衬底包括数据焊盘，与所述数据线和所述像素接触数据修复线的整个表面上沉积第一低电阻金属层并且根据制造水平电场型液晶显示装置的方法，形成连接到栅极/数据焊盘的栅极连接焊盘和数据连接焊盘。图3b

