(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
G02F 1/136 (2006.01)

(11) 공개번호 10-2006-0067292
(43) 공개일자 2006년06월20일

(21) 출원번호 10-2004-0105551
(22) 출원일자 2004년12월14일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 김현욱
경기도 용인시 기흥읍 농서리 산24번지
이준우
경기도 안양시 동안구 관양2동 인덕원삼성아파트 112동 204호
정동훈
경기도 수원시 장안구 정자동 887번지 두견마을 우방아파트 318동 2205호
엄윤성
경기도 용인시 상현동 쌍용아파트 216동 1702호
유재진
경기도 광주군 오포면 양별1리 692번지
이창훈
경기도 용인시 기흥읍 서천리 705번지 예현마을 현대홈타운 104동 1205호

(74) 대리인 유미특허법인

심사청구 : 없음

(54) 박막 트랜지스터 표시판 및 그 수리 방법

요약

본 발명의 실시예에 따른 박막 트랜지스터 표시판의 수리 방법에서는 게이트선, 게이트선과 절연되어 교차하고 있는 데이터선, 각각의 게이트선 및 데이터선과 연결되어 있으며, 드레인 전극을 가지는 박막 트랜지스터, 그리고 드레인 전극과 직접 연결되어 있는 제1 화소 전극과 제1 화소 전극으로부터 분리되어 있으며 제1 화소 전극과 용량성으로 결합되어 있는 제2 화소 전극을 포함하는 화소 전극을 포함하는 박막 트랜지스터 표시판에 있어서, 제1/제2 화소 전극을 부분적으로 선택하여 박막 트랜지스터로부터 단선시킨다.

대표도

도 4

색인어

액정표시장치, 용량성결합, 결합전극, 시인성, 화소불량

명세서

도면의 간단한 설명

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이고,

도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 공통 전극 표시판의 구조를 도시한 배치도이고,

도 3은 도 1 및 도 2의 두 표시판을 포함하는 본 발명의 한 실시예에 따른 액정 표시 장치의 구조를 도시한 배치도이고,

도 4는 도 3의 액정 표시 장치를 IV-IV'선을 따라 잘라 도시한 단면도이고,

도 5는 본 발명의 실시예에 따른 액정 표시 장치의 회로도이고.

도 6은 본 발명의 다른 실시예에 따른 액정 표시 장치의 구조를 도시한 배치도이고,

도 7은 도 6의 액정 표시 장치를 VII-VII' 선을 따라 잘라 도시한 단면도이고,

도 8은 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 구조를 도시한 단면도이고,

도 9는 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 구조를 도시한 배치도이다.

* 도면 부호에 대한 설명 *

11, 21: 배향막 12, 22: 편광판

81, 82: 접촉 보조 부재

100, 200: 표시판 110, 210: 절연 기판

121 : 게이트선 124: 게이트 전극

131a, 131b : 유지 전극선 135a, 135b: 유지 전극

136 : 용량성 보조 전극 140: 게이트 절연막

151, 154: 반도체 161, 163, 165: 저항성 접촉 부재

171, 179: 데이터선 173: 소스 전극

175a, 175b: 드레인 전극 176 : 용량성 결합 전극

180: 보호막 181, 182, 185a, 185b, 186 : 접촉 구멍

190: 화소 전극 220: 차광 부재

250: 덮개막 270: 공통 전극

91, 92, 93a, 93b, 94a, 94b,95a, 95b: 화소 전극의 절개부

71, 72, 73, 74a, 74b, 75a, 75b, 76a, 76b: 공통 전극의 절개부

300: 액정층 310: 액정 분자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 표시판 및 그 수리 방법에 관한 것으로, 더욱 상세하게는 화소가 다중 도메인으로 분할되어 있는 액정 표시 장치에 사용되는 박막 트랜지스터 표시판 및 그 수리 방법에 관한 것이다.

액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전계 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전계 생성 전극에 전압을 인가하여 액정층에 전계를 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

그 중에서도 전계가 인가되지 않은 상태에서 액정 분자의 장축을 상하 표시판에 대하여 수직을 이루도록 배열한 수직 배향 모드 액정 표시 장치는 대비비가 크고 광시야각 구현이 용이하여 각광받고 있다.

수직 배향 모드 액정 표시 장치에서 광시야각을 구현하기 위한 수단으로는 전계 생성 전극에 절개부를 형성하는 방법과 전계 생성 전극 위에 돌기를 형성하는 방법 등이 있다. 절개부와 돌기로 액정 분자가 기우는 방향을 결정할 수 있으므로, 이들을 사용하여 액정 분자의 경사 방향을 여러 방향으로 분산시킴으로써 광시야각을 확보할 수 있다.

그러나 수직 배향 방식의 액정 표시 장치는 전면 시인성에 비하여 측면 시인성이 떨어지는 문제점이 있다.

또한, 액정 표시 장치를 제조하는 공정에서 제조 원가를 상승시키는 원인 중 하나는 화소 불량(pixel defect)이며, 이중에서 화소가 항상 밝게 표시되는 화이트 불량(white defect)은 눈에 쉽게 뛰게 되므로 식별이 거의 불가능하도록 화소가 항상 어둡게 표시되는 블랙 불량(black defect)으로 바꾸어 수리하는 것이 바람직하다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 시인성을 안정적으로 확보할 수 있는 박막 트랜지스터 표시판을 제공하는 것이다.

또한, 본 발명이 이루고자 하는 다른 기술적 과제는 화소 불량을 용이하게 수리할 수 있는 박막 트랜지스터 표시판의 수리 방법을 제공하는 것이다.

발명의 구성 및 작용

이러한 과제를 해결하기 위하여 본 발명에서는 화소 전극을 적어도 둘 이상의 서브 화소 전극으로 나누고 서브 화소 전극에 서로 다른 전위가 인가되도록 한다. 이때, 화소 불량을 수리하기 위해 서브 화소 전극을 부분적으로 선택하여 데이터 신호가 전달되는 경로를 단선시킨다.

본 발명의 실시예에 따른 박막 트랜지스터 표시판의 수리 방법에서는 게이트선, 게이트선과 절연되어 교차하고 있는 데이터선, 각각의 게이트선 및 데이터선과 연결되어 있으며, 드레인 전극을 가지는 박막 트랜지스터, 그리고 드레인 전극과 직접 연결되어 있는 제1 화소 전극과 제1 화소 전극으로부터 분리되어 있으며 제1 화소 전극과 용량성으로 결합되어 있는 제2 화소 전극을 포함하는 화소 전극을 포함하는 박막 트랜지스터 표시판에 있어서, 제1/제2 화소 전극을 부분적으로 선택하여 단선시킨다.

화소 전극은 적어도 하나 이상의 소 영역으로 분할하는 절개부를 가지며, 절개부를 통하여 드러난 드레인 전극을 단선시킨다.

제1 화소 전극은 적어도 두 부분으로 나뉘어 있으며, 두 부분 중 하나를 단선시키거나, 두 부분 중 하나와 제2 화소 전극을 단선시키거나 제1/제2 화소 전극을 드레인 전극으로부터 단선시킬 수 있다.

박막 트랜지스터 표시판은 화소 전극 또는 드레인 전극과 각각 중첩하는 유지 전극을 가지는 한 유지 전극선을 더 포함하며, 화소 전극을 부분적으로 유지 전극선과 단락시킬 수 있다.

본 발명의 실시예에 따른 박막 트랜지스터 표시판은, 게이트선, 게이트선과 절연되어 교차하고 있는 데이터선, 각각의 게이트선 및 데이터선과 연결되어 있으며, 드레인 전극을 가지는 박막 트랜지스터, 그리고 드레인 전극과 직접 연결되어 있는 제1 화소 전극과 제1 화소 전극으로부터 분리되어 있으며 제1 화소 전극과 용량성으로 결합되어 있는 제2 화소 전극을 포함하는 화소 전극을 포함한다. 이때, 화소 전극은 화소 전극을 적어도 하나 이상의 소 영역으로 분할하는 절개부를 가지며, 드레인 전극과 중첩하는 절개부는 다른 부분보다 넓은 폭을 가진다.

제1 화소 전극은 제2 화소 전극을 중심으로 두 부분으로 분리되어 있고, 드레인 전극은 두 부분과 각각 연결되는 확장부를 가지는 것이 바람직하다.

또한, 두 부분과 연결된 확장부와 각각 중첩하는 유지 전극을 각각 가지는 한 쌍의 유지 전극선을 더 포함할 수 있으며, 유지 전극선 쌍은 서로 이웃하는 두 게이트선의 중심선에 대하여 대칭 구조로 이루어진 것이 바람직하고, 두 부분 또한 중심선에 대하여 대칭 구조로 이루어진 것이 바람직하다.

드레인 전극은 두 확장부를 연결하는 연결부를 가지며, 연결부는 게이트선과 데이터선으로 둘러싸인 영역의 최외각 가장자리에 배치되어 있으며 데이터선과 평행한 것이 바람직하다.

제2 화소 전극과 중첩하며 드레인 전극과 연결되어 있는 용량성 결합 전극을 더 포함할 수 있으며, 제2 화소 전극과 연결되어 있으며, 용량성 결합 전극과 중첩하는 용량성 보조 전극을 더 포함할 수 있다.

화소 전극과 절연되어 있으며, 게이트선 또는 데이터선과 적어도 일부분 중첩되어 있는 차폐 전극을 더 포함할 수 있으며, 화소 전극과 차폐 전극은 서로 동일한 층으로 이루어진 것이 바람직하다.

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 박막 트랜지스터 표시판 및 이를 포함하는 액정 표시 장치에 대하여 설명한다.

먼저, 도 1 내지 도 5를 참고로 하여 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 상세하게 설명한다.

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치용 공통 전극 표시판의 구조를 도시한 배치도이고, 도 3은 도 1의 박막 트랜지스터 표시판과 도 2의 박막 트랜지스터 표시판으로 이루어진 액정 표시 장치의 구조를 도시한 배치도이고, 도 4는 도 3의 액정 표시 장치를 IV-IV'선을 따라 자른 단면도이고, 도 5는 본 발명의 실시예에 따른 액정 표시 장치에서 한 화소의 구성을 도시한 회로도이다.

본 실시예에 따른 액정 표시 장치는 박막 트랜지스터 표시판(100), 이와 마주하는 공통 전극 표시판(200), 이들 두 표시판(100, 200) 사이에 삽입되어 있는 액정층(3)을 포함한다.

먼저, 도 1, 도 3 및 도 4를 참고로 하여 박막 트랜지스터 표시판(100)에 대하여 상세하게 설명한다.

절연 기판(110) 위에 복수의 게이트선(gate line)(121)과 복수의 유지 전극선(storage electrode lines)(131a, 131b)과 복수의 용량성 보조 전극(136)이 형성되어 있다.

게이트선(121)은 주로 가로 방향으로 뻗어 있고 서로 분리되어 있으며, 게이트 신호를 전달한다. 각 게이트선(121)은 복수의 게이트 전극(gate electrode)(124)을 이루는 복수의 돌출부와 다른 층 또는 외부 장치의 접속을 위한 면적이 넓은 끝 부분(129)을 포함한다.

각각의 유지 전극선(131a, 131b)은 주로 가로 방향으로 뻗어 있으며, 서로 이웃하는 게이트선(121) 사이에서 각각 쌍으로 배치되어 있다. 각각의 유지 전극선(131a, 131b)은 서로 이웃하는 게이트선(121) 부근에 위치하고 있으며, 유지 전극(135a, 135b)을 이루는 복수의 돌출부를 각각 포함한다. 두 유지 전극(135a, 135b)은 서로 이웃하는 게이트선(121) 사이에서 확장되어 있으며, 두 유지 전극선(131a, 131b)은 서로 이웃하는 게이트선(121)의 중심선에 대하여 대칭 구조를 이룬다. 유지 전극선(131a, 131b)에는 액정 표시 장치의 공통 전극 표시판(200)의 공통 전극(common electrode)(270)에 인가되는 공통 전압(common voltage) 따위의 소정의 전압이 인가된다.

각각의 용량성 보조 전극(136)은 주로 가로 방향으로 뻗어 직사각형 모양을 이루고 있으며, 서로 이웃하는 두 게이트선(121) 사이의 중앙에 위치한다. 각각의 용량성 보조 전극(136)은 왼쪽은 게이트선(121)에 대하여 45° 기울어진 빗변을 가져 왼쪽은 깔때기 모양을 이룬다.

게이트선(121), 유지 전극선(131a, 131b) 및 용량성 보조 전극(136)은 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속, 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 따위로 이루어지는 것이 바람직하며, 단일막 구조를 가지거나 다층막 구조로 이루어질 수 있다. 다층막, 예를 들어 물리적 성질이 다른 두 개의 막, 즉 하부막과 그 위의 상부막을 포함할 수 있다. 하나의 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)이나 은 합금 등 은 계열의 금속, 구리(Cu)나 구리 합금 등 구리 계열의 금속으로 이루어질 수 있다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를테면 크롬, 몰리브덴(Mo), 몰리브덴 합금, 탄탈륨(Ta), 또는 티타늄(Ti) 등으로 이루어질 수 있다. 두 도전막의 좋은 예로는 크롬/알루미늄-네오디뮴(Nd) 합금 또는 몰리브덴 또는 몰리브덴 합금/알루미늄 합금을 들 수 있다.

또한 게이트선(121), 유지 전극선(131a, 131b) 및 용량성 보조 전극(136)의 측면은 기판(110)의 표면에 대하여 경사져 있으며 그 경사각은 약 30-80°인 것이 바람직하다.

게이트선(121), 유지 전극선(131a, 131b) 및 용량성 보조 전극(136) 위에는 질화규소(SiN_x) 따위로 이루어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.

게이트 절연막(140) 상부에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 등으로 이루어진 복수의 섬형 반도체(154)가 형성되어 있다. 각각의 섬형 반도체(154)는 주로 게이트 전극(124)의 상부에 위치하며, 이후의 데이터선(171)이 지나갈 게이트선(121)의 상부까지 확장되어 있다. 섬형 반도체(154)와 동일한 층으로 데이터선(171)이 지나갈 유지 전극선(131)의 상부에도 버퍼층이 추가될 수 있다.

반도체(154)의 상부에는 실리사이드(silicide) 또는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 복수의 섬형 저항성 접촉 부재(ohmic contact)(163, 165)가 형성되어 있다. 두 섬형 저항성 접촉 부재(163, 165)는 쌍을 이루어 반도체(154) 위에 배치되어 있는데, 게이트 전극(124)을 중심으로 서로 마주한다.

섬형의 반도체(154)와 저항성 접촉 부재(163, 165)의 측면 역시 기판(110)의 표면에 대하여 경사져 있으며 그 경사각은 30-80°인 것이 바람직하다.

저항 접촉 부재(163, 165) 및 게이트 절연막(140) 위에는 각각 복수의 데이터선(data line)(171)과 이로부터 분리되어 있는 복수의 드레인 전극(drain electrode)(175) 및 드레인 전극(175)에 연결되어 있는 용량성 결합 전극(176)이 형성되어 있다.

데이터선(171)은 주로 세로 방향으로 뻗어 게이트선(121) 및 유지 전극선(131a, 131b)과 교차하며 데이터 전압(data voltage)을 전달한다. 각 데이터선(171)은 다른 층 또는 외부 장치와의 접속을 위한 넓은 끝 부분(179)을 가지고 있다.

각각의 드레인 전극(175)은 각각의 유지 전극(135a, 135b)과 중첩하는 직사각형 확장부(175a, 175b)를 포함한다. 드레인 전극의 확장부(175a, 175b) 변은 유지 전극(133a, 133b)의 변과 실질적으로 평행하며, 서로 이웃하는 게이트선(121)의

중심선에 대하여 대칭 구조를 이룬다. 데이터선(171) 각각은 복수의 돌출부를 포함하며, 이 돌출부는 반도체(154) 상부에 위치하는 드레인 전극(175)의 한쪽 끝 부분을 일부 둘러싸는 소스 전극(173)을 이룬다. 하나의 게이트 전극(124), 하나의 소스 전극(173) 및 하나의 드레인 전극(175)은 반도체(154)와 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 반도체(154)에 형성된다.

또한, 드레인 전극(175)은 화소의 중앙에서 세로 방향으로 뻗어 용량성 보조 전극(136)과 중첩하는 용량성 결합 전극(176)을 가지는데, 용량성 보조 전극(136)의 변과 평행한 변을 가져 왼쪽 일부는 깔때기 구조를 가진다. 용량성 결합 전극(176)은 경계선 안에서 용량성 보조 전극(136)의 상부에 위치하는 개구부(76)를 가진다.

또한, 드레인 전극(175)은 드레인 전극(175)의 두 확장부(175a, 175b)와 용량성 결합 전극(176)을 서로 연결하며, 데이터선(171)에 인접하고 평행하며 서로 인접한 게이트선(121)의 중심선에 대하여 대칭으로 뻗은 연결부(177a, 177b)를 가진다. 따라서, 드레인 전극(175), 용량성 결합 전극(176) 및 용량성 보조 전극(136)은 서로 이웃하는 게이트선(121)의 중심선에 대하여 대칭 구조를 가진다. 이때, 연결부(177a, 177b)는 게이트선(121)과 데이터선(171)으로 둘러싸인 영역의 최외각 가장자리에 배치되어 화상이 표시되는 투과 영역을 감소시키지 않으며, 투과 영역의 가장자리에서 발생하는 텍스쳐를 차단하는 기능을 가진다.

데이터선(171), 드레인 전극(175) 및 용량성 결합 전극(176) 또한 크롬 또는 몰리브덴 계열의 금속, 탄탈륨 및 티타늄 등 내화성 금속을 포함하는 것이 바람직하며, 단일막 구조 또는 몰리브덴, 몰리브덴 합금, 크롬 따위의 도전막(도시하지 않음)과 그 상부 또는 하부에 위치한 알루미늄 계열 금속인 도전막(도시하지 않음)으로 이루어진 다층막 구조를 가질 수 있다.

데이터선(171), 용량성 결합 전극(176) 및 드레인 전극(175)도 게이트선(121) 및 유지 전극선(131a, 131b)과 마찬가지로 그 측면이 약 30-80°의 각도로 각각 경사져 있다.

저항성 접촉 부재(163, 165)는 그 하부의 반도체(154)와 그 상부의 데이터선(171) 및 드레인 전극(175) 사이에만 존재하며 접촉 저항을 낮추어 주는 역할을 한다. 섬형의 반도체(154)는 소스 전극(173)과 드레인 전극(175) 사이를 비롯하여 데이터선(171) 및 드레인 전극(175)에 가리지 않고 노출된 부분을 가지고 있다.

데이터선(171), 드레인 전극(175) 및 용량성 결합 전극(176)과 이들로 덮이지 않고 노출된 반도체(154) 부분의 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기 물질, 플라스마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등 4.0 이하의 저유전율 절연 물질, 또는 무기 물질인 질화 규소나 산화 규소 따위로 이루어진 것이 바람직하다.

보호막(180)에는 드레인 전극(175)의 확장부(175a, 175b)와 데이터선(171)의 끝 부분(179)을 각각 드러내는 복수의 접촉 구멍(contact hole)(182, 185a, 185b)이 형성되어 있으며, 게이트 절연막(140)과 함께 용량성 보조 전극(136)과 게이트선(121)의 끝 부분(129)을 드러내는 복수의 접촉 구멍(181, 186)이 형성되어 있다. 접촉 구멍(181, 182, 185a, 185b, 186)은 다각형 또는 원 모양 등 다양한 모양으로 만들어질 수 있다. 접촉 구멍(181, 182)의 면적은 약 0.5mm×15μm 이상, 약 2mm×60μm 이하인 것이 바람직하다. 접촉 구멍(181, 182, 185a, 185b, 186)의 측벽은 30° 내지 85°의 각도로 기울어져 있거나 계단형이다.

이때, 용량성 보조 전극(136)을 드러내는 접촉 구멍(186)은 용량성 결합 전극(176)의 개구부(76) 안에 위치하여 접촉 구멍(186)의 측벽에 의해 발생하는 단차로 인하여 액정 분자의 배열이 왜곡되어 이 부분에서 누설되는 빛이 발생하더라도 용량성 결합 전극(176)에 의해 차단된다. 따라서, 화소의 개구율을 최대한 확보하면서 원하지 않는 표시 부분의 누설광을 효과적으로 차단할 수 있다. 용량성 보조 전극(136)을 드러내는 접촉 구멍(186)을 용량성 결합 전극(176)의 밖에 배치하기 위해서는 단차로 인하여 발생하는 액정 분자의 배열 왜곡을 차단하기 위해 용량성 보조 전극(136)을 확장해야 하고, 그 폭은 공정 마진(margin)까지 고려하여 넓혀야 하므로 화소의 개구율을 저하시킨다.

보호막(180) 위에는 ITO 또는 IZO로 이루어진 복수의 제1/제2 화소 전극(pixel electrode)(190a, 190b), 차폐 전극(shielding electrode)(88) 및 복수의 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다. 이와는 달리, 제1/제2 화소 전극(190a, 190b)은 투명한 도전성 폴리머로 만들어질 수도 있고, 반사형 액정 표시 장치의 경우에는 제1/제2 화소 전극(190a, 190b)이 불투명한 반사성 금속으로 만들어질 수도 있다. 이 경우, 접촉 보조 부재(81, 82)는 제1/제2 화소 전극(190a, 190b)과 다른 물질, 예를 들면 ITO나 IZO로 만들어질 수 있다.

제1/제2 화소 전극(190a, 190b)은 접촉 구멍(185a, 185b)을 통하여 드레인 전극(175)과 물리적·전기적으로 연결되어 드레인 전극(175)으로부터 데이터 전압을 인가 받는다.

제1/제2 화소 전극(190a. 190b)과 공통 전극(270)은 축전기[이하 "액정 축전기(liquid crystal capacitor)"라 함]를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지하는데, 전압 유지 능력을 강화하기 위하여 액정 축전기와 병렬로 연결된 다른 축전기를 두며 이를 유지 축전기(storage capacitor)라 한다. 유지 축전기는 제1/제2 화소 전극(190a, 190b)과 유지 전극선(131a, 131b)의 중첩 등으로 만들어지며, 유지 축전기의 정전 용량, 즉 유지 용량을 늘리기 위하여, 유지 전극선(131a, 131b)에 유지 전극(135a, 135b)을 두고 제1/제2 화소 전극(190a, 190b)에 연결된 드레인 전극(175)을 연장 및 확장시켜 중첩시킴으로써 단자 사이의 거리를 가깝게 하고 중첩 면적을 크게 한다.

한 쌍의 제1/제2 화소 전극(190a, 190b)은 데이터선(171)과 게이트선(121)으로 둘러싸인 영역 내에 거의 존재하고 경계의 대부분이 게이트선(121) 및 데이터선(171)과 평행하여 직사각형을 이룬다. 제1/제2 화소 전극(190a, 190b)은 서로 분리되어 있는데, 제1 화소 전극(190a)은 서로 분리되어 있으며 제2 화소 전극(190b)을 중심으로 상부 및 하부에 위치하는 두 부분으로 이루어져, 제2 화소 전극(190b)은 제1 화소 전극(190a)의 두 부분 사이에 끼인 형태이다. 제1 화소 전극(190a)의 두 부분과 제2 화소 전극(190b)은 서로 마주하며 게이트선(121)에 대하여 ±45° 기울어진 변을 가지고 있어 서로 이웃하는 게이트선(121) 사이의 중심선에 대하여 대칭 구조를 가진다.

제1 화소 전극(190a)의 두 부분은 각각 접촉 구멍(185a, 185b)을 통하여 한 쌍의 드레인 전극(175a, 175b)과 물리적으로 연결되어 이로부터 직접 데이터 전압을 인가 받는다. 제2 화소 전극(190b)은 접촉 구멍(186)을 통하여 용량성 보조 전극(136)과 연결되어 있는데, 용량성 보조 전극(136)은 드레인 전극(175)과 연결된 용량성 결합 전극(176)과 중첩한다. 따라서, 제2 화소 전극(190b)은 제1 화소 전극(190a)에 전자기적으로 결합(용량성)되어 있다.

각 제1/제2 화소 전극(190a, 190b)은 모퉁이에서 모따기되어 있으며, 모따기된 빗변은 게이트선(121)에 대하여 약 45도의 각도를 이룬다.

제1/제2 화소 전극(190a, 190b)은 중앙 절개부(91, 92), 하부 절개부(93a, 94a, 95a) 및 상부 절개부(93b, 94b, 95b)를 가지며, 제1/제2 화소 전극(190a, 190b)은 이들 절개부(91, 92, 93a, 93b, 94a, 94b, 95a, 95b)에 의하여 복수의 영역으로 분할된다. 절개부(91, 92, 93a, 93b, 94a, 94b, 95a, 95b)는 용량성 결합 전극(176)의 가로 중심선 또는 서로 이웃하는 게이트선(121) 사이의 중심선에 대하여 거의 대칭 구조를 이루고 있으며, 제1 화소 전극(190a)의 두 부분과 제2 화소 전극(190b)은 마주하는 두 절개부(93a, 93b)를 통하여 분리되어 있다.

하부 및 상부 절개부(93a, 93b, 94a, 94b, 95a, 95b)는 대략 제1/제2 화소 전극(190a, 190b)의 왼쪽 변에서부터 오른쪽 변으로 비스듬하게 뻗어 있으며, 제1/제2 화소 전극(190a, 190b)을 가로방향으로 이등분하는 중심선으로 나누는 하반면과 상반면에 각각 위치하고 있다. 하부 및 상부 절개부(93a, 93b, 94a, 94b, 95a, 95b)는 게이트선(121)에 대하여 약 45도의 각도를 이루며 서로 수직하게 뻗어 있으며, 중앙 절개부(91, 92)는 하부 절개부(93a, 94a, 95a)와 상부 절개부(93b, 94b, 95b)에 각각 거의 평행한 한 쌍의 분지로 이루어져 있다. 중앙 절개부(91, 92)는 중앙에서 가로 방향으로 뻗은 가로부를 가진다.

따라서, 제1/제2 화소 전극(190a, 190b)의 상반면과 하반면은 절개부(91, 92, 93a, 93b, 94a, 94b, 95a, 95b)에 의하여 각각 여섯 개의 영역으로 나누어지며, 이러한 영역들은 제1/제2 화소 전극(190a, 190b)을 상하로 나누는 이등분선 또는 서로 이웃하는 게이트선(121) 사이의 중심선에 대하여 대칭 구조를 가진다. 또한, 드레인 전극(175a, 175b), 유지 전극선(131a, 131b), 용량용 결합 전극(176) 및 용량용 보조 전극(136) 등과 같은 박막으로 가지지 않는 영역도 제1/제2 화소 전극(190a, 190b)을 상하로 나누는 이등분선 또는 서로 이웃하는 게이트선(121) 사이의 중심선에 대하여 대칭 구조를 가진다. 이 때, 영역의 수효 또는 절개부의 수효는 화소의 크기, 화소 전극의 가로변과 세로 변의 길이 비, 액정층(3)의 종류나 특성 등 설계 요소에 따라서 달라진다.

이때, 제1/제2 화소 전극(190a, 190b)의 절개부(91, 92, 93a, 93b, 94a, 94b, 95a, 95b) 중 드레인 전극(175)의 연결부(177a, 177b)와 중첩하는 절개부(92)의 끝 부분은 다른 부분보다 넓은 폭을 가지거나 길게 연장되어 연결부(177a, 177b)가 절개부(92)를 통하여 드러나는 것이 바람직하다. 이는 화소가 밝게 표시되는 화이트 불량을 화소가 어둡게 표시되는 블랙 불량으로 수리할 때, 수리를 용이하게 실시하기 위함이며, 이에 대해서는 이후에 구체적으로 설명하기로 한다.

제1/제2 화소 전극(190a, 190b)은 또한 이웃하는 게이트선(121) 또는 데이터선(171)과 중첩되어 개구율(aperture ratio)을 높이고 있다.

접촉 보조 부재(81, 82)는 접촉 구멍(181, 182)을 통하여 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 각각 연결된다. 접촉 보조 부재(81, 82)는 게이트선(121)의 노출된 끝 부분(129) 및 데이터선(171)의 노출된 끝 부분(179)과 외부 장치와의 접착성을 보완하고 이들을 보호하는 역할을 하는 것이다. 접촉 보조 부재(81, 82)는 이방성 도전막(도시하지 않음) 등을 통하여 외부 장치와 연결된다.

게이트 구동 회로가 박막 트랜지스터 표시판(100)에 집적되는 경우에는 접촉 보조 부재(81)는 게이트 구동 회로의 금속층과 게이트선(121)을 연결하는 역할을 할 수 있다. 마찬가지로 데이터 구동 회로가 박막 트랜지스터 표시판(100)에 집적되는 경우에 접촉 보조 부재(82)는 데이터 구동 회로의 금속층과 데이터선(171)을 연결하는 역할을 할 수 있다.

차폐 전극(88)은 데이터선(171) 및 게이트선(121)을 따라 뻗어 있으며 데이터선(171) 상부에 위치하는 부분은 데이터선(171)을 완전히 덮으며, 게이트선(121) 상부에 위치하는 부분은 게이트선(121)의 폭보다 작은 폭을 가지며 게이트선(121)의 경계선 안에 위치한다. 그러나 그 너비를 조절하여 데이터선(171)보다 작을 수도 있으며, 게이트선(121)의 경계선 밖에 위치하는 경계선을 가질 수 있다. 차폐 전극(88)에는 공통 전압이 인가되는데, 이를 위하여 보호막(180) 및 게이트 절연막(140)의 접촉 구멍(도시하지 않음)을 통하여 유지 전극선(131)에 연결되거나, 공통 전압을 박막 트랜지스터 표시판(100)에서 공통 전극 표시판(200)으로 전달하는 단락점(short point)(도시하지 않음)에 연결될 수도 있다. 이때, 개구율 감소가 최소가 되도록 차폐 전극(88)과 제1/제2 화소 전극(190a, 190b) 사이의 거리를 최소로 하는 것이 바람직하다.

이와 같이 공통 전압이 인가되는 차폐 전극(88)을 데이터선(171) 상부에 배치하면 차폐 전극(88)이 데이터선(171)과 제1/제2 화소 전극(190a, 190b) 사이 및 데이터선(171)과 공통 전극(270) 사이에서 형성되는 전계를 차단하여 제1/제2 화소 전극(190a, 190b)의 전압 왜곡 및 데이터선(171)이 전달하는 데이터 전압의 신호 지연이 줄어든다.

또한, 제1/제2 화소 전극(190a, 190b)과 차폐 전극(88)의 단락을 방지하기 위하여 이들 사이에 거리를 두어야 하므로, 제1/제2 화소 전극(190a, 190b)이 데이터선(171)으로부터 더 멀어져 이들 사이의 기생 용량이 줄어든다. 더욱이, 액정층(3)의 유전율(permittivity)이 보호막(180)의 유전율보다 높기 때문에, 데이터선(171)과 차폐 전극(88) 사이의 기생 용량이 차폐 전극(88)이 없을 때 데이터선(171)과 공통 전극(270) 사이의 기생 용량에 비하여 작다.

뿐만 아니라, 제1/제2 화소 전극(190a, 190b)과 차폐 전극(88)이 동일한 층으로 만들어지기 때문에 이들 사이의 거리가 일정하게 유지되며 이에 따라 이들 사이의 기생 용량이 일정하다.

다음, 도 2 내지 도 4를 참고로 하여, 공통 전극 표시판(200)에 대하여 설명한다.

투명한 유리 등으로 이루어진 절연 기판(210) 위에 차광 부재(220)가 형성되어 있으며, 차광 부재(220)는 제1/제2 화소 전극(190a, 190b)과 마주보며 제1/제2 화소 전극(190a, 190b)과 거의 동일한 모양을 가지는 복수의 개구부를 가지고 있다. 이와는 달리 차광 부재(220)는 데이터선(171)에 대응하는 부분과 박막 트랜지스터에 대응하는 부분으로 이루어질 수도 있다.

기판(210) 위에는 또한 복수의 색필터(230)가 형성되어 있으며 차광 부재(230)로 둘러싸인 영역 내에 대부분 위치한다. 색필터(230)는 제1/제2 화소 전극(190a, 190b)을 따라서 세로 방향으로 길게 뻗을 수 있다. 색필터(230)는 적색, 녹색 및 청색 등의 원색 중 하나를 표시할 수 있다.

색필터(230)의 위에는 덮개막(250)이 형성되어 있다.

덮개막(250)의 위에는 ITO, IZO 등의 투명한 도전체 따위로 이루어진 공통 전극(270)이 형성되어 있다.

공통 전극(270)은 복수 벌의 절개부(71, 72, 73, 73a, 73b, 74a, 74b, 75a, 75b, 76a, 76b) 집합을 가진다.

한 벌의 절개부(71, 72, 73, 74a, 74b, 75a, 75b, 76a, 76b)는 하나의 제1/제2 화소 전극(190a, 190b)과 마주 보며 중앙 절개부(71, 72, 73), 하부 절개부(74a, 75a, 76a) 및 상부 절개부(74b, 75b, 76b)를 포함한다. 절개부(71, 72, 73, 74a, 74b, 75a, 75b, 76a, 76b) 각각은 인접한 제1/제2 화소 전극(190a, 190b)의 절개부(91, 92, 93a, 93b, 94a, 94b, 95a, 95b) 사이 또는 가장자리 절개부(95a, 95b)와 제1/제2 화소 전극(190a, 190b)의 빗변 사이에 배치되어 있다. 또한, 각 절개부(71, 72, 73, 74a, 74b, 75a, 75b, 76a, 76b)는 제1/제2 화소 전극(190a, 190b)의 절개부(91, 92, 93a, 93b, 94a, 94b, 95a, 95b)와 평행하게 뻗은 적어도 하나의 사선부를 포함한다.

하부 및 상부 절개부(74a, 74b, 75a, 75b, 76a, 76b) 각각은 대략 제1/제2 화소 전극(190a, 190b)의 오른쪽 변에서 아래쪽 또는 위쪽 변을 향하여 뻗은 사선부, 그리고 사선부의 각 끝에서부터 제1/제2 화소 전극(190a, 190b)의 변을 따라 변과 중첩하면서 뻗으며 사선부와 둔각을 이루는 가로부 및 세로부를 포함한다.

중앙 절개부(71, 72, 73)는 대략 제1/제2 화소 전극(190a, 190b)의 왼쪽 변에서부터 가로부로 뻗은 중앙 가로부, 이 중앙 가로부의 끝에서 중앙 가로부와 빗각을 이루며 제1/제2 화소 전극(190a, 190b)의 왼쪽 변을 향하여 뻗은 한 쌍의 사선부, 그리고 사선부의 각 끝에서부터 제1/제2 화소 전극(190a, 190b)의 왼쪽 변을 따라 왼쪽 변과 중첩하면서 뻗으며 사선부와 둔각을 이루는 종단 세로부를 포함한다.

절개부(71, 72, 73, 74a, 74b, 75a, 75b, 76a, 76b)의 수효는 설계 요소에 따라 달라질 수 있으며, 차광 부재(220)가 절개부(71, 72, 73, 74a, 74b, 75a, 75b, 76a, 76b)와 중첩하여 절개부(71, 72, 73, 74a, 74b, 75a, 75b, 76a, 76b) 부근의 빛샘을 차단할 수 있다.

표시판(100, 200)의 안쪽 면에는 수직 배향막(11, 21)이 각각 도포되어 있고, 바깥쪽 면에는 편광판(12, 22)이 구비되어 있다.

두 편광판(12, 22)의 투과축은 직교하며 이중 한 투과축은 게이트선(121)에 대하여 나란하다. 반사형 액정 표시 장치의 경우에는 두 개의 편광판(12, 22) 중 하나가 생략될 수 있다.

배향막(11, 21)은 수평 배향막일 수 있다.

액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자(310)는 전계가 없는 상태에서 그 장축이 두 표시판의 표면에 대하여 수직을 이루도록 배향되어 있다. 따라서 입사광은 직교 편광자(12, 22)를 통과하지 못하고 차단된다.

표시판(100, 200)과 편광자(12, 22)의 사이에는 각각 액정층(3)의 지연값을 보상하기 위한 위상 지연 필름(retardation film)이 낄 수 있다. 위상 지연 필름은 복굴절성(birefringce)을 가지며 액정층(3)의 복굴절성을 역으로 보상하는 역할을 한다. 지연 필름으로는 일축성 또는 이축성 광학 필름을 사용할 수 있으며, 특히 음성(negative) 일축성 광학 필름을 사용할 수 있다.

액정 표시 장치는 또한 편광자(12, 22), 위상 지연 필름, 표시판(100, 200) 및 액정층(3)에 빛을 공급하는 조명부(backlight unit)를 포함할 수 있다.

또한 공통 전극(270)과 차폐 전극(88)에 동일한 공통 전압이 인가되므로 둘 사이에는 전계가 거의 없다. 따라서 공통 전극(270)과 차폐 전극(88) 사이에 위치한 액정 분자들(310)은 초기 수직 배향 상태를 그대로 유지하므로 이 부분에 입사된 빛은 투과되지 못하고 차단된다.

한편, 액정 분자들의 경사 방향과 편광자(12, 22)의 투과축이 45도를 이루면 최고 휘도를 얻을 수 있는데, 본 실시예의 경우 모든 도메인에서 액정 분자들의 경사 방향이 게이트선(121)과 45°의 각을 이루며 게이트선(121)은 표시판(100, 200)의 가장자리와 수직 또는 수평이다. 따라서 본 실시예의 경우 편광자(12, 22)의 투과축을 표시판(100, 200)의 가장자리에 대하여 수직 또는 평행이 되도록 부착하면 최고 휘도를 얻을 수 있을 뿐 아니라 편광자(12, 22)를 저렴하게 제조할 수 있다.

공통 전극(270)에 공통 전압을 인가하고 제1/제2 화소 전극(190a, 190b)에 데이터 전압을 인가하면 표시판의 표면에 거의 수직인 주 전계(primary electric field)가 생성된다. 액정 분자(310)들은 전계에 응답하여 그 장축이 전계의 방향에 수직을 이루도록 방향을 바꾸고자 한다. 한편, 공통 전극(270) 및 제1/제2 화소 전극(190a, 190b)의 절개부(71, 72, 73, 74a, 74b, 75a, 75b, 76a, 76b, 91, 92, 93a, 93b, 94a, 94b, 95a, 95b)와 제1/제2 화소 전극(190a, 190b) 변은 주 전계를 왜곡하여 액정 분자들의 경사 방향을 결정하는 수평 성분을 만들어낸다. 주 전계의 수평 성분은 절개부(71, 72, 73, 74a, 74b, 75a, 75b, 76a, 76b, 91, 92, 93a, 93b, 94a, 94b, 95a, 95b)의 변과 제1/제2 화소 전극(190a, 190b)의 변에 수직이다. 또한 절개부(71, 72, 73, 74a, 74b, 75a, 75b, 76a, 76b, 91, 92, 93a, 93b, 94a, 94b, 95a, 95b)의 마주보는 두 변에서의 주 전계의 수평 성분은 서로 반대 방향이다.

이러한 전계를 통하여 절개부(71, 72, 73, 74a, 74b, 75a, 75b, 76a, 76b, 91, 92, 93a, 93b, 94a, 94b, 95a, 95b)는 액정층(3)의 액정 분자가 기울어지는 방향을 제어한다. 인접하는 절개부(71, 72, 73, 74a, 74b, 75a, 75b, 76a, 76b, 91, 92,

93a, 93b, 94a, 94b, 95a, 95b)에 의하여 정의되거나 절개부(76a, 76b)와 제1/제2 화소 전극(190a, 190b)의 오른쪽 빗변에 의하여 정의되는 각 도메인 내에 있는 액정 분자는 절개부(71, 72, 73, 74a, 74b, 75a, 75b, 76a, 76b, 91, 92, 93a, 93b, 94a, 94b, 95a, 95b)의 길이 방향에 대하여 수직을 이루는 방향으로 기울어진다. 각 도메인의 가장 긴 변 2개는 거의 나란하고 게이트선(121)과 약 ±45도를 이루며, 도메인 내에서 액정 분자 대부분은 4방향으로 기울어진다.

절개부(71, 72, 73, 74a, 74b, 75a, 75b, 76a, 76b, 91, 92, 93a, 93b, 94a, 94b, 95a, 95b)의 너비는 약 9μm 내지 약 12μm인 것이 바람직하다.

적어도 하나의 절개부(71, 72, 73, 74a, 74b, 75a, 75b, 76a, 76b, 91, 92, 93a, 93b, 94a, 94b, 95a, 95b)는 돌기(protrusion)(도시하지 않음)나 함몰부(depression)(도시하지 않음)로 대체할 수 있다. 돌기는 유기물 또는 무기물로 만들어질 수 있고 전계 생성 전극(190a, 190b, 270)의 위 또는 아래에 배치될 수 있으며 그 너비는 약 5μm 내지 약 10μm인 것이 바람직하다.

제1/제2 화소 전극(190a, 190b) 절개부(91, 92, 93a, 93b, 94a, 94b, 95a, 95b)의 경계에서 이와 인접한 절개부(71, 72, 73, 74a, 74b, 75a, 75b, 76a, 76b)의 경계까지의 간격과 제1/제2 화소 전극(190a, 190b)의 경계에서 이와 인접한 공통 전극(270) 절개부(76a, 76b)의 경계까지의 간격은 약 12㎛ 내지 약 20㎛인 것이 바람직하며, 약 17㎛에서 약 19㎛ 범위인 것이 더욱 바람직하다. 이와 같은 범위로 간격을 정하였더니 개구율은 감소하였지만 액정의 응답 속도가 빨라져 필요한 투과율을 확보할 수 있었다.

이러한 본 발명의 실시예에 따른 액정 표시 장치에서는 앞에서 설명한 바와 같이 제2 화소 전극(190b)은 제1 화소 전극(190a)에 전자기적으로 결합(용량성 결합)되어 있다. 도 5를 참조하여 설명하면, 제1 화소 전극(190a)의 두 부분은 드레인 전극(175a, 175b)을 통하여 박막 트랜지스터(Q)에 직접 연결되어 박막 트랜지스터(Q)를 통하여 데이터선(171)을 통하여 전달되는 화상 신호 전압을 인가 받음에 반하여, 제2 화소 전극(190b)의 전압은 제1 화소 전극(190a)과의 용량성 결합으로 변한다. 본 실시예에서 제2 화소 전극(190b)의 전압은 제1 화소 전극(190a)의 전압에 비하여 절대값이 항상 낮아지며, 그 이유를 구체적으로 설명한다.

도 5에서 Clca은 제1 화소 전극(190a)과 공통 전극(270) 사이에서 형성되는 액정 용량을 나타내고, Csta은 제1 화소 전극(190a)과 유지 전극선(131a, 131b) 사이에서 형성되는 유지 용량을 나타낸다. Clcb는 제2 화소 전극(190b)과 공통 전극(270) 사이에서 형성되는 액정 용량을 나타내고, Cstb는 제2 화소 전극(190b)과 유지 전극선(131a, 131b) 사이에서 형성되는 유지 용량을 나타내고, Ccp는 제2 화소 전극(190b)과 제1 화소 전극(190a) 사이에서 형성되는 결합 용량을 나타낸다.

공통 전극(270) 전압에 대한 제1 화소 전극(190a)의 전압을 Va라 하고, 제2 화소 전극(190b)의 전압을 Vb라 하면, 전압 분배 법칙에 의하여,

$$Vb=Va\times[Ccp/(Ccp+Clcb+Cstb)]$$

이고, Ccp/(Ccp+Clcb+Cstb)는 항상 1보다 클 수 없기 때문에 Vb는 Va에 비하여 항상 작다. 이때, Clca 및 Clcb에 대한 공통 전극(270) 전압과 Csta 및 Cstb에 대한 유지 전극선(131a, 131b) 전압이 달라질 수 있는데, 이러한 경우에도 Clca과 Clcb에 인가되는 공통 전극(270) 전압이 동일하므로 Clca에 인가되는 화상 신호 전압(Va)의 절대값은 항상 Clcb에 인가되는 화상 신호 전압(Vb)의 절대값보다 큰 값을 가지게 된다. 이와 같이, 하나의 화소 내에서 전압이 다른 두 화소 전극을 배치하면 액정 분자는 서로 다른 전압으로 구동되어 서로 다른 경사각(tilt angle)으로 기울어지며, 이를 통하여 측면 시인성을 향상시킬 수 있다.

또한, 본 발명의 실시예에 따른 액정 표시 장치에서, 용량성 보조 전극(136), 유지 전극선(131a, 131b), 드레인 전극(175) 및 용량성 결합 전극(176) 등과 같은 불투명막과 서로 다른 방향으로 기울어져 이루어진 도메인이 제1/제2 화소 전극(190a, 190b)을 상하로 이등분하는 중심선 또는 서로 이웃하는 게이트선(121) 사이의 중심선에 대하여 대칭 구조를 가진다. 따라서, 서로 다른 방향으로 기울어진 4종류 도메인 중에서 제1/제2 화소 전극(190a, 190b)의 상하 이등분 중심선에 대하여 용량성 보조 전극(136) 및 용량성 결합 전극(176)과 유지 전극선(131a, 131b) 및 드레인 전극(175a, 175b)등의 불투명막이 차지하는 면적을 동일하게 배치할 수 있다. 그러므로, 4 종류의 도메인에서 투과 영역을 동일한 면적이 되도록 설계함으로써, 다양한 시야각에서 균일한 시인성을 확보할 수 있다.

Ccp를 조절함으로써 Va에 대한 Vb의 비율을 조정할 수 있다. Ccp의 조절은 결합 전극(176)과 제2 화소 전극(190b)의 중첩 면적과 거리를 조정함으로써 가능하다. 중첩 면적은 결합 전극(176)의 폭을 변화시킴으로써 용이하게 조정할 수 있고,

거리는 결합 전극(176)의 형성 위치를 변화시킴으로써 조정할 수 있다. 즉, 본 발명의 실시예에서는 결합 전극(176)을 데이터선(171)과 같은 층에 형성하였으나, 게이트선(121)과 같은 층에 형성함으로써 결합 전극(176)과 제2 화소 전극(190b) 사이의 거리를 증가시킬 수 있다. 이때, Vb는 Va에 대하여 0.6 내지 0.8배인 것이 바람직하다.

한편, 다른 실시예에서는 제2 화소 전극(190b)에 제1 화소 전극(190a)의 전압에 비하여 절대값이 항상 높은 전압을 인가할 수 있는데, 이는 제2 화소 전극(190b)에 공통 전압 등과 같이 임의 전압을 인가한 상태에서 제1 화소 전극(190a)과 용량성으로 결합함으로써 이루어진다.

화상 신호가 직접 전달되는 제1 화소 전극(190a)에 대하여 높거나 낮은 화소 전압이 전달되는 제2 화소 전극(190b)의 면적 비는 1:0.85-1:1.15 범위인 것이 바람직하며, 제1 화소 전극(190a)과 용량성으로 결합하는 제2 화소 전극(190b)은 둘 이상으로 배치할 수 있다.

도 1 내지 도 4에 도시한 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법에 대하여 상세하게 설명한다.

크롬, 몰리브덴 또는 몰리브덴 합금, 알루미늄 계열 금속 또는 은 계열 금속 등으로 이루어진 도전막을 절연 기판(110) 위에 스퍼터링 증착하고 습식 또는 건식 식각하여 복수의 게이트 전극(124) 및 끝 부분(129)을 포함하는 게이트선(121)과 복수의 유지 전극(135a, 135b)을 포함하는 쌍의 유지 전극선(131a, 131b)과 용량성 보조 전극(136)을 형성한다.

약 1,500-5,000Å 두께의 게이트 절연막(140), 약 500-2,000Å 두께의 진성 비정질 규소층(intrinsic amorphous silicon), 약 300-600Å 두께의 불순물 비정질 규소층(extrinsic amorphous silicon)의 삼층막을 연속하여 적층하고, 불순물 비정질 규소층과 진성 비정질 규소층을 사진식각하여 게이트 절연막(140) 위에 복수의 선형 불순물 반도체와 복수의 진성 반도체(154)를 형성한다.

이어 도전막을 스퍼터링 등의 방법으로 1,500 Å 내지 3,000 Å의 두께로 증착한 다음 패터닝하여 복수의 소스 전극(173)과 끝 부분(179)을 포함하는 복수의 데이터선(171) 및 개구부(76)를 가지는 복수의 용량성 결합 전극(176)과 쌍으로 이루어진 복수의 확장부(175a, 175b)를 포함하는 드레인 전극(175)을 형성한다.

이어, 데이터선(171) 및 드레인 전극(175)으로 덮이지 않고 노출된 불순물 반도체 부분을 제거함으로써 복수의 섬형 저항성 접촉 부재(163, 165)를 완성하는 한편, 그 아래의 진성 반도체(154) 부분을 노출시킨다. 노출된 진성 반도체(154) 부분의 표면을 안정화시키기 위하여 산소 플라스마를 뒤이어 실시하는 것이 바람직하다.

양의 감광성 유기 절연물로 이루어진 보호막(180)을 도포한 다음, 복수의 투과 영역(도시하지 않음) 및 그 둘레에 위치한 복수의 슬릿 영역(도시하지 않음), 그리고 차광 영역이 구비된 광마스크(도시하지 않음)를 통하여 노광한다. 따라서, 투과 영역과 마주 보는 보호막(180)의 부분은 빛 에너지를 모두 흡수하지만, 슬릿 영역과 마주 보는 보호막(180)의 부분들은 빛 에너지를 일부만 흡수한다. 이어 보호막(180)을 현상하여 데이터선(171)의 끝 부분(179)과 드레인 전극(175)의 일부를 노출시키는 복수의 접촉 구멍(182, 185a, 185b)을 형성하고, 용량성 결합 전극(176)의 개구부(76) 내의 용량성 보조 전극(136) 및 게이트선(121)의 끝 부분(129) 위에 위치한 게이트 절연막(140)의 부분을 노출시키는 복수의 접촉 구멍(181, 186)을 형성한다. 투과 영역에 대응하는 보호막(180) 부분은 모두 제거되고 슬릿 영역에 대응하는 부분은 두께만 줄어들므로, 접촉 구멍(181, 182, 185a, 185b, 186)의 측벽은 계단형 프로파일을 가진다.

보호막(180)을 음성 감광막으로 형성하는 경우에는 양성 감광막을 사용하는 경우와 비교할 때 마스크의 차광 영역과 투과 영역이 뒤바뀐다.

다층막 중 상부의 알루미늄의 도전막이 접촉 구멍(181, 182, 185a, 185b, 186)을 통하여 드러날 때, 게이트 절연막(140)의 노출된 부분을 제거하여 그 아래에 위치하는 게이트선(121)의 끝 부분(129) 및 용량성 보조 전극(136) 부분을 노출시킨 후, 알루미늄을 포함하는 상부막을 제거하는 공정을 추가할 수 있다.

마지막으로, 약 400-500Å 두께의 IZO막 또는 ITO막을 스퍼터링으로 적층하고 사진 식각하여 보호막(180)과 드레인 전극(175), 용량성 보조 전극(136), 데이터선(171)의 끝 부분(179) 및 게이트선(121)의 끝 부분(129)의 노출된 부분 위에 복수의 제1/제2 화소 전극(190a, 190b), 복수의 접촉 보조 부재(81, 82) 및 복수의 차폐 전극(88)을 형성한다.

이와 같은 액정 표시 장치의 박막 트랜지스터 표시판에서 용량성 결합 전극(176)과 용량성 보조 전극(136) 또는 제2 화소 전극(190b)이 가령 "S" 지점에서 서로 단락되었을 때, 제2 화소 전극(190b)에는 제1 화소 전극(190a)과 동일한 높은 전압

이 전달되어 주변 화소보다 단락이 발생한 화소는 밝게 표시되어 화이트 불량(white defect)으로 나타나며, 특히 낮은 계조에서 이러한 불량은 현저하게 나타난다. 이러한 화이트 불량을 수리하기 위하여 본 발명의 실시예에 따른 박막 트랜지스터 표시판의 수리 방법에서는 결합 용량을 형성하기 위한 드레인 전극(175) 도는 용량성 결합 전극(176) 또는 이들의 연결부를 부분적으로 단선시켜, 제1 및 제2 화소 전극(190a, 190b)을 선택적으로 분리하여 주변 화소보다 단락이 발생한 화소를 블랙 불량(black defect)으로 전환시켜 어둡게 표시되도록 한다. 즉, 도 3에서 "A" 부분에 레이저를 조사하여 드레인 전극(175)의 연결부(177b)를 단선시키면, 제1 화소 전극(190a) 중 제2 화소 전극(190b)의 상부에 위치하는 일부에는 박막 트랜지스터로부터 단선되어 데이터 전압이 전달되지 않아 어둡게 표시된다. 또한, 도 3에서 "B" 부분에 레이저를 조사하여 드레인 전극(175)의 연결부(177a)를 단선시키면, 제2 화소 전극(190b)과 제1 화소 전극(190a) 중 제2 화소 전극(190b)의 상부에 위치하는 일부는 박막 트랜지스터로부터 단선되어 데이터 전압이 전달되지 않아 어둡게 표시된다. 또한, 도 3에서 "C" 부분에 레이저를 조사하여 드레인 전극(175)을 단선시키면, 제1 및 제2 화소 전극(190a, 190b) 전체가 박막 트랜지스터로부터 단선되어 어둡게 표시된다. 이와 같은 수리 방법에서는 화소 전체를 어두운 상태로 전환시킬 수 있고, 일부만을 어두운 상태로 전환시킬 수 있다. 이때, 화소의 일부만을 어두운 상태로 전환하는 방법이 육안으로 거의 관찰되지 않는 장점을 가지며, 이를 위하여 "B" 부분에 레이저를 조사하여 드레인 전극(175)의 연결부(177a)를 단선시키는 것이 가장 바람직하다. 또한, 화소 불량을 수리하기 위해 레이저를 이용하여 유지 전극선(131a, 131b)과 드레인 전극(175)을 서로 단락시켜 화소를 어둡게 표시할 수 있다.

본 발명의 다른 실시예에 따른 액정 표시 장치에 대하여 도 6 및 도 7을 참조하여 상세하게 설명한다.

도 6은 본 발명의 다른 실시예에 따른 액정 표시 장치의 배치도이고, 도 7은 도 6의 액정 표시 장치를 VII-VII 선을 따라 잘라 도시한 단면도이다.

도 6 및 도 7을 참고하면, 본 실시예에 따른 액정 표시 장치도 박막 트랜지스터 표시판(100), 공통 전극 표시판(200), 이들 두 표시판(100, 200) 사이에 삽입되어 있는 액정층(3), 두 표시판(100, 200)의 바깥 면에 부착되어 있는 한 쌍의 편광자(12, 22)를 포함한다.

본 실시예에 따른 표시판(100, 200)의 층상 구조는 도 1 내지 도 4와 거의 동일하다.

박막 트랜지스터 표시판(100)에 대하여 설명하자면, 게이트 전극(124)을 포함하는 복수의 게이트선(121), 유지 전극(135a, 135b)을 각각 포함하는 복수의 유지 전극선(131a, 131b) 및 용량성 보조 전극(136)이 기판(110) 위에 형성되어 있고, 그 위에 게이트 절연막(140), 반도체(154) 및 저항성 접촉 부재(163, 165)가 차례로 형성되어 있다. 소스 전극(173)을 포함하는 복수의 데이터선(171), 복수의 드레인 전극(175) 및 복수의 용량성 결합 전극(176)이 게이트 절연막(140) 위에 형성되어 있고, 보호막(180)이 그 위에 형성되어 있으며, 보호막(180) 및 게이트 절연막(140)에는 복수의 접촉 구멍(181, 182, 185a, 185b, 186)이 형성되어 있다. 보호막(180) 위에는 복수의 제1/제2 화소 전극(190a, 190b), 복수의 차폐 전극(88) 및 복수의 접촉 보조 부재(81, 82)가 형성되어 있고, 그 위에는 배향막(11)이 도포되어 있다.

공통 전극 표시판(200)에 대하여 설명하자면, 차광 부재(220), 복수의 색필터(230), 덮개막(250), 공통 전극(270) 및 배향막(21)이 절연 기판(210) 위에 형성되어 있다.

도 1 내지 도 4의 액정 표시 장치와는 달리, 반도체(154)는 데이터선(171) 및 드레인 전극(175) 하부까지 연장되어 있는 선형 반도체(151)의 돌출부이며, 섬형의 저항성 접촉 부재(165)에 마주하는 저항성 접촉 부재(163) 또한 선형의 저항성 접촉 부재(161)의 돌출부이다. 이때, 선형의 반도체(151)는 데이터선(171)과 드레인 전극(175) 및 그 아래의 저항성 접촉 부재(161, 165)와 거의 동일한 모양을 가진다. 그러나, 선형의 반도체(151) 중 돌출부(154)는 소스 전극(173)과 드레인 전극(175) 사이의 부분과 같이 데이터선(171)과 드레인 전극(175)으로 덮이지 않는 부분을 가지며, 선형의 반도체(151) 및 섬형의 저항성 접촉 부재(165)는 동일한 모양으로 용량성 결합 전극(176) 하부까지 연장되어 있다.

이러한 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법에서는 데이터선(171), 드레인 전극(175) 및 용량성 결합 전극(176)과 반도체(151) 및 저항성 접촉 부재(161, 165)를 한 번의 사진 공정으로 형성한다.

이러한 사진 공정에서 사용하는 감광막 패턴은 위치에 따라 두께가 다르며, 특히 두께가 작아지는 순서로 제1 부분과 제2 부분을 포함한다. 제1 부분은 데이터선 및 드레인 전극이 차지하는 배선 영역에 위치하며, 제2 부분은 박막 트랜지스터의 채널 영역에 위치한다.

위치에 따라 감광막 패턴의 두께를 달리하는 방법으로 여러 가지가 있을 수 있는데, 예를 들면 광마스크에 투명 영역(transparent area) 및 차광 영역(light blocking area) 외에 반투명 영역(translucent area)을 두는 방법이 있다. 반투명

영역에는 슬릿(slit) 패턴, 격자 패턴(lattice pattern) 또는 투과율이 중간이거나 두께가 중간인 박막이 구비된다. 슬릿 패턴을 사용할 때에는, 슬릿의 폭이나 슬릿 사이의 간격이 사진 공정에 사용하는 노광기의 분해능(resolution)보다 작은 것이 바람직하다. 다른 예로는 리플로우가 가능한 감광막을 사용하는 방법이 있다. 즉, 투명 영역과 차광 영역만을 지닌 통상의 노광 마스크로 리플로우 가능한 감광막 패턴을 형성한 다음 리플로우시켜 감광막이 잔류하지 않은 영역으로 흘러내리도록 함으로써 얇은 부분을 형성하는 것이다.

이와 같이 하면 한 번의 사진 공정을 줄일 수 있으므로 제조 방법이 간단해진다.

본 발명의 다른 실시예에 따른 액정 표시 장치에 대하여 도 8을 참조하여 상세하게 설명한다.

도 8은 도 3에서 IV-IV'선을 잘라 도시한 본 발명의 다른 실시예에 따른 액정 표시 장치의 구조를 단면도이다.

도 8을 참고하면, 본 실시예에 따른 액정 표시 장치도 박막 트랜지스터 표시판(100), 공통 전극 표시판(200) 및 이들 두 표시판(100, 200) 사이에 삽입되어 있는 액정층(3)을 포함한다.

본 실시예에 따른 표시판(100, 200)의 층상 구조는 도 1 내지 도 4와 거의 동일하다.

박막 트랜지스터 표시판(100)에 대하여 설명하자면, 게이트 전극(124)을 포함하는 복수의 게이트선(121), 유지 전극(135a, 135b)을 각각 포함하는 복수의 유지 전극선(131a, 131b) 및 용량성 보조 전극(136)이 기판(110) 위에 형성되어 있고, 그 위에 게이트 절연막(140), 복수의 섬형 반도체(154), 복수의 섬형 저항성 접촉 부재(163, 165)가 차례로 형성되어 있다. 소스 전극(173)을 포함하는 복수의 데이터선(171), 복수의 드레인 전극(175) 및 복수의 용량성 결합 전극(176)이 게이트 절연막(140) 및 저항성 접촉 부재(163, 165) 위에 형성되어 있고, 보호막(180)이 그 위에 형성되어 있으며, 보호막(180) 및 게이트 절연막(140)에는 복수의 접촉 구멍(181, 182, 185a, 185b, 186)이 형성되어 있다. 보호막(180) 위에는 제1/제2 화소 전극(190a, 190b), 차폐 전극(88) 및 복수의 접촉 보조 부재(81, 82)가 형성되어 있고, 그 위에는 배향막(11)이 도포되어 있다.

공통 전극 표시판(200)에 대하여 설명하자면, 차광 부재(220), 덮개막(250), 공통 전극(270) 및 배향막(21)이 절연 기판(210) 위에 형성되어 있다.

도 1 내지 도 4의 액정 표시 장치와는 달리, 보호막(180) 내에 색필터(230)가 형성되어 있으며 그 대신 공통 전극 표시판(200)에 색필터가 없고 덮개막(250)도 생략할 수 있다. 각 색필터(230)는 적색, 녹색, 청색 등 삼원색을 표시하며 이웃하는 두 데이터선(171) 사이 영역 내에 거의 들어 있다. 이웃하는 두 데이터선(171) 사이에 있으며 세로 방향으로 배치되어 있는 색필터(230)는 서로 연결되어 띠를 이룰 수 있다. 색필터(230)는 드레인 전극(175)의 확장부(175a, 175b)를 드러내는 접촉 구멍(185a, 185b) 위에 위치하는 복수의 개구부를 가지고 있으며, 게이트선(121)의 확장부(129)와 데이터선(171)의 확장부(179)가 구비되어 있는 주변 영역에는 배치되어 있지 않다. 또한, 이웃하는 색필터(230)는 데이터선(171) 위에서 서로 중첩하여 제1/제2 화소 전극(190a, 190b) 사이의 빛샘을 차단하며, 이 경우 제1/제2 화소 전극(190a, 190b) 둘레의 차광 부재(220) 부분을 생략할 수 있다. 이 경우 차폐 전극(88)이 색필터(230)의 경계선을 덮는 것이 바람직하다. 색필터(230) 중첩부의 단차를 줄이기 위하여 중첩부에서 색필터(230)의 높이가 작아지도록 할 수 있으며 이를 위해서는 색필터(230)를 패터닝할 때 사용하는 광마스크에 슬릿 영역 또는 반투과 영역을 두고 이를 중첩부에 대응시킬 수 있다. 그러나 인접한 색필터(230)가 서로 떨어져 있거나 그 경계가 서로 일치할 수도 있다.

도 8에는 보호막(180) 아래에 색필터(230)가 위치하는 구조가 도시되어 있으나, 보호막(180)을 생략하고 색필터(230)만을 형성하여 색필터(230)를 보호막으로 사용할 수 있으며, 질화 규소로 이루어진 절연막을 형성한 다음 색필터(230)을 배치하는 구조도 가능하다.

앞서 설명한 도 6 및 도 7의 액정 표시 장치에 대한 많은 특징들이 도 8의 액정 표시 장치에도 적용될 수 있다.

도 9는 본 발명의 다른 실시예에 따른 액정 표시 장치의 구조를 도시한 배치도이다. 여기서, 단면 구조를 도 4의 구조와 유사하여 도면을 통하여 구체적으로 도시하지 않았다.

도 9 및 도 4를 참조하면, 본 실시예에 따른 액정 표시 장치도 박막 트랜지스터 표시판(100), 공통 전극 표시판(200), 이들 두 표시판(100, 200) 사이에 삽입되어 있는 액정층(3), 두 표시판(100, 200)의 바깥 면에 부착되어 있는 한 쌍의 편광자(12, 22)를 포함한다.

본 실시예에 따른 표시판(100, 200)의 층상 구조는 도 1 내지 도 4와 거의 동일하다.

박막 트랜지스터 표시판(100)에 대하여 설명하자면, 게이트 전극(124)을 포함하는 복수의 게이트선(121), 유지 전극(135)을 포함하는 복수의 유지 전극선(131) 및 용량성 보조 전극(136)이 기판(110) 위에 형성되어 있고, 그 위에 게이트 절연막(140), 돌출부(154)를 포함하는 복수의 선형 반도체(151), 돌출부(163)를 포함하는 복수의 선형 저항성 접촉 부재(161) 및 복수의 섬형 저항성 접촉 부재(165)가 차례로 형성되어 있다. 소스 전극(173)을 포함하는 복수의 데이터선(171)과 용량성 결합 전극(176)을 가지는 복수의 드레인 전극(175)이 저항성 접촉 부재(161, 165) 위에 형성되어 있고, 보호막(180)이 그 위에 형성되어 있으며, 보호막(180) 및 게이트 절연막(140)에는 복수의 접촉 구멍(181, 182, 185a, 185b, 186)이 형성되어 있다. 보호막(180) 위에는 복수의 제1/제2 화소 전극(190a, 190b) 및 복수의 접촉 보조 부재(81, 82)가 형성되어 있고, 그 위에는 배향막(11)이 도포되어 있다.

공통 전극 표시판(200)에 대하여 설명하자면, 차광 부재(220), 복수의 색필터(230), 덮개막(250), 공통 전극(270) 및 배향막(21)이 절연 기판(210) 위에 형성되어 있다.

또한, 도 1, 도 3 및 도 4의 박막 트랜지스터 표시판과 달리, 본 실시예에 따른 박막 트랜지스터 표시판에서는 절개부(92a, 92b)가 서로 분리되어 각각 간극을 이루고 있어 제1 화소 전극(190a)은 제2 화소 전극(190b) 상부 및 하부에 위치하는 두 부분으로 이루어져 있다. 제1 화소 전극(190a)의 두 부분은 보호막(180)의 접촉구(185a, 185b)를 통하여 결합 전극(176)에 각각 연결되어 있다.

결합 전극(176)은 제1 및 제2 화소 전극(190a, 190b)의 오른 쪽 가장자리 변과 중첩하여 배치되어 제1 화소 전극(190a)의 두 부분을 향하여 뻗어 있으며, 드레인 전극(175)에서 용량성 결합 전극(176)으로 연장되는 부분은 공통 전극(270)의 절개부(72a)와 중첩되어 있다.

용량성 보조 전극(136) 또한 제1 및 제2 화소 전극(190a, 190b)의 오른 쪽 가장자리 변과 중첩하여 배치되어 용량성 결합 전극(176)과 중첩하고 있으며, 용량성 보조 전극(186)은 용량성 결합 전극(176)의 세로 변과 평행한 변을 가진다. 또한, 용량성 보조 전극(136)은 용량성 결합 전극(176)이 가리지 않는 돌출부를 가지며, 돌출부의 위에는 제2 화소 전극(190b)과 용량성 보조 전극(136)을 연결하는 접촉 구멍(186)이 위치한다. 돌출부는 제2 화소 전극(190b)의 절개부(71) 가로부와 중첩한다.

이러한 본 실시예에 따른 구조에서는 제1 화소 전극(190a)의 절개부(92a, 92b)를 연장시켜 제2 화소 전극(190b)을 우측으로 확장시키고, 드레인 전극(175)으로부터 결합 전극(176)으로 확장되는 부분을 화상이 표시되지 않는 공통 전극(270)의 절개부(72a)와 중첩시켜 배치함으로써 화소의 개구율을 향상시킬 수 있다.

또한, 접촉 구멍(186)을 제2 화소 전극(190b)의 절개부(71)의 가로부 상에 배치함으로써 접촉 구멍(186)으로 인하여 발생하는 텍스쳐를 화상이 표시되는 영역 밖으로 유도함으로써 표시 특성을 향상시킬 수 있다.

이러한 본 실시예에서는 도 1, 도 3, 및 도 4와 달리, 제1 화소 전극(190a)의 두 부분은 접촉 구멍(185a, 185b)을 통하여 각각 결합 전극(176)과 연결되어 화상 신호를 전달받는다.

이와 같은 본 실시예에 따른 액정 표시 장치에서도 앞의 실시예에서와 용량성 결합 전극(176)과 용량성 보조 전극(136)이 단락되어 화소 불량이 발생하였을 때, 절개부(92a, 92b)를 통하여 드러난 용량성 결합 전극(176)을 선택적으로 단선시켜 화소 전부 또는 일부를 어둡게 표시함으로써 화소 불량을 수리할 수 있다.

발명의 효과

이상과 같이 화소 전극을 분할하여 서로 다른 인가함으로써 액정 표시 장치의 측면 시인성을 향상시키고 이를 통하여 시야각을 확장할 수 있으며, 다수의 도메인과 박막을 대칭 구조로 배치함으로써 균일한 시인성을 확보할 수 있다.

또한, 분할된 화소 전극을 선택적으로 단선시킴으로써 화소 불량을 용이하고, 육안으로 거와 관찰할 수 없을 정도로 효과적으로 수리할 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다. 특히, 화소 전극과 공통 전극에 형성하는 절개부의 배치는 여러 다양한 변형이 있을 수 있다.

(57) 청구의 범위

청구항 1.

게이트선, 상기 게이트선과 절연되어 교차하고 있는 데이터선, 각각의 상기 게이트선 및 상기 데이터선과 연결되어 있으며, 드레인 전극을 가지는 박막 트랜지스터, 그리고 상기 드레인 전극과 직접 연결되어 있는 제1 화소 전극과 상기 제1 화소 전극으로부터 분리되어 있으며 상기 제1 화소 전극과 용량성으로 결합되어 있는 제2 화소 전극을 포함하는 화소 전극을 포함하는 박막 트랜지스터 표시판에 있어서,

상기 제1/제2 화소 전극을 부분적으로 선택하여 상기 박막 트랜지스터로부터 단선시키는 단계

를 포함하는 박막 트랜지스터 표시판의 수리 방법.

청구항 2.

제1항에서,

상기 화소 전극은 적어도 하나 이상의 소 영역으로 분할하는 절개부를 가지며, 상기 절개부를 통하여 드러난 상기 드레인 전극을 단선시키는 박막 트랜지스터 표시판의 수리 방법.

청구항 3.

제2항에서,

상기 제1 화소 전극은 적어도 두 부분으로 나뉘어 있으며, 상기 두 부분 중 하나를 단선시키는 박막 트랜지스터 표시판의 수리 방법.

청구항 4.

제2항에서,

상기 제1 화소 전극은 상기 제2 화소 전극을 중심으로 적어도 두 부분으로 나뉘어 있으며, 상기 두 부분 중 하나와 상기 제2 화소 전극을 단선시키는 박막 트랜지스터 표시판의 수리 방법.

청구항 5.

제2항에서,

상기 제1/제2 화소 전극을 상기 드레인 전극으로부터 단선시키는 박막 트랜지스터 표시판의 수리 방법.

청구항 6.

제2항에서,

상기 박막 트랜지스터 표시판은 상기 화소 전극 또는 상기 드레인 전극과 각각 중첩하는 유지 전극을 가지는 한 유지 전극선을 더 포함하며,

상기 화소 전극을 부분적으로 상기 유지 전극선과 단락시키는 박막 트랜지스터 표시판의 제조 방법.

청구항 7.

게이트선,

상기 게이트선과 절연되어 교차하고 있는 데이터선,

각각의 상기 게이트선 및 상기 데이터선과 연결되어 있으며, 드레인 전극을 가지는 박막 트랜지스터, 그리고

상기 드레인 전극과 직접 연결되어 있는 제1 화소 전극과 상기 제1 화소 전극으로부터 분리되어 있으며 상기 제1 화소 전극과 용량성으로 결합되어 있는 제2 화소 전극을 포함하는 화소 전극을 포함하며,

상기 화소 전극은 상기 화소 전극을 적어도 하나 이상의 소 영역으로 분할하는 절개부를 가지며, 상기 드레인 전극과 중첩하는 상기 절개부는 다른 부분보다 넓은 폭을 가지는 박막 트랜지스터 표시판.

청구항 8.

제7항에서,

상기 제1 화소 전극은 상기 제2 화소 전극을 중심으로 두 부분으로 분리되어 있는 박막 트랜지스터 표시판.

청구항 9.

제8항에서,

상기 드레인 전극은 상기 두 부분과 각각 연결되는 확장부를 가지는 박막 트랜지스터 표시판.

청구항 10.

제9항에서,

상기 두 부분과 연결된 상기 확장부와 각각 중첩하는 유지 전극을 각각 가지는 한 쌍의 유지 전극선을 더 포함하는 박막 트랜지스터 표시판.

청구항 11.

제10항에서,

상기 유지 전극선 쌍은 서로 이웃하는 상기 두 게이트선의 중심선에 대하여 대칭 구조로 이루어진 박막 트랜지스터 표시판.

청구항 12.

제11항에서,

상기 두 부분은 상기 중심선에 대하여 대칭 구조로 이루어진 박막 트랜지스터 표시판.

청구항 13.

제11항에서,

상기 드레인 전극은 상기 두 확장부를 연결하는 연결부를 가지는 박막 트랜지스터 표시판

청구항 14.

제13항에서,

상기 연결부는 상기 게이트선과 상기 데이터선으로 둘러싸인 영역의 최외각 가장자리에 배치되어 있으며 상기 데이터선과 평행한 박막 트랜지스터 표시판.

청구항 15.

제7항에서,

상기 제2 화소 전극과 중첩하며 상기 드레인 전극과 연결되어 있는 용량성 결합 전극을 더 포함하는 박막 트랜지스터 표시판.

청구항 16.

제15항에서,

상기 제2 화소 전극과 연결되어 있으며, 상기 용량성 결합 전극과 중첩하는 용량성 보조 전극을 더 포함하는 박막 트랜지스터 표시판.

청구항 17.

제7항에서,

상기 화소 전극과 절연되어 있으며, 상기 게이트선 또는 상기 데이터선과 적어도 일부분 중첩되어 있는 차폐 전극을 더 포함하는 박막 트랜지스터 표시판.

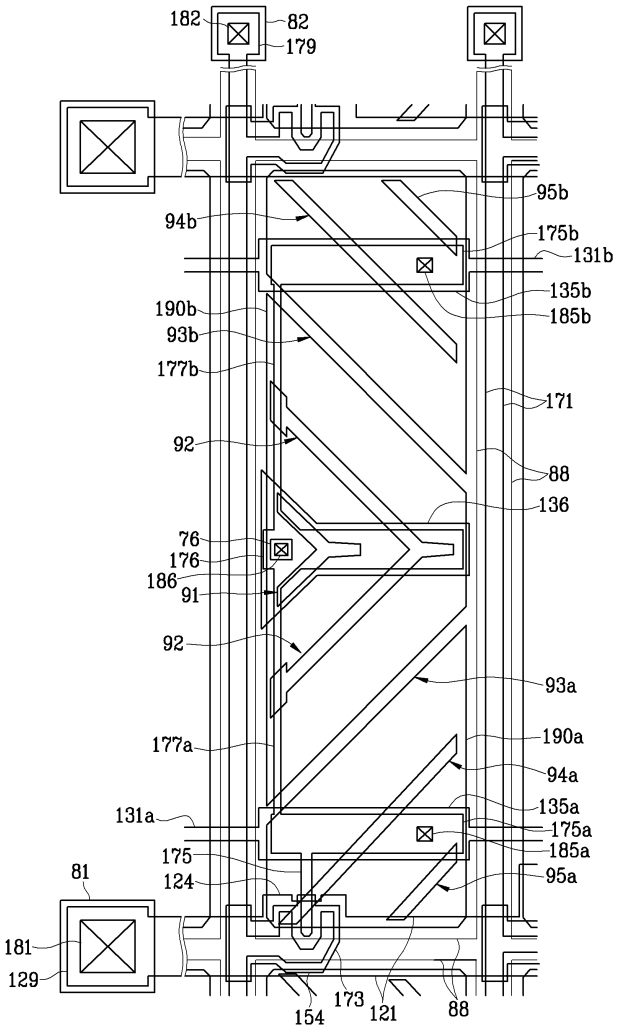
청구항 18.

제17항에서,

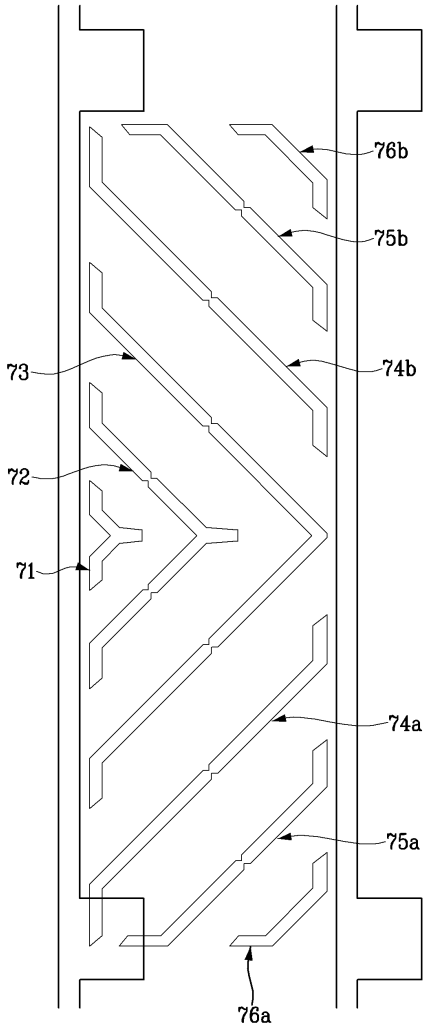
상기 화소 전극과 상기 차폐 전극은 서로 동일한 층으로 이루어진 박막 트랜지스터 표시판

도면

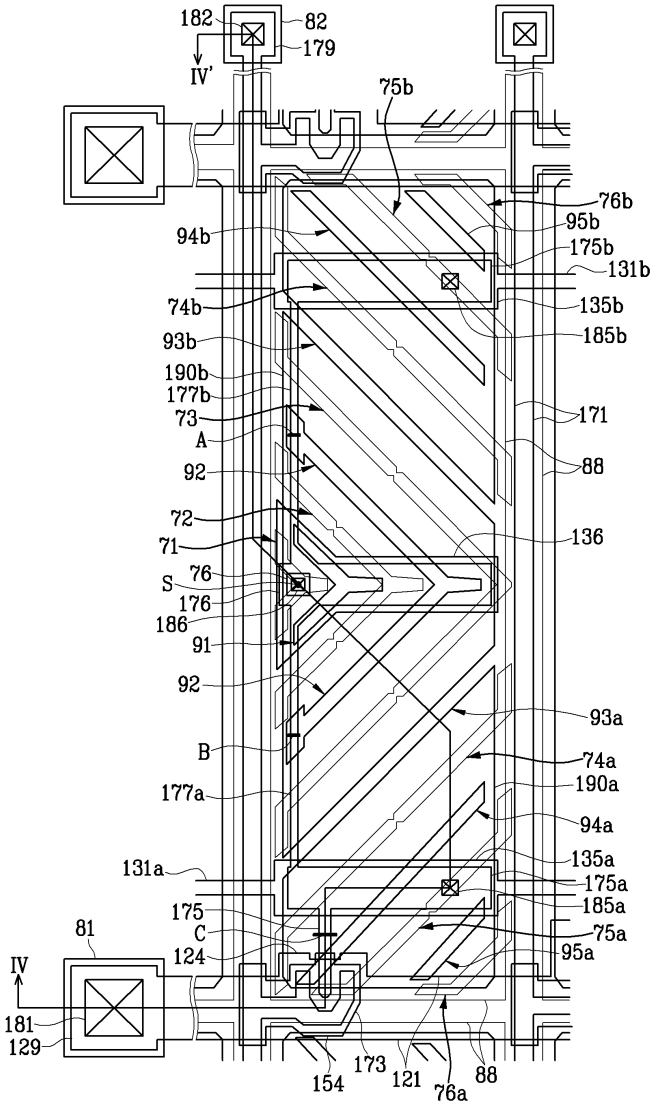
도면1



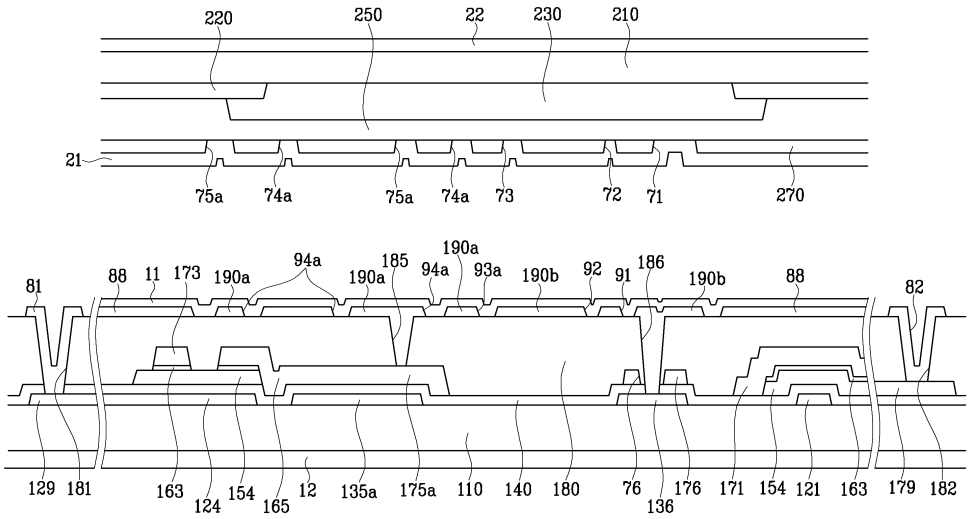
도면2



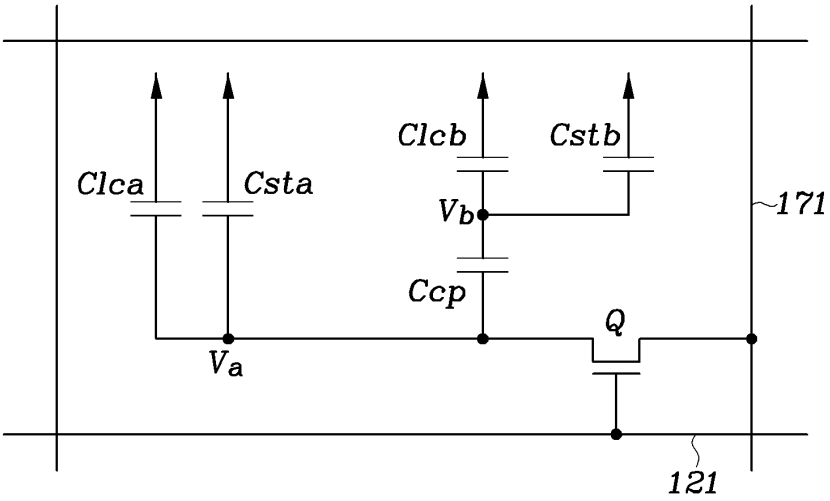
도면3


182
82
179
IV'
75b
76b
95b
94b
175b
131b
74b
135b
185b
93b
190b
177b
73
171
A
92
88
72
136
71
76
S
176
186
91
92
93a
B
74a
190a
177a
94a
135a
131a
175a
185a
175
C
75a
81
124
95a
IV
181
129
154
173
121
76a
88

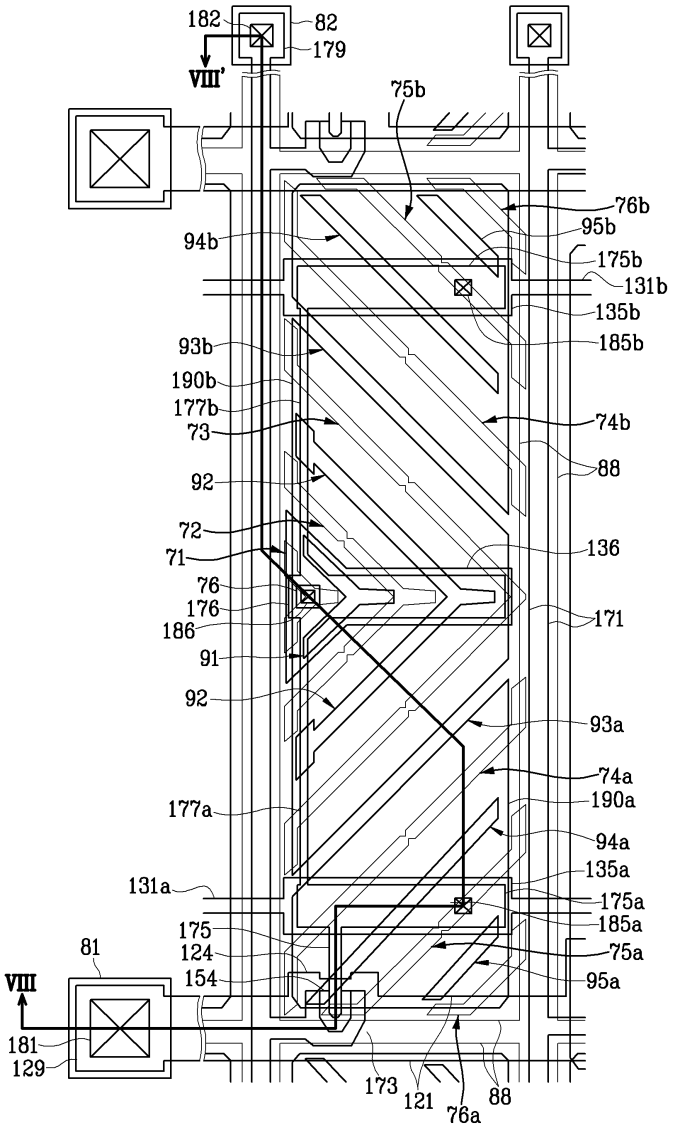
도면4


220
250
22
230
210
21
75a
74a
75a
74a
73
72
71
270
81
88
11
173
190a
94a
190a
185
94a
190a
93a
190b
92
91
186
190b
88
82
129
181
163
124
154
165
12
135a
175a
110
140
180
76
136
176
171
154
121
163
179
182

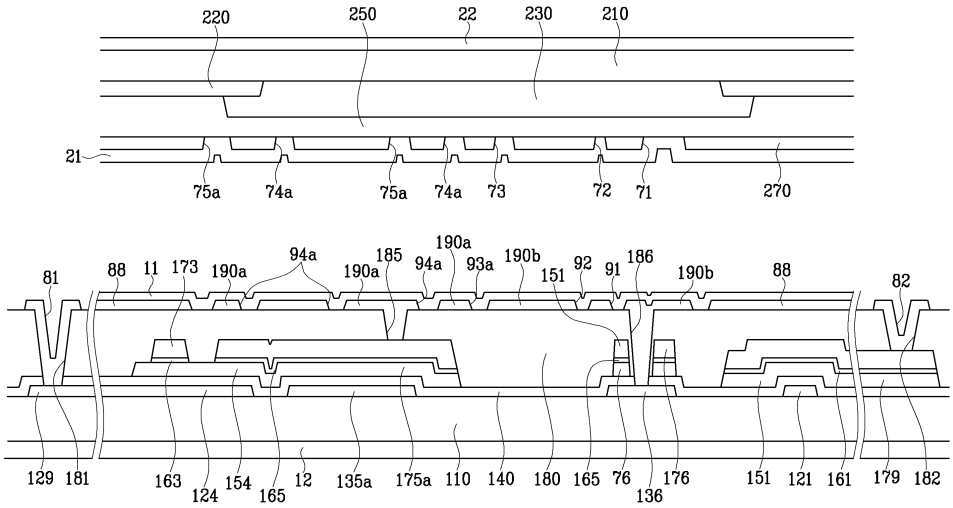
도면5


Clca
Csta
Clcb
Cstb
Vb
Ccp
Q
Va
171
121

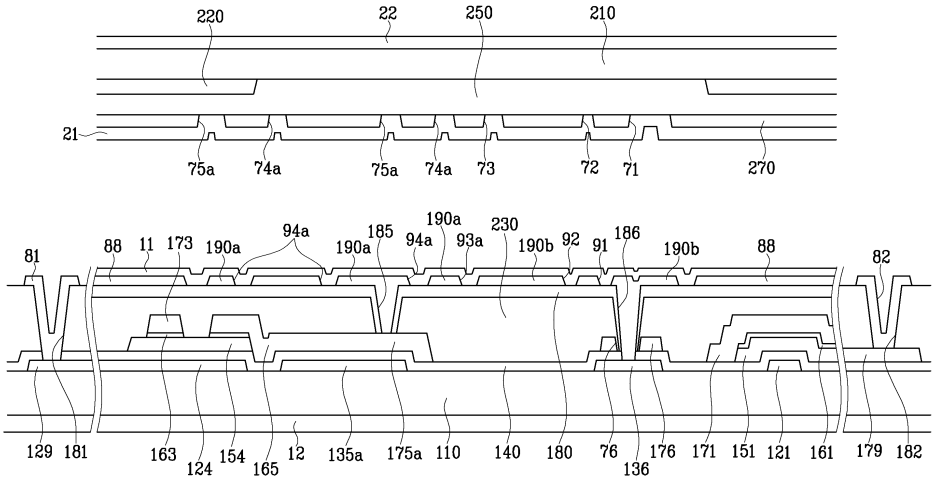
도면6


182
82
179
VIII'
75b
76b
95b
94b
175b
131b
135b
185b
93b
190b
177b
73
74b
88
92
72
71
136
76
176
186
171
91
92
93a
74a
190a
177a
94a
135a
131a
175a
185a
175
124
154
75a
95a
81
VIII
181
129
173
121
76a
88

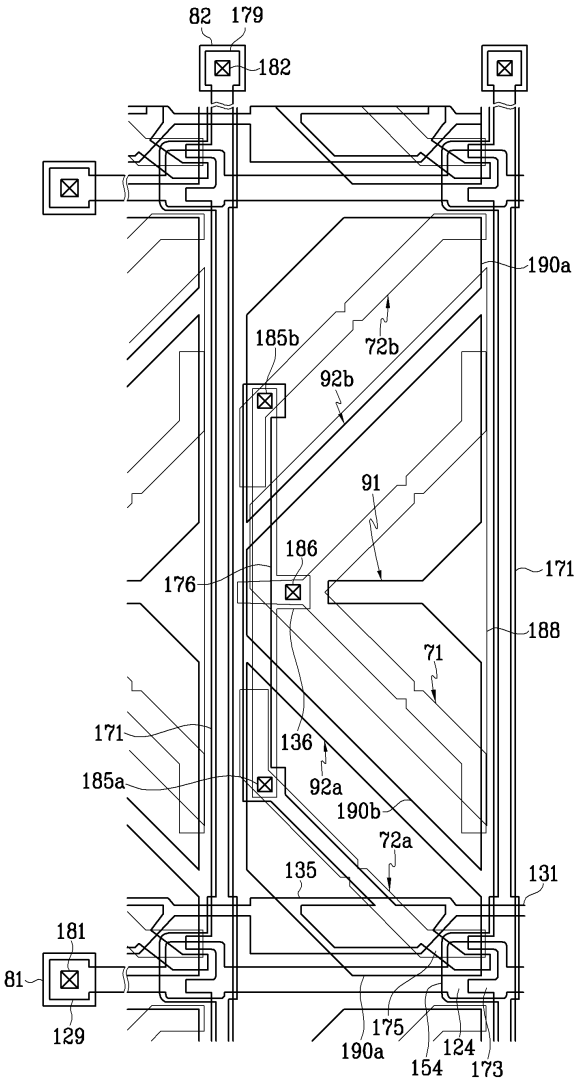
도면7


220
250
22
230
210
21
75a
74a
75a
74a
73
72
71
270
81
88
11
173
190a
94a
190a
185
94a
190a
93a
190b
151
92
91
186
190b
88
82
129
181
163
124
154
165
12
135a
175a
110
140
180
165
76
136
176
151
121
161
179
182

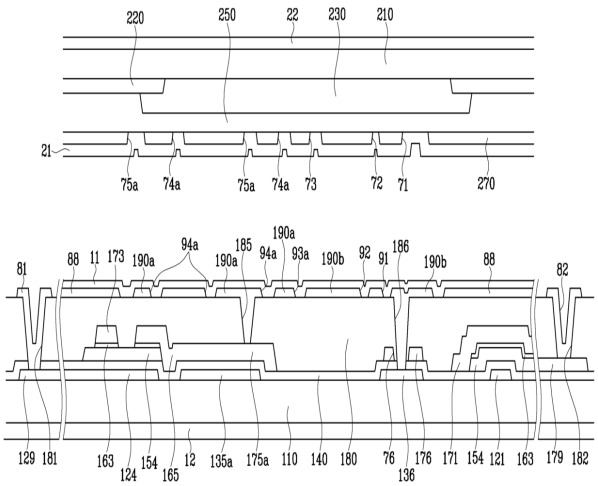
도면8


220
22
250
210
21
75a
74a
75a
74a
73
72
71
270
81
88
11
173
190a
94a
190a
185
94a
190a
93a
230
190b
92
91
186
190b
88
82
129
181
163
124
154
165
12
135a
175a
110
140
180
76
136
176
171
151
121
161
179
182

도면9


82
179
182
190a
185b
72b
92b
91
186
176
171
188
71
171
136
185a
92a
190b
72a
135
131
181
81
129
175
190a
154
124
173

专利名称(译)	薄膜晶体管显示面板及其修复方法		
公开(公告)号	KR1020060067292A	公开(公告)日	2006-06-20
申请号	KR1020040105551	申请日	2004-12-14
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM HYUNWUK 김현욱 LEE JUNWOO 이준우 CHUNG DONGHOON 정동훈 UM YOONSUNG 엄윤성 LYU JAEJIN 유재진 LEE CHANGHUN 이창훈		
发明人	김현욱 이준우 정동훈 엄윤성 유재진 이창훈		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136259		
外部链接	Espacenet		

摘要(译)

在包括像素电极的薄膜晶体管基板中，该像素电极包括与第一像素电极组合的第二像素电极，并且在与薄膜晶体管和具有漏电极的漏电极分离的同时电容性地连接到栅极线，数据线根据本发明实施例的第一/第二像素电极，与第一像素电极和第一像素电极直接连接的薄膜晶体管基板的修复方法中的栅极线，每条栅极线和数据线绝缘部分地选择并且它与薄膜晶体管断开。液晶显示器，电容耦合，联动电极，可视性，像素故障。