

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁸ (11) 공개번호 10-2006-0016940
G02F 1/133 (2006.01) (43) 공개일자 2006년02월23일

(21) 출원번호 10-2004-0065414
 (22) 출원일자 2004년08월19일

(71) 출원인 엘지.필립스 엘시디 주식회사
 서울 영등포구 여의도동 20번지

(72) 발명자 이석우
 서울특별시 구로구 오류1동 338번지
 정동일
 경상북도 칠곡군 석적면 중리 3공단 부영아파트 108-211

(74) 대리인 김용인
 심창섭

심사청구 : 없음

(54) 액정 표시 장치

요약

본 발명은 고속 구동시 소오스 드라이버로부터 나오는 신호를 이분하고, 상기 소오스 드라이버로부터 출력되는 이븐, 오드의 데이터 신호를 소정의 시간차를 두고 인접한 2개의 데이터 라인에 인가함으로써, 데이터 신호의 차징 시간을 확보하고 또한 안정적인 디스플레이를 구현한 액정 표시 장치에 관한 것으로, 서로 대향된 제 1, 제 2 기판과, 상기 제 1 기판의 표시 영역에 서로 인접한 제 1, 제 2 라인을 한 쌍으로 하여 형성된 복수개의 쌍의 데이터 라인과, 상기 데이터 라인들과 수직으로 교차하며 상기 제 1 기판 상에 형성되어, 상기 제 1, 제 2 라인 사이에 화소 영역을 정의하는 복수개의 게이트 라인과, 상기 각 화소 영역에 형성된 복수개의 화소 전극과, 상기 게이트 라인들에 게이트 신호를 인가하는 게이트 드라이버와, 상기 제 1, 제 2 라인에 대응되는 데이터 신호를 출력하는 소오스 드라이버 및 상기 소오스 드라이버의 각 출력단에 각 출력단으로부터 나오는 데이터 신호를 저장하고, 상기 제 1, 제 2 라인 사이에 형성된 홀수번째 화소 전극과, 짝수번째 화소 전극에 해당 데이터 신호를 전달하는 래치부를 포함하여 이루어짐에 그 특징이 있다.

대표도

도 11

색인어

모션 블러링(motion blurring), 샘플링 및 홀딩 방식, 소오스 드라이버

명세서

도면의 간단한 설명

도 1은 임펄스 형의 구동 방식을 나타낸 개략도

도 2는 샘플링 및 홀딩형의 구동 방식을 나타낸 개략도

도 3은 일반적인 액정 표시 장치에서 프레임별 데이터 인가 및 백 라이트 구동 관계를 나타낸 도면

도 4는 종래의 백 라이트 블리킹(Backlight Blinking) 방식에 의한 프레임별 데이터 인가 및 백 라이트 구동 관계를 나타낸 도면

도 5a 및 도 5b는 긴 홀딩 타임 및 짧은 홀딩 타임을 갖는 구동 방식의 경우 게이트 라인간의 신호 오버랩을 나타낸 도면

도 6은 60Hz로 액정 표시 장치를 구동할 때, 구동시 샘플링 및 홀딩 시간을 나타낸 그래프

도 7은 120Hz로 구동시 샘플링 및 홀딩 시간을 나타낸 그래프

도 8은 박막 트랜지스터 온시 게이트 전압 및 차징 전압을 나타낸 그래프

도 9는 종래의 60Hz 구동과 비교한 본 발명의 액정 표시 장치의 샘플링 및 홀딩 시간을 나타낸 그래프

도 10은 본 발명의 액정 표시 장치의 경우 게이트 라인에 인가되는 신호의 오버랩을 나타낸 도면

도 11은 본 발명의 액정 표시 장치의 소오스 드라이버와 패널 내부의 연결 관계를 나타낸 도면

도 12는 본 발명의 액정 표시 장치의 화소부의 회로도

도 13은 도 11의 소오스 드라이버 내부를 나타낸 도면

도면의 주요 부분에 대한 부호 설명

10 : 소오스 드라이버 11 : 제 1 샘플링 및 홀딩부

12 : 제 2 샘플링 및 홀딩부 13 : 제 2 스위치

14 : 제 3 스위치 15 : 제 1 버퍼

16 : 제 2 버퍼 19 : 제 1 스위치

21 : 쉬프트 레지스터 22 : 제 1 래치부

23 : 제 2 래치부 24 : DAC부

25 : 증폭기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로 특히, 고속 구동시 소오스 드라이버로부터 나오는 신호를 이분하고, 상기 소오스 드라이버로부터 출력되는 이분, 오드의 데이터 신호를 소정의 시간차를 두고 인접한 2개의 데이터 라인에 인가함으로써, 데이터 신호의 차징 시간을 확보하고 또한 안정적인 디스플레이를 구현한 액정 표시 장치에 관한 것이다.

정보화 사회가 발전함에 따라 표시 장치에 대한 요구도 다양한 형태로 증증하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display Device), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display) 등 여러 가지 평판 표시 장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시 장치로 활용되고 있다.

그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 특징 및 장점으로 인하여 이동형 화상 표시 장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송 신호를 수신하여 디스플레이하는 텔레비전 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.

이와 같은 액정 표시 장치가 일반적인 화면 표시 장치로서 다양한 부분에 사용되기 위해서는 경량, 박형, 저 소비 전력의 특징을 유지하면서도 고정세, 고휘도, 대면적 등 고품위 화상을 얼마나 구현할 수 있는가에 관건이 걸려 있다고 할 수 있다.

일반적인 액정 표시 장치는, 화상을 표시하는 액정 패널과 상기 액정 패널에 구동 신호를 인가하기 위한 구동부로 크게 구분될 수 있으며, 상기 액정 패널은 일정 공간을 갖고 합착된 제 1, 제 2 유리 기판과, 상기 제 1, 제 2 유리 기판 사이에 주입된 액정층으로 구성된다.

여기서, 상기 제 1 유리 기판(TFT 어레이 기판)에는 일정 간격을 갖고 일 방향으로 배열되는 복수개의 게이트 라인과, 상기 각 게이트 라인과 수직한 방향으로 일정한 간격으로 배열되는 복수개의 데이터 라인과, 상기 각 게이트 라인과 데이터 라인이 교차되어 정의된 각 화소 영역에 매트릭스 형태로 형성되는 복수개의 화소 전극과 상기 게이트 라인의 신호에 의해 스위칭되어 상기 데이터 라인의 신호를 각 화소 전극에 전달하는 복수개의 박막 트랜지스터가 형성된다.

그리고, 제 2 유리 기판(칼라 필터 기판)에는, 상기 화소 영역을 제외한 부분의 빛을 차단하기 위한 차광층과, 칼라 색상을 표현하기 위한 R, G, B 칼라 필터층과 화상을 구현하기 위한 공통 전극이 형성된다.

상기 일반적인 액정 표시 장치의 구동 원리는 액정의 광학적 이방성과 분극 성질을 이용한다. 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 갖고 있으며, 인위적으로 액정에 전기장을 인가하여 분자 배열의 방향을 제어할 수 있다.

따라서, 상기 액정의 분자 배열 방향을 임의로 조절하면, 액정의 분자 배열이 변하게 되고, 광학적 이방성에 의하여 상기 액정의 분자 배열 방향으로 빛이 굴절하여 화상 정보를 표현할 수 있다.

현재에는 박막 트랜지스터와 상기 박막 트랜지스터에 연결된 화소 전극이 행렬 방식으로 배열된 능동 행렬 액정 표시 장치(Active Matrix LCD)가 해상도 및 동영상 구현 능력이 우수하여 가장 주목받고 있다.

이하, 도면을 참조하여 일반적인 표시 장치의 표시 방법에 대하여 설명하며 다음과 같다.

도 1은 임펄스 형의 구동 방식을 나타낸 개략도이며, 도 2는 샘플링 및 홀딩형의 구동 방식을 나타낸 개략도이다.

도 1과 같은 임펄스 형(Impulsive type)의 구동 방식은, 매 프레임마다 소정 시간에 펄스(pulse) 형으로 영상 신호를 인가하는 것으로, 영상 신호를 받은 순간에 화소마다 설치된 형광체를 발광시키는 브라운관(braun Tube)으로 대표되는 음극선관(Cathode-Ray Tube)에서 주로 이용된다. 이러한 임펄스 형의 구동 방식은 각 프레임에서 각 화소마다 영상 신호의 인가가 오버랩되지 않기 때문에, 움직이는 동영상을 표시할 때, 소정의 시야면(eyeplane)에서 잔상이 남아보이는 모션 블러링(motion blurring) 현상이 거의 발생하지 않는다.

그러나, 도 2와 같은 샘플링 및 홀딩(Sampling & Holding)형 구동 방식은, 해당 화소의 각각의 밝기를 소정 기간(프레임 기간 또는 그 이상) 내에 홀드시켜 화상을 표시하는 것으로, 소정의 시야면에서 관찰할 때, 인접한 게이트 라인간에 신호 홀드 기간이 서로 오버랩함으로 인해 이전 프레임의 동영상의 잔상이 나타나는 모션 블러링(motion blurring) 현상이 심하게 발생한다.

이러한 샘플링 및 홀딩형 구동 방식에 따라 표시되는 화상을 예를 들면, 연속하는 2개의 상기 프레임 기간의 사이에서 다른 화상으로 치환할 때에, 해당 화소에서 이전 프레임의 화소에 충전된 영상 신호가 충분히 방전되지 않은 상태에서 다음 프레임의 대응되는 영상 신호가 인가되기 때문에 각 프레임별 데이터 응답을 원활히 하지 못하기 때문이다.

이와 같이, 모션 블러링 현상을 유발하는 샘플 및 홀딩형 방식은 주로 액정 표시 장치에 이용되는데, 이는 액정이 갖는 고유의 점성과 탄성 때문에 응답 속도가 느리므로, 일정 시간의 홀딩 시간을 확보하기 위함이다.

도 3은 일반적인 액정 표시 장치에서 프레임별 데이터 인가 및 백 라이트 구동 관계를 나타낸 도면이고, 도 4는 종래의 백 라이트 블리킹(Backlight Blinking) 방식에 의한 프레임별 데이터 인가 및 백 라이트 구동 관계를 나타낸 도면이다.

도 3과 같이, 일반적인 액정 표시 장치에서는 프레임별로 데이터가 인가될 때 백 라이트는 지속적으로 온 상태를 유지한다. 즉, 각 화소별 샘플링 및 홀딩 타임이 길기 때문에, 모션 블러링 현상이 크게 발생한다. 샘플링 및 홀딩 방식에서 홀딩 타임의 길이에 비례하여 모션 블러링의 강도가 커진다.

따라서, 이와 같은, 모션 블러링 현상을 감소시키기 위해 백 라이트 블리킹(Backlight Blinking) 방식을 이용한다.

즉, 도 4와 같이, 백 라이트 블리킹(Backlight Blinking) 방식은 각 프레임을 2등분하여 각 프레임 내에서 일정 시간만 백 라이트를 온 시키고, 나머지 시간에는 백 라이트를 오프시킨다. 따라서, 백 라이트가 공급되지 않는 기간만큼 프레임별 홀딩 타임의 시간을 줄일 수 있게 되어, 모션 블러링 현상을 감소시킬 수 있다.

그러나, 이와 같은 백 라이트 블리킹 방식은 백 라이트의 오프 구간 비만큼 휘도가 감소하게 되고, 백 라이트의 램프가 빠른 주기로 온/오프를 반복하게 되므로 백 라이트 램프의 수명이 감소하는 문제점을 수반한다.

한편, 상술한 모션 블러링의 강도는 홀딩 타임(hold time)의 길이와 관계가 있는 것으로, 홀딩 타임을 줄이기 위한 노력이 제기되고 있다.

도 5a 및 도 5b는 긴 홀딩 타임 및 짧은 홀딩 타임을 갖는 구동 방식의 경우 게이트 라인간의 신호 오버랩을 나타낸 도면이다.

도 5a와 같이, 긴 홀딩 타임을 갖는 구동 방식의 경우, 인접한 각 라인별 오버랩 구간이 길기 때문에, 시야면에서 모션 블러링 현상은 심하고, 도 5b와 같이, 짧은 홀딩 타임을 갖는 구동 방식의 경우, 인접한 각 라인별 오버랩 구간이 상대적으로 짧기 때문에 시야면에서 모션 블러링(motion blurring) 현상은 감소된다.

이를 보다 구체적으로 설명하면 다음과 같다.

도 6은 홀딩 타임이 긴 구동 방식에 의한 60Hz로 액정 표시 장치를 구동할 때, 구동시 샘플링 및 홀딩 시간을 나타낸 그래프이며, 도 7은 비교적 홀딩 타임이 짧은 구동 방식에 의한 120Hz로 액정 표시 장치를 구동할 때, 샘플링 및 홀딩 시간을 나타낸 그래프이다.

도 6은 일반적인 액정 표시 장치의 구동방식으로, 60Hz의 주파수로 액정 표시 장치가 구동되면, 1프레임(frame)은 $1/60s(sec) = 16.67ms$ 시간을 갖는다. 즉, 16.67ms 동안 1프레임에서 샘플링 및 홀딩이 이루어지도록 한다. 만약, 액정 패널이 XGA(1024×768)일 경우, 액정 패널에 구성된 게이트 라인 수는 768개로, 이 경우, 각 게이트 라인에 게이트 하이 전압이 인가되는 시간(1라인의 TFT가 온되는 시간)은 $16.67ms/768 = 21.7\mu s$ 에 해당한다.

그러나, 상기 도 6의 2배의 속도로 구동되는 구동 방식은, 도 7과 같이, 120Hz로 구동되어 1프레임(frame)이 $1/120s(sec) = 8.3ms$ 시간을 갖는다. 8.3ms 동안 1프레임에서 샘플링 및 홀딩이 이루어진다. 이와 같은 고속 구동의 경우, 액정 패널이 XGA일 경우, 각 게이트 라인에 게이트 하이 전압(Vgh)이 인가되는 시간(TFT 온 되는 시간)은 $8.33ms/768 = 10.8\mu s$ 에 해당한다.

이러한 고속 구동의 경우, 1프레임 내에 샘플링 및 홀딩이 이루어지는 시간이 일반 구동 방식에 비해 반(1/2)정도로 매우 짧기 때문에, 충분한 홀딩이 이루어지지 못하고, 또한 각 화소 전극에 데이터 전압 인가하는 시간도 1/2로 줄어들기 때문에, 원래 인가되어야 할 데이터 전압을 화소 전압에 충분히 차질시키지 못해 휘도 저하 및 화질 특성이 저하된다.

도 8은 박막 트랜지스터 온(on)시 게이트 전압 및 충전(charging) 전압을 나타낸 그래프이다.

각 게이트 라인에는 각 화소별로 박막 트랜지스터가 구비되는데, 각 박막 트랜지스터는 도 8과 같이, 게이트 라인에 게이트 하이 전압(Vh) 인가시 해당 박막 트랜지스터가 턴온되므로, 해당 데이터 라인에 인가된 데이터 전압(V1)이, 상기 박막

트랜지스터와 연결된 화소 전극에 충전된다. 이 경우, 게이트 라인의 게이트 하이 전압에 의해 박막 트랜지스터의 턴온 시간이 충분히 확보되면, 데이터 전압 V1에 가까운 전압을 화소 전극에 충전할 수 있지만, 고속 구동과 같이, 턴온 시간이 충분히 확보되지 못하면, V2와 같이, 원래의 데이터 전압(V1)에 미치지 못하는 전압(V2)을 해당 화소 전극에 충전하게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 상기와 같은 종래의 액정 표시 장치는 다음과 같은 문제점이 있다.

종래의 액정 표시 장치는 액정 고유의 점성과 탄성으로 타 표시 장치에 비해 응답 속도가 느리다. 이로 인해 일정한 속도로 구동시 이전 프레임과 다음 프레임간의 신호 오버랩이 발생하고, 이로 인해 모션 블러링(motion blur) 현상이 발생하였다.

이를 방지하기 위해 백 라이트 블링크(backlight blinking)이나 고속 구동의 방법을 이용하였는데, 백 라이트 블링크 방법의 경우 휘도 저하와 백 라이트 램프의 수명이 감소되는 문제가 발생하였고, 고속 구동의 방법의 경우 충분한 차징 시간을 확보하지 못해 휘도 저하와 화질의 특성의 떨어지는 문제점이 발생한다.

본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로 고속 구동시 소오스 드라이버로부터 나오는 신호를 이분하고, 상기 소오스 드라이버로부터 출력되는 이븐, 오드의 데이터 신호를 소정의 시간차를 두고 인접한 2개의 데이터 라인에 인가함으로써, 데이터 신호의 차징 시간을 확보하고 또한 안정적인 디스플레이를 구현한 액정 표시 장치를 제공하는 데, 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명의 액정 표시 장치는 서로 대향된 제 1, 제 2 기판과, 상기 제 1 기판의 표시 영역에 서로 인접한 제 1, 제 2 라인을 한 쌍으로 하여 형성된 복수개의 쌍의 데이터 라인과, 상기 데이터 라인들과 수직으로 교차하며 상기 제 1 기판 상에 형성되어, 상기 제 1, 제 2 라인 사이에 화소 영역을 정의하는 복수개의 게이트 라인과, 상기 각 화소 영역에 형성된 복수개의 화소 전극과, 상기 게이트 라인들에 게이트 신호를 인가하는 게이트 드라이버와, 상기 제 1, 제 2 라인에 대응되는 데이터 신호를 출력하는 소오스 드라이버 및 상기 소오스 드라이버의 각 출력단에 각 출력단으로부터 나오는 데이터 신호를 저장하고, 상기 제 1, 제 2 라인 사이에 형성된 홀수번째 화소 전극과, 짝수번째 화소 전극에 해당 데이터 신호를 전달하는 래치부를 포함하여 이루어짐에 그 특징이 있다.

상기 게이트 드라이버는, 상기 각 게이트 라인들에 각각 인접한 전단(前段) 게이트 라인과 전반(the first half) 게이트 하이 신호 구간이 오버랩하며, 인접한 후단(後段) 게이트 라인과 후반(the second half) 게이트 하이 신호 구간이 오버랩하도록, 게이트 하이 신호를 인가한다.

제 2 라인에는 상기 제 1 라인에 비해 상대적으로 게이트 하이 신호 구간의 반 구간만큼 지연되어 해당 데이터 신호가 인가된다.

상기 제 1, 제 2 라인 사이에 위치한 화소 라인의 각 화소 전극별로 전달되는 데이터 신호는, 상기 소오스 드라이버의 소정의 출력단으로부터 상기 각 화소 전극의 해당 게이트 라인의 게이트 하이 신호가 인가되는 시점에 동기하여 오드(odd), 이븐(even) 신호가 교번하여 인가된다.

상기 소오스 드라이버의 일 출력단으로부터 상기 제 1 라인에는 오드(odd) 신호가 인가되며, 상기 제 2 라인에는 이븐(even) 신호가 인가된다.

상기 제 1, 제 2 라인 사이에 형성된 홀수번째 화소 전극은 상기 제 1 라인으로부터 데이터 신호를 전달받고,

상기 제 1, 제 2 라인 사이에 형성된 짝수번째 화소 전극은 상기 제 2 라인으로부터 데이터 신호를 전달받는다.

상기 제 1, 제 2 라인 사이에 배치되는 화소 영역들에는, 홀수번째 화소 영역에는 해당 게이트 라인과 제 1 라인 사이에 제 1 박막 트랜지스터가 형성되고, 짝수번째 화소 영역에는 해당 게이트 라인과 제 2 라인 사이에 제 2 박막 트랜지스터가 형성된다.

상기 래치부는 상기 소오스 드라이버의 일 출력단으로부터 나오는 일 데이터 신호를 저장하고 선택 구간에 전달하는 제 1 샘플링/홀딩부 및 제 2 샘플링/홀딩부와, 상기 소오스 드라이버의 일 출력단으로부터 나오는 일 데이터 신호를 상기 제 1 샘플링/홀딩부 및 제 2 샘플링/홀딩부에 선택적으로 전달하는 제 1 스위치와, 상기 제 1 샘플링/홀딩부의 저장된 일 데이터 신호를 선택적으로 상기 제 1 라인으로 인가하는 제 2 스위치 및 상기 제 2 샘플링/홀딩부에 저장된 일 데이터 신호를 선택적으로 상기 제 2 라인으로 인가하는 제 3 스위치를 포함하여 이루어진다.

상기 래치부는 상기 제 1 기판 상에 형성된다.

상기 래치부는 소오스 드라이버 내부에 내장된다.

또한, 동일한 목적을 달성하기 위한 본 발명의 액정 표시 장치는 서로 대향된 제 1, 제 2 기판과, 상기 제 1 기판의 표시 영역에 서로 인접한 제 1, 제 2 라인을 한 쌍으로 하여 형성된 복수개의 쌍의 데이터 라인과, 상기 데이터 라인들과 수직으로 교차하며 상기 제 1 기판 상에 형성되어, 상기 제 1, 제 2 라인 사이에 화소 영역을 정의하는 복수개의 게이트 라인과, 상기 화소 영역에 형성된 복수개의 화소 전극과, 상기 제 1 라인의 데이터 라인과 홀수 번째 게이트 라인의 교차부에 형성되며, 해당 화소 전극과 전기적으로 연결된 제 1 박막 트랜지스터들과, 상기 제 2 라인들과 짝수 번째 게이트 라인의 교차부에 형성되며, 해당 화소 전극과 전기적으로 연결된 제 2 박막 트랜지스터들과, 상기 게이트 라인에 게이트 신호를 인가하는 게이트 드라이버와, 상기 각 제 1, 제 2 라인에 대응되는 데이터 신호를 출력하는 소오스 드라이버 및 상기 소오스 드라이버의 각 출력단에 각 출력단으로부터 나오는 데이터 신호를 저장하고, 상기 제 1, 제 2 라인에 해당 데이터 신호를 인가하는 제 1 및 제 2 샘플링/홀딩부를 포함하여 이루어짐에 또 다른 특징이 있다.

상기 게이트 드라이버는 상기 각 게이트 라인들에 각각 인접한 전단(前段) 게이트 라인과 전반 게이트 하이 신호 구간이 오버랩하며, 인접한 후단(後段) 게이트 라인과 후반 게이트 하이 신호 구간이 오버랩하도록 게이트 하이 신호를 인가한다.

제 2 라인에는 상기 제 1 라인에 비해 상대적으로 게이트 하이 신호 구간의 반 구간만큼 지연되어 해당 데이터 신호가 인가된다.

상기 제 1, 제 2 라인 사이에 위치한 화소 라인의 각 화소 전극별로 전달되는 데이터 신호는, 상기 소오스 드라이버의 소정의 출력단으로부터 상기 각 화소 전극의 해당 게이트 라인의 게이트 하이 신호가 인가되는 시점에 동기하여 오드(odd), 이븐(even) 신호가 교번하여 인가된다.

상기 소오스 드라이버의 일 출력단으로부터 상기 제 1 라인에는 오드(odd) 신호가 인가되며, 상기 제 2 라인에는 이븐(even) 신호가 인가된다.

상기 제 1, 제 2 라인 사이에 형성된 홀수 번째 화소 전극은 상기 제 1 라인으로부터 데이터 신호를 전달받고, 상기 제 1, 제 2 라인 사이에 형성된 짝수 번째 화소 전극은 상기 제 2 라인으로부터 데이터 신호를 전달받는다.

상기 제 1, 제 2 샘플링/홀딩부는 상기 제 1 기판 상에 형성된다.

상기 제 1, 제 2 샘플링/홀딩부는 상기 소오스 드라이버 내부에 내장된다.

이하, 첨부된 도면을 참조하여 본 발명의 액정 표시 장치를 상세히 설명하면 다음과 같다.

도 9는 종래의 60Hz 구동과 비교한 본 발명의 액정 표시 장치의 샘플링 및 홀딩 시간을 나타낸 그래프이다.

도 9와 같이, 본 발명의 액정 표시 장치는 120Hz로 고속 구동(하부 그래프)하며, 샘플링 시간을 일반적인 60Hz 구동법(상부 그래프)과 같은 시간으로 하여 화소 전극에 데이터 라인으로부터 인가되는 데이터 전압이 충분히 충전될 시간을 확보한다.

또한, 본 발명의 액정 표시 장치는 120Hz의 고속 구동은 1프레임이 $1/120\text{ s} = 8.3\text{ ms}$ 시간을 차지한다. 따라서, 상대적으로 샘플링하는데 걸리는 시간이 일반적인 고속 구동 방식의 2배가 걸리게 되므로, 홀딩하는 시간은 상대적으로 줄어드는 셈이다.

예를 들어, 액정 패널이 XGA(1024×768)인 경우, 게이트 라인 수는 768개로 고속 구동(120Hz)과 같이, 각 게이트 라인에 독립적으로 게이트 하이 신호가 인가될 경우, 게이트 온 타임(게이트 하이 전압 인가 시간)이 $10.8\mu\text{s}$ 이겠지만, 본 발명의 액정 표시 장치의 경우는, 60Hz로 구동한 수준으로 게이트 라인별 게이트 온 타임(샘플링 시간)(게이트 하이 전압 인가 시간)을 늘렸다. 따라서, 각 게이트 라인에 인가되는 게이트 하이 신호(게이트 온 신호) 인가 시간은 $21.7\mu\text{s}$ 가 된다.

도 10은 본 발명의 액정 표시 장치의 경우 게이트 라인에 인가되는 신호의 오버랩을 나타낸 도면이다.

예를 들어, XGA(1024×768) 경우, 고속 구동(120Hz)을 하기 위해서는 1프레임 당 $8.3\text{ms}(=1/120\text{sec})$ 의 시간이 소요된다. 그런데, 도 10과 같이, 본 발명의 액정 표시 장치는, 일 게이트 라인의 각 게이트 라인 상의 위치하는 해당 화소 전극들에 충분한 충전 시간을 확보하기 위해 게이트 온 타임을 $21.7\mu\text{s}$ 으로 한다. 따라서, 일반적인 고속 구동의 게이트 온 타임인 $10.8\mu\text{s}(=8.3\text{ms}/768)$ 에 비해 게이트 온 타임이 그 2배이기 때문에, 1프레임(frame) 내에 768개의 게이트 라인을 순차적으로 온시킬 때, 인접한 게이트 라인간의 게이트 온 타임들이 오버랩되는 구간이 있어야 총 8.3ms 시간 내(1프레임 내)에 768개의 게이트 라인을 모두 온시킬 수 있다.

이 때, 인접한 게이트 라인간 오버랩된 시간은 평균적으로 게이트 라인 온 시간의 반 시간($21.7\mu\text{s}/2=10.8\mu\text{s}$) 정도이다. 왜냐하면, 게이트 온 타임이 고속 구동에 비해 2배로 늘어났기 때문에, 인접한 게이트 라인간 오버랩 구간을 각 게이트 온 타임의 1/2로 하여주면, 1프레임의 시간동안 패널에 위치한 게이트 라인을 순차적으로 온시킬 수 있게 되는 것이다.

따라서, 본 발명의 액정 표시 장치는 게이트 라인 온 시간(샘플링 시간)을 충분히 확보하여 화소 전압에 데이터 전압이 충전되도록 할 수 있다.

이러한 인접한 게이트 라인간의 오버랩은 n 번째 게이트 라인이 온(V_{g_n} 인가) 될 때, 전반 게이트 온 타임(the first half gate on time)에서는 $(n-1)$ 번째 게이트 라인과 동시에 온($V_{g_{(n-1)}}$ 인가)되며, 후반 게이트 온 타임(the second half gate on time)에는 $(n+1)$ 번째 게이트 라인과 동시에 온($V_{g_{(n+1)}}$ 인가)된다.

따라서, 상기 게이트 라인들에 게이트 온 신호(게이트 하이 신호)를 인가할 때, 인접한 게이트 라인간 서로 게이트 하이 신호의 오버랩 구간을 갖게 되면, 화소 구조를 조정하지 않는 이상, 전반 게이트 온 타임에서는 $(n-1)$ 번째 게이트 라인 상에 구성된 박막 트랜지스터에 인가되는 데이터 전압이 n 번째 게이트 라인에 구성되는 박막 트랜지스터에 인가되고, 후반 게이트 온 타임에서는 n 번째 게이트 라인 상에 구성된 박막 트랜지스터에 인가되는 데이터 전압이 $(n+1)$ 번째 게이트 라인에 구성되는 박막 트랜지스터에 인가되는 문제가 발생할 수 있다. 즉, 게이트 하이 신호의 오버랩 구간(V_{g_n} 및 $V_{g_{(n-1)}}$ 오버랩 구간 또는 V_{g_n} 및 $V_{g_{(n+1)}}$ 오버랩 구간)에서 하나의 소오스 드라이버 출력단으로부터 나오는 데이터 신호가 상하로 인접한 게이트 라인 상의 박막 트랜지스터들에 동시에 인가되어 충분한 데이터 전압을 해당 화소 전극에 충전시키지 못하여, 화면 이상이 발생하거나 열화된 신호 인가로 게이트 댐(gate dim) 현상 또는 수직 크로스 토크(vertical crosstalk) 현상이 발생할 수 있다.

따라서, 이하에서는 상술한 인접한 게이트 라인간 게이트 하이 신호의 반 구간이 오버랩되도록 게이트 하이 신호를 인가하는 구조를 택하되, 액정 패널 내 패드부와 소오스 드라이버측의 출력단의 구조를 변경하여 인접한 게이트 라인간의 게이트 하이 신호의 구간이 오버랩되더라도, 하나의 데이터 라인으로부터 데이터 전압 인가시 상하로 인접한 게이트 라인간의 박막 트랜지스터별로 데이터 전압의 인가 시점을 달리하여, 각각의 박막 트랜지스터 내 화소 전극에 독립적으로 데이터 전압을 충전(charging)하는 액정 표시 장치의 구조 및 이를 이용한 구동 방법에 대해 설명한다.

도 11은 본 발명의 액정 표시 장치의 소오스 드라이버와 패널 내부의 연결 관계를 나타낸 도면이며, 도 12는 본 발명의 액정 표시 장치의 화소부의 회로도이다.

도 11과 같이, 본 발명의 액정 표시 장치는 일 데이터 전압을 출력하는 소오스 드라이버(10)의 일 출력단을 이분하여, 이분된 출력단을 각각 1쌍의 데이터 라인 중 각각 제 1 데이터 라인(좌측 데이터 라인) 및 제 2 데이터 라인(우측 데이터 라인)과 연결한다. 그리고, 상기 제 1 데이터 라인($D1, D3, D5, \dots, D(2N-1)$)과 상기 제 2 데이터 라인($D2, D4, D6, \dots, D(2N)$)에 각각 동일한 소오스 드라이버(10)의 일 출력단으로부터 나오는 오드, 이븐 데이터 전압을 인가하도록 한다. 이 때, 상기 소오스 드라이버(10)의 일 출력단으로부터 나오는 신호를 각 화소별 게이트 온 타임 구간동안 충분하고 안정하게 인가하기

위해, 상기 이분된 출력단에 각각 제 1, 제 2 샘플링 및 홀딩부(11, 12)를 구비한다. 또한, 상기 소오스 드라이버(10)의 일 출력단으로부터 나오는 신호를 적절히 선택하여 각각의 제 1, 제 2 데이터 라인으로 인가도록 스위칭부(19, 13, 14)를 구비하고 있다.

본 발명의 액정 표시 장치는 크게 복수개의 게이트 라인(G1, G2, G3,)과 복수개의 쌍의 데이터 라인(D1, D2, D3, D4, ...)으로 이루어진 어레이를 갖는 화소부와 상기 화소부 외곽에 패드부가 정의된 액정 패널과, 상기 액정 패널의 패드부에 연결되는 게이트 드라이버(미도시) 및 소오스 드라이버(10)를 포함하여 이루어진다.

여기서, 상기 소오스 드라이버(10)의 각 출력단(DI1, ..., DIN)에는 출력단(DI1, ..., DIN)으로부터 나오는 일 데이터 신호를 저장하고 선택 구간에 전달하는 제 1 샘플링/홀딩부(11) 및 제 2 샘플링/홀딩부(12)와, 상기 소오스 드라이버(10)의 일 출력단(DI1, ...)으로부터 나오는 일 데이터 신호를 상기 제 1 샘플링/홀딩부(11) 및 제 2 샘플링/홀딩부(12)간에 선택적으로 전달하는 제 1 스위치(19)와, 상기 제 1 샘플링/홀딩부(11)의 저장된 일 데이터 신호를 선택적으로 한 쌍의 데이터 라인들 중 제 1 데이터 라인(D1)으로 인가하는 제 2 스위치(13)와, 상기 제 2 샘플링/홀딩부(12)에 저장된 데이터 신호를 선택적으로 제 2 데이터 라인(D2)으로 인가하는 제 3 스위치(14)와, 상기 제 2 스위치(13) 및 제 3 스위치(14)와 각각 연결되어 상기 소오스 드라이버(10)로부터 출력되는 데이터 신호를 안정적으로 각각 제 1, 제 2 데이터 라인(D1, D2)에 인가하는 제 1 버퍼(15), 제 2 버퍼(16)가 연결되어 형성된다.

여기서, 상기 제 1, 제 2 데이터 라인(D1, D2) 사이에 위치한 화소 라인의 각 화소 전극별로 전달되는 데이터 신호는, 상기 소오스 드라이버(10)의 소정의 출력단으로부터 상기 각 화소 전극의 해당 게이트 라인의 게이트 하이 신호(Vgn)가 인가되는 시점에 동기하여 오드(odd), 이븐(even) 신호가 교번하여 인가된다.

이 때, 상기 제 1, 제 2 샘플링 및 홀딩부(11, 12)가 각각 상기 소오스 드라이버(10)의 일 출력단으로부터 나오는 오드, 이븐 데이터 신호를 저장하여 해당 데이터 라인으로 출력하고 있다.

상기 소오스 드라이버(10)의 일 출력단에 연결되는 제 1, 제 2 샘플링 및 홀딩부(11, 12)와, 제 1 내지 제 3 스위치(19, 13, 14) 및 제 1, 제 2 버퍼(15, 16)는 상기 소오스 드라이버(10) 내부에 더 구성될 수도 있으며, 혹은 액정 패널의 패드부(기판의 외곽)에 실장하여 형성할 수도 있다.

도시되지 않았지만, 상기 게이트 드라이버(미도시)의 출력단은 복수개의 게이트 라인(G1, G2, ..., GM)과 연결된다.

도시된 도면 상에는 소오스 드라이버(10)의 일 출력단(DI1)에 대해서만 도시되었지만, 나머지 출력단들(DI2, ..., DIN)에 대해서도 각각의 데이터 라인 쌍과 같은 방식으로 연결되어 형성된다.

여기서, 도 9와 같이, 상기 게이트 드라이버는 120Hz의 속도로, 각 게이트 라인에 게이트 하이 신호를 인가한다. 이 경우, 인접한 게이트 라인간에 게이트 온 타임(게이트 하이 신호 인가 시간)의 반 구간이 오버랩되도록 각각의 게이트 라인(G1, G2, G3, ..., GM)에 게이트 하이 신호를 순차적으로 인가한다. 따라서, 본 발명의 액정 표시 장치의 게이트 드라이버는, 각각의 게이트 라인(G1, G2, G3, ..., GM)별로, 게이트 드라이버 구동 속도에 비하여 2배의 샘플링 시간(차징 시간)을 확보함으로써, 게이트 라인 상에 구성된 박막 트랜지스터(도 12의 17, 18 참조)와 연결된 각 화소 전극(도 12의 31, 32 참조)에서 해당 데이터 라인에 인가하는 데이터 신호의 해당 계조 전압 레벨까지 충분히 차징(charging)이 일어나도록 한다.

이 경우, 각각의 세로 방향으로 인접한 화소 전극(도 12의 31, 32 참조)은 각각 서로 다른 시점에 구동되는 데이터 라인(D1, D2)과 연결됨으로써, 데이터 신호가 인가되더라도 서로간의 간섭없이 안정적으로 데이터 신호가 인가된다.

도 12와 같이, 본 발명의 액정 표시 장치의 액정 패널내에는, 상기 데이터 라인 쌍의 제 1 데이터 라인(D1, D3, D5, ...D(2N-1))과 제 2 데이터 라인(D2, D4, D6, D2N) 사이의 공간과 각각의 게이트 라인(G1, G2, ..., GM) 사이에 화소 영역(도 11의 1 내지 4로 표기)이 정의된다. 그리고, 상기 화소 영역(1, 2, 3, 4)에는 화소 전극(31, 32)이 형성되며, 홀수 번째 게이트 라인(G1, G3, ...)과 제 1 데이터 라인(D1)의 교차부에는 제 1 박막 트랜지스터(17)가 형성되며, 상기 짝수 번째 게이트 라인(G2, G4, ...)과 제 2 데이터 라인(D2)의 교차부에는 제 2 박막 트랜지스터(18)가 형성된다.

이 경우, 상기 제 1 박막 트랜지스터(17)와 연결된 화소 전극(31)은 상기 제 1 데이터 라인(D1)으로부터 데이터 신호(V_{D1})를 인가받고, 상기 제 2 박막 트랜지스터(18)와 연결된 화소 전극(32)은 상기 제 2 데이터 라인(D2)으로부터 데이터 신호(V_{D2})를 인가받는다. 여기서, 상기 제 1, 제 2 데이터 라인(D1, D2)으로 공급되는 데이터 신호는 각각 오드(odd), 이븐(even)으로 해당 화소 전극에 인가시 다른 극성으로 충전되는 값이다. 이 경우, 상기 제 1, 제 2 데이터 라인(D1, D2)에 인

가되는 시점은 소정의 시간 차(게이트 온 타임의 1/2 시간)를 가지며, 이 때, 해당 소오스 드라이버의 일 출력단으로부터 나오는 오드, 이븐의 데이터 전압은 상기 제 1, 제 2 샘플링 및 홀딩부(11, 12)를 통해 저장, 유지되어 해당 화소 전극의 해당 게이트 라인의 게이트 하이 신호 구간동안 인가되어, 해당 화소 전극에 구동에 필요한 충분한 데이터 전압 값을 충전시키게 된다.

본 발명의 액정 표시 장치에 구성되는 소오스 드라이버(10)는 상기 제 2, 제 3 스위치(13, 14)의 스위칭 동작의 의해서 상기 소오스 드라이버(10)의 일출력단에서 나오는 신호를 한 쌍의 데이터 라인, 즉, 제 1, 제 2 데이터 라인(D1, D2)에 인가한다.

이 때, 상기 제 2 데이터 라인(D2)에 인가하는 해당 데이터 신호는 상기 제 1 데이터 라인(D1)에 인가하는 데이터 신호에 비해 게이트 온 타임의 반 구간만큼 지연된 신호이며, 이는, 해당 화소 전극에 걸리는 해당 게이트 라인의 게이트 하이 신호 라이징에 동기하여 출력되는 신호이다.

본 발명의 액정 표시 장치는 소오스 드라이버(10)의 각 출력단에서 동일한 값이 이분된 출력 값을 가지므로, 동일 모드에서 2배수의 데이터 라인을 가진다.

예를 들어, XGA(1024×768)일 경우, 일반적인 액정 표시 장치는 768개의 게이트 라인과, $1024 \times 3 = 3072$ (R, G, B 서브 픽셀이 1픽셀을 이룸을 감안)개의 데이터 라인 수를 가지나, 본 발명의 액정 표시 장치는 768개의 게이트 라인과, $3072 \times 2 = 7144$ 개의 데이터 라인을 가진다.

그리고, 상기 데이터 라인은 2개의 데이터 라인을 한 쌍으로 하여 데이터 신호가 인가된다. 즉, 동일한 소오스 드라이버의 일 출력단으로부터 나오는 오드, 이븐의 데이터 전압(V_{D1} , V_{D2})이 인접한 좌우 데이터 라인으로 이루어진 한 쌍의 데이터 라인(D1, D2)에 각각 소정의 시차(게이트 온 타임의 반 구간)를 두고 교번하여 인가된다.

한편, 상기 액정 표시 장치의 액정 패널 내(점선 아래쪽)의 제 1, 제 2 박막 트랜지스터(17, 18)는 쌍을 이루는 제 1, 제 2 데이터 라인(D1, D2) 사이에 각 게이트 라인(G1, G2)별로 형성된다. 이 경우, 제 1 박막 트랜지스터(17)는 각 쌍의 데이터 라인 중 제 1 데이터 라인(D1)과 홀수 번째 게이트 라인(G1)의 교차부에 형성되고, 제 2 박막 트랜지스터(18)는 각 쌍의 데이터 라인 중 제 2 데이터 라인(D2)과 짝수 번째 게이트 라인(G2) 사이에 형성된다. 그리고, 각각 제 1 박막 트랜지스터(17)와 홀수 번째 게이트 라인 상의 화소 전극(31)이 연결되고, 상기 제 2 박막 트랜지스터(18)와 짝수 번째 게이트 라인(G2) 상의 화소 전극(32)이 연결된다.

이 때, 상기와 같은 데이터 신호를 인가받는 제 1, 제 2 박막 트랜지스터(17, 18)는 서로 인접한 상하 게이트 라인(G1, G2) 상에 형성되며, 이러한 구성은 액정 패널 전체에 걸쳐 이루어진다.

본 발명의 액정 표시 장치의 액정 패널 내에 구비된 게이트 라인들에는 각각 인접한 전단(前段) 및 후단(後段) 게이트 라인과 각각 전반 게이트 온 타임과 후반 게이트 온 타임에 해당하는 구간동안 각각의 게이트 온 타임이 오버랩하도록 게이트 하이 신호(V_{gn})가 인가된다.

이 때, 상기 제 2 스위치(13)를 통해 해당 게이트 라인에 온 신호 인가시, 상기 소오스 드라이버(10)의 일 출력단(DI1, ...)에 대응되는 한 쌍의 데이터 라인 중 제 1 데이터 라인(D1, ...)에 오드 모드의 데이터 신호를 인가하고, 해당 게이트 라인에 온 신호 인가 후 게이트 온 타임의 1/2시간 후에는 상기 제 3 스위치(14)를 통해 상기 제 2 데이터 라인(D2, ...)에 이븐 모드의 데이터 신호를 인가한다.

이 때, 상기 제 1 박막 트랜지스터들(17)은 상기 제 1 데이터 라인(D1, ...)과 홀 수 번째 게이트 라인(G1, ...)의 사이에 형성되어 있고, 상기 제 2 박막 트랜지스터들(18)은 상기 제 2 데이터 라인(D2, ...)과 짝수 번째 게이트 라인(G2, ...)의 사이에 형성되어 있다. 따라서, 인접한 게이트 라인들(G1, G2, ...GM)이 서로 반 구간의 게이트 온 타임동안 오버랩되어 구동 전압이 인가되더라도, 서로 인접한 게이트 라인(G1, G2) 상의 박막 트랜지스터(17, 18)는 서로 다른 시점에 구동되며, 또한, 직접 소오스 드라이버(10)의 출력단으로부터가 아닌 각각 샘플링 및 홀딩부(11, 12)에 저장된 데이터가 인가되어 안정적으로 끊기지 않고 들어올 수 있어, 인접한 게이트 라인간의 게이트 온 타임 오버랩으로 인한 화소 전압 저하나 화질 저하 등의 문제점을 발생하지 않는다.

이 경우, 상기 제 1 데이터 라인(D1)과 제 2 데이터 라인(D2) 사이에 형성된 박막 트랜지스터들(17, 18) 중 홀 수 번째 게이트 라인(G1, ...) 상에 형성되는 제 1 박막 트랜지스터들(17)은 마치, 일반적인 60Hz 구동 방식과 같이, 오버랩되지 않은 서로 순차적인 게이트 하이 신호 인가가 이루어지며, 마찬가지로, 제 2 박막 트랜지스터들(18)도 서로 오버랩되지 않고 순차적으로 인가되는 게이트 하이 신호가 이루어진다.

본 발명의 액정 표시 장치는, 인접한 게이트 라인간에 온 타임 구간이 일부 오버랩되더라도 하나의 소오스 드라이버(10)의 일 출력단에 대응되는 한 쌍의 데이터 라인 중 제 1, 제 2 데이터 라인에, 각각 제 1, 제 2 샘플링 및 홀딩부(11, 12)를 통해 저장된 오드 모드의 데이터 신호, 이브 모드의 데이터 신호를 인가하고, 해당 게이트 라인의 하이 신호 라이징 시점에 동기하여 인가하여 상기 게이트 하이 신호 구간동안 해당 모드의 데이터 신호를 출력하도록 한다. 따라서, 상기 제 1, 제 2 샘플링 및 홀딩부(11, 12)에 의해, 게이트 라인간의 하이 신호 오버랩 구간이 발생하여도, 충분한 데이터 전압 인가가 가능도록 하여, 각각의 화소 전극별로 해당 데이터 전압이 충분히 차징되도록 샘플링 구간을 확보할 수 있다. 따라서, 제조 값이 안정된 데이터 전압을 인가받을 수 있다.

즉, 120Hz의 속도로 고속 구동을 하여, 1프레임 당 $1/120=8.3\text{ms}$ 의 시간이 걸리더라도, 인접한 게이트 라인간 하이 신호의 반 구간이 오버랩됨으로써, 각 게이트 라인의 게이트 온 타임은 $21.7\mu\text{s}$ (인접한 게이트 라인간 $10.8\mu\text{s}$ 구간이 오버랩)에 해당하여도, 인접한 게이트 라인간 걸리는 화소 전극별로 데이터 신호 인가는 중복되지 않게 되어, 모션 블러링(motion blurring) 현상을 야기치 않으며, 상기 소오스 드라이버(10)로부터 데이터 전압을 충분히 차징할 수 있는 게이트 온 타임을 확보할 수 있는 것이다.

이 경우, 본 발명의 액정 표시 장치는 상기 소오스 드라이버(10)는 각각 오드 모드와 이브 모드의 데이터 신호가 상기 게이트 하이 신호의 반 구간의 주기로 교번하도록 구동시킨다.

한편, 상기 소오스 드라이버(10)의 내부는 다음과 같이 이루어진다.

도 13은 도 11의 소오스 드라이버 내부를 나타낸 도면이다.

도 13과 같이, 본 발명의 소오스 드라이버(10)는 쉬프트 레지스터부(21)와, 제 1 래치부(22)와, 제 2 래치부(23)와, DAC(디지털 아날로그 컨버터)부(24)와, 그리고 증폭기(25)로 구성된다.

상기 소오스 드라이버(10) 내 제 1 래치부(22)에 공급되는 영상 신호는 시스템으로부터 R, G, B 각각의 6비트의 데이터 신호이며, 이러한 신호 인가에 대해 액정 패널의 구비된 데이터 라인에 비해 $1/2$ 배수의 출력 수(예를 들어, 본 발명의 액정 표시 장치를 XGA로 구동할 경우, 액정 패널 내 데이터 라인 수는 $1024 \times 3 \times 2$ 이며, 상기 소오스 드라이버(10)의 출력수는 1024×3 개이다)를 갖는다.

그리고, 상기 HCLK는 소오스 펄스 클럭 신호이며, HSYNC 신호는 수평 동기 신호로, 외부의 타이밍 컨트롤러(timing controller)로부터 인가된다.

이와 같은 구성의 소오스 드라이버(10)의 동작을 차례로 살펴본다.

상기 쉬프트 레지스터(21)는 수평 동기 신호(HSYNC)를 소오스 펄스 클럭(HCLK)에 의해 쉬프트시켜 래치 클럭을 제 1 래치부(22)로 출력한다.

상기 제 1 래치부(22)는 상기 쉬프트 레지스터(21)에서 출력되는 래치 클럭에 따라 디지털 R, G, B 데이터를 소오스 드라이버 출력단(DI1, DI2, ..., DIN)별로 샘플링하여 래치시킨다.

상기 제 2 래치부(23)는 상기 제 1 래치부(22)에 래치된 R, G, B 데이터를 로드 신호(LD)에 의해 동시에 전달받아 래치시킨다.

상기 DAC부(24)는 상기 제 2 래치부(23)에 저장된 디지털 R, G, B 데이터를 아날로그 R, G, B 변환한다.

상기 증폭기(25)는 아날로그 신호로 변환된 R, G, B 데이터를 일정 폭으로 증폭하여 패널의 각 소오스 드라이버 출력단(DI1, DI2, ..., DIN)으로 출력한다.

발명의 효과

상기와 같은 본 발명의 액정 표시 장치는 다음과 같은 효과가 있다.

첫째, 액정 패널 내부를 고속 구동을 함으로써, 모션 블러링 현상을 급격히 줄일 수 있어, 화질의 향상이 기대된다.

둘째, 액정 패널을 고속 구동하되, 인접한 각 게이트 라인별 서로 게이트 온 타임을 반 구간 오버랩시킴으로써, 각 게이트 라인별 샘플링 시간을 충분히 확보함으로써, 화소 전압에 충분히 데이터 전압이 충전되도록 하여, 홀드형으로 신호를 공급하는 액정 표시 장치에 있어서, 휘도가 저하되는 문제점을 해결하였다.

셋째, 액정 패널 내부는 고속 구동하더라도, 실제 소오스 드라이버측은 일반 구동하고, 대신 소오스 드라이버의 각 출력단을 이분하고, 이분된 출력단 각각에 샘플링 및 홀딩부를 구성함으로써, 데이터 전압을 이븐, 오드 모드로 구분하여 인가시 해당 화소 전극에 충분한 충전 시간을 확보할 수 있어, 고비용의 소오스 드라이버를 새로 구성하지 않고, 고속 구동이 가능하다.

넷째, 각 소오스 드라이버의 출력단을 이분하여 인접한 2개의 데이터 라인에 데이터 전압을 이븐, 오드 모드로 구분하여 인가시 각각 다른 시점에 동일한 데이터 전압을 인가하여, 상기 데이터 라인에 대응되는 각각의 화소 전극에 다른 시점에 별개로 충전 구동이 이루어져, 정상적인 데이터 전압이 각 화소 전압에 인가될 수 있어, 화질 저하 및 딥 현상을 개선할 수 있다.

(57) 청구의 범위

청구항 1.

서로 대향된 제 1, 제 2 기관;

상기 제 1 기관의 표시 영역에 서로 인접한 제 1, 제 2 라인을 한 쌍으로 하여 형성된 복수개의 쌍의 데이터 라인;

상기 데이터 라인들과 수직으로 교차하며 상기 제 1 기관 상에 형성되어, 상기 제 1, 제 2 라인 사이에 화소 영역을 정의하는 복수개의 게이트 라인;

상기 각 화소 영역에 형성된 복수개의 화소 전극;

상기 게이트 라인들에 게이트 신호를 인가하는 게이트 드라이버;

상기 제 1, 제 2 라인에 대응되는 데이터 신호를 출력하는 소오스 드라이버; 및

상기 소오스 드라이버의 각 출력단에 각 출력단으로부터 나오는 데이터 신호를 저장하고, 상기 제 1, 제 2 라인 사이에 형성된 홀수번째 화소 전극과, 짝수번째 화소 전극에 해당 데이터 신호를 전달하는 래치부를 포함하여 이루어짐을 특징으로 하는 액정 표시 장치.

청구항 2.

제 1항에 있어서,

상기 게이트 드라이버는,

상기 각 게이트 라인들에 각각 인접한 전단(前段) 게이트 라인과 전반(the first half) 게이트 하이 신호 구간이 오버랩하며, 인접한 후단(後段) 게이트 라인과 후반(the second half) 게이트 하이 신호 구간이 오버랩하도록, 게이트 하이 신호를 인가하는 것을 특징으로 하는 액정 표시 장치.

청구항 3.

제 2항에 있어서,

제 2 라인에는 상기 제 1 라인에 비해 상대적으로 게이트 하이 신호 구간의 반 구간만큼 지연되어 해당 데이터 신호가 인가되는 것을 특징으로 하는 액정 표시 장치.

청구항 4.

제 1항에 있어서,

상기 제 1, 제 2 라인 사이에 위치한 화소 라인의 각 화소 전극별로 전달되는 데이터 신호는, 상기 소오스 드라이버의 소정의 출력단으로부터 상기 각 화소 전극의 해당 게이트 라인의 게이트 하이 신호가 인가되는 시점에 동기하여 오드(odd), 이븐(even) 신호가 교번하여 인가됨을 특징으로 하는 액정 표시 장치.

청구항 5.

제 4항에 있어서,

상기 소오스 드라이버의 일 출력단으로부터 상기 제 1 라인에는 오드(odd) 신호가 인가되며, 상기 제 2 라인에는 이븐(even) 신호가 인가되는 것을 특징으로 하는 액정 표시 장치.

청구항 6.

제 4항에 있어서,

상기 제 1, 제 2 라인 사이에 형성된 홀수번째 화소 전극은 상기 제 1 라인으로부터 데이터 신호를 전달받고,

상기 제 1, 제 2 라인 사이에 형성된 짝수번째 화소 전극은 상기 제 2 라인으로부터 데이터 신호를 전달받는 것을 특징으로 하는 액정 표시 장치.

청구항 7.

제 1항에 있어서,

상기 제 1, 제 2 라인 사이에 배치되는 화소 영역들에는,

홀수번째 화소 영역에는 해당 게이트 라인과 제 1 라인 사이에 제 1 박막 트랜지스터가 형성되고,

짝수번째 화소 영역에는 해당 게이트 라인과 제 2 라인 사이에 제 2 박막 트랜지스터가 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 8.

제 1항에 있어서,

상기 래치부는

상기 소오스 드라이버의 일 출력단으로부터 나오는 일 데이터 신호를 저장하고 선택 구간에 전달하는 제 1 샘플링/홀딩부 및 제 2 샘플링/홀딩부;

상기 소오스 드라이버의 일 출력단으로부터 나오는 일 데이터 신호를 상기 제 1 샘플링/홀딩부 및 제 2 샘플링/홀딩부간에 선택적으로 전달하는 제 1 스위치;

상기 제 1 샘플링/홀딩부의 저장된 일 데이터 신호를 선택적으로 상기 제 1 라인으로 인가하는 제 2 스위치; 및

상기 제 2 샘플링/홀딩부에 저장된 일 데이터 신호를 선택적으로 상기 제 2 라인으로 인가하는 제 3 스위치를 포함하여 이루어짐을 특징으로 하는 액정 표시 장치.

청구항 9.

제 1항에 있어서,

상기 래치부는 상기 제 1 기판 상에 형성된 것을 특징으로 하는 액정 표시 장치.

청구항 10.

제 1항에 있어서,

상기 래치부는 소오스 드라이버 내부에 내장된 것을 특징으로 하는 액정 표시 장치.

청구항 11.

서로 대향된 제 1, 제 2 기판;

상기 제 1 기판 상에 서로 인접한 제 1, 제 2 라인을 한 쌍으로 하여 형성된 복수개의 쌍의 데이터 라인;

상기 데이터 라인들과 수직으로 교차하며 상기 제 1 기판 상에 형성되어, 상기 제 1, 제 2 라인 사이에 화소 영역을 정의하는 복수개의 게이트 라인;

상기 화소 영역에 형성된 복수개의 화소 전극;

상기 제 1 라인의 데이터 라인과 홀수 번째 게이트 라인의 교차부에 형성되며, 해당 화소 전극과 전기적으로 연결된 제 1 박막 트랜지스터들;

상기 제 2 라인들과 짝수번째 게이트 라인의 교차부에 형성되며, 해당 화소 전극과 전기적으로 연결된 제 2 박막 트랜지스터들;

상기 게이트 라인에 게이트 신호를 인가하는 게이트 드라이버;

상기 각 제 1, 제 2 라인에 대응되는 데이터 신호를 출력하는 소오스 드라이버; 및

상기 소오스 드라이버의 각 출력단에 각 출력단으로부터 나오는 데이터 신호를 저장하고, 상기 제 1, 제 2 라인에 해당 데이터 신호를 인가하는 제 1 및 제 2 샘플링/홀딩부를 포함하여 이루어짐을 특징으로 하는 액정 표시 장치.

청구항 12.

제 11 항에 있어서,

상기 게이트 드라이버는 상기 각 게이트 라인들에 각각 인접한 전단(前段) 게이트 라인과 전반 게이트 하이 신호 구간이 오버랩하며, 인접한 후단(後段) 게이트 라인과 후반 게이트 하이 신호 구간이 오버랩하도록 게이트 하이 신호를 인가하는 것을 특징으로 하는 액정 표시 장치.

청구항 13.

제 12항에 있어서,

제 2 라인에는 상기 제 1 라인에 비해 상대적으로 게이트 하이 신호 구간의 반 구간만큼 지연되어 해당 데이터 신호가 인가되는 것을 특징으로 하는 액정 표시 장치.

청구항 14.

제 1항에 있어서,

상기 제 1, 제 2 라인 사이에 위치한 화소 라인의 각 화소 전극별로 전달되는 데이터 신호는, 상기 소오스 드라이버의 소정의 출력단으로부터 상기 각 화소 전극의 해당 게이트 라인의 게이트 하이 신호가 인가되는 시점에 동기하여 오드(odd), 이븐(even) 신호가 교번하여 인가됨을 특징으로 하는 액정 표시 장치.

청구항 15.

제 14항에 있어서,

상기 소오스 드라이버의 일 출력단으로부터 상기 제 1 라인에는 오드(odd) 신호가 인가되며, 상기 제 2 라인에는 이븐(even) 신호가 인가되는 것을 특징으로 하는 액정 표시 장치.

청구항 16.

제 14항에 있어서,

상기 제 1, 제 2 라인 사이에 형성된 홀수번째 화소 전극은 상기 제 1 라인으로부터 데이터 신호를 전달받고,

상기 제 1, 제 2 라인 사이에 형성된 짝수번째 화소 전극은 상기 제 2 라인으로부터 데이터 신호를 전달받는 것을 특징으로 하는 액정 표시 장치.

청구항 17.

제 11항에 있어서,

상기 제 1, 제 2 샘플링/홀딩부는 상기 제 1 기판 상에 형성된 것을 특징으로 하는 액정 표시 장치.

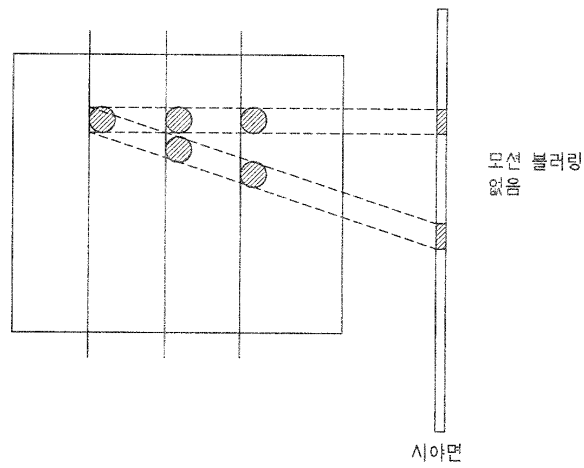
청구항 18.

제 11항에 있어서,

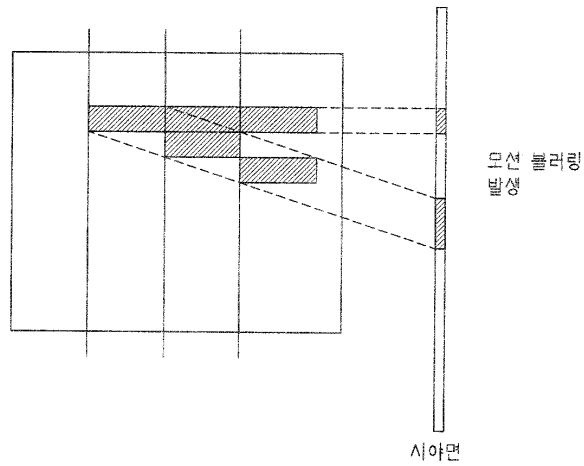
상기 제 1, 제 2 샘플링/홀딩부는 상기 소오스 드라이버 내부에 내장된 것을 특징으로 하는 액정 표시 장치.

도면

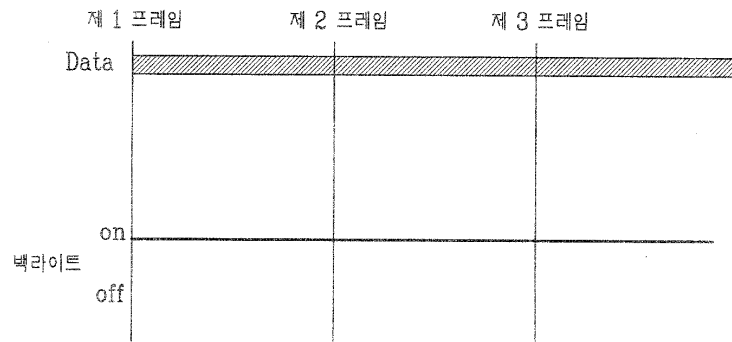
도면1



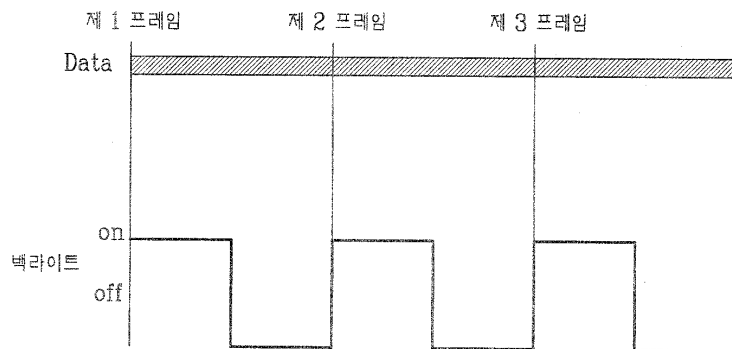
도면2



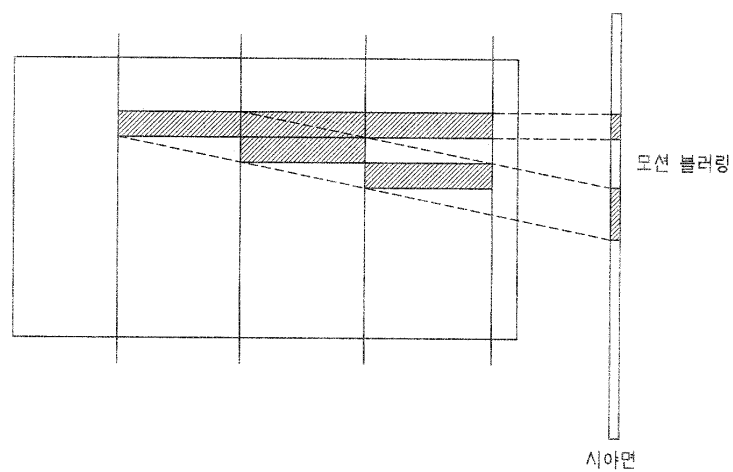
도면3



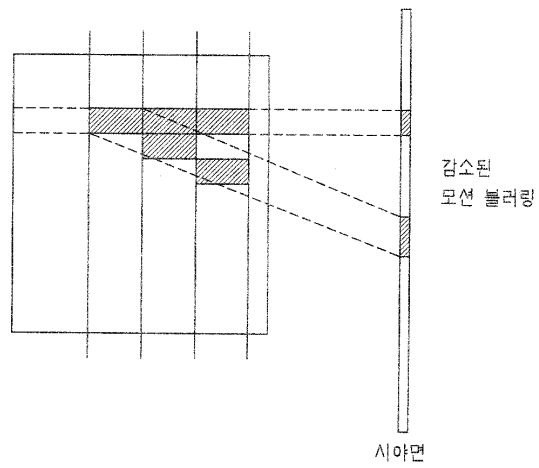
도면4



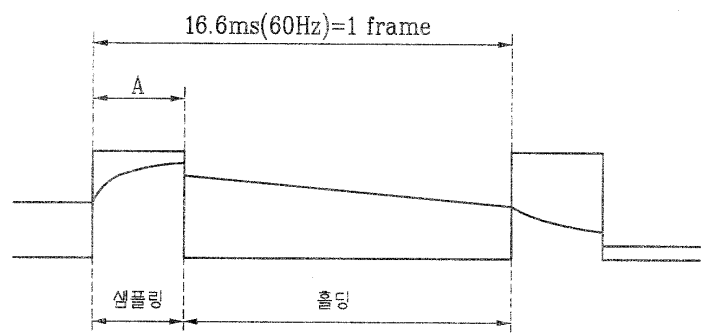
도면5a



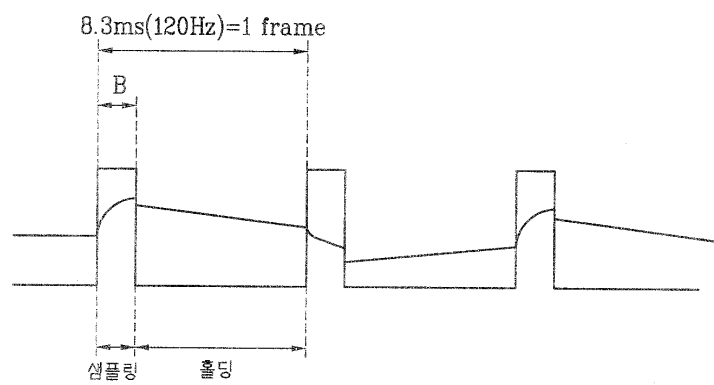
도면5b



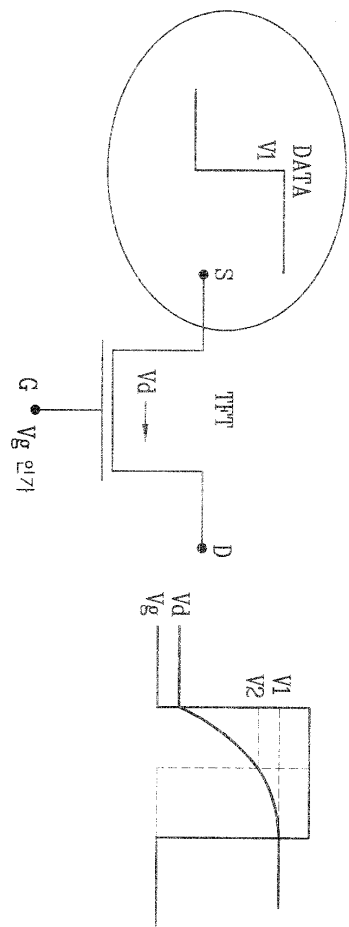
도면6



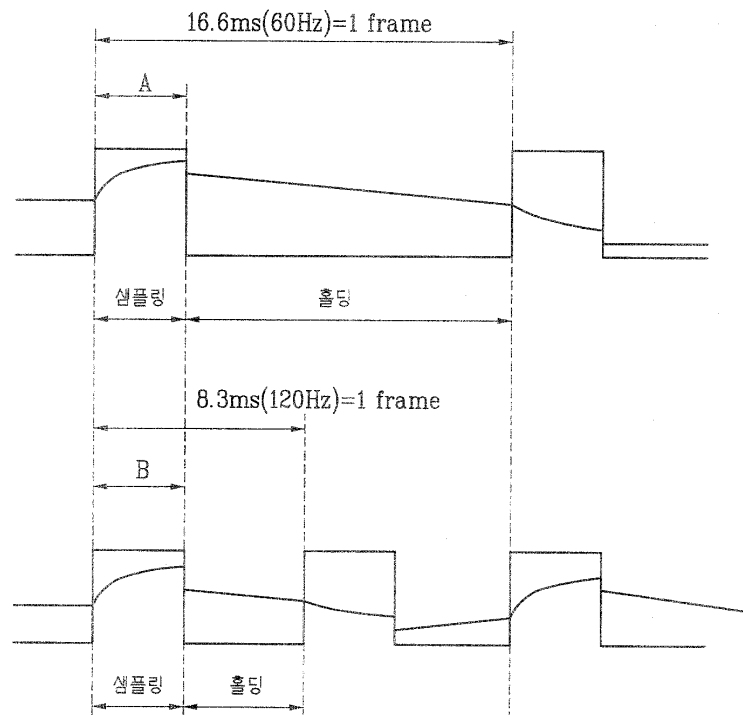
도면7



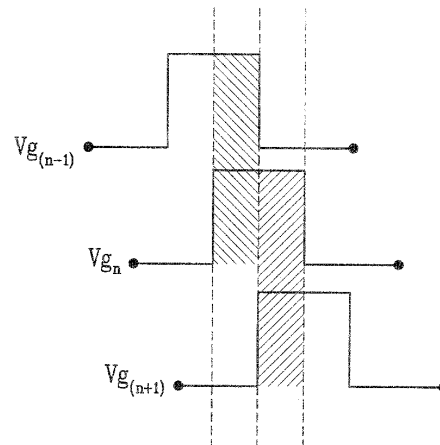
도면8



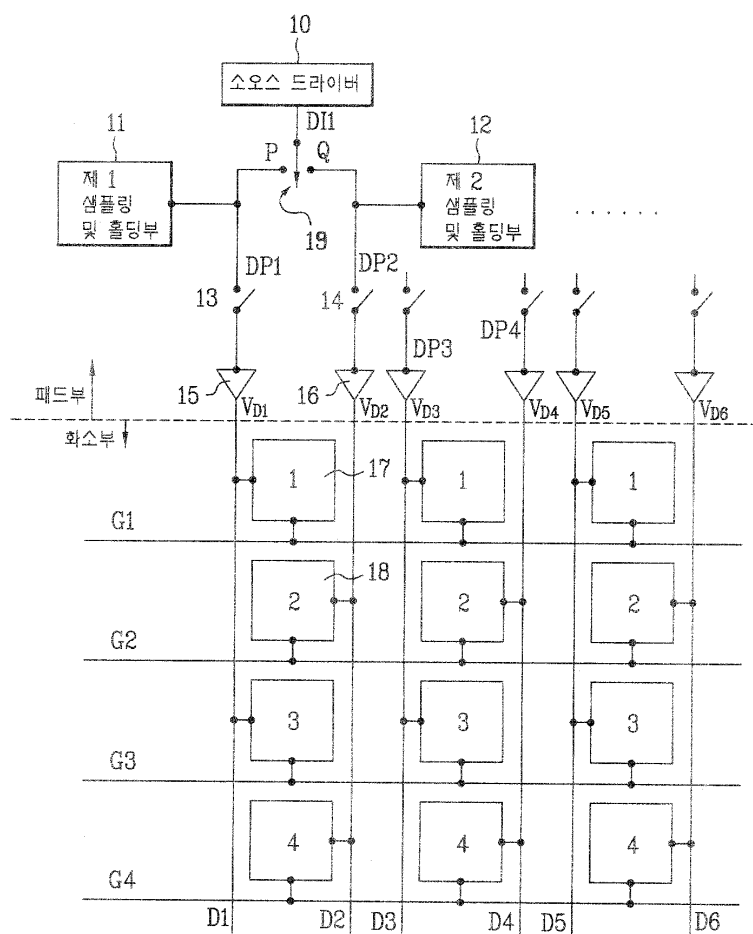
도면9



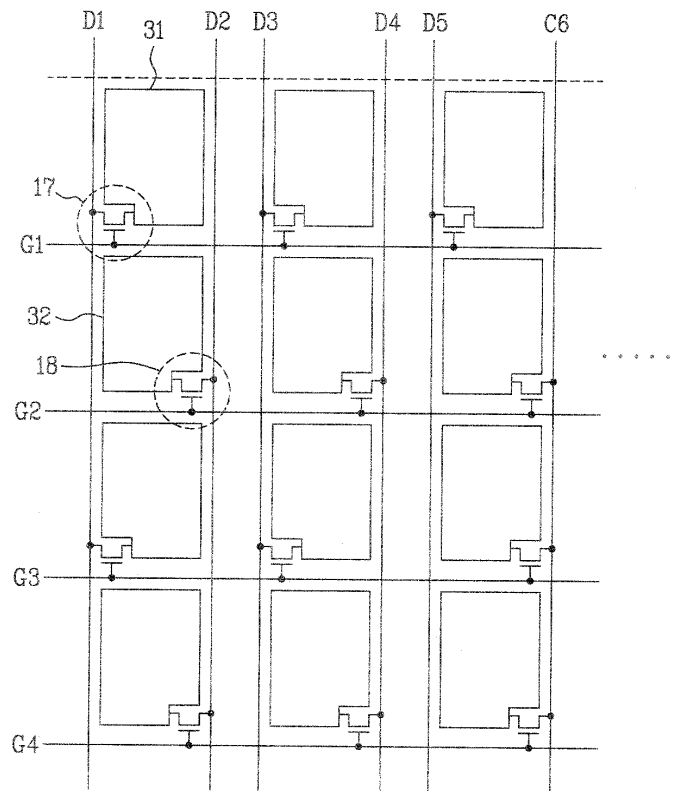
도면10



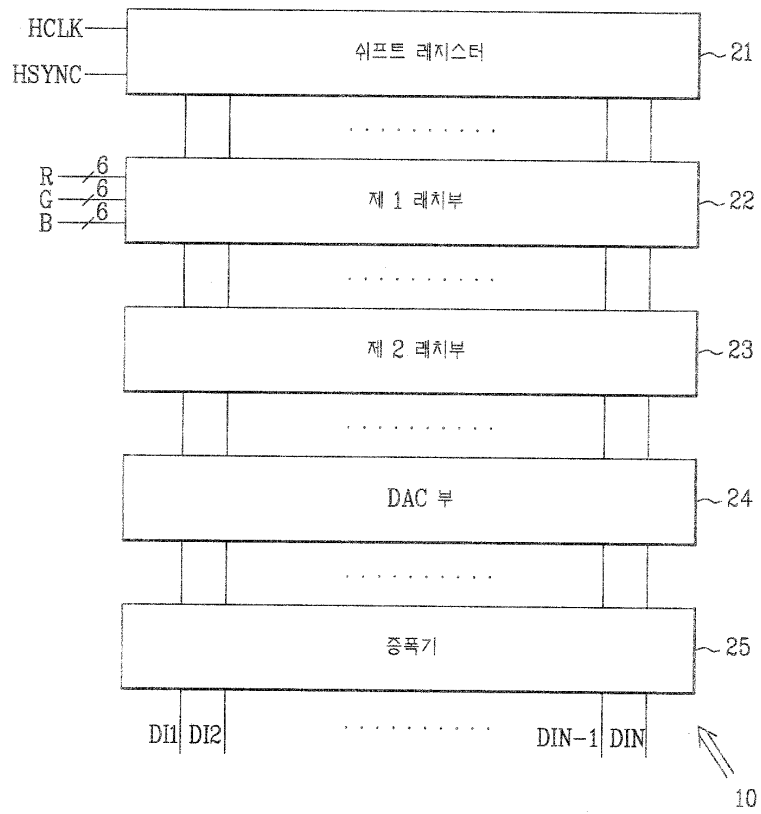
도면11



도면12



도면13



专利名称(译)	液晶显示器		
公开(公告)号	KR1020060016940A	公开(公告)日	2006-02-23
申请号	KR1020040065414	申请日	2004-08-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE SEOKWOO 이석우 CHUNG DONGIL 정동일		
发明人	이석우 정동일		
IPC分类号	G02F1/133		
CPC分类号	G09G2310/0281 G09G3/3648 G09G3/3688 G09G2310/0297 G09G2310/0218		
代理人(译)	金勇 年轻的小公园 PARK, YOUNG BOK		
其他公开文献	KR101055203B1		
外部链接	Espacenet		

摘要(译)

本发明通过施加数据信号IBN，淡该平分从高速行驶中的源极驱动器从源极驱动器的信号，并输出到相邻的以预定的时间差，以确保数据信号的充电时间的两条数据线，并且还涉及到实现稳定的显示，第一和彼此相对的多个的由相邻于所述第二基板的所述显示区域和一对对的所述第一基板彼此的第一和第二线形成的液晶显示装置数据线，在第一基板上垂直于数据线形成并限定第一和第二线之间的像素区域的多条栅极线，以及形成在第一基板上的多条栅极线，用于将栅极信号施加到栅极线的栅极驱动器，以及用于将栅极信号施加到第一和第二线的栅极驱动器并且，在第一和第二行之间形成奇数像素电极，并且向与偶数像素电极对应的数据信号对应于相应的数据信号，以及用于发送锁存信号的锁存单元。 11 指数方面 运动模糊，采样和保持方法，源驱动程序

