(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G02F 1/133

(11) 공개번호 10-2004-0055414
(43) 공개일자 2004년06월26일

(21) 출원번호 10-2002-0082080
(22) 출원일자 2002년12월21일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 권극상
경상북도칠곡군석적면남율리우방신천지아파트111동205호

박광순
대구광역시동구신암5동54-35

(74) 대리인 김영호

심사청구 : 없음

(54) 액정표시장치의 구동장치 및 방법

요약

본 발명은 데이터라인 수 및 이에 대응하는 데이터 드라이브 집적회로의 수를 줄일 수 있도록 한 액정표시장치에 관한 것이다.

본 발명의 액정표시장치는 데이터라인들과, 데이터라인들과 교차되는 방향으로 형성되는 게이트라인들과, 데이터라인을 기준으로 일측에 형성되는 제 1액정셀과, 데이터라인을 기준으로 다른측에 형성되는 제 2액정셀과, 제 1액정셀마다 형성되어 i(i는 자연수)번째 게이트라인과 i+2번째 게이트라인에 의해 제어되는 제 1스위칭부와, 제 2액정셀 마다 형성되어 i번째 게이트라인에 의해 제어되는 제 2스위칭부를 구비한다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 종래의 액정표시장치를 나타내는 도면.

도 2는 본 발명의 제 1실시예에 의한 액정표시장치를 나타내는 도면.

도 3은 도 2에 도시된 게이트 드라이버에 의해 게이트라인들로 공급되는 게이트신호를 나타내는 파형도.

도 4는 도 2의 다른 실시예에 의한 액정표시장치를 나타내는 도면.

도 5는 본 발명의 제 2실시예에 의한 액정표시장치를 나타내는 도면.

도 6은 도 5의 다른 실시예에 의한 액정표시장치를 나타내는 도면.

도 7은 본 발명의 제 3실시예에 의한 액정표시장치를 나타내는 도면.

도 8은 도 7에 도시된 게이트 드라이버에 의해 게이트라인들로 공급되는 게이트신호를 나타내는 파형도.

도 9는 도 7의 다른 실시예에 의한 액정표시장치를 나타내는 도면.

도 10은 본 발명의 제 4실시예에 의한 액정표시장치를 나타내는 도면.

도 11은 도 10의 다른 실시예에 의한 액정표시장치를 나타내는 도면.

도 12는 본 발명의 실시예에 의한 박막 트랜지스터의 구조를 나타내는 단면 도.

도 13은 본 발명의 다른 실시예에 의한 박막 트랜지스터의 구조를 나타내는 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

2,20,30,40,60 : 액정패널 4,22,32,42,62 : 데이터 드라이버

6,24,34,44,64 : 게이트 드라이버 10,12,50,52 : 액정셀

14,16,54,56 : 스위치부 101,130 : 기판

102,132 : 게이트절연막 106,134 : 게이트전극

108,136 : 소스전극 110,138 : 드레인전극

112,148 : 보호막 114,116,140,146 : 반도체층

118,142 : 드레인 접촉홀 120,144 : 화소전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치의 구동장치 및 방법에 관한 것으로 특히, 데이터라인 수 및 이에 대응하는 데이터 드라이브 집적회로의 수를 줄일 수 있도록 한 액정표시장치의 구동장치 및 방법에 관한 것이다.

액정표시장치는 전계를 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 화소 매트릭스를 가지는 액정패널과 액정패널을 구동하기 위한 구동회로를 구비한다. 구동회로는 화상정보가 표시패널에 표시되도록 화소 매트릭스를 구동하게 된다.

도 1은 종래의 액정표시장치를 나타내는 도면이다.

도 1을 참조하면, 종래의 액정표시장치는 액정패널(2)과, 액정패널(2)의 데이터라인들(DL1 내지 DLm)을 구동하기 위한 데이터 드라이버(4)와, 액정패널(2)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(6)를 구비한다.

액정패널(2)은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm)의 교차부에 각각 형성된 박막 트랜지스터(TFT)와, 박막 트랜지스터(TFT)에 접속되고 매트릭스 형태로 배열되어진 액정셀들을 구비한다.

게이트 드라이버(6)는 도시되지 않은 타이밍 제어부로부터의 제어신호에 따라 게이트 라인들(GL1 내지 GLn)에 순차적으로 게이트신호를 공급한다. 데이터 드라이버(4)는 타이밍 제어부로부터 공급되는 데이터(R,G,B)를 아날로그 신호인 비디오신호로 변환하여 게이트라인들(GL1 내지 GLn)에 게이트신호가 공급되는 1수평주기마다 1수평라인분의 비디오신호를 데이터라인들(DL1 내지 DLm)로 공급한다.

박막 트랜지스터(TFT)는 게이트라인(GL1 내지 GLn)으로부터의 게이트신호에 응답하여 데이터라인(DL1 내지 DLm)으로부터의 데이터를 액정셀로 공급한다. 액정셀은 액정을 사이에 두고 대면하는 공통전극과, 박막 트랜지스터(TFT)에 접속된 화소전극으로 구성되므로 등가적으로 액정 캐패시터(Clc)로 표시될 수 있다. 이러한 액정셀은 액정 캐패시터(Clc)에 충전된 데이터전압을 다음 데이터전압이 충전될 때 까지 유지시키기 위하여 이전단 게이트라인에 접속된 스토리지 캐패시터(도시되지 않음)를 포함한다.

이와 같은 종래의 액정표시장치의 액정셀들은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm)의 교차부에 각각 위치되기 때문에 데이터라인들(DL1 내지 DLm)의 수만큼(즉 m개) 수직라인을 형성한다. 다시 말하여, 액정셀들은 m개의 수직라인 및 n개의 수평라인을 이루도록 매트릭스 형태로 배치된다.

여기서 알수 있듯이, 종래에는 m개의 수직라인의 액정셀들을 구동하기 위하여 m개의 데이터라인들(DL1 내지 DLm)을 필요로한다. 따라서, 종래에는 액정패널(2)을 구동하기 위하여 다수의 데이터라인들(DL1 내지 DLm)이 형성되고, 이에 따라 공정시간 및 제조비용이 낭비되는 단점이 있다. 또한, m개의 데이터라인들(DL1 내지 DLm)을 각각을 구동하기 위하여 데이터 드라이버(4) 내에 많은 수의 데이터 드라이버 집적회로(Integrated Circuit : 이하 'IC'라 함)가 포함되어야 하므로 많은 제조비용이 소모되어야 하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 데이터라인 수 및 이에 대응하는 데이터 드라이브 집적회로의 수를 줄일 수 있도록 한 액정표시장치의 구동장치 및 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 액정표시장치는 데이터라인들과, 데이터라인들과 교차되는 방향으로 형성되는 게이트라인들과, 데이터라인을 기준으로 일측에 형성되는 제 1액정셀과, 데이터라인을 기준으로 다른측에 형성되는 제 2액정셀과, 제 1액정셀 마다 형성되어 i(i는 자연수)번째 게이트라인과 i+2번째 게이트라인에 의해 제어되는 제 1스위칭부와, 제 2액정셀 마다 형성되어 i번째 게이트라인에 의해 제어되는 제 2스위칭부를 구비한다.

상기 제 1스위칭부는 i번째 게이트라인 및 i+2번째 게이트라인에 게이트신호가 공급될 때 데이터라인으로 공급되는 비디오신호를 제 1액정셀로 공급한다.

상기 제 2스위칭부는 i번째 게이트라인에 게이트신호가 공급될 때 데이터라인으로 공급되는 비디오신호를 제 2액정셀로 공급한다.

상기 제 1 및 제 2스위칭부는 제 1기간동안 동시에 턴-온되어 데이터라인으로 공급되는 비디오신호를 제 1액정셀로 공급하고, 제 1기간에 이후의 제 2기간동안 제 2스위칭부만 턴-온되어 데이터라인으로 공급되는 비디오신호를 제 2액정셀로 공급한다.

상기 제 1액정셀 및 제 1스위칭부는 데이터라인의 좌측에 위치된다.

상기 제 2액정셀 및 제 2스위칭부는 데이터라인의 우측에 위치된다.

상기 제 1액정셀 및 제 1스위칭부는 데이터라인의 우측에 위치된다.

상기 제 2액정셀 및 제 2스위칭부는 데이터라인의 좌측에 위치된다.

상기 제 1스위칭부는 i번째 게이트라인에 게이트단자가 접속됨과 아울러 i+2번째 게이트라인에 소오스단자 접속된 제 1박막 트랜지스터와, 제 1박막 트랜지스 터의 드레인단자에 자신의 게이트단자가 접속됨과 아울러 소오스단자가 데이터라인에 접속되고, 드레인단자가 제 1액정셀에 접속되는 제 2박막 트랜지스터를 구비한다.

상기 제 2스위칭부는 i번째 게이트라인에 게이트단자가 접속됨과 아울러 데이터라인에 소오스단자가 접속되고, 드레인단자가 제 2액정셀에 접속되는 제 3박막 트랜지스터를 구비한다.

상기 제 1 내지 제 3박막 트랜지스터 각각은 기판상에 형성된 게이트전극과, 게이트전극상에 형성되는 게이트 절연막과, 게이트 절연막 상에 형성되는 반도체층과, 반도체층상에 형성되는 소스전극 및 드레인전극과, 소스전극 및 드레인전극 상에 형성되는 보호막을 구비한다.

상기 반도체층은 게이트 절연막 상에 불순물이 도핑되지 않은 비정질실리콘으로 형성되는 활성층과, 활성층상에 N형 또는 P형 불순물이 도핑된 비정질실리콘으로 형성되는 오믹 접촉층을 구비한다.

상기 반도체층과 소스전극 및 드레인전극은 동일 마스크에 의해 형성된다.

상기 반도체층과 소스전극 및 드레인전극은 상이한 마스크에 의해 형성된다.

본 발명의 액정표시장치는 데이터라인들과, 데이터라인들과 교차되는 방향으로 형성되는 게이트라인들과, 데이터라인을 기준으로 일측에 형성되는 제 1액정셀과, 데이터라인을 기준으로 다른측에 형성되는 제 2액정셀과, 제 1액정셀 마다 형성되어 i(i는 자연수)번째 게이트라인과 i+2번째 게이트라인에 의해 제어되는 제 1스위칭부와, 제 2액정셀 마다 형성되어 i번째 게이트라인에 의해 제어되는 제 2스 위칭부를 구비하며, 데이터라인을 기준으로 제 1스위칭부와 제 2스위칭부가 지그재그 형태로 배치된다.

우수번째 수평라인에서 제 1액정셀 및 제 1스위칭부는 기수번째 수직라인에 위치되고, 제 2액정셀 및 제 2스위칭부는 우수번째 수직라인에 위치된다.

기수번째 수평라인에서 제 1액정셀 및 제 1스위칭부는 우수번째 수직라인에 위치되고, 제 2액정셀 및 제 2스위칭부는 기수번째 수직라인에 위치된다.

기수번째 수평라인에서 제 1액정셀 및 제 1스위칭부는 기수번째 수직라인에 위치되고, 제 2액정셀 및 제 2스위칭부는 우수번째 수직라인에 위치된다.

우수번째 수평라인에서 제 1액정셀 및 제 1스위칭부는 우수번째 수직라인에 위치되고, 제 2액정셀 및 제 2스위칭부는 기수번째 수직라인에 위치된다.

본 발명의 액정표시장치의 구동장치는 데이터라인들에 비디오신호를 공급하기 위한 데이터 드라이버와, 게이트라인들에 각각 제 1게이트신호 및 제 2게이트신호를 공급함과 아울러 i(i는 자연수)번째 게이트라인에 공급되는 제 2게이트신호가 i+2번째 게이트라인에 공급되는 제 1게이트신호와 중첩되게 공급하기 위한 게이트 드라이버를 구비한다.

상기 제 2게이트신호는 제 1게이트신호보다 넓은 폭을 갖는다.

본 발명의 액정표시장치의 구동방법은 i번째 수평라인에 위치된 제 1액정셀에 비디오신호를 공급하기 위하여 i번째 게이트라인 및 i+2번째 게이트라인에 게이트신호를 공급하는 단계와, i번째 수평라인에 위치됨과 아울러 제 1액정셀과 인접되게 위치되어 하나의 데이터라인을 공유하는 제 2액정셀에 비디오신호를 공급하기 위하여 i번째 게이트라인에 게이트신호를 공급하는 단계를 포함한다.

본 발명의 액정표시장치는 데이터라인들과; 데이터라인들과 교차되는 방향으로 형성되는 게이트라인들과; 데이터라인을 기준으로 일측에 형성되는 제 1액정셀과; 데이터라인을 기준으로 다른측에 형성되는 제 2액정셀과; 제 1액정셀 마다 형성되어 데이터라인으로부터의 비디오신호를 제 1액정셀로 공급하기 위한 제 1스위칭부와; 제 2액정셀 마다 형성되어 데이터라인으로부터의 비디오신호를 제 2액정셀로 공급하기 위한 제 2스위칭부를 구비하며; 제 1스위칭부는 i(i는 자연수)번째 게이트라인에 소오스단자가 접속됨과 아울러 i+1번째 게이트라인에 게이트단자가 접속된 제 1박막 트랜지스터와, 제 1박막 트랜지스터의 드레인단자에 자신의 게이트단자가 접속됨과 아울러 소오스단자가 데이터라인에 접속되고, 드레인단자가 제 1액정셀에 접속되는 제 2박막 트랜지스터를 구비하며; 제 2스위칭부는 i번째 게이트라인에 게이트단자가 접속됨과 아울러 데이터라인에 소오스단자가 접속되고, 드레인단자가 제 2액정셀에 접속되는 제 3박막 트랜지스터를 구비한다.

상기 제 1스위칭부는 i번째 게이트라인 및 i+1번째 게이트라인에 게이트신호가 공급될 때 데이터라인으로 공급되는 비디오신호를 제 1액정셀로 공급한다.

상기 제 2스위칭부는 i번째 게이트라인에 게이트신호가 공급될 때 데이터라인으로 공급되는 비디오신호를 제 2액정셀로 공급한다.

상기 제 1 및 제 2스위칭부는 제 1기간동안 동시에 턴-온되어 데이터라인으로 공급되는 비디오신호를 제 1액정셀로 공급하고, 제 1기간에 이후의 제 2기간동안 제 2스위칭부만 턴-온되어 데이터라인으로 공급되는 비디오신호를 제 2액정셀로 공급한다.

상기 제 1액정셀 및 제 1스위칭부는 데이터라인의 좌측에 위치되고, 제 2액정셀 및 제 2스위칭부는 데이터라인의 우측에 위치된다.

상기 제 1액정셀 및 제 1스위칭부는 데이터라인의 우측에 위치되고, 제 2액정셀 및 제 2스위칭부는 데이터라인의 좌측에 위치된다.

본 발명의 액정표시장치는 데이터라인들과; 데이터라인들과 교차되는 방향으로 형성되는 게이트라인들과; 데이터라인을 기준으로 지그재그 형태로 배치되는 제 1액정셀 및 제 2액정셀과; 제 1액정셀 마다 형성되어 데이터라인으로부터의 비디오신호를 제 1액정셀로 공급하기 위한 제 1스위칭부와; 제 2액정셀 마다 형성되어 데이터라인으로부터의 비디오신호를 제 2액정셀로 공급하기 위한 제 2스위칭부를 구비하며; 제 1스위칭부는 i(i는 자연수)번째 게이트라인에 소오스단자가 접속됨과 아울러 i+1번째 게이트라인에 게이트단자가 접속된 제 1박막 트랜지스터와, 제 1박막 트랜지스터의 드레인단자에 자신의 게이트단자가 접속됨과 아울러 소오스단자가 상기 데이터라인에 접속되고, 드레인단자가 제 1액정셀에 접속되는 제 2박막 트랜지스터를 구비하며; 제 2스위칭부는 i번째 게이트라인에 게이트단자가 접속됨과 아울러 데이터라인에 소오스단자가 접속되고, 드레인단자가 제 2액정셀에 접속되는 제 3박막 트랜지스터를 구비한다.

우수번째 수평라인에서 제 1액정셀 및 제 1스위칭부는 기수번째 수직라인에 위치되고, 제 2액정셀 및 제 2스위칭부는 우수번째 수직라인에 위치된다.

기수번째 수평라인에서 제 1액정셀 및 제 1스위칭부는 우수번째 수직라인에 위치되고, 제 2액정셀 및 제 2스위칭부는 기수번째 수직라인에 위치된다.

기수번째 수평라인에서 제 1액정셀 및 제 1스위칭부는 기수번째 수직라인에 위치되고, 제 2액정셀 및 제 2스위칭부는 우수번째 수직라인에 위치된다.

우수번째 수평라인에서 제 1액정셀 및 제 1스위칭부는 우수번째 수직라인에 위치되고, 제 2액정셀 및 제 2스위칭부는 기수번째 수직라인에 위치된다.

상기 제 1 내지 제 3박막 트랜지스터 각각은 기판상에 형성된 게이트전극과, 게이트전극상에 형성되는 게이트 절연막과, 게이트 절연막 상에 형성되는 반도체층과, 반도체층상에 형성되는 소스전극 및 드레인전극과, 소스전극 및 드레인전극 상에 형성되는 보호막을 구비한다.

상기 반도체층은 게이트 절연막 상에 불순물이 도핑되지 않은 비정질실리콘으로 형성되는 활성층과, 활성층상에 N형 또는 P형 불순물이 도핑된 비정질실리콘으로 형성되는 오믹 접촉층을 구비한다.

상기 반도체층과 소스전극 및 드레인전극은 동일 마스크에 의해 형성된다.

상기 반도체층과 소스전극 및 드레인전극은 상이한 마스크에 의해 형성된다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하 도 2 내지 도 13을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 2는 본 발명의 제 1실시예에 의한 액정표시장치를 나타내는 도면이다.

도 2를 참조하면, 본 발명의 제 1실시예에 의한 액정표시장치는 액정패널(20)과, 액정패널(20)의 데이터라인들(DL1 내지 DLm/2)을 구동하기 위한 데이터 드라이버(22)와, 액정패널(20)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(24)를 구비한다.

액정패널(20)은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm/2)의 교차부에 형성된 제 1액정셀(10) 및 제 2액정셀(12)들과, 제 1액정셀(10)들 각각에 형성되어 제 1액정셀(10)을 구동시키기 위한 제 1스위칭부(14) 및 제 2액정셀(12)들 각각에 형성되어 제 2액정셀(12)을 구동시키기 위한 제 2스위칭부(16)를 구비한다. 제 1 및 제 2액정셀(10,12)들은 액정을 사이에 두고 대면하는 공통전극과, 제 1스위칭부(14) 및 제 2스위칭부(16)에 각각 접속

되는 화소전극으로 구성되므로 등가적으로 액정 캐패시터(Clc)로 표시될 수 있다. 여기서, 제 1 및 제 2액정셀(10,12)들은 액정 캐패시터(Clc)에 충전된 데이터전압을 다음 데이터전압이 충전될 때 까지 유지시키기 위하여 이전단 게이트라인에 접속된 스토리지 캐패시터(도시되지 않음)를 포함한다.

제 1액정셀(10) 및 제 1스위칭부(14)는 데이터라인(DL)의 좌측, 즉 기수번째 수직라인에 형성된다. 제 2액정셀(12) 및 제 2스위칭부(16)는 데이터라인(DL)의 우측, 즉 우수번째 수직라인에 형성된다. 다시 말하여, 제 1액정셀(10) 및 제 2액정셀(12)은 하나의 데이터라인(DL)을 사이에 두고 좌/우측에 형성된다. 이때, 제 1액정셀(10) 및 제 2액정셀(12)은 인접되게 위치된 데이터라인(DL)으로부터 비디오신호를 공급받는다. 즉, 본 발명의 제 1실시예에 의한 액정표시장치에 의하면 도 1에 도시된 종래의 액정표시장치에 비하여 데이터라인(DL)의 수가 절반으로 줄어들 게 된다.

한편, 본 발명에서 제 1액정셀(10) 및 제 2액정셀(12)의 위치는 도 4와 같이 변경될 수 있다. 즉, 도 4와 같이 제 1액정셀(10) 및 제 1스위칭부(14)는 데이터라인(DL)의 우측에 형성되고, 제 2액정셀(12) 및 제 2스위칭부(16)는 데이터라인(DL)의 좌측에 형성된다. 다시 말하여, 제 1액정셀(10) 및 제 1스위칭부(14)는 우수번째 수직라인에 형성되고, 제 2액정셀(12) 및 제 2스위칭부(16)는 기수번째 수직라인에 형성되게 된다.

i(i는 자연수) 번째 수평라인에 위치된 제 1액정셀(10)을 구동시키기 위한 제 1스위칭부(14)는 제 1 및 제 2박막 트랜지스터(TFT1,TFT2)를 구비한다. 제 1박막 트랜지스터(TFT1)의 게이트단자는 i번째 게이트라인(GLi)에 접속되고, 소오스단자는 i+2번째 게이트라인(GLi+2)에 접속된다. 제 2박막 트랜지스터(TFT2)의 게이트단자는 제 1박막 트랜지스터(TFT1)의 드레인단자에 접속되고, 소오스단자는 인접된 데이터라인(DL)에 접속된다. 그리고, 제 2박막 트랜지스터(TFT2)의 드레인단자는 제 1액정셀(10)에 접속된다. 이와 같은 제 1스위칭부(14)는 i번째 게이트라인(GLi) 및 i+2번째 게이트라인(GLi+2)에 구동신호가 공급될 때 제 1액정셀(10)로 비디오신호를 공급하게 된다.

i번째 수평라인에 위치된 제 2액정셀(12)을 구동시키기 위한 제 2스위칭부(16)는 제 3박막 트랜지스터(TFT3)을 구비한다. 제 3박막 트랜지스터(TFT3)의 게이트단자는 i번째 게이트라인(GLi)에 접속되고, 소오스단자는 인접된 데이터라인(DL)에 접속된다. 그리고, 제 3박막 트랜지스터(TFT3)의 드 레인단자는 제 2액정셀(12)에 접속된다. 이와 같은 제 2스위칭부(16)는 i번째 게이트라인(GLi)에 구동신호가 공급될 때 제 2액정셀(12)로 비디오신호를 공급하게 된다.

데이터 드라이버(22)는 타이밍제어부로부터 공급되는 데이터(R,G,B)를 아날로그 신호인 비디오신호로 변환하여 데이터라인들(DL1 내지 DLm/2)에 공급한다. 이때, 도 1에 도시된 종래의 액정표시장치에 비하여 데이터라인들(DL1 내지 DLm/2)의 수가 절반으로 감소되었기 때문에 데이터 드라이버(22)에 포함되는 데이터 드라이버 IC의 수도 절반으로 감소된다.

게이트 드라이버(24)는 도시되지 않은 타이밍제어부로부터 공급되는 제어신호에 따라 도 3과 같이 게이트라인들(GL1 내지 GLn) 각각에 제 1게이트신호(SP1) 및 제 2게이트신호(SP2)를 공급한다. 여기서, 제 2게이트신호(SP2)는 제 1게이트신호(SP1) 보다 넓은 폭을 갖도록 설정된다.

한편, 게이트 드라이버(24)는 i번째 게이트라인(GLi)에 공급되는 제 2게이트신호(SP2)와 i+2번째 게이트라인(GLi+2)에 공급되는 제 1게이트신호(SP1)가 제 1기간(TA)동안 중첩되게 공급한다. 이때, 제 2게이트신호(SP2)의 폭이 제 1게이트신호(SP1)의 폭보다 넓게 형성되어 있기 때문에 제 1기간(TA)에 이은 제 2기간(TB)에는 제 2게이트신호(SP2)와 제 1게이트신호(SP1)가 중첩되지 않는다.

다시 말하여, 제 i번째 게이트라인(GLi)에 공급되는 제 2게이트신호(SP2)는 i+2번째 게이트라인(GLi+2)에 공급되는 제 1게이트신호(SP1)와 동시에 공급된다. 따라서, 제 1기간(TA) 동안 제 i번째 게이트라인(GLi)에 공급되는 제 2게이트신호(SP2)는 i+2번째 게이트라인(GLi+2)에 공급되는 제 1게이트신호(SP1)가 중첩되게 공급된다. 이후, 제 1기간(TA)의 이은 제 2기간(TB) 동안에는 i번째 게이트라인(GLi)에 제 2게이트신호(SP2) 만이 공급된다.

i번째 수평라인에 위치된 액정셀들(10,12)로 비디오신호가 공급되는 과정을 상세히 설명하면, 먼저 제 1기간(TA) 동안 i번째 게이트라인(GLi)에 제 2게이트신호(SP2)가 공급됨과 아울러 i+2번째 게이트라인(GLi+2)에 제 1게이트신호(SP1)가 공급된다. i+2번째 게이트라인(GLi)으로 공급된 제 1게이트신호(SP1)는 제 1박막트랜지스터(TFT1)의 소오스단자로 공급된다. 이때, i번째 게이트라인(GLi)에 공급되는 제 2게이트신호(SP2)에 의해 제 1박막 트랜지스터(TFT1)가 턴-온되기 때문에 제 1박막 트랜지스터(TFT1)의 소오스단자로 공급된 제 1게이트신호(SP1)는 제 2박막 트랜지스터(TFT2)의 게이트단자로 공급되어 제 2박막 트랜지스터(TFT2)를 턴-온시킨다. 제 2박막 트랜지스터(TFT2)가 턴-온되면 데이터라인(DL)으로 공급되는 제 1비디오신호(DA)가 제 2박막 트랜지스터(TFT2)를 경유하여 제 1액정셀(10)로 공급된다.

이어서, i번째 게이트라인(GLi)에 제 2게이트신호(SP2)만이 공급되는 제 2기간(TB)에는 제 3박막 트랜지스터(TFT3)가 턴-온된다. 제 3박막 트랜지스터(TFT3)가 턴-온되면 데이터라인(DL)으로 공급되는 제 2비디오신호(DB)가 제 3

박막 트랜지스터(TFT3)를 경유하여 제 2액정셀(12)로 공급된다.

한편, 실질적으로 제 2액정셀(12)은 제 1기간(TA) 동안에도 제 2게이트신호(SP2)를 공급받기 때문에 제 1기간(TA) 동안 제 1비디오신호(DA)를 차징 하게 된다. 하지만, 제 1기간(TA)이어지는 제 2기간(TB)동안 제 2비디오신호(DB)를 공급받기 때문에 제 2액정셀(12)에는 원하는 비디오신호(DB)가 차징될 수 있다.

도 5는 본 발명의 제 2실시예에 의한 액정표시장치를 나타내는 도면이다.

이와 같은 본 발명의 제 2실시예에서는 액정셀들(10,12) 및 스위칭부(14,16)의 형성위치만 변경될 뿐 그 구조 및 기능은 도 2에 도시된 본 발명의 제 1실시예와 동일하다.

도 5를 참조하면, 본 발명의 제 2실시예에 의한 액정표시장치는 액정패널(30)과, 액정패널(30)의 데이터라인들(DL1 내지 DLm/2)을 구동하기 위한 데이터 드라이버(32)와, 액정패널(30)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(34)를 구비한다.

액정패널(30)은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm/2)의 교차부마다 형성된 제 1액정셀(10)들 및 제 2액정셀(12)들과, 제 1액정셀(10)을 구동하기 위한 제 1스위칭부(14)와, 제 2액정셀(12)을 구동하기 위한 제 2스위칭부(16)를 구비한다. 이와 같은 본 발명의 다른 실시예에서는 제 1액정셀(10) 및 제 1스위칭부(14)와 제 2액정셀(12) 및 제 2스위칭부(16)가 데이터라인(DL)을 기준으로 지그재그 형태로 배치된다.

여기서, 기수번째 수평라인에서 제 1액정셀(10) 및 제 1스위칭부(14)는 도 5과 같이 기수번째 수직라인에 위치되고, 제 2액정셀(12) 및 제 2스위칭부(16)는 우수번째 수직라인에 위치된다. 그리고, 우수번째 수평라인에서 제 1액정셀(10) 및 제 1스위칭부(14)는 우수번째 수직라인에 위치되고, 제 2액정셀(12) 및 제 2스위칭 부(16)는 기수번째 수직라인에 위치된다.

또한, 본 발명의 제 2실시예에서는 도 6과 같이 기수번째 수평라인에서 제 1액정셀(10) 및 제 1스위칭부(14)는 우수번째 수직라인에 위치되고, 제 2액정셀(12) 및 제 2스위칭부(16)는 기수번째 수직라인에 위치될 수 있다. 이때, 우수번째 수평라인에서 제 1액정셀(10) 및 제 1스위칭부(14)는 기수번째 수직라인에 위치되고, 제 2액정셀(12) 및 제 2스위칭부(16)는 우수번째 수직라인에 위치된다.

이와 같이 데이터라인(DL)을 기준으로 지그재그 형태로 배치된 제 1액정셀(10) 및 제 2액정셀(12)은 인접한(기준이된) 데이터라인(DL)으로부터 비디오신호를 공급받는다. 따라서, 본 발명의 다른 실시예에 의한 액정표시장치에 의하면 도 1에 도시된 종래의 액정표시장치에 비하여 데이터라인(DL)의 수가 절반으로 줄어들게 된다.

i(i는 자연수) 번째 수평라인에 위치된 제 1액정셀(10)을 구동시키기 위한 제 1스위칭부(14)는 제 1 및 제 2박막 트랜지스터(TFT1,TFT2)를 구비한다. 제 1박막 트랜지스터(TFT1)의 게이트단자는 i번째 게이트라인(GLi)에 접속되고, 소오스단자는 i+2번째 게이트라인(GLi+2)에 접속된다. 제 2박막 트랜지스터(TFT2)의 게이트단자는 제 1박막 트랜지스터(TFT1)의 드레인단자에 접속되고, 소오스단자는 인접된 데이터라인(DL)에 접속된다. 그리고, 제 2박막 트랜지스터(TFT2)의 드레인단자는 제 1액정셀(10)에 접속된다. 이와 같은 제 1스위칭부(14)는 i번째 게이트라인(GLi) 및 i+2번째 게이트라인(GLi+2)에 구동신호가 공급될 때 제 1액정셀(10)로 비디오신호를 공급하게 된다.

i번째 수평라인에 위치된 제 2액정셀(12)을 구동시키기 위한 제 2스위칭부(16)는 제 3박막 트랜지스터(TFT3)을 구비한다. 제 3박막 트랜지스터(TFT3)의 게이트단자는 i번째 게이트라인(GLi)에 접속되고, 소오스단자는 인접된 데이터라인(DL)에 접속된다. 그리고, 제 3박막 트랜지스터(TFT3)의 드레인단자는 제 2액정셀(12)에 접속된다. 이와 같은 제 2스위칭부(16)는 i번째 게이트라인(GLi)에 구동신호가 공급될 때 제 2액정셀(12)로 비디오신호를 공급하게 된다.

데이터 드라이버(32)는 타이밍제어부로부터 공급되는 데이터(R,G,B)를 아날로그 신호인 비디오신호로 변환하여 데이터라인들(DL1 내지 DLm/2)에 공급한다. 이때, 도 1에 도시된 종래의 액정표시장치에 비하여 데이터라인들(DL1 내지 DLm/2)의 수가 절반으로 감소하였기 때문에 데이터 드라이버(32)에 포함되는 데이터 드라이버 IC의 수도 절반으로 감소되게 된다.

게이트 드라이버(34)는 도시되지 않은 타이밍제어부로부터 공급되는 제어신호에 따라 도 3과 같이 게이트라인들(GL1 내지 GLn) 각각에 제 1게이트신호(SP1) 및 제 2게이트신호(SP2)를 공급한다. 여기서, 제 2게이트신호(SP2)는 제 1게이트신호(SP1) 보다 넓은 폭을 갖도록 설정된다.

한편, 게이트 드라이버(34)는 i번째 게이트라인(GLi)에 공급되는 제 2게이트신호(SP2)와 i+2번째 게이트라인(GLi+2)에 공급되는 제 1게이트신호(SP1)가 제 1기간(TA)동안 중첩되게 공급한다. 이때, 제 2게이트신호(SP2)의 폭이 제 1게이트신호(SP1)의 폭보다 넓게 형성되어 있기 때문에 제 1기간(TA)에 이은 제 2기간(TB)에 는 제 2게이트신호(S

P2)와 제 1게이트신호(SP1)가 중첩되지 않는다.

다시 말하여, 제 i번째 게이트라인(GLi)에 공급되는 제 2게이트신호(SP2)는 i+2번째 게이트라인(GLi+2)에 공급되는 제 1게이트신호(SP1)와 동시에 공급된다. 따라서, 제 1기간(TA) 동안 제 i번째 게이트라인(GLi)에 공급되는 제 2게이트신호(SP2)는 i+2번째 게이트라인(GLi+2)에 공급되는 제 1게이트신호(SP1)가 중첩되게 공급된다. 이후, 제 1기간(TA)의 이은 제 2기간(TB) 동안에는 i번째 게이트라인(GLi)에 제 2게이트신호(SP2) 만이 공급된다.

i번째 수평라인에 위치된 액정셀들(10,12)로 비디오신호가 공급되는 과정을 상세히 설명하면, 먼저 제 1기간(TA) 동안 i번째 게이트라인(GLi)에 제 2게이트신호(SP2)가 공급됨과 아울러 i+2번째 게이트라인(GLi+2)에 제 1게이트신호(SP1)가 공급된다. i+2번째 게이트라인(GLi)으로 공급된 제 1게이트신호(SP1)는 제 1박막트랜지스터(TFT1)의 소오스단자로 공급된다. 이때, i번째 게이트라인(GLi)에 공급되는 제 2게이트신호(SP2)에 의해 제 1박막 트랜지스터(TFT1)가 턴-온되기 때문에 제 1박막 트랜지스터(TFT1)의 소오스단자로 공급된 제 1게이트신호(SP1)는 제 2박막 트랜지스터(TFT2)의 게이트단자로 공급되어 제 2박막 트랜지스터(TFT2)를 턴-온시킨다. 제 2박막 트랜지스터(TFT2)가 턴-온되면 데이터라인(DL)으로 공급되는 제 1비디오신호(DA)가 제 2박막 트랜지스터(TFT2)를 경유하여 제 1액정셀(10)로 공급된다.

이어서, i번째 게이트라인(GLi)에 제 2게이트신호(SP2)만이 공급되는 제 2기간(TB)에는 제 3박막 트랜지스터(TFT3)가 턴-온된다. 제 3박막 트랜지스터(TFT3) 가 턴-온되면 데이터라인(DL)으로 공급되는 제 2비디오신호(DB)가 제 3박막 트랜지스터(TFT3)를 경유하여 제 2액정셀(12)로 공급된다.

한편, 본 발명의 제 2실시예에서는 제 1액정셀(10) 및 제 2액정셀(12)들이 지그재그 형태로 배치되어 있기 때문에 제 1액정셀(10) 및 제 2액정셀(12)에 균일한 전압이 차징되지 않더라도 균일한 화질의 영상을 표시할 수 있다. 예를 들어, 제 1액정셀(10)에 원하는 전압보다 높은 전압이 충전되고 제 2액정셀(12)에 원하는 전압보다 낮은 전압이 충전되더라도 제 1액정셀(10) 및 제 2액정셀(12)이 지그재그 형태로 배치되었기 때문에, 수평라인단위로 전압차가 상쇄되기 때문에 균일한 화질의 영상을 표시할 수 있다.

도 7은 본 발명의 제 3실시예에 의한 액정표시장치를 나타내는 도면이다.

도 7을 참조하면, 본 발명의 제 3실시예에 의한 액정표시장치는 액정패널(40)과, 액정패널(40)의 데이터라인들(DL1 내지 DLm/2)을 구동하기 위한 데이터 드라이버(42)와, 액정패널(40)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(44)를 구비한다.

액정패널(40)은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm/2)의 교차부에 형성된 제 1액정셀(50) 및 제 2액정셀(52)들과, 제 1액정셀(50)들 각각에 형성되어 제 1액정셀(50)을 구동시키기 위한 제 1스위칭부(54) 및 제 2액정셀(52)들 각각에 형성되어 제 2액정셀(52)을 구동시키기 위한 제 2스위칭부(56)를 구비한다. 제 1 및 제 2액정셀(50,52)들은 액정을 사이에 두고 대면하는 공통전극과, 제 1스위칭부(54) 및 제 2스위칭부(56)에 각각 접속되는 화 소전극으로 구성되므로 등가적으로 액정 캐패시터(Clc)로 표시될 수 있다. 여기서, 제 1 및 제 2액정셀(50,52)들은 액정 캐패시터(Clc)에 충전된 데이터전압을 다음 데이터전압이 충전될 때 까지 유지시키기 위하여 이전단 게이트라인에 접속된 스토리지 캐패시터(도시되지 않음)를 포함한다.

제 1액정셀(50) 및 제 1스위칭부(54)는 데이터라인(DL)의 좌측, 즉 기수번째 수직라인에 형성된다. 제 2액정셀(52) 및 제 2스위칭부(56)는 데이터라인(DL)의 우측, 즉 우수번째 수직라인에 형성된다. 다시 말하여, 제 1액정셀(50) 및 제 2액정셀(52)은 하나의 데이터라인(DL)을 사이에 두고 좌/우측에 형성된다. 이때, 제 1액정셀(50) 및 제 2액정셀(52)은 인접되게 위치된 데이터라인(DL)으로부터 비디오신호를 공급받는다. 즉, 본 발명의 제 3실시예에 의한 액정표시장치에 의하면 도 1에 도시된 종래의 액정표시장치에 비하여 데이터라인(DL)의 수가 절반으로 줄어들게 된다.

한편, 본 발명에서 제 1액정셀(50) 및 제 2액정셀(52)의 위치는 도 9와 같이 변경될 수 있다. 즉, 도 9와 같이 제 1액정셀(50) 및 제 1스위칭부(54)는 데이터라인(DL)의 우측에 형성되고, 제 2액정셀(52) 및 제 2스위칭부(56)는 데이터라인(DL)의 좌측에 형성된다. 다시 말하여, 제 1액정셀(50) 및 제 1스위칭부(54)는 우수번째 수직라인에 형성되고, 제 2액정셀(52) 및 제 2스위칭부(56)는 기수번째 수직라인에 형성되게 된다.

i(i는 자연수) 번째 수평라인에 위치된 제 1액정셀(50)을 구동시키기 위한 제 1스위칭부(54)는 제 1 및 제 2박막 트랜지스터(TFT1,TFT2)를 구비한다. 제 1박 막 트랜지스터(TFT1)의 소오스단자는 i번째 게이트라인(GLi)에 접속되고, 게이트단자는 i+1번째 게이트라인(GLi+1)에 접속된다. 제 2박막 트랜지스터(TFT2)의 게이트단자는 제 1박막 트랜지스터(TFT1)의 드레인단자에 접속되고, 소오스단자는 인접된 데이터라인(DL)에 접속된다. 그리고, 제 2박막 트랜지스터(TFT2)의 드레인단자는 제 1액정셀(50)에 접속된다. 이와 같은 제 1스위칭부(54)는 i번째 게이트라인(GLi) 및 i+1번째 게이트라인(GLi+1)에 구동신호가 공급될 때 제 1액정셀(50)로 비디오신호를 공급하게 된다.

i번째 수평라인에 위치된 제 2액정셀(52)을 구동시키기 위한 제 2스위칭부(56)는 제 3박막 트랜지스터(TFT3)을 구비한다. 제 3박막 트랜지스터(TFT3)의 게이트단자는 i번째 게이트라인(GLi)에 접속되고, 소오스단자는 인접된 데이터라인(DL)에 접속된다. 그리고, 제 3박막 트랜지스터(TFT3)의 드레인단자는 제 2액정셀(52)에 접속된다. 이와 같은 제 2스위칭부(56)는 i번째 게이트라인(GLi)에 구동신호가 공급될 때 제 2액정셀(52)로 비디오신호를 공급하게 된다.

데이터 드라이버(42)는 타이밍제어부로부터 공급되는 데이터(R,G,B)를 아날로그 신호인 비디오신호로 변환하여 데이터라인들(DL1 내지 DLm/2)에 공급한다. 이때, 도 1에 도시된 종래의 액정표시장치에 비하여 데이터라인들(DL1 내지 DLm/2)의 수가 절반으로 감소되었기 때문에 데이터 드라이버(42)에 포함되는 데이터 드라이버 IC의 수도 절반으로 감소된다.

게이트 드라이버(44)는 도시되지 않은 타이밍제어부로부터 공급되는 제어신 호에 따라 도 8과 같이 게이트라인들(GL1 내지 GLn) 각각에 제 1게이트신호(SP1) 및 제 2게이트신호(SP2)를 공급한다. 여기서, 제 2게이트신호(SP2)는 제 1게이트신호(SP1) 보다 넓은 폭을 갖도록 설정된다.

한편, 게이트 드라이버(44)는 i번째 게이트라인(GLi)에 공급되는 제 2게이트신호(SP2)와 i+1번째 게이트라인(GLi+1)에 공급되는 제 1게이트신호(SP1)가 제 1기간(TA)동안 중첩되게 공급한다. 이때, 제 2게이트신호(SP2)의 폭이 제 1게이트신호(SP1)의 폭보다 넓게 형성되어 있기 때문에 제 1기간(TA)에 이은 제 2기간(TB)에는 제 2게이트신호(SP2)와 제 1게이트신호(SP1)가 중첩되지 않는다.

다시 말하여, 제 1기간(TA)동안 제 i번째 게이트라인(GLi)에 공급되는 제 2게이트신호(SP2)는 i+1번째 게이트라인(GLi+1)에 공급되는 제 1게이트신호(SP1)와 동시에 공급된다. 이후, 제 1기간(TA)의 이은 제 2기간(TB) 동안에는 i번째 게이트라인(GLi)에 제 2게이트신호(SP2) 만이 공급된다.

i번째 수평라인에 위치된 액정셀들(50,52)로 비디오신호가 공급되는 과정을 상세히 설명하면, 먼저 제 1기간(TA) 동안 i번째 게이트라인(GLi)에 제 2게이트신호(SP2)가 공급됨과 아울러 i+1번째 게이트라인(GLi+1)에 제 1게이트신호(SP1)가 공급된다. i+1번째 게이트라인(GLi)으로 공급된 제 1게이트신호(SP1)는 제 1박막트랜지스터(TFT1)의 게이트단자로 공급되어 제 1박막 트랜지스터(TFT1)를 턴-온시킨다. 따라서, i번째 게이트라인(GLi)으로 공급되는 제 2게이트신호(SP2)가 제 1박막 트랜지스터(TFT1)를 경유하여 제 2박막 트랜지스터(TFT2)의 게이트단자로 공급되고, 이에 따라 제 2박막 트랜지스터(TFT2)가 턴-온된다. 제 2박막 트랜지스터(TFT2)가 턴-온되면 데이터라인(DL)으로 공급되는 제 1비디오신호(DA)가 제 2박막 트랜지스터(TFT2)를 경유하여 제 1액정셀(50)로 공급된다.

이어서, i번째 게이트라인(GLi)에 제 2게이트신호(SP2)만이 공급되는 제 2기간(TB)에는 제 3박막 트랜지스터(TFT3)가 턴-온된다. 제 3박막 트랜지스터(TFT3)가 턴-온되면 데이터라인(DL)으로 공급되는 제 2비디오신호(DB)가 제 3박막 트랜지스터(TFT3)를 경유하여 제 2액정셀(52)로 공급된다.

한편, 실질적으로 제 2액정셀(52)은 제 1기간(TA) 동안에도 제 2게이트신호(SP2)를 공급받기 때문에 제 1기간(TA) 동안 제 1비디오신호(DA)를 차징하게 된다. 하지만, 제 1기간(TA)이어지는 제 2기간(TB)동안 제 2비디오신호(DB)를 공급받기 때문에 제 2액정셀(52)에는 원하는 비디오신호(DB)가 차징될 수 있다.

도 10은 본 발명의 제 4실시예에 의한 액정표시장치를 나타내는 도면이다.

이와 같은 본 발명의 제 4실시예에서는 액정셀들(50,52) 및 스위칭부(54,56)의 형성위치만 변경될 뿐 그 구조 및 기능은 도 7에 도시된 본 발명의 제 3실시예와 동일하다.

도 10을 참조하면, 본 발명의 제 4실시예에 의한 액정표시장치는 액정패널(60)과, 액정패널(60)의 데이터라인들(DL1 내지 DLm/2)을 구동하기 위한 데이터 드라이버(62)와, 액정패널(60)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(64)를 구비한다.

액정패널(60)은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm/2)의 교차부마다 형성된 제 1액정셀(50)들 및 제 2액정셀(52)들과, 제 1액정셀(50)을 구동하기 위한 제 1스위칭부(54)와, 제 2액정셀(52)을 구동하기 위한 제 2스위칭부(56)를 구비한다. 이와 같은 본 발명의 다른 실시예에서는 제 1액정셀(50) 및 제 1스위칭부(54)와 제 2액정셀(52) 및 제 2스위칭부(56)가 데이터라인(DL)을 기준으로 지그재그 형태로 배치된다.

여기서, 기수번째 수평라인에서 제 1액정셀(50) 및 제 1스위칭부(54)는 도 10과 같이 기수번째 수직라인에 위치되고, 제 2액정셀(52) 및 제 2스위칭부(56)는 우수번째 수직라인에 위치된다. 그리고, 우수번째 수평라인에서 제 1액정셀(50) 및 제 1스위칭부(54)는 우수번째 수직라인에 위치되고, 제 2액정셀(52) 및 제 2스위칭부(56)는 기수번째 수직라인에 위치된다.

또한, 본 발명에서는 도 11과 같이 기수번째 수평라인에서 제 1액정셀(50) 및 제 1스위칭부(54)는 우수번째 수직라인에 위치되고, 제 2액정셀(52) 및 제 2스위칭부(56)는 기수번째 수직라인에 위치될 수 있다. 이때, 우수번째 수평라인에서 제 1액정셀(50) 및 제 1스위칭부(54)는 기수번째 수직라인에 위치되고, 제 2액정셀(52) 및 제 2스위칭부(56)는 우수번째 수직라인에 위치된다.

이와 같이 데이터라인(DL)을 기준으로 지그재그 형태로 배치된 제 1액정셀(50) 및 제 2액정셀(52)은 인접한(기준이 된) 데이터라인(DL)으로부터 비디오신호를 공급받는다. 따라서, 본 발명의 다른 실시예에 의한 액정표시장치에 의하면 도 1에 도시된 종래의 액정표시장치에 비하여 데이터라인(DL)의 수가 절반으로 줄어들게 된다.

i(i는 자연수) 번째 수평라인에 위치된 제 1액정셀(50)을 구동시키기 위한 제 1스위칭부(54)는 제 1 및 제 2박막 트랜지스터(TFT1,TFT2)를 구비한다. 제 1박막 트랜지스터(TFT1)의 소오스단자는 i번째 게이트라인(GLi)에 접속되고, 게이트단자는 i+1번째 게이트라인(GLi+1)에 접속된다. 제 2박막 트랜지스터(TFT2)의 게이트단자는 제 1박막 트랜지스터(TFT1)의 드레인단자에 접속되고, 소오스단자는 인접된 데이터라인(DL)에 접속된다. 그리고, 제 2박막 트랜지스터(TFT2)의 드레인단자는 제 1액정셀(50)에 접속된다. 이와 같은 제 1스위칭부(54)는 i번째 게이트라인(GLi) 및 i+1번째 게이트라인(GLi+1)에 구동신호가 공급될 때 제 1액정셀(50)로 비디오신호를 공급하게 된다.

i번째 수평라인에 위치된 제 2액정셀(52)을 구동시키기 위한 제 2스위칭부(56)는 제 3박막 트랜지스터(TFT3)을 구비한다. 제 3박막 트랜지스터(TFT3)의 게이트단자는 i번째 게이트라인(GLi)에 접속되고, 소오스단자는 인접된 데이터라인(DL)에 접속된다. 그리고, 제 3박막 트랜지스터(TFT3)의 드레인단자는 제 2액정셀(52)에 접속된다. 이와 같은 제 2스위칭부(56)는 i번째 게이트라인(GLi)에 구동신호가 공급될 때 제 2액정셀(52)로 비디오신호를 공급하게 된다.

데이터 드라이버(62)는 타이밍제어부로부터 공급되는 데이터(R,G,B)를 아날로그 신호인 비디오신호로 변환하여 데이터라인들(DL1 내지 DLm/2)에 공급한다. 이때, 도 1에 도시된 종래의 액정표시장치에 비하여 데이터라인들(DL1 내지 DLm/2)의 수가 절반으로 감소되었기 때문에 데이터 드라이버(62)에 포함되는 데이터 드라이버 IC의 수도 절반으로 감소된다.

게이트 드라이버(64)는 도시되지 않은 타이밍제어부로부터 공급되는 제어신호에 따라 도 8과 같이 게이트라인들(GL1 내지 GLn) 각각에 제 1게이트신호(SP1) 및 제 2게이트신호(SP2)를 공급한다. 여기서, 제 2게이트신호(SP2)는 제 1게이트신호(SP1) 보다 넓은 폭을 갖도록 설정된다.

한편, 게이트 드라이버(64)는 i번째 게이트라인(GLi)에 공급되는 제 2게이트신호(SP2)와 i+1번째 게이트라인(GLi+1)에 공급되는 제 1게이트신호(SP1)가 제 1기간(TA)동안 중첩되게 공급한다. 이때, 제 2게이트신호(SP2)의 폭이 제 1게이트신호(SP1)의 폭보다 넓게 형성되어 있기 때문에 제 1기간(TA)에 이은 제 2기간(TB)에는 제 2게이트신호(SP2)와 제 1게이트신호(SP1)가 중첩되지 않는다.

다시 말하여, 제 1기간(TA)동안 제 i번째 게이트라인(GLi)에 공급되는 제 2게이트신호(SP2)는 i+1번째 게이트라인(GLi+1)에 공급되는 제 1게이트신호(SP1)와 동시에 공급된다. 이후, 제 1기간(TA)의 이은 제 2기간(TB) 동안에는 i번째 게이트라인(GLi)에 제 2게이트신호(SP2) 만이 공급된다.

i번째 수평라인에 위치된 액정셀들(50,52)로 비디오신호가 공급되는 과정을 상세히 설명하면, 먼저 제 1기간(TA) 동안 i번째 게이트라인(GLi)에 제 2게이트신호(SP2)가 공급됨과 아울러 i+1번째 게이트라인(GLi+1)에 제 1게이트신호(SP1)가 공급된다. i+1번째 게이트라인(GLi)으로 공급된 제 1게이트신호(SP1)는 제 1박막트랜지스터(TFT1)의 게이트단자로 공급되어 제 1박막 트랜지스터(TFT1)를 턴-온시킨다. 따라서, i번째 게이트라인(GLi)으로 공급되는 제 2게이트신호(SP2)가 제 1박막 트랜지스터(TFT1)를 경유하여 제 2박막 트랜지스터(TFT2)의 게이트단자로 공급되고, 이에 따라 제 2박막 트랜지스터(TFT2)가 턴-온된다. 제 2박막 트랜지스터(TFT2)가 턴-온되면 데이터라인(DL)으로 공급되는 제 1비디오신호(DA)가 제 2박막 트랜지스터(TFT2)를 경유하여 제 1액정셀(50)로 공급된다.

이어서, i번째 게이트라인(GLi)에 제 2게이트신호(SP2)만이 공급되는 제 2기간(TB)에는 제 3박막 트랜지스터(TFT3)가 턴-온된다. 제 3박막 트랜지스터(TFT3)가 턴-온되면 데이터라인(DL)으로 공급되는 제 2비디오신호(DB)가 제 3박막 트랜지스터(TFT3)를 경유하여 제 2액정셀(52)로 공급된다.

한편, 본 발명의 제 4실시예에서는 제 1액정셀(50) 및 제 2액정셀(52)들이 지그재그 형태로 배치되어 있기 때문에 제 1액정셀(50) 및 제 2액정셀(52)에 균일한 전압이 차징되지 않더라도 균일한 화질의 영상을 표시할 수 있다. 예를 들어, 제 1액정셀(50)에 원하는 전압보다 높은 전압이 충전되고 제 2액정셀(52)에 원하는 전압보다 낮은 전압이 충전되더라도 제 1액정셀(50) 및 제 2액정셀(52)이 지그재그 형태로 배치되었기 때문에, 수평라인단위로 전압차가 상쇄되기 때문에 균일한 화질의 영상을 표시할 수 있다.

한편, 본 발명의 실시예들에 포함된 각각의 박막 트랜지스터(TFT)는 도 12와 같은 형태로 형성된다.

도 12를 참조하면, 본 발명의 실시예들에 포함된 박막 트랜지스터(TFT)는 하부기판(101) 상에 형성되는 게이트전극(106)과, 게이트전극(106)과 상이한 층에 형성되는 소스전극(108) 및 드레인전극(110)을 구비한다. 여기서, 드레인전극(110)은 드레인 접촉홀(118)을 통해 화소전극(120)과 접속되도록 형성된다.(실질적으로 드레인전극(110)은 화소전극(120) 또는 인접된 박막 트랜지스터(TFT)에 접속된다.)

게이트전극(106)과 소스전극(108) 및 드레인전극(110) 사이에는 도통채널을 형성하기 위한 반도체층(114,116)이 형성된다. 여기서, 반도체층(114,116)은 활성층(114)과, 활성층(114)과 소스전극(108) 및 활성층(114)과 드레인전극(110) 사이에 형성되는 오믹접촉층(116)을 구비한다. 활성층(114)은 불순물이 도핑되지 않은 비정질실리콘으로 형성되고, 오믹접촉층(116)은 N형 또는 P형 불순물이 도핑된 비정질실리콘으로 형성된다. 이와 같은 반도체층(114,116)은 게이트전극(106)에 전압이 공급될 때 소스전극(108)에 공급된 전압을 드레인전극(110)으로 공급한다. 게이트전극(106)과 반도체층(114,116) 사이에는 게이트절연막(102)이 형성된다. 그리고, 소스전극(108) 및 드레인전극(110) 상에는 보호막(112)이 형성된다.

이와 같은 본 발명의 실시예들에 포함된 박막 트랜지스터(TFT)의 소스전극(108)과 드레인전극(110)은 반도체층(114,116)과 서로 상이한 마스크로 형성된다. 따라서, 소스전극(108) 및 드레인전극(110)은 반도체층(114,116)과 서로 상이한 패턴을 갖는다.

도 13은 본 발명의 다른 실시예에 의한 박막 트랜지스터(TFT)의 구조를 나타내는 단면도이다.

도 13을 참조하면, 본 발명의 다른 실시예에 의한 박막 트랜지스터(TFT)는 하부기판(130) 상에 형성되는 게이트전극(134)과, 게이트전극(134)과 상이한 층에 형성되는 소스전극(136) 및 드레인전극(138)을 구비한다. 여기서, 드레인전극(138)은 드레인 접촉홀(142)을 통해 화소전극(144)과 접속되도록 형성된 다.(실질적으로 드레인전극(138)은 화소전극(144) 또는 인접된 박막 트랜지스터(TFT)에 접속된다.)

게이트전극(134)과 소스전극(136) 및 드레인전극(138) 사이에는 도통채널을 형성하기 위한 반도체층(140,146)이 형성된다. 여기서, 반도체층(140,146)은 활성층(140)과, 활성층(140)과 소스전극(136) 및 활성층(140)과 드레인전극(138) 사이에 형성되는 오믹접촉층(146)을 구비한다. 활성층(140)은 불순물이 도핑되지 않은 비정질실리콘으로 형성되고, 오믹접촉층(146)은 N형 또는 P형 불순물이 도핑된 비정질실리콘으로 형성된다. 이와 같은 반도체층(140,146)은 게이트전극(134)에 전압이 공급될 때 소스전극(136)에 공급된 전압을 드레인전극(138)으로 공급한다. 게이트전극(134)과 반도체층(140,146) 사이에는 게이트절연막(132)이 형성된다. 그리고, 소스전극(136) 및 드레인전극(138) 상에는 보호막(148)이 형성된다. 이와 같은 본 발명의 실시예들에 포함된 박막 트랜지스터(TFT)의 소스전극(136)과 드레인전극(138)은 반도체층(140,146)과 동일 마스크로 형성된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 본 발명에 따른 액정표시장치의 구동장치 및 방법에 의하면 하나의 데이터라인이 좌/우로 인접되게 위치된 제 1 및 제 2액정셀들을 구동시키기 때문에 데이터라인의 수가 절반정도로 감소되게 된다. 따라서, 데이터라인에 구동신호를 공급하는 데이터 드라이브 집적회로의 수도 절반으로 감소되고, 이에 따라 제조비용을 절감할 수 있다. 더불어, 제 1액정셀 및 제 2액정 셀들을 지그재그 형태로 배치하여 균일한 화상의 영상을 표시할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

데이터라인들과,

상기 데이터라인들과 교차되는 방향으로 형성되는 게이트라인들과,

상기 데이터라인을 기준으로 일측에 형성되는 제 1액정셀과,

상기 데이터라인을 기준으로 다른측에 형성되는 제 2액정셀과,

상기 제 1액정셀 마다 형성되어 i(i는 자연수)번째 게이트라인과 i+2번째 게이트라인에 의해 제어되는 제 1스위칭부와,

상기 제 2액정셀 마다 형성되어 i번째 게이트라인에 의해 제어되는 제 2스위칭부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2.
제 1항에 있어서,

상기 제 1스위칭부는 상기 i번째 게이트라인 및 i+2번째 게이트라인에 게이트신호가 공급될 때 상기 데이터라인으로 공급되는 비디오신호를 상기 제 1액정셀로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 3.
제 1항에 있어서,

상기 제 2스위칭부는 상기 i번째 게이트라인에 게이트신호가 공급될 때 상기 데이터라인으로 공급되는 비디오신호를 상기 제 2액정셀로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 4.
제 1항에 있어서,

상기 제 1 및 제 2스위칭부는 제 1기간동안 동시에 턴-온되어 상기 데이터라인으로 공급되는 비디오신호를 상기 제 1액정셀로 공급하고, 상기 제 1기간에 이후의 제 2기간동안 상기 제 2스위칭부만 턴-온되어 상기 데이터라인으로 공급되는 비디오신호를 상기 제 2액정셀로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 5.
제 1항에 있어서,

상기 제 1액정셀 및 제 1스위칭부는 상기 데이터라인의 좌측에 위치되는 것을 특징으로 하는 액정표시장치.

청구항 6.
제 5항에 있어서,

상기 제 2액정셀 및 제 2스위칭부는 상기 데이터라인의 우측에 위치되는 것을 특징으로 하는 액정표시장치.

청구항 7.
제 1항에 있어서,

상기 제 1액정셀 및 제 1스위칭부는 상기 데이터라인의 우측에 위치되는 것을 특징으로 하는 액정표시장치.

청구항 8.
제 7항에 있어서,

상기 제 2액정셀 및 제 2스위칭부는 상기 데이터라인의 좌측에 위치되는 것을 특징으로 하는 액정표시장치.

청구항 9.
제 1항에 있어서,

상기 제 1스위칭부는

상기 i번째 게이트라인에 게이트단자가 접속됨과 아울러 상기 i+2번째 게이트라인에 소오스단자 접속된 제 1박막 트랜지스터와,

상기 제 1박막 트랜지스터의 드레인단자에 자신의 게이트단자가 접속됨과 아울러 소오스단자가 상기 데이터라인에 접속되고, 드레인단자가 상기 제 1액정셀에 접속되는 제 2박막 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 10.
제 9항에 있어서,

상기 제 2스위칭부는

상기 i번째 게이트라인에 게이트단자가 접속됨과 아울러 상기 데이터라인에 소오스단자가 접속되고, 드레인단자가 상기 제 2액정셀에 접속되는 제 3박막 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 11.
제 10항에 있어서,

상기 제 1 내지 제 3박막 트랜지스터 각각은

기판상에 형성된 게이트전극과,

상기 게이트전극상에 형성되는 게이트 절연막과,

상기 게이트 절연막 상에 형성되는 반도체층과,

상기 반도체층상에 형성되는 소스전극 및 드레인전극과,

상기 소스전극 및 드레인전극 상에 형성되는 보호막을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 12.
제 11항에 있어서,

상기 반도체층은

상기 게이트 절연막 상에 불순물이 도핑되지 않은 비정질실리콘으로 형성되는 활성층과,

상기 활성층상에 N형 또는 P형 불순물이 도핑된 비정질실리콘으로 형성되는 오믹 접촉층을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 13.
제 11항에 있어서,

상기 반도체층과 상기 소스전극 및 드레인전극은 동일 마스크에 의해 형성되는 것을 특징으로 하는 액정표시장치.

청구항 14.
제 11항에 있어서,

상기 반도체층과 상기 소스전극 및 드레인전극은 상이한 마스크에 의해 형성되는 것을 특징으로 하는 액정표시장치.

청구항 15.
데이터라인들과,

상기 데이터라인들과 교차되는 방향으로 형성되는 게이트라인들과,

상기 데이터라인을 기준으로 일측에 형성되는 제 1액정셀과,

상기 데이터라인을 기준으로 다른측에 형성되는 제 2액정셀과,

상기 제 1액정셀 마다 형성되어 i(i는 자연수)번째 게이트라인과 i+2번째 게이트라인에 의해 제어되는 제 1스위칭부와,

상기 제 2액정셀 마다 형성되어 i번째 게이트라인에 의해 제어되는 제 2스위칭부를 구비하며,

상기 데이터라인을 기준으로 상기 제 1스위칭부와 상기 제 2스위칭부가 지그재그 형태로 배치되는 것을 특징으로 하는 액정표시장치.

청구항 16.
제 15항에 있어서,

우수번째 수평라인에서 상기 제 1액정셀 및 제 1스위칭부는 기수번째 수직라인에 위치되고, 상기 제 2액정셀 및 제 2스위칭부는 우수번째 수직라인에 위치되는 것을 특징으로 액정표시장치.

청구항 17.
제 16항에 있어서,

기수번째 수평라인에서 상기 제 1액정셀 및 제 1스위칭부는 우수번째 수직라인에 위치되고, 상기 제 2액정셀 및 제 2스위칭부는 기수번째 수직라인에 위치되는 것을 특징으로 하는 액정표시장치.

청구항 18.
제 15항에 있어서,

기수번째 수평라인에서 상기 제 1액정셀 및 제 1스위칭부는 기수번째 수직라인에 위치되고, 상기 제 2액정셀 및 제 2스위칭부는 우수번째 수직라인에 위치되는 것을 특징으로 액정표시장치.

청구항 19.
제 18항에 있어서,

우수번째 수평라인에서 상기 제 1액정셀 및 제 1스위칭부는 우수번째 수직라인에 위치되고, 상기 제 2액정셀 및 제 2스위칭부는 기수번째 수직라인에 위치되는 것을 특징으로 하는 액정표시장치.

청구항 20.
데이터라인들에 비디오신호를 공급하기 위한 데이터 드라이버와,

게이트라인들에 각각 제 1게이트신호 및 제 2게이트신호를 공급함과 아울러 i(i는 자연수)번째 게이트라인에 공급되는 제 2게이트신호가 i+2번째 게이트라인에 공급되는 제 1게이트신호와 중첩되게 공급하기 위한 게이트 드라이버를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 21.
제 20항에 있어서,

상기 제 2게이트신호는 상기 제 1게이트신호보다 넓은 폭을 갖는 것을 특징 으로 하는 액정표시장치의 구동장치.

청구항 22.
i번째 수평라인에 위치된 제 1액정셀에 비디오신호를 공급하기 위하여 i번째 게이트라인 및 i+2번째 게이트라인에 게이트신호를 공급하는 단계와,

i번째 수평라인에 위치됨과 아울러 상기 제 1액정셀과 인접되게 위치되어 하나의 데이터라인을 공유하는 제 2액정셀에 비디오신호를 공급하기 위하여 i번째 게이트라인에 게이트신호를 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 23.
데이터라인들과;

상기 데이터라인들과 교차되는 방향으로 형성되는 게이트라인들과;

상기 데이터라인을 기준으로 일측에 형성되는 제 1액정셀과;

상기 데이터라인을 기준으로 다른측에 형성되는 제 2액정셀과;

상기 제 1액정셀 마다 형성되어 상기 데이터라인으로부터의 비디오신호를 상기 제 1액정셀로 공급하기 위한 제 1스위칭부와;

상기 제 2액정셀 마다 형성되어 상기 데이터라인으로부터의 비디오신호를 상기 제 2액정셀로 공급하기 위한 제 2스위칭부를 구비하며;

상기 제 1스위칭부는 i(i는 자연수)번째 게이트라인에 소오스단자가 접속됨과 아울러 i+1번째 게이트라인에 게이트단자가 접속된 제 1박막 트랜지스터와, 상기 제 1박막 트랜지스터의 드레인단자에 자신의 게이트단자가 접속됨과 아울러 소 오스단자가 상기 데이터라인에 접속되고, 드레인단자가 상기 제 1액정셀에 접속되는 제 2박막 트랜지스터를 구비하며;

상기 제 2스위칭부는 상기 i번째 게이트라인에 게이트단자가 접속됨과 아울러 상기 데이터라인에 소오스단자가 접속되고, 드레인단자가 상기 제 2액정셀에 접속되는 제 3박막 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 24.
제 23항에 있어서,

상기 제 1스위칭부는 상기 i번째 게이트라인 및 i+1번째 게이트라인에 게이트신호가 공급될 때 상기 데이터라인으로 공급되는 비디오신호를 상기 제 1액정셀로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 25.
제 23항에 있어서,

상기 제 2스위칭부는 상기 i번째 게이트라인에 게이트신호가 공급될 때 상기 데이터라인으로 공급되는 비디오신호를 상기 제 2액정셀로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 26.
제 23항에 있어서,

상기 제 1 및 제 2스위칭부는 제 1기간동안 동시에 턴-온되어 상기 데이터라인으로 공급되는 비디오신호를 상기 제 1액정셀로 공급하고, 상기 제 1기간에 이후의 제 2기간동안 상기 제 2스위칭부만 턴-온되어 상기 데이터라인으로 공급되는 비 디오신호를 상기 제 2액정셀로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 27.
제 23항에 있어서,

상기 제 1액정셀 및 제 1스위칭부는 상기 데이터라인의 좌측에 위치되고, 상기 제 2액정셀 및 제 2스위칭부는 상기 데이터라인의 우측에 위치되는 것을 특징으로 하는 액정표시장치.

청구항 28.
제 23항에 있어서,

상기 제 1액정셀 및 제 1스위칭부는 상기 데이터라인의 우측에 위치되고, 상기 제 2액정셀 및 제 2스위칭부는 상기 데이터라인의 좌측에 위치되는 것을 특징으로 하는 액정표시장치.

청구항 29.
데이터라인들과;

상기 데이터라인들과 교차되는 방향으로 형성되는 게이트라인들과;

상기 데이터라인을 기준으로 지그재그 형태로 배치되는 제 1액정셀 및 제 2액정셀과;

상기 제 1액정셀 마다 형성되어 상기 데이터라인으로부터의 비디오신호를 상기 제 1액정셀로 공급하기 위한 제 1스위칭부와;

상기 제 2액정셀 마다 형성되어 상기 데이터라인으로부터의 비디오신호를 상기 제 2액정셀로 공급하기 위한 제 2스위칭부를 구비하며;

상기 제 1스위칭부는 i(i는 자연수)번째 게이트라인에 소오스단자가 접속됨과 아울러 i+1번째 게이트라인에 게이트단자가 접속된 제 1박막 트랜지스터와, 상기 제 1박막 트랜지스터의 드레인단자에 자신의 게이트단자가 접속됨과 아울러 소오스단자가 상기 데이터라인에 접속되고, 드레인단자가 상기 제 1액정셀에 접속되는 제 2박막 트랜지스터를 구비하며;

상기 제 2스위칭부는 상기 i번째 게이트라인에 게이트단자가 접속됨과 아울러 상기 데이터라인에 소오스단자가 접속되고, 드레인단자가 상기 제 2액정셀에 접속되는 제 3박막 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 30.
제 29항에 있어서,

우수번째 수평라인에서 상기 제 1액정셀 및 제 1스위칭부는 기수번째 수직라인에 위치되고, 상기 제 2액정셀 및 제 2스위칭부는 우수번째 수직라인에 위치되는 것을 특징으로 액정표시장치.

청구항 31.
제 30항에 있어서,

기수번째 수평라인에서 상기 제 1액정셀 및 제 1스위칭부는 우수번째 수직라인에 위치되고, 상기 제 2액정셀 및 제 2스위칭부는 기수번째 수직라인에 위치되는 것을 특징으로 하는 액정표시장치.

청구항 32.
제 29항에 있어서,

기수번째 수평라인에서 상기 제 1액정셀 및 제 1스위칭부는 기수번째 수직라인에 위치되고, 상기 제 2액정셀 및 제 2스위칭부는 우수번째 수직라인에 위치되는 것을 특징으로 액정표시장치.

청구항 33.
제 32항에 있어서,

우수번째 수평라인에서 상기 제 1액정셀 및 제 1스위칭부는 우수번째 수직라인에 위치되고, 상기 제 2액정셀 및 제 2스위칭부는 기수번째 수직라인에 위치되는 것을 특징으로 하는 액정표시장치.

청구항 34.
제 29항에 있어서,

상기 제 1 내지 제 3박막 트랜지스터 각각은

기판상에 형성된 게이트전극과,

상기 게이트전극상에 형성되는 게이트 절연막과,

상기 게이트 절연막 상에 형성되는 반도체층과,

상기 반도체층상에 형성되는 소스전극 및 드레인전극과,

상기 소스전극 및 드레인전극 상에 형성되는 보호막을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 35.
제 34항에 있어서,

상기 반도체층은

상기 게이트 절연막 상에 불순물이 도핑되지 않은 비정질실리콘으로 형성되는 활성층과,

상기 활성층상에 N형 또는 P형 불순물이 도핑된 비정질실리콘으로 형성되는 오믹 접촉층을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 36.
제 34항에 있어서,

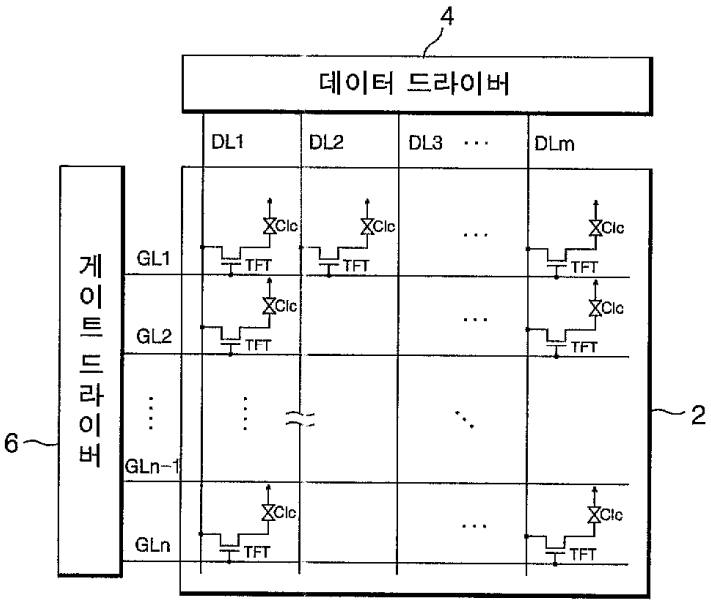
상기 반도체층과 상기 소스전극 및 드레인전극은 동일 마스크에 의해 형성되는 것을 특징으로 하는 액정표시장치.

청구항 37.
제 34항에 있어서,

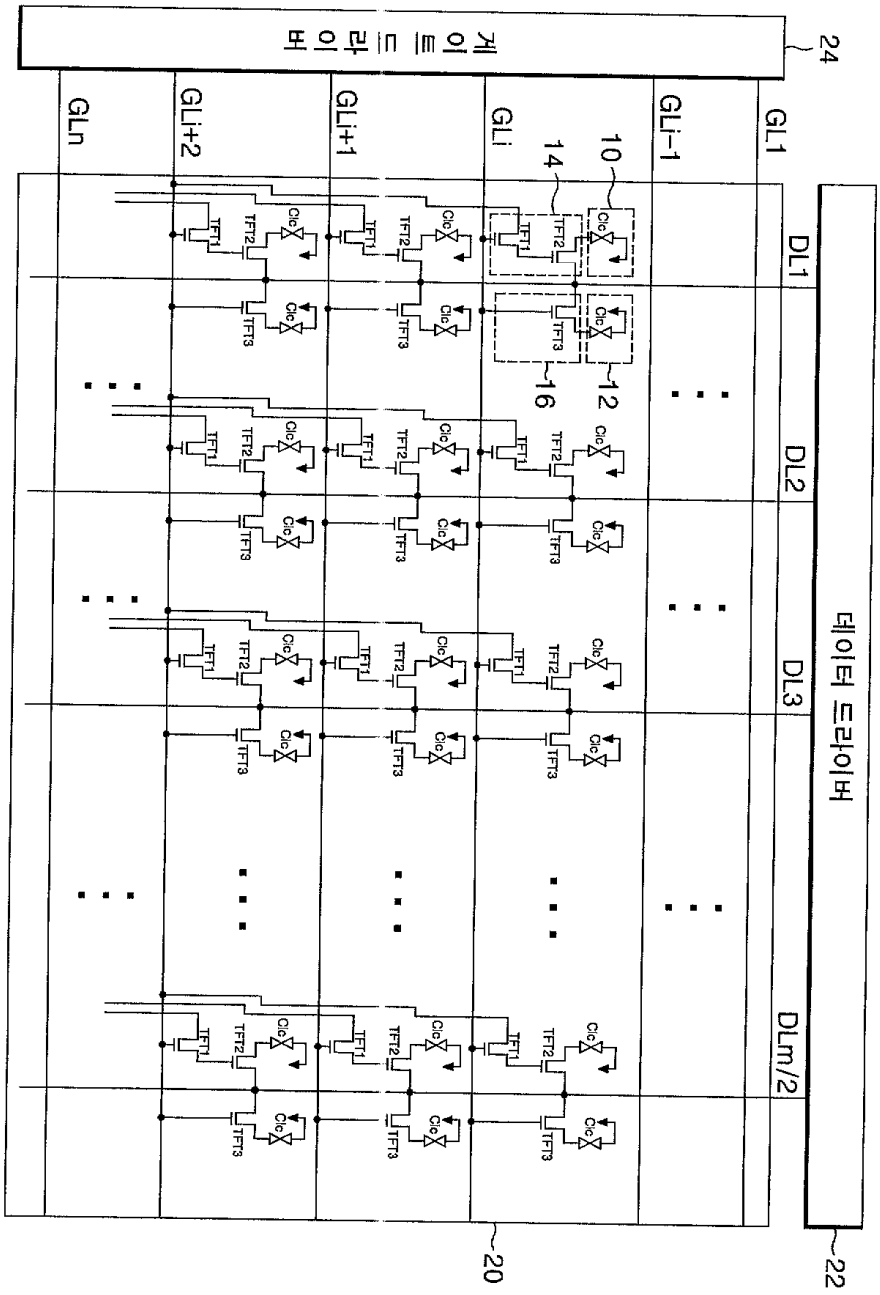
상기 반도체층과 상기 소스전극 및 드레인전극은 상이한 마스크에 의해 형성되는 것을 특징으로 하는 액정표시장치.

도면

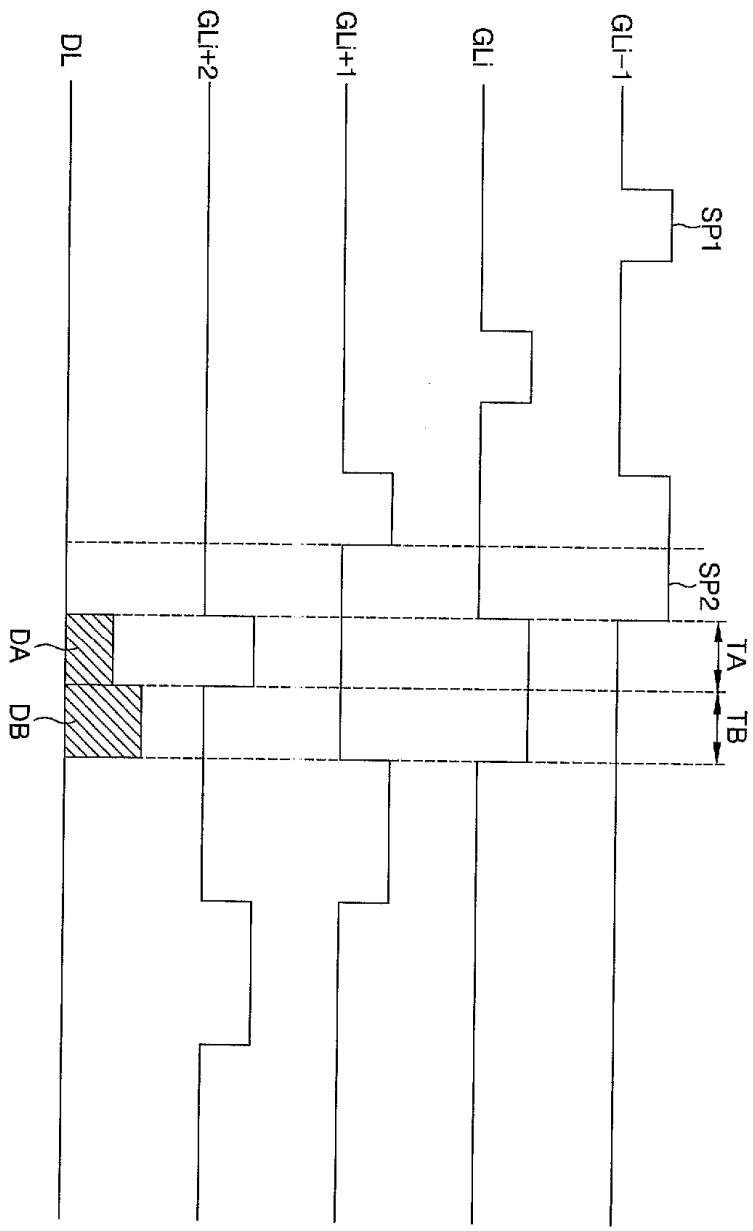
도면1



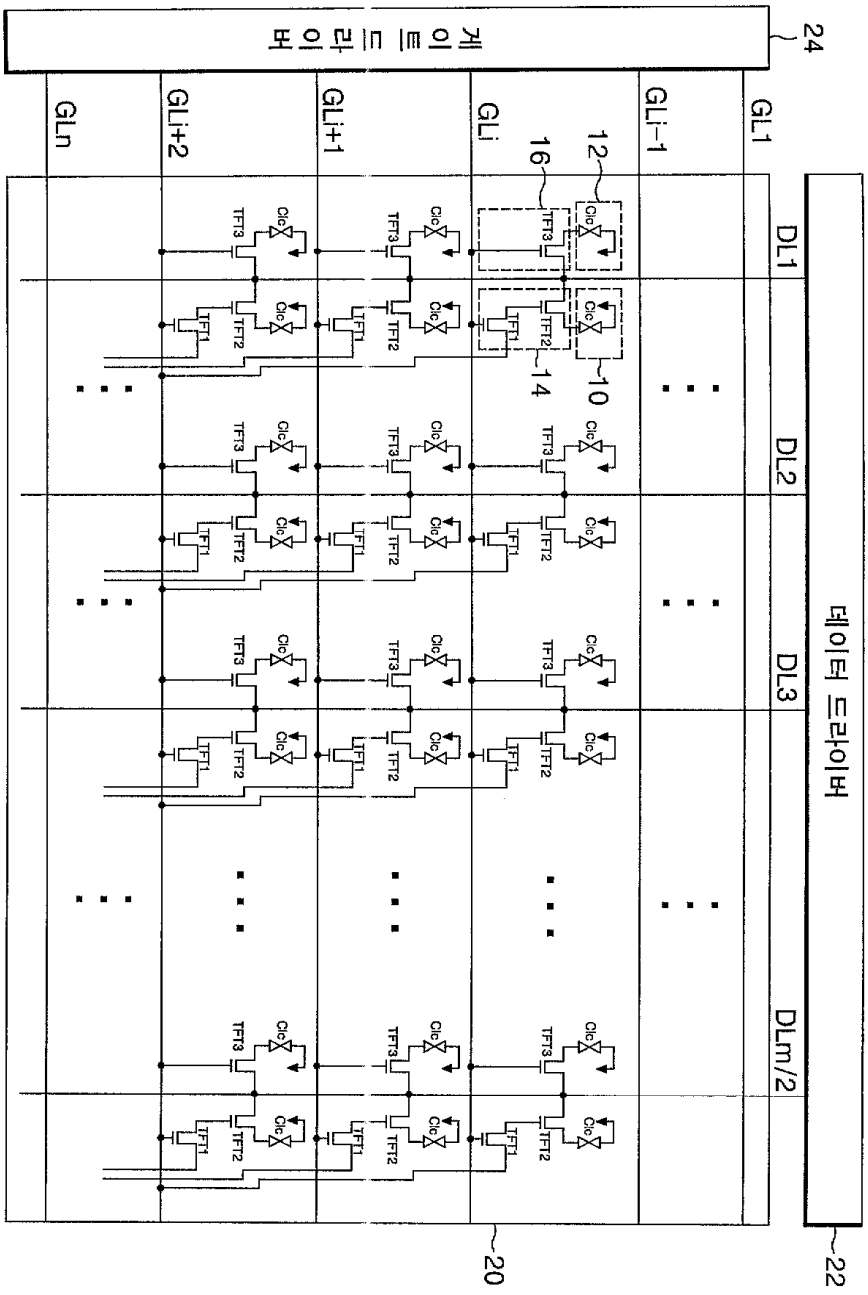
도면2


게이트 드라이버
24
데이터 드라이버
22
20
GL1
GLi-1
GLi
GLi+1
GLi+2
GLn
DL1
DL2
DL3
DLm/2
10
12
14
16
Clc
TFT1
TFT2
TFT3

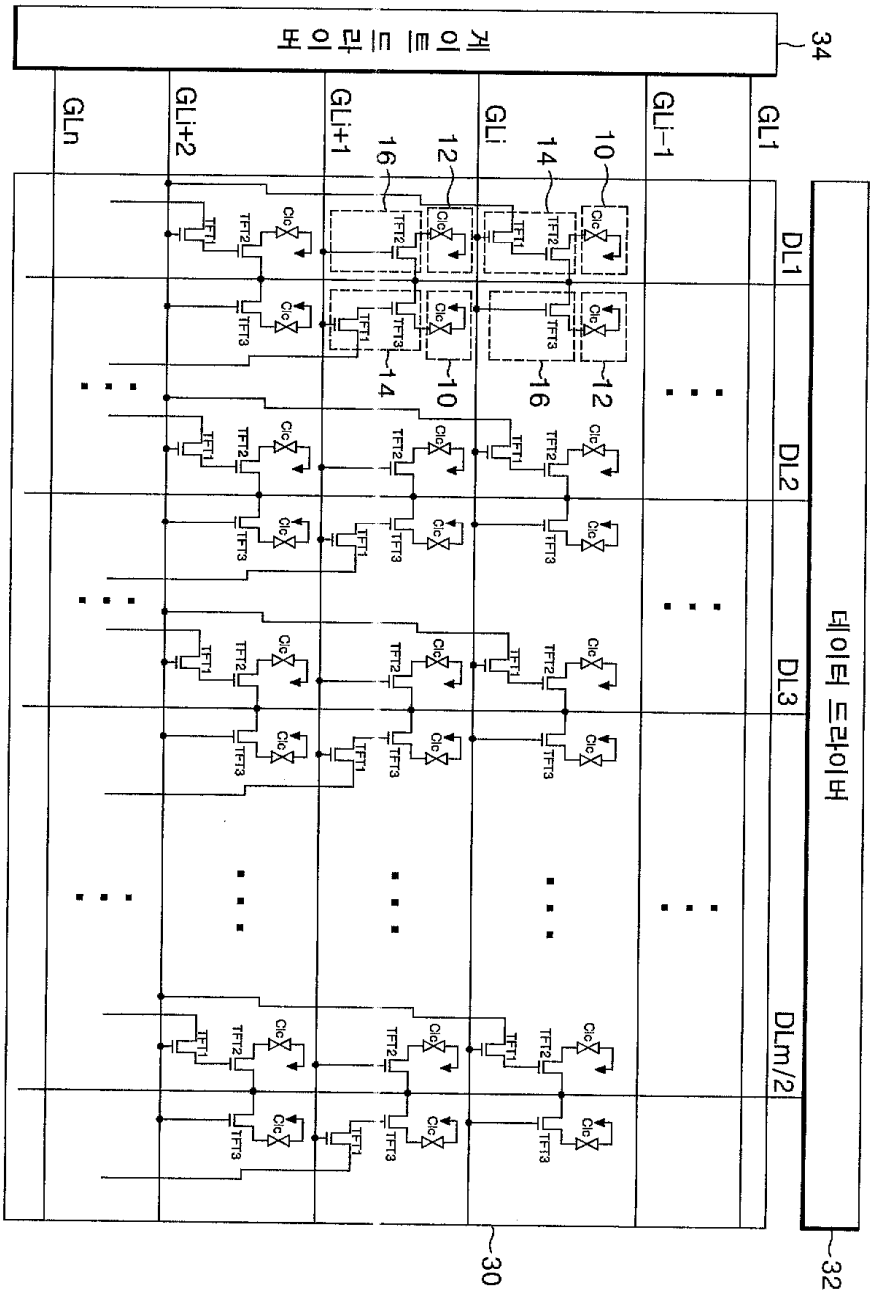
도면3



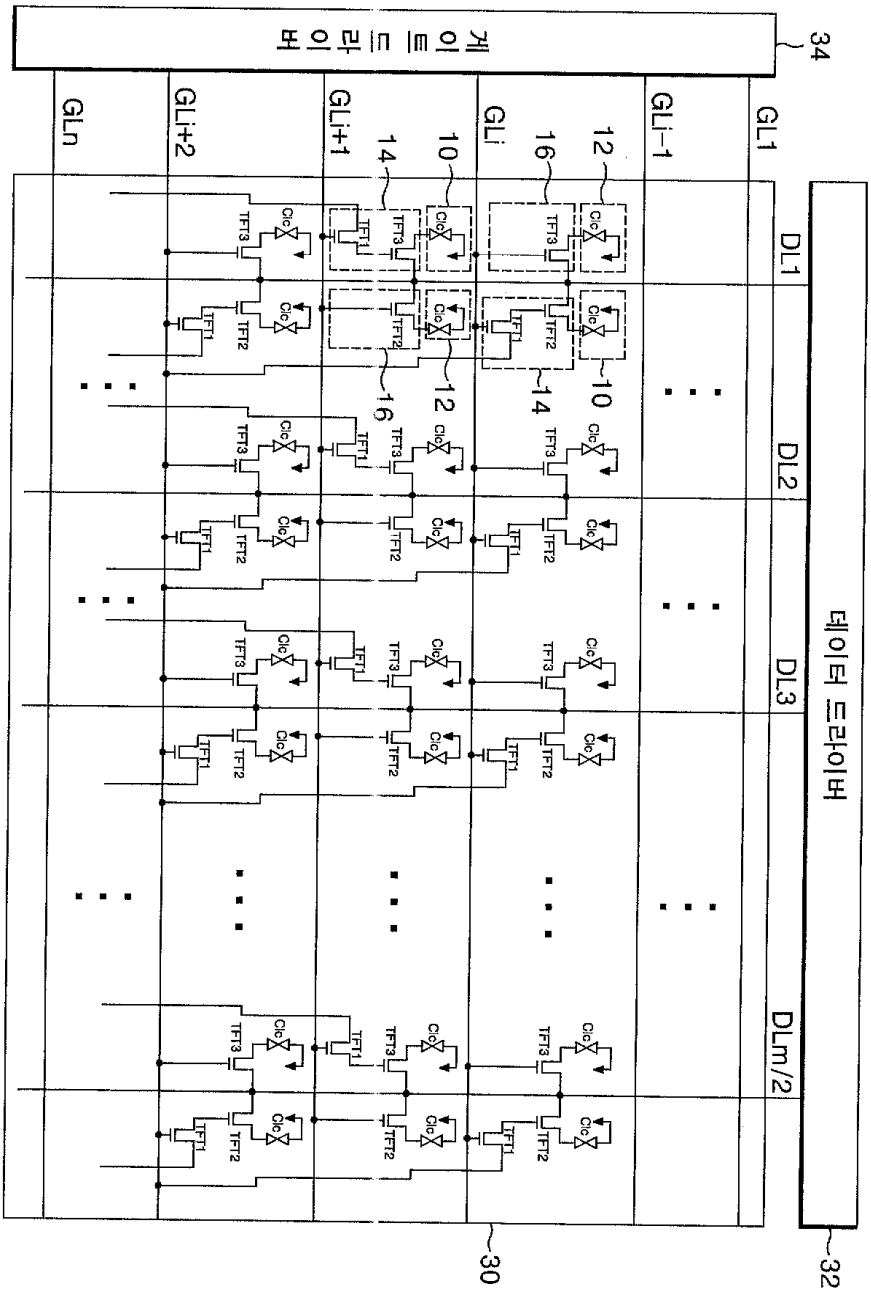
도면4


게이트 드라이버
24
데이터 드라이버
22
GL1
GLi-1
GLi
GLi+1
GLi+2
GLn
DL1
DL2
DL3
DLm/2
12
16
14
10
20
Clc
TFT1
TFT2
TFT3

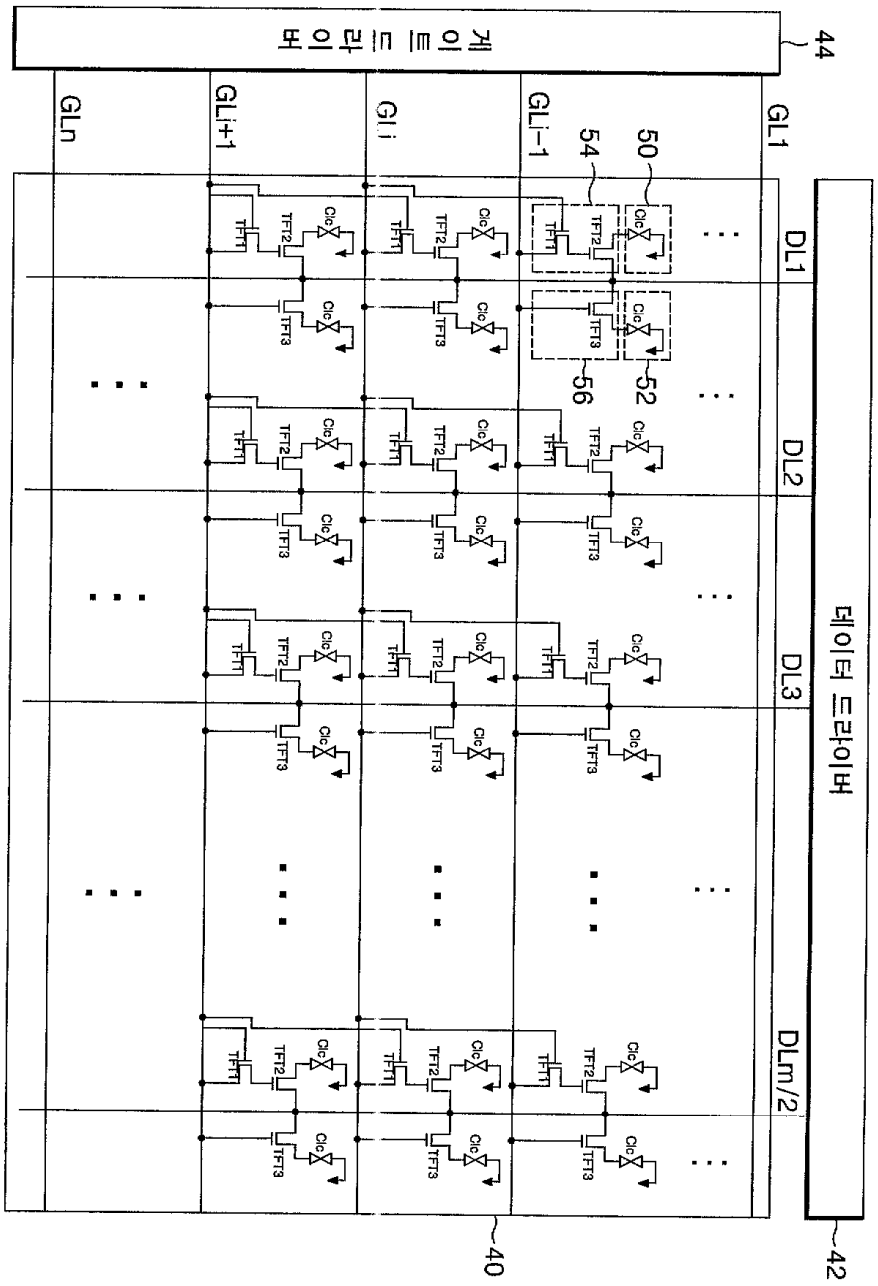
도면5


게이트 드라이버
34
데이터 드라이버
32
30
GL1
GLi-1
GLi
GLi+1
GLi+2
GLn
DL1
DL2
DL3
DLm/2
10
12
14
16
Clc
TFT1
TFT2
TFT3

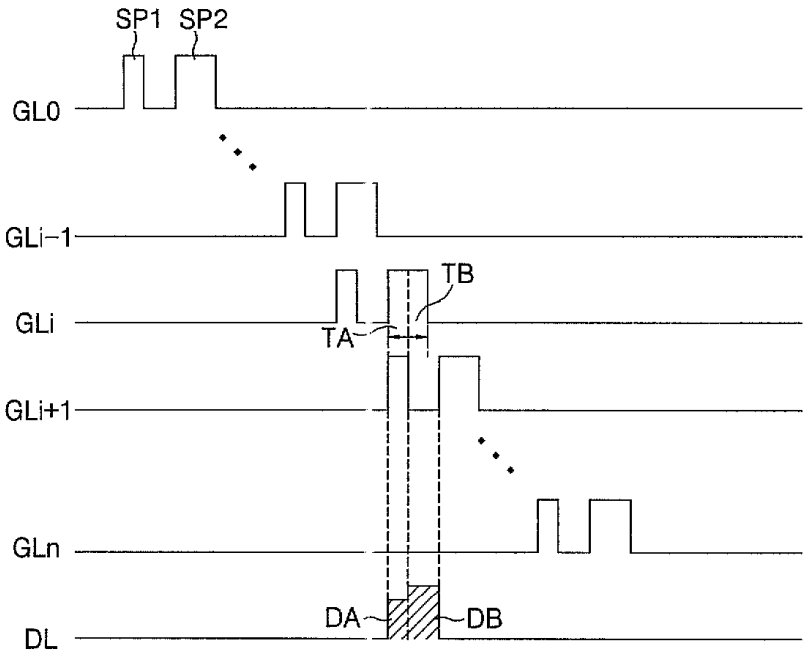
도면6


34
게이트 드라이버
GL1
GLi-1
GLi
GLi+1
GLi+2
GLn
DL1
DL2
DL3
DLm/2
데이터 드라이버
32
30
10
12
14
16
Clc
TFT1
TFT2
TFT3

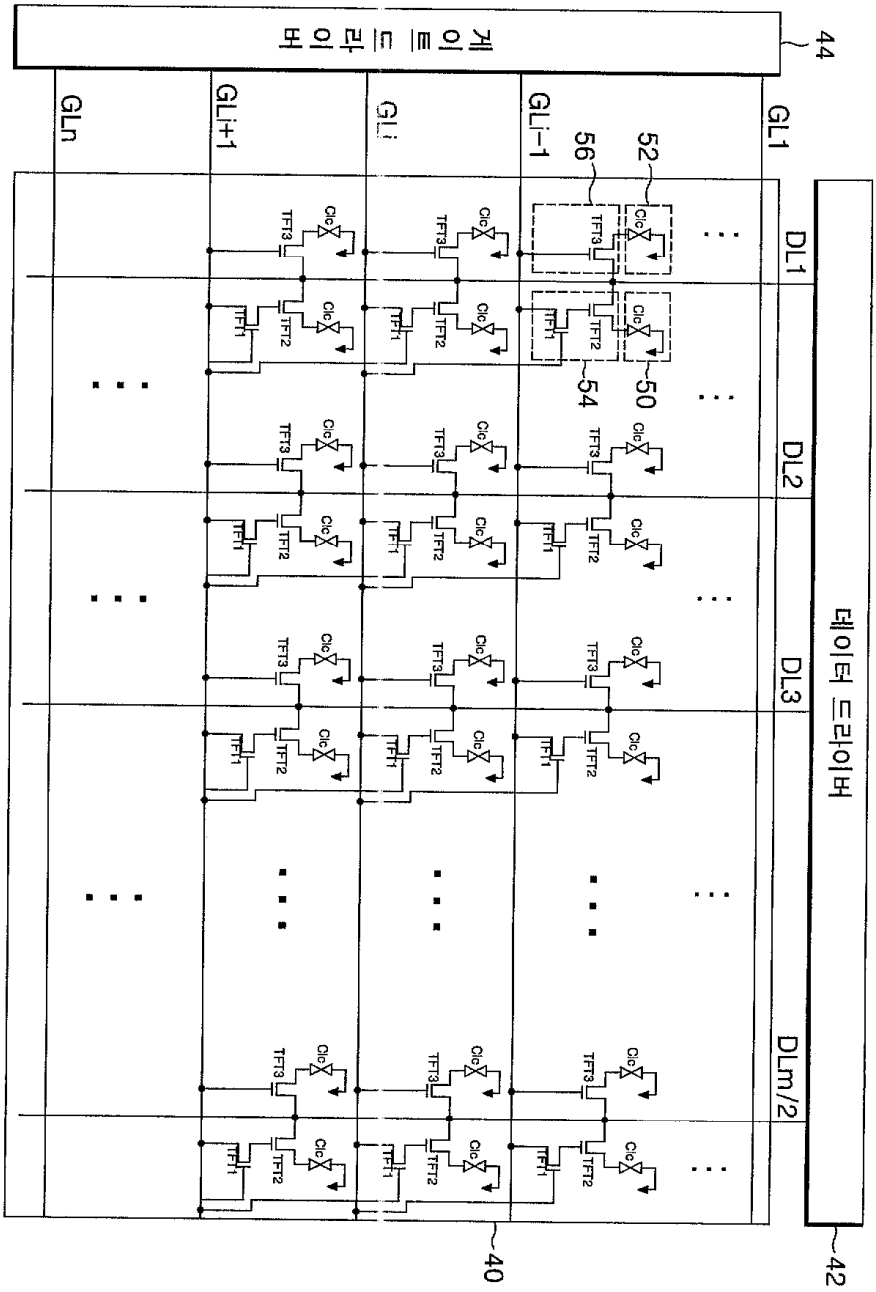
도면7


게이트 드라이버
44
데이터 드라이버
42
40
GL1
GLi-1
GLi
GLi+1
GLn
DL1
DL2
DL3
DLm/2
50
52
54
56
Clc
TFT1
TFT2
TFT3

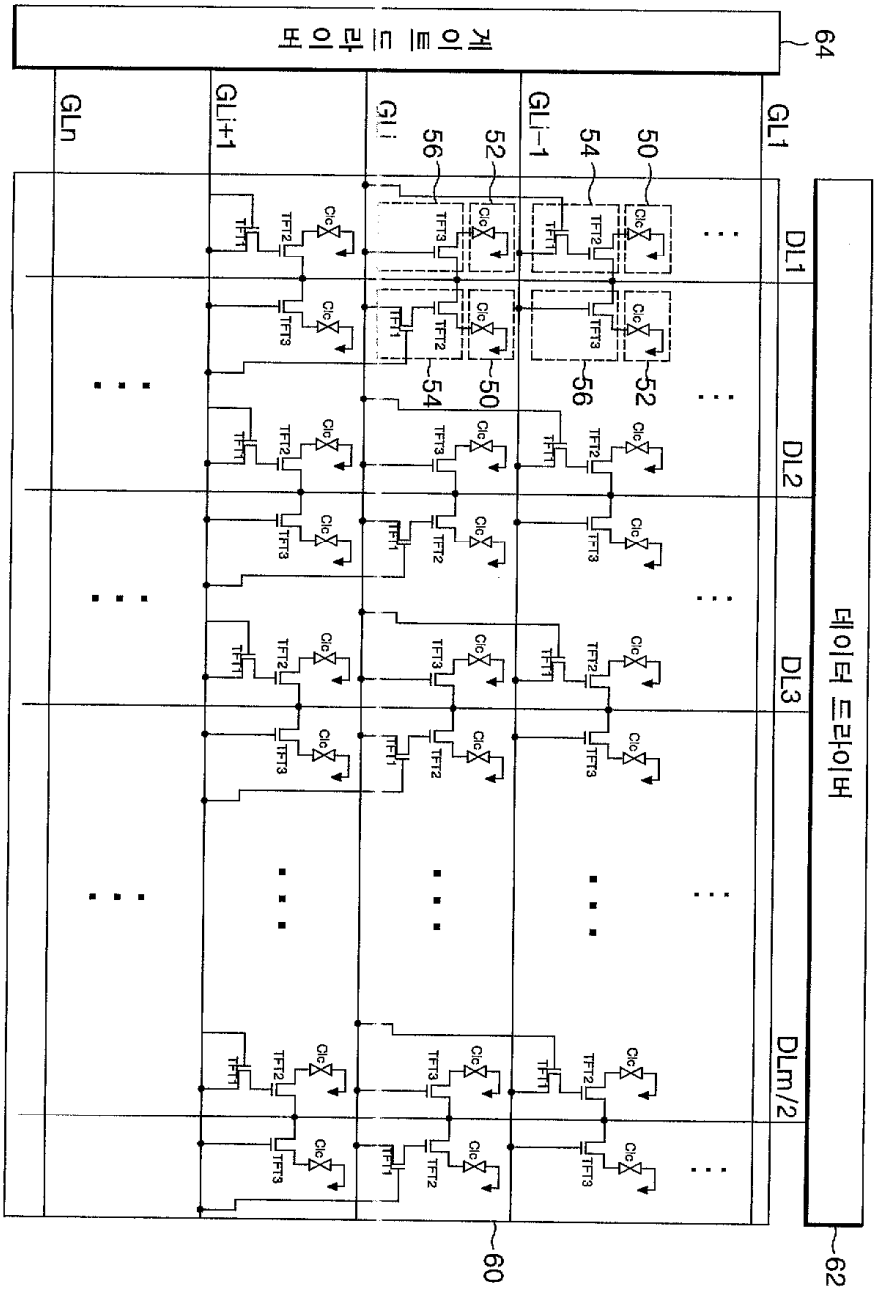
도면8



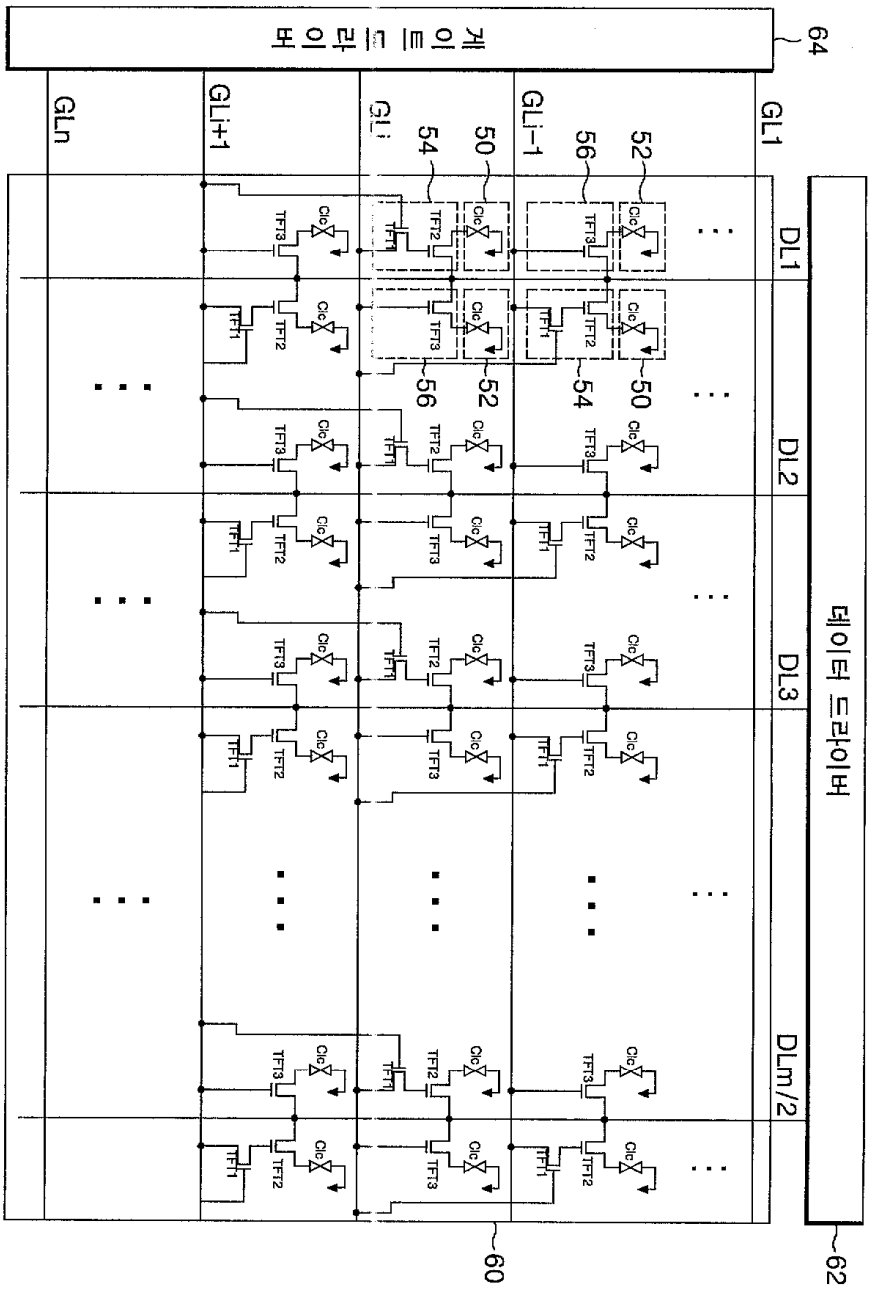
도면9


게이트 드라이버
44
데이터 드라이버
42
40
GL1
GLi-1
GLi
GLi+1
GLn
DL1
DL2
DL3
DLm/2
52
56
50
54
Clc
TFT1
TFT2
TFT3

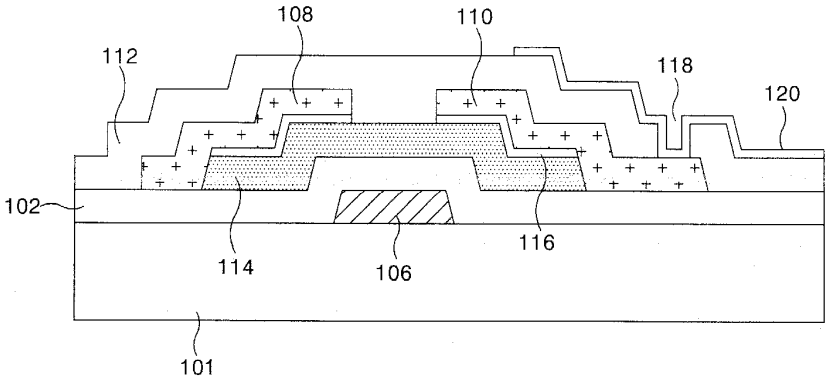
도면10


게이트 드라이버
64
데이터 드라이버
62
60
GL1
GLi-1
GLi
GLi+1
GLn
DL1
DL2
DL3
DLm/2
50
52
54
56
Clc
TFT1
TFT2
TFT3

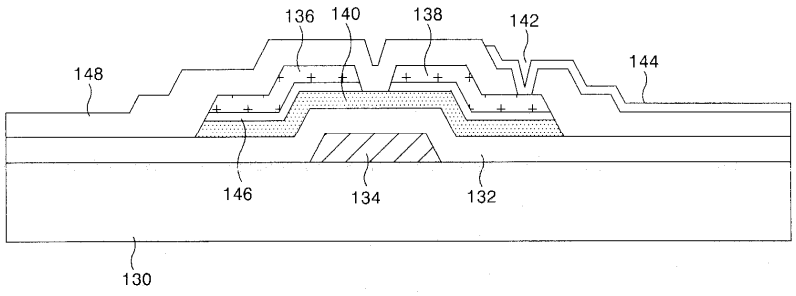
도면11


게이트 드라이버
64
GLn
GLi+1
GLi
GLi-1
GL1
DL1
DL2
DL3
DLm/2
데이터 드라이버
62
60
50
52
54
56
Clc
TFT1
TFT2
TFT3

도면12


108
110
112
118
120
102
114
106
116
101

도면13



专利名称(译)	用于驱动液晶显示器的装置和方法		
公开(公告)号	KR1020040055414A	公开(公告)日	2004-06-26
申请号	KR1020020082080	申请日	2002-12-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KWON KEUKSANG 권극상 PARK KWANGSOON 박광순		
发明人	권극상 박광순		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3648		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR100898791B1		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及能够减少数据线的数量和与其对应的数据驱动IC的数量的液晶显示装置。 本发明的液晶显示装置包括数据线，在与数据线交叉的方向上形成的栅极线，在相对于数据线的一侧形成的第一液晶单元，第一开关单元，形成用于每个第一液晶单元，并由i（i是自然数）栅极线和第（i + 2）栅极线控制;并且第二开关单元由栅极线控制。 2