

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G02F 1/1343

(11) 공개번호 10-2004-0051043
(43) 공개일자 2004년06월18일

(21) 출원번호 10-2002-0078869
(22) 출원일자 2002년12월11일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 김문구
대구광역시북구태전동238스타하우스A동502호

(74) 대리인 박장원

심사청구 : 없음

(54) 횡전계모드 액정표시소자

요약

본 발명의 횡전계모드 액정표시소자는 제1기판 및 제2기판과, 상기 제1기판에 형성되어 복수의 화소를 정의하는 복수의 게이트라인 및 데이터라인과, 제1기판의 각 화소내에 배치된 구동소자와, 제1기판의 각 화소내에 배열되어 횡전계를 생성하는 적어도 한쌍의 전극과, 상기 제2기판에 형성되어 데이터라인과의 사이에 전계를 생성하여 상기 데이터라인과 전극 사이의 전계에 의한 횡전계의 왜곡을 방지하는 유전성 오버코트층과, 상기 제1기판 및 제2기판 사이에 형성된 액정층으로 구성된다.상기 유전성 오버코트층은 저저항 및 고유전율의 아크릴계 수지 또는 폴리이미드계 수지로 저항은 $10^{-8} \Omega\text{cm}$ 이하이고 유전율은 1KHz의 측정주파수에서 약 14 이상이다.

대표도

도 2b

색인어

횡전계모드, 오버코트층, 수지, 저항, 유전율, 크로스토크

명세서

도면의 간단한 설명

도 1은 종래 횡전계모드 액정표시소자의 구조를 나타내는 평면도.

도 2a는 본 발명의 일실시예에 따른 횡전계모드 액정표시소자의 박막트랜지스터의 구조를 나타내는 단면도.

도 2b는 본 발명의 일실시예에 따른 횡전계모드 액정표시소자의 화소구조를 나타내는 단면도.

도 3a 및 도 3b는 본 발명의 다른 실시예에 따른 횡전계모드 액정표시소자의 구조를 나타내는 단면도.

* 도면의 주요부분에 대한 부호의 설명 *

105,205,305 : 공통전극 107,207,307 : 화소전극

111 : 게이트전극 112 : 반도체층

113 : 소스전극 114 : 드레인전극

120,130,220,230,320,330 : 기판 122,222,322 : 게이트절연층

124,224,324 : 보호층 132,232,332 : 블랙매트릭스

134,234,334 : 컬러필터층 136,236,336 : 오버코트층

140,240,340 : 액정층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 횡전계모드 액정표시소자에 관한 것으로, 특히 기판의 평탄성을 향상시키는 오버코트층을 저저항 및 고유전율 물질로 형성하여 데이터라인과 컬러필터층 사이에 미세한 전계를 형성함으로써 데이터라인과 화소전극 사이의 전계에 의한 횡전계의 왜곡을 방지할 수 있는 횡전계모드 액정표시소자에 관한 것이다.

근래, 핸드폰(Mobile Phone), PDA(Personal Data Assistants), 노트북컴퓨터와 같은 각종 휴대용 전자기기가 발전함에 따라 이에 적용할 수 있는 경박단소용의 평판표시장치(Flat Panel Display Device)에 대한 요구가 점차 증대되고 있다. 이러한 평판표시장치로는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), FED(Field Emission Display), VFD(Vacuum Fluorescent Display) 등이 활발히 연구되고 있지만, 양산화 기술, 구동수단의 용이성, 고화질의 구현이라는 이유로 인해 현재에는 액정표시소자(LCD)가 각광을 받고 있다.

이러한 액정표시소자는 액정분자의 배열에 따라 다양한 표시모드가 존재하지만, 현재에는 흑백표시가 용이하고 응답속도가 빠르며 구동전압이 낮다는 장점때문에 주로 TN모드의 액정표시소자가 사용되고 있다. 이러한 TN모드 액정표시소자에서는 기판과 수평하게 배향된 액정분자가 전압이 인가될 때 기판과 거의 수직으로 배향된다. 따라서, 액정분자의 굴절률 이방성(refractive anisotropy)에 의해 전압의 인가시 시야각이 좁아진다는 문제가 있었다.

이러한 시야각문제를 해결하기 위해, 근래 광시야각특성(wide viewing angle characteristic)을 갖는 각종 모드의 액정표시소자가 제안되고 있지만, 그중에서도 횡전계모드(In Plane Switching Mode)의 액정표시소자가 실제 양산에 적용되어 생산되고 있다. 상기 IPS모드 액정표시소자는 화소내에 평행으로 배열된 적어도 한쌍의 전극을 형성하여 기판과 실질적으로 평행한 횡전계를 형성함으로써 액정분자를 평면상으로 배향시키는 것이다.

도 1에 상기한 IPS모드 액정표시소자의 구조가 도시되어 있다. 도면에 도시된 바와 같이, 액정패널(1)의 화소는 종횡으로 배치된 게이트라인(3) 및 데이터라인(4)에 의해 정의된다. 도면에는 비록 (n,m)번째의 화소만을 도시하고 있지만 실제의 액정패널(1)에는 상기한 게이트라인(3)과 데이터라인(4)이 각각 $N(>n)$ 개 및 $M(>m)$ 개 배치되어 액정패널(1) 전체에 걸쳐서 $N \times M$ 개의 화소를 형성한다. 상기 화소내의 게이트라인(3)과 데이터라인(4)의 교차영역에는 박막트랜지스터(10)가 형성되어 있다. 상기 박막트랜지스터(10)는 게이트라인(3)으로부터 주사신호가 인가되는 게이트전극(11)과, 상기 게이트전극(11) 위에 형성되어 주사신호가 인가됨에 따라 활성화되어 채널층을 형성하는 반도체층(12)과, 상기 반도체층(12) 위에 형성되어 데이터라인(4)을 통해 화상신호가 인가되는 소스전극(13) 및 드레인전극(14)으로 구성되어 외부로부터 입력되는 화상신호를 액정층에 인가한다.

화소내에는 데이터라인(4)과 실질적으로 평행하게 배열된 복수의 공통전극(5a ~ 5c)과 화소전극(7a,7b)이 배치되어 있다. 또한, 화소의 중간에는 상기 공통전극(5a ~ 5c)과 접속되는 공통라인(16)이 배치되어 있으며, 상기 공통라인(16) 위에는 화소전극(7a,7b)과 접속되는 화소전극라인(18)이 배치되어 상기 공통라인(16)과 오버랩되어 있다.

상기와 같이 구성된 IPS모드 액정표시소자에서 액정분자는 공통전극(5a ~ 5c) 및 화소전극(7a,7b)과 실질적으로 평행하게 배향되어 있다. 박막트랜지스터(10)가 작동하여 화소전극(7a,7b)에 신호가 인가되면, 공통전극(5a ~ 5c)과 화

소전극(7a,7b) 사이에는 액정패널(1)과 실질적으로 평행한 횡전계가 발생하게 된다. 액정분자는 상기 횡전계를 따라 동일 평면상에서 회전하게 되므로, 액정분자의 굴절율 이방성에 의한 계조반전을 방지할 수 있게 된다.

한편, 화소전극(7a,7b)에 화상신호가 입력되는 경우, 전계는 공통전극(5a, 5c)과 화소전극(7a,7b) 사이에서만 발생하는 것이 아니라 화소전극(7a,7b)과 데이터라인(4) 사이에도 발생하게 된다. 그러나, 화소전극(7a,7b)과 데이터라인(4) 사이에 발생하는 전계는 화소내의 전체 횡전계를 왜곡하게 되며 이에 따라 신호 인가후의 액정분자가 완전하게 기판과 수평으로 배향되지 않게 되어, 그 결과 수직방향으로의 크로스토크(cross talk)가 발생하게 된다.

이러한 문제를 해결하기 위해서, 제1공통전극(5a)과 제3공통전극(5c)을 각각 상기 제1화소전극(7a)과 데이터라인(4) 사이 및 제2화소전극(7b)과 데이터라인(4) 사이에 배치하여 데이터라인(4)으로부터 발생하는 전계를 차단(shielding)해야만 한다. 이 경우, 전계의 효율적인 차단을 위해서는 상기 제1공통전극(5a)과 제3공통전극(5c)을 각각 데이터라인(4)에 근접하게 배치해야만 한다. 이와 같이, 데이터라인(4) 근처에 공통전극(5a,5c)을 배치함에 따라 화소내에는 2개의 화소전극(7a,7b)과 3개의 공통전극(5a, 5c)이 배열된다. 즉, 화소전극전극 보다 공통전극이 1개 더 배치된다.

한편, 공통전극(5a, 5c)과 화소전극(7a,7b)은 통상적으로 불투명한 금속으로 이루어져 있다. 따라서, 화소내에 공통전극 1개를 더 배치함으로써 광을 블로킹하는 영역이 증가하게 되며, 그 결과 IPS모드 액정표시소자의 개구율이 저하되는 것이다.

또한, 상기와 같이 데이터라인(4) 근처에 공통전극(5a,5c)을 배치하는 경우에도 데이터라인(4)과 화소전극(7a,7b) 사이에 발생하는 전계를 완전히 차단하는 것은 실질적으로 어려운 일이었다. 데이터라인(4)과 화소전극(7a,7b) 사이에 발생하는 전계를 완전히 차단하기 위해서는 데이터라인(4)과 화소전극(7a,7b) 사이에 배치되는 공통전극(5a,5c)의 폭을 크게 해야만 하지만, 이것은 액정표시소자의 개구율을 대폭 저하시키는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 문제를 해결하기 위한 것으로, 기판의 평탄화하기 위한 오버코트층을 저저항 및 고유전율을 갖는 물질로 형성하여 데이터라인과 오버코트층 사이에 전계를 형성하여 횡전계를 왜곡하는 데이터라인과 화소전극 사이의 전계를 제거할 수 있는 횡전계모드 액정표시소자를 제공하는 것을 목적으로 한다.

본 발명의 다른 목적은 상기와 같이 데이터라인과 오버코트층에 전계를 형성하여 데이터라인과 화소전극 사이의 전계를 제거하기 위해 데이터라인 근처에 배치 되는 공통전극의 폭을 감소시킴으로써 개구율을 향상시킬 수 있는 횡전계모드 액정표시소자를 제공하는 것이다.

상기한 목적을 달성하기 위해, 본 발명의 일관점에 따른 횡전계모드 액정표시소자는 제1기판 및 제2기판과, 상기 제1기판에 형성되어 복수의 화소를 정의하는 복수의 게이트라인 및 데이터라인과, 제1기판의 각 화소내에 배치된 구동소자와, 제1기판의 각 화소내에 배열되어 횡전계를 생성하는 적어도 하나의 제1전극 및 제2전극과, 상기 제2기판에 형성되며, $10^{-8} \Omega \text{cm}$ 이하의 저항과 14 이상의 유전율을 갖는 수지로 이루어진 오버코트층과, 상기 제1기판 및 제2기판 사이에 형성된 액정층으로 구성된다.

상기 수지는 아크릴계 수지 또는 폴리이미드계 수지로 이루어져 데이터라인과 오버코트층 사이에 전계를 형성하여 데이터라인과 화소전극 사이의 전계를 최소화한다. 또한, 데이터라인 근처에는 공통전극이 배열되어 데이터라인과 화소전극 사이의 전계를 차단한다. 상기 오버코트층과 데이터라인 사이의 전계와 데이터라인 근처에 배치되는 공통전극에 의해 화소전극과 데이터라인 사이의 전계가 완전히 제거되며, 그 결과 액정층에 인가되는 횡전계의 왜곡을 방지할 수 있게 되므로 수직방향의 크로스토크가 발생하는 것을 방지할 수 있게 된다.

또한, 본 발명의 다른 관점에 따른 횡전계모드 액정표시소자는 제1기판 및 제2기판과, 상기 제1기판에 형성되어 복수의 화소를 정의하는 복수의 게이트라인 및 데이터라인과, 제1기판의 각 화소내에 배치된 구동소자와, 제1기판의 각 화소내에 배열되어 횡전계를 생성하는 적어도 한쌍의 전극과, 상기 제2기판에 형성되어 데이터라인과의 사이에 전계를 생성하여 상기 데이터라인과 전극 사이의 전계에 의한 횡전계의 왜곡을 방지하는 유전성 오버코트층과, 상기 제1기판 및 제2기판 사이에 형성된 액정층으로 구성된다.

발명의 구성 및 작용

본 발명에서는 유전성을 갖는 물질을 오버코트층으로 적층하여 데이터라인과 상기 오버코트층 사이에 미세한 전계를 형성한다. 상기 데이터라인과 오버코트층 사이의 전계는 데이터라인 상부에 형성되므로, 액정층의 횡전계에는 영향을 미치지 않지만 데이터라인과 화소전극 사이의 전계를 최소화한다. 따라서, 상기 유전성 오버코트층의 형성에 의해 횡

전계에 왜곡이 발생하는 것을 방지할 수 있게 되며, 그 결과 수직방향의 크로스토크를 효과적으로 방지할 수 있게 된다.

상기와 같은, 유전성 오버코트층을 형성하기 위해 본 발명에서는 저저항 및 고유전율의 아크릴계 수지 또는 폴리이미드계 수지를 사용하였다.

이하, 첨부한 도면을 참조하여 본 발명에 따른 IPS모드 액정표시소자에 대해 상세히 설명한다.

도 2는 본 발명에 따른 IPS모드 액정표시소자의 구조를 나타내는 단면도로서, 도 2a는 박막트랜지스터의 구조를 나타내는 도면이고 도 2b는 화소영역의 구조를 나타내는 도면이다.

도 2a에 도시된 바와 같이, 제1기판(120) 위에는 게이트전극(111)이 형성되어 있으며, 상기 제1기판(120) 전체에 걸쳐 게이트절연층(122)이 적층되어 있다. 상기 게이트절연층(122) 위에는 반도체층(112)이 형성되어 있으며, 그 위에 소스전극(113) 및 드레인전극(114)이 형성되어 있다. 또한, 상기 제1기판(120) 전체에 걸쳐 보호층(passivation layer; 124)이 형성되어 있다.

도 2b에 도시된 바와 같이, 화소내의 제1기판(120) 위에는 공통전극(105a, 105c)이 형성되어 있고 게이트절연층(122) 위에는 상기 공통전극(105a, 105c)과 실질적으로 평행하게 배열되는 화소전극(107a, 107b)이 형성되어 있다. 상기 공통전극(105a, 105c)과 화소전극(107a, 107b) 사이에는 횡전계(E1)가 발생하는데, 최초로 배향막의 배향방향(통상적으로 공통전극 및 화소전극과 일정 각도로 방향지어진)을 따라 배열된 액정분자는 화소전극(107a, 107b)에 전압이 인가됨에 따라 공통전극(105a, 105c)과 화소전극(107a, 107b) 사이에 형성된 횡전계(E1)를 따라 회전하게 되어 화면상에 화상을 표시한다.

제2기판(130)에는 블랙매트릭스(132)와 컬러필터층(134)이 형성되어 있으며, 그 위에 오버코트층(overcoat layer; 136)이 형성되어 있다. 상기 블랙매트릭스(132)는 액정분자가 동작하지 않는 영역(즉, 화상이 표시되지 않는 비표시영역)으로 광이 누설되는 것을 방지하기 위한 것으로, 도면에 도시한 바와 같이 박막트랜지스터 형성영역과 화소와 화소 사이(즉, 게이트라인 및 데이터라인 영역)에 주로 형성된다. 컬러필터층(134)은 R(Red), B(Blue), G(Green)로 구성되어 실제 컬러를 구현한다.

상기 오버코트층(136)은 제2기판(130)을 평탄화하고 컬러필터층(134)을 보호하기 위한 것으로, 주로 아크릴계나 폴리이미드계의 수지로 이루어진다. 종래 IPS 모드 액정표시소자에서는 상기 오버코트층(136)으로 주로 고저항 및 저유전율의 수지를 사용하는데 반해, 본 발명의 IPS모드 액정표시소자에서는 저저항 및 고유전율의 수지를 사용한다. 이것은 종래 IPS모드 액정표시소자에서는 오버코트층(136)이 부도체 성질을 갖는데 반해, 본 발명의 IPS모드 액정표시소자의 오버코트층(136)은 유전성을 갖는다는 것을 의미한다. 이때, 상기 유전성이란 오버코트층(136)이 부도체와는 반대의 특성을 갖는다는 것을 의미한다. 즉, 오버코트층(136)에 전계가 형성될 수 있다는 것을 의미하는 것이다. 따라서, 본 발명의 상세한 설명 및 청구범위에서 사용되는 유전성이란 단어는 부도체의 반대 개념으로 오버코트층(136)이 전계 형성이 가능한 특성을 갖는다는 것을 의미한다.

이때, 상기 오버코트층(136)은, 예를 들어 저항이 약 $10^{-8} \Omega \text{cm}$ 이하이고 유전율이 1KHz의 측정주파수에서 약 14 이상인 아크릴계 수지 또는 폴리이미드계 수지를 사용한다.

상기와 같이, 오버코트층(136)이 유전성을 갖기 때문에, 도 2b에 도시된 바와 같이 데이터라인(104)과 오버코트층(136) 사이에는 미세한 전계(E2)가 형성된다. 데이터라인(104)과 오버코트층(136) 사이의 전계(E2)는 물론 공통전극(105a, 105c)과 화소전극(107a, 107b) 사이에서 생성되는 액정층(140)내의 횡전계(E1)에 비하면 그 세기가 매우 작다($E1 \gg E2$). 또한, 상기 전계(E2)는 주로 데이터라인(104)의 상부방향으로 형성되기 때문에, 액정층(140)의 횡전계(E1)에는 거의 영향을 미치지 못한다. 즉, 횡전계(E1)를 왜곡시키지는 못한다. 반면에, 상기 전계(E2)는 데이터라인(104)과 화소전극(107a, 107b) 사이에 발생하는 전계에는 많은 영향을 미친다. 즉, 상기 전계(E2)는 데이터라인(104)과 화소전극(107a, 107b) 사이에 생성되는 전계를 최소화하는 것이다. 따라서, 상기 전계(E2)에 의해, 데이터라인(104)과 화소전극(107a, 107b) 사이에 생성되는 전계가 액정층(140) 내의 횡전계(E1)를 왜곡시키는 것을 방지할 수 있게 되며, 그 결과 수직방향의 크로스토크가 발생하는 것을 방지할 수 있게 된다.

실질적으로, 데이터라인(104)과 화소전극(107a, 107b) 사이의 전계는 데이터라인(104)과 오버코트층(136) 사이의 전계(E2)와 데이터라인(104) 근처에 배열되는 공통전극(105a, 105c)에 의한 차단(shielding)과 같은 2개의 요인에 의해 제거된다. 물론, 상기 데이터라인(104)과 화소전극(107a, 107b) 사이의 전계가 하나의 요인에 의해 제거될 수도 있지만, 이 경우 다른 문제가 발생할 수 있다.

즉, 데이터라인(104)과 오버코트층(136) 사이의 전계(E2)만으로 데이터라인(104)과 화소전극(107a, 107b) 사이의 전계를 최소화하는 경우에는 데이터라인(104)과 오버코트층(136) 사이의 전계(E2)의 세기가 설정값 이상으로 되어야

만 하는데, 이러한 세기의 전계를 형성하는 저저항 및 고유전율의 수지를 구한다는 것은 매우 어려운 일이었다. 또한, 공통전극(105a,105c)을 데이터라인(104) 근처에 배열하여 데이터라인(104)과 화소전극(107a,107b) 사이의 전계를 최소화하는 것은 공통전극(105a,105c)의 폭을 증가시켜야만 하는데, 이것은 IPS모드 액정표시소자의 개구율을 저하시키는 원인이 된다.

따라서, 상기한 바와 같이, 공통전극(105a,105c)을 데이터라인(104) 근처에 배열하고 오버코트층을 저저항 및 고유전율의 수지를 사용하는 것이 데이터라인(104) 근처에 배열되는 공통전극(105a,105c)의 폭을 감소시킬 수 있으므로, 종래 IPS모드 액정표시소자에 비해 개구율을 향상시킬 수 있게 된다.

상기한 바와 같이, 본 발명에 따른 IPS모드 액정표시소자의 가장 큰 특징은 제2기판(130)의 오버코트층(136)을 저저항 및 고유전율의 물질로 형성하여 제1기판(120)의 데이터라인(104)과의 사이에 전계(E2)를 형성한다는 것이다. 따라서, 본 발명의 IPS모드 액정표시소자는 오버코트층(136)이 저저항 및 고유전율의 물질로 형성된다면(즉, 유전성 오버코트층(136)을 형성한다면) 어떠한 구조로도 형성할 수 있다. 도 2a 및 도 2b에 도시된 구조의 IPS모드 액정표시소자는 단지 본 발명의 일 실시예를 나타내는 것으로, 본 발명이 상기와 같은 구조에 한정되는 것은 아니다.

도 3a 및 도 3b는 본 발명의 다른 실시예에 따른 IPS모드 액정표시소자의 구조를 나타내는 도면으로, 도 2a 및 도 2b에 도시된 IPS모드 액정표시소자와는 다른 구조를 갖는다.

우선, 도 3a는 공통전극(205)과 화소전극(207)이 동일층에 형성된 구조의 IPS모드 액정표시소자를 나타내는 도면이다. 도면에서는 상기 공통전극(205a, 205c)과 화소전극(207a,207b)이 보호층(224) 위에 형성되어 액정층(240)에 횡전계를 인가하지만, 상기 공통전극(205a, 205c)과 화소전극(207a,207b)이 게이트절연층(222)이나 제1기판(220) 위에 형성될 수도 있다. 이 구조의 IPS모드 액정표시소자에서도 데이터라인(204) 근처에는 공통전극(205a,205c)이 형성되어 있으며, 제2기판(230)에 형성되는 오버코트층(236)은 저저항 및 고유전율의 물질(예를 들면, 아크릴계 수지 또는 폴리이미드계 수지)로 형성되어 제1기판(220)의 데이터라인(204) 사이에 미세한 전계를 형성한다.

한편, 도 3a에 도시된 IPS모드 액정표시소자에서는 각각 3개의 공통전극(205a, 205c)과 2개의 화소전극(207a,207b)이 형성되어 있다. 따라서, 화소내에는 4개의 광투과영역이 형성되며, 이러한 구조의 IPS모드 액정표시소자를 4블럭 IPS모드 액정표시소자라 한다. 그런데, 본 발명은 4블럭 IPS모드 액정표시소자 뿐만 아니라 2블럭(2개의 공통전극과 1개의 화소전극)이나 6블럭(4개의 공통전극과 3개의 화소전극) 등과 같은 다양한 블럭의 IPS모드 액정표시소자에 적용가능할 것이다.

도 3b는 공통전극(305a, 305c)은 게이트절연층(322) 위에 형성되어 있고 화소전극(307a,307b)은 제1기판(320)에 형성된 구조의 IPS모드 액정표시소자를 나타내는 도면이다. 이 구조의 IPS모드 액정표시소자에서도 역시 데이터라인(304) 근처에는 공통전극(305a,305c)이 형성되어 있으며, 제2기판(330)에 형성되는 오버코트층(336)은 저저항 및 고유전율의 물질로 형성되어 제1기판(320)의 데이터라인(304) 사이에 미세한 전계를 생성함으로써 액정층(340)에 인가되는 횡전계가 왜곡되는 것을 방지한다. 이와 같이, 본 발명에 따른 IPS모드 액정표시소자에서는 공통전극과 화소전극이 형성되는 층이 특정 층으로 한정되는 것이 아니라 어느 층에도 형성될 수 있다. 또한, 공통전극과 화소전극은 주로 비저항이 적은 불투명한 금속으로 이루어지지만, 개구율의 향상을 위해 ITO(Indium Tin Oxide)나 IZO(Indium Zinc Oxide)와 같은 투명한 물질로 형성할 수도 있을 것이다.

발명의 효과

상술한 바와 같이, 본 발명의 횡전계모드 액정표시소자에서는 기판을 평탄화하고 컬러필터층을 보호하는 오버코트층이 저저항 및 고유전율 물질로 이루어져 있으므로 데이터라인과 전계를 생성한다. 따라서, 다음과 같은 효과를 얻을 수 있게 된다.

첫째, 오버코트층과 데이터라인 사이의 전계에 의해 데이터라인과 화소전극 사이의 전계를 최소화할 수 있으므로, 액정층에 인가되는 횡전계의 왜곡을 방지할 수 있게 된다. 따라서, 수직방향의 크로스토크가 발생하는 것을 방지할 수 있게 된다.

둘째, 오버코트층과 데이터라인 사이의 전계에 의해 데이터라인과 화소전극 사이의 전계를 감소시키므로, 데이터라인과 화소전극 사이의 전계를 차단하기 위해 데이터라인 근처에 배치되는 공통전극의 폭을 감소시킬 수 있게 되어, 개구율을 향상시킬 수 있게 된다.

(57) 청구의 범위

청구항 1.

제1기판 및 제2기판;

상기 제1기판에 형성되어 복수의 화소를 정의하는 복수의 게이트라인 및 데이터라인;

제1기판의 각 화소내에 배치된 구동소자;

제1기판의 각 화소내에 배열되어 횡전계를 생성하는 적어도 하나의 제1전극 및 제2전극;

상기 제2기판에 형성되며, $10^{-8} \Omega\text{cm}$ 이하의 저항과 14 이상의 유전율을 갖는 수지로 이루어진 오버코트층; 및

상기 제1기판 및 제2기판 사이에 형성된 액정층으로 구성된 횡전계모드 액정표시소자.

청구항 2.

제1항에 있어서, 상기 수지는 아크릴계 수지 또는 폴리이미드계 수지인 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 3.

제1항에 있어서, 상기 제1전극은 데이터라인 근처에 배열되는 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 4.

제1항에 있어서, 상기 구동소자는 박막트랜지스터인 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 5.

제4항에 있어서, 상기 박막트랜지스터는,

기판위에 형성된 게이트전극;

상기 게이트전극이 형성된 기판 전체에 걸쳐 적층된 절연층;

상기 절연층 위에 형성된 반도체층;

상기 반도체층 위에 형성된 소스전극 및 드레인전극; 및

상기 소스전극 및 드레인전극이 형성된 기판 전체에 걸쳐 적층된 보호층으로 이루어진 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 6.

제5항에 있어서, 상기 제1전극은 제1기판 위에 형성되고 제2전극은 게이트절연층 위에 형성되는 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 7.

제5항에 있어서, 상기 제1전극은 게이트절연층 위에 형성되고 제2전극은 제1기판 위에 형성되는 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 8.

제5항에 있어서, 상기 제1전극 및 제2전극은 보호층 위에 형성되는 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 9.

제5항에 있어서, 상기 제1전극 및 제2전극은 게이트절연층 위에 형성되는 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 10.

제5항에 있어서, 상기 제1전극 및 제2전극은 제1기판 위에 형성되는 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 11.

제1항에 있어서,

상기 제2기판에 형성되어 화상 비표시영역으로 광이 투과하는 것을 차단하는 블랙매트릭스; 및

상기 제2기판에 형성되어 컬러를 구현하는 컬러필터층을 추가로 포함하는 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 12.

제1기판 및 제2기판;

상기 제1기판에 형성되어 복수의 화소를 정의하는 복수의 게이트라인 및 데이터라인;

제1기판의 각 화소내에 배치된 구동소자;

제1기판의 각 화소내에 배열되어 횡전계를 생성하는 적어도 한쌍의 전극;

상기 제2기판에 형성된 저저항 및 고유전율 물질로 이루어진 오버코트층; 및

상기 제1기판 및 제2기판 사이에 형성된 액정층으로 구성된 횡전계모드 액정표시소자.

청구항 13.

제12항에 있어서, 상기 저저항 및 고유전율 물질은 아크릴계 수지 또는 폴리이미드계 수지인 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 14.

제13항에 있어서, 상기 아크릴계 수지 또는 폴리이미드계 수지의 저항은 $10^{-8} \Omega \text{cm}$ 이하인 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 15.

제13항에 있어서, 상기 아크릴계 수지 또는 폴리이미드계 수지의 유전율은 1KHz의 측정주파수에서 14 이상인 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 16.

제1기판 및 제2기판;

상기 제1기판에 형성되어 복수의 화소를 정의하는 복수의 게이트라인 및 데이터라인;

제1기판의 각 화소내에 배치된 구동소자;

제1기판의 각 화소내에 배열되어 횡전계를 생성하는 적어도 한쌍의 전극;

상기 제2기판에 형성되어 데이터라인과의 사이에 전계를 생성하여 상기 데이터라인과 전극 사이의 전계에 의한 횡전계의 왜곡을 방지하는 유전성 오버코트층; 및

상기 제1기판 및 제2기판 사이에 형성된 액정층으로 구성된 횡전계모드 액정 표시소자.

청구항 17.

제16항에 있어서, 상기 오버코트층은 저저항 및 고유전율 수지로 이루어진 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 18.

제17항에 있어서, 상기 수지는 아크릴계 수지 또는 폴리이미드계 수지인 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 19.

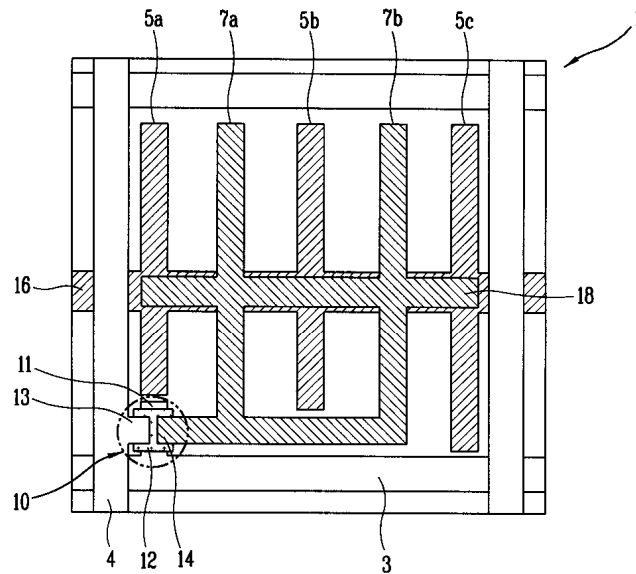
제17항에 있어서, 상기 수지의 저항은 $10^{-8} \Omega \text{cm}$ 이하인 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 20.

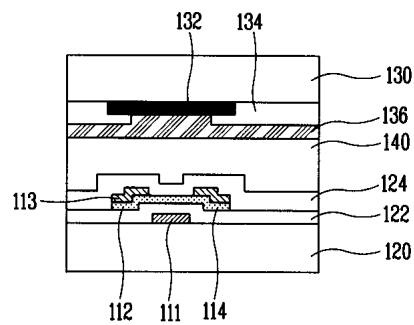
제17항에 있어서, 상기 수지의 유전율은 1KHz의 측정주파수에서 14 이상인 것을 특징으로 하는 횡전계모드 액정표시소자.

도면

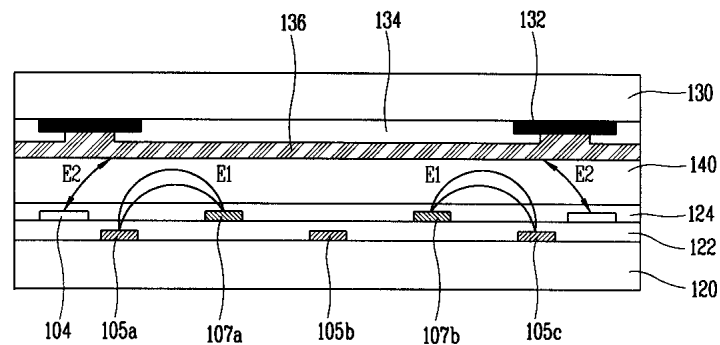
도면1



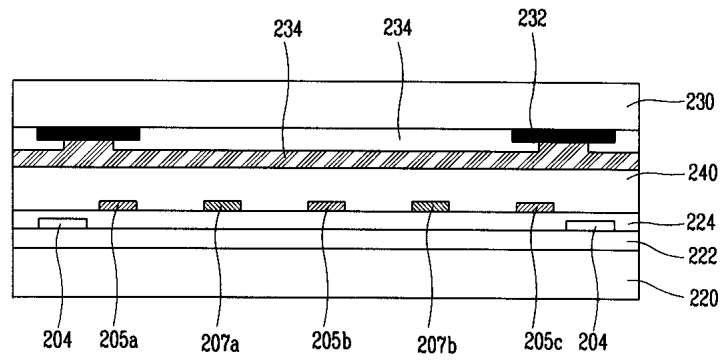
도면2a



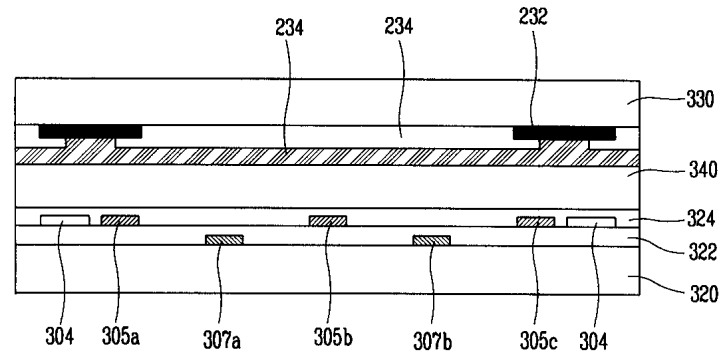
도면2b



도면3a



도면3b



专利名称(译)	横向电场模式液晶显示元件		
公开(公告)号	KR1020040051043A	公开(公告)日	2004-06-18
申请号	KR1020020078869	申请日	2002-12-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM MOONGOO 김문구		
发明人	김문구		
IPC分类号	G02F1/1343		
代理人(译)	PARK , JANG WON		
其他公开文献	KR100945347B1		
外部链接	Espacenet		

摘要(译)

本发明的平面内切换模式液晶显示装置形成在驱动器部件中：至少一个公共电极，布置在数据线的每个像素内：第一基板，其限定多个像素，其形成在第一基板中，第二基板，衬底：第一衬底和多条栅极线以及像素电极：第二衬底，其布置在第一衬底的每个像素内并产生平面切换。并且由在数据线之间形成电场的外涂层构成，其间由介电常数大于10¹~108Ωcm和14的电阻的介电树脂构成，并且在第一层之间形成液晶层衬底和第二衬底。与其他公共电极相比，布置在数据线附近的关于公共电极的滚动减小了。在平面切换模式中，外涂层，树脂，电阻，介电常数，串扰。

