(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.^{7}
G02F 1/136

(11) 공개번호 특2003-0080373
(43) 공개일자 2003년10월17일

(21) 출원번호 10-2002-0018961
(22) 출원일자 2002년04월08일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 최병대
대구광역시동구신암4동651-18

(74) 대리인 정원기

심사청구 : 있음

(54) 액정표시장치용 어레이기판과 그 제조방법

요약

본 발명은 액정표시장치에 관한 것으로 특히, 액정표시장치용 어레이기판의 제조방법에 관한 것이다.

종래의 4마스크 공정으로 제작된 어레이기판은 드레인 전극의 측면에서, 그 하부의 게이트 절연막이 과식각되어 나타나는 단차에 의해 화소전극이 오픈되는 불량이 발생하였다.

이를 해결하기 위해, 본 발명은 상기 드레인 전극과 화소 전극의 접촉영역에 액티브층을 연장하여 형성하는 구성을 제안한다.

이와 같은 구성은 상기 드레인 전극 하부의 게이트 절연막이 식각되는 것을 방지 할 수 있기 때문에, 화소전극이 오픈되는 불량을 막을 수 있다.

대표도

도 7b

명세서

도면의 간단한 설명

도 1은 일반적인 액정표시장치를 개략적으로 도시한 평면도이고,

도 2는 종래의 액정표시장치용 어레이기판의 일부를 개략적으로 도시한 평면도이고,

도 3a내지 도 3d는 도 2의 I 를 확대하여 종래의 공정 순서에 따라 도시한 공정 평면도이고,

도 4a 내지 도 4d는 도3a 내지 도 3d의 Ⅳ-Ⅳ`를 따라 절단한 공정 단면도이고,

도 5는 본 발명에 따른 액정표시장치용 어레이기판의 일부를 개략적으로 도시한 평면도이고,

도 6a내지 도 6d는 도 5의 D를 확대하여 종래의 공정 순서에 따라 도시한 공정 평면도이고,

도 7a 내지 도 7d는 도 6a내지 도 6d의 Ⅶ-Ⅶ`를 따라 절단한 공정 단면도이다.

<도면의 주요부분에 대한 부호의 설명>

100 : 기판 112 : 게이트 배선

114 : 게이트 전극 116 : 게이트 절연막

118 : 순수 비정질 실리콘층 120 : 불순물 비정질 실리콘층

124 : 제 2 금속층 126 : 포토레지스트층

128 : 소스/드레인전극 패턴 130 : 오믹 콘택층

132 : 액티브층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 액정표시장치용 어레이기판의 제조방법에 관한 것이다.

도 1은 일반적인 액정표시장치를 개략적으로 도시한 평면도이다

도시한 바와 같이, 일반적인 액정표시장치(11)는 블랙매트릭스(6)와 서브컬러필터(7)를 포함하는 컬러필터(8)와, 상기 컬러필터(8)의 상부에 증착된 공통전극(9)이 형성된 상부기판(5)과, 화소영역(P)과 화소영역 상에 형성된 화소 전극(52)과 스위칭소자(T)를 포함한 어레이배선이 형성된 하부기판(22)으로 구성되며, 상기 상부기판(5)과 하부기판(22) 사이에는 액정(15)이 충진되어 있다.

상기 하부기판(22)은 어레이기판이라고도 하며, 스위칭 소자인 박막트랜지스 터(T)가 매트릭스형태(matrix type)로 위치하고, 이러한 다수의 박막트랜지스터를 교차하여 지나가는 게이트배선(12)과 데이터배선(38)이 형성된다.

상기 화소(P)영역은 상기 게이트배선(12)과 데이터배선(38)이 교차하여 정의되는 영역이다. 상기 화소영역(P)상에 형성되는 화소전극(52)은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명도전성 금속을 사용한다.

전술한 바와 같이 구성되는 액정표시장치는 상기 박막트랜지스터(T)와 상기 박막트랜지스터에 연결된 화소 전극(52)이 매트릭스 내에 존재함으로써 영상을 표시한다.

상기 게이트배선(12)은 상기 박막트랜지스터(T)의 제 1 전극인 게이트전극을 구동하는 펄스전압을 전달하며, 상기 데이터배선(38)은 상기 박막트랜지스터(T)의 제 2 전극인 소스 전극을 구동하는 신호전압을 전달하는 수단이다.

전술한 바와 같은 구성을 가지는 액정패널의 구동은 액정의 전기 광학적 효과에 기인한 것이다.

자세히 설명하면, 상기 액정층(15)은 자발분극(Spontaneous Polarization)특성을 가지는 유전이방성 물질이며, 전압이 인가되면 자발분극에 의해 쌍극자(Bipolar)를 형성함으로써 전계의 인가방향에 따라 분자의 배열방향이 바뀌는 특성을 갖는다.

따라서, 이러한 배열상태에 따라 광학적 특성이 바뀜으로써 전기적인 광변조가 생기게 된다.

이러한 액정의 광변조 현상에 의해, 빛을 차단 또는 통과시키는 방법으로 이미지를 구현하게 된다.

도 2를 참조하여 전술한 어레이기판의 구성을 좀더 자세히 알아본다.

도 2는 액정표시장치용 어레이기판의 일부를 개략적으로 도시한 확대 평면도이다.

도시한 바와 같이, 게이트배선(12)과 데이터배선(38)이 직교하여 화소영역(P)을 정의하며, 상기 게이트배선(12)과 데이터배선(38)의 직교 점에 스위칭소자인 박막트랜지스터(T)가 위치한다.

상기 박막트랜지스터(T)는 상기 게이트배선(12)과 연결되어 주사신호를 인가 받는 게이트 전극(14)과, 상기 데이터배선(38)과 연결되어 데이터신호를 인가 받는 소스 전극(40) 및 이와는 소정간격 이격된 드레인 전극(42)으로 구성한다.

또한, 상기 게이트전극(14) 상부에 구성되고 상기 소스 전극(40)및 드레인 전극(42)과 접촉하는 액티브층(32)을 포함한다.

상기 게이트배선(12)의 상부에는 아일랜드 형상의 금속패턴(28)을 형성하며, 상기 금속 패턴은 상기 투명 화소전극(52)과 접촉한다.

이와 같은 구성으로, 상기 게이트 배선(12)의 일부는 제 1 스토리지 전극의 기능을 하고, 상기 화소전극(52)과 측면 접촉하는 금속패턴(28)이 제 2 스토리지 전극의 기능을 한다.

비로소, 상기 스토리지 제 1 전극과 상기 스토리지 제 2 전극 사이에 위치한 게이트 절연막(미도시)이 유전체의 역할을 하는 스토리지 캐패시터(S)를 구성할 수 있다.

이때, 도시하지는 않았지만, 상기 액티브층(32)과 소스 및 드레인 전극(40, 42) 사이에는 오믹 콘택층(미도시)이 구성되며, 상기 액티브층과 오믹 콘택층을 형성하는 순수 비정질 실리콘층과 불순물 비정질 실리콘층은 패턴되어 상기 데이터 배선(34)의 하부로 연장된 제 1 패턴(35)이 형성되는 동시에, 상기 금속패턴(28)의 하부에는 제 2 패턴(29)이 형성된다.

전술한 바와 같은 어레이기판의 구성은 종래의 4마스크 공정으로 제작된 것이며, 상기 드레인 전극과 접촉하는 부분의 화소전극이 단선 되는 경우가 발생하여 표시불량을 유발하는 경우가 발생하였다.

이는 4 마스크 공정상 발생하기 쉬운 불량이며, 이하 공정을 통해 상세히 설명한다.

도면을 참조하여 종래의 4마스크 공정을 이용한 어레이기판의 제조공정을 설명한다. (박막트랜지스터를 중심으로 설명함.)

도 3a 내지 도 3d는 도 2의 I를 확대하여 종래의 공정순서에 따라 도시한 공정 평면도이고, 도 4a 내지 도 4d는 상기 도 3a 내지 도 3d의 Ⅳ-Ⅳ`를 따라 절단한 단면도이다.

먼저, 도 3a와 4a에 도시한 바와 같이, 투명한 절연 기판(22)상에 제 1 금속층을 형성한 후 제 1 마스크 공정으로, 게이트 배선(12)과 게이트 전극(14)을 형성한다.

상기 게이트 전극물질은 알루미늄(Al), 알루미늄 합금, 몰리브덴(Mo), 텅스 텐(W), 크롬(Cr)과 같은 다양한 도전성 금속을 사용할 수 있으며 특히, 알루미늄(Al)과 알루미늄 합금을 사용할 경우에는 몰리브덴(Mo)이나 크롬(Cr)등을 사용하여 이중층으로 구성한다.

상기 게이트 배선(12)과 게이트 전극(14)이 형성된 기판(22)의 전면에 제 1 절연막인 게이트 절연막(16)과, 순수 비정질 실리콘층(18)과, 불순물 비정질 실리콘층(20)과, 제 2 금속층(24)을 적층한다.

이때, 상기 제 1 절연막(16)은 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 유기절연 물질 그룹 중 선택된 하나를 증착하여 형성하며, 상기 제 2 금속층(24)은 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 탄탈륨(Ta) 등의 도전성 금속물질 중 선택된 하나를 증착하여 형성한다.

다음으로, 도 3b와 4b에 도시한 바와 같이, 상기 제 2 금속층(24)이 형성된 기판의 전면에 포토레지스트(photo-resist:이하 'PR'층 이라함)를 도포하여 PR층(26)을 형성한다. 이때, 상기 PR층(26)은 빛을 받은 부분이 노광되어 현상되는 포지티브형(positive type)을 사용하는 것으로 한다.

상기 PR층(26)이 형성된 기판(22)의 상부에 투과영역(A)과 차단영역(B)과 슬릿영역인 반투과 영역(C)으로 구성된 마스크(50)를 위치시킨다.

상기 반투과 영역(C)은 상기 게이트 전극(14) 상부의 일부 영역에 대응하여 위치하도록 한다. 이때, 상기 반투과 영역(C)에 대응하는 PR층(26)은 상기 투과영역(A)에 비해 일부분만 노광된다.

연속하여, 상기 마스크(50)의 상부로 빛을 조사하는 노광공정(exposure)과, 노광된 부분을 제거하는 현상공정(develop)을 진행한다.

결과적으로, 상기 게이트 전극(14)의 상부에는 서로 다른 두께를 가지는 PR 패턴(26)이 형성된다.(이때, 도면의 이해를 위해 도 3b에는 패턴을 형성하지 않음.)

상기 PR패턴(26)중 두께가 얇은 부분은 상기 마스크(50)의 반투과 영역(C)에 대응된 부분이다.

연속하여, 상기 패턴된 PR층(26) 사이로 노출된 제 2 금속층(24)을 습식식각 방식으로 식각한 후, 하부의 불순물 비정질 실리콘층(20)과 순수 비정질 실리콘층(18)을 건식식각을 통해 제거하는 공정을 진행하여, 상기 게이트 전극(14)의 상부에 소스/드레인전극 패턴(28)을 형성하고, 상기 소스/드레인 전극패턴(28)에서 일 방향으로 연장된 데이터 배선(38)을 형성한다.

동시에, 상기 순수 비정질 실리콘층과 불순물 비정질 실리콘층은 상기 소스/드레인 전극패턴(28)과 데이터 배선(38)의 하부에 동일한 형상으로 패턴 되는데 특히, 상기 소스/드레인 전극 패턴(28)의 하부에 구성된 층 중 순수 비정질 실리콘층은 액티브층(32)이라 하고, 그 상부의 불순물 비정질 실리콘층은 오믹 콘택층(30)이라 한다.

연속하여, 도시하지는 않았지만 상기 포토레지스트 패턴(26)의 일부를 제거하는 애싱공정(ashing processing)을 진행하여, 상기 얇은 두께로 패턴된 PR층의 일부를 제거하여 하부의 소스/드레인전극 패턴(28)의 일부를 노출하는 공정을 진행 한다.

상기 애싱공정 중, 상기 PR패턴(26)의 주변도 일부 제거되어 그 하부의 금속패턴과 오믹 콘택층(32) 또한 미세하게 노출된다.

전술한 공정으로 도 3c와 4c에 도시한 바와 같이, 노출된 소스/드레인 전극패턴의 일부와 그 하부의 오믹 콘택층(30)을 제거하는 공정으로, 서로 이격된 소스 및 드레인 전극(40,42)이 형성 된다.

이때, 상기 소스 전극(40)과 드레인 전극(42) 사이의 이격된 영역은 상기 마스크(4b의 50)의 반투과 영역(C)에 대응되는 영역이다.

이때, 상기 소스 전극(40)은 'U'형상으로 구성하고, 상기 드레인 전극(42)은 일부가 상기 소스 전극(42)의 내부에 소정간격 이격 되도록 구성한다.

이와 같은 구성은 상기 소스 전극(40)과 드레인 전극(42)사이의 채널 길이는 짧게 하고, 채널 폭은 넓게 하여 전하의 이동도(mobility)를 개선할 수 있는 구성이다.

전술한 바와 같은 제 2 마스크 공정으로, 소스 및 드레인 전극(40,42)과 액티브층(32)과 오믹 콘택층(30)과 데이터 배선(38)을 형성할 수 있다.

다음으로, 상기 소스 및 드레인 전극(40,42)이 형성된 기판(22)의 전면에 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 투명한 유기절연물질 그룹 또는 질화 실리콘(SiN_X)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 보호막(46)을 형성한다.

상기 보호막(46)을 제 3 마스크 공정으로 패턴하여, 상기 드레인 전극(42)의 일부를 노출하는 드레인 콘택홀(48)을 형성한다.

상기 드레인 콘택홀(48)은 드레인 전극(42)의 측면에 걸쳐 형성하는데 이때, 상기 보호막(46)을 식각하는 동안 하부의 게이트 절연막(16)이 식각 될 수 있다.

이와 같은 경우에는 상기 드레인 전극(42)의 측면에 단차(G)가 발생하기 때문에 이로인한 상부층의 증착 불량을 유발할 수 있다.

다음으로, 도 3d와 4d에 도시한 바와 같이, 상기 보호막(46)의 상부에 인듐-틴-옥사이드(ITO)와, 인듐-징크-옥사이드(IZO)를 포함한 투명한 유기절연물질 그룹 중 선택된 하나를 증착하고 패턴하여, 상기 드레인 전극(42)과 접촉하는 화소 전극(52)을 형성한다.

이때, 상기 화소 전극(52)은 상기 드레인 전극(42)의 측면 단차(B)에 단선 되는 불량이 발생한다.

전술한 바와 같은 종래의 4 마스크 제조공정으로 어레이기판을 제작하게 되면, 드레인 전극(42)의 안쪽으로 상기 게이트 절연막(16)이 언더 에치(under etch)되어, 상기 드레인 전극(42)과 접촉하는 화소전극(52)이 단선되는 불량이 발생한다.

발명이 이루고자 하는 기술적 과제

본 발명은 전술한 바와 같은 문제를 해결하기 위한 목적으로 제안된 것으로, 상기 드레인 전극의 일 측으로 하부의 액티브층을 더욱 연장하여, 상기 보호막을 식각하는 공정 중 드레인 전극 하부의 게이트 절연막이 식각되는 것을 방지하고자 한다.

발명의 구성 및 작용

전술한 바와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이기판은 기판 상에 서로 교차하여 화소영역을 정의하는 데이터 배선과 게이트 배선과; 상기 게이트 배선과 데이터 배선의 교차지점에 구성되고, 게이트 전극과 소스 및 드레인 전극을 포함하는 박막트랜지스터와; 상기 소스 및 드레인 전극의 하부와 상기 데이터 배선의 하부에 구성되고, 상기 드레인 전극의 일 측으로 연장된 액티브층과; 상기 드레인 전극과 상기 연장된 액티브층에 걸쳐 구성된 콘택홀을 포함하는 보호막과; 상기 콘택홀을 통해 상기 드레인 전극과 접촉하면서 화소영역에 구성된 투명 화소전극을 포함한다.

상기 액티브층과 상기 소스 및 드레인 전극과 데이터 배선 사이에는 오믹 콘택층을 더욱 구성한다.

상기 액티브층은 순수 비정질 실리콘(a-Si:H)으로 구성되고, 상기 오믹 콘택층은 불순물 비정질 실리콘(n+a-Si:H)이다.

상기 소스 전극은 'U'형상으로 구성하고, 상기 화소 전극과 접촉하지 않는 드레인 전극의 일부는 상기 소스 전극 내에 소정간격 이격되도록 구성한다.

본 발명의 특징에 따른 액정표시장치용 어레이기판 제조방법은 기판 상에 제 1 금속층을 제 1 마스크 공정으로 패턴하여, 게이트 배선과 게이트 전극을 형성하 는 단계와; 상기 게이트 배선과 게이트 전극이 형성된 기판의 전면에 제 1 절연막과 순수 비정질 실리콘층과 불순물 비정질 실리콘층과 제 2 금속층과 포토레지스트층를 적층하는 단계와; 상기 PR층이 적층된 기판에 소스 및 드레인 영역을 정의하는 단계와; 상기 소스 및 드레인 영역이 정의된 PR층의 상부에 투과영역과 차단영역과 반투과 영역으로 구성되고, 상기 반투과 영역은 상기 소스 및 드레인 영역의 사이 영역과, 상기 드레인 영역의 일측과 근접한 영역에 대응하도록 구성된 마스크와; 상기 마스크의 상부로 빛을 조사하는 노광공정과, 연속한 현상공정을 진행하여, 단차를 가지는 PR패턴을 형성하는 단계와; 상기 PR패턴 사이로 노출된 금속층과 그 하부의 불순물 비정질 실리콘층과 그 하부의 순수 비정질 실리콘층을 제거하여, 소스/드레인 전극패턴과, 이에 연장된 데이터 배선을 형성하는 단계와; 상기 단차진 PR패턴 중 애싱공정을 통해 얇은 층을 제거하여 하부의 소스/드레인 전극패턴을 노출하는 단계와; 상기 노출된 소스/드레인 전극 패턴과 그 하부의 불순물 비정질 실리콘층을 식각하여, 서로 이격된 소스 및 드레인 전극을 형성하는 동시에, 상기 소스 및 드레인 전극과 데이터 배선의 하부에 위치하고, 일부는 상기 드레인 전극의 일측으로 연장된 액티브층을 형성하는 단계와; 상기 소스 및 드레인 전극과 데이터 배선 등이 형성된 기판의 전면에 제 2 절연막인 보호막을 형성하는 단계와;

제 3 마스크 공정으로 상기 보호막을 패턴하여, 상기 드레인 전극의 일측에서 상기 연장된 액티브층에 걸쳐 구성된 드레인 콘택홀을 형성하는 단계와; 제 4 마스크 공정으로, 상기 드레인 콘택홀을 통해 드레인 전극과 접촉하는 투명한 화소전극을 형성하는 단계를 포함한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다.

-- 실시예 --

도 5는 본 발명에 따른 액정표시장치용 어레이기판의 일부를 개략적으로 도시한 평면도이다.

도시한 바와 같이, 기판(100)상에 게이트배선(112)과 데이터배선(138)이 직교하여 화소영역(P)을 정의하며, 상기 게이트배선(112)과 데이터배선(138)의 직교 점에 스위칭소자인 박막트랜지스터(T)가 위치한다.

상기 박막트랜지스터(T)는 상기 게이트배선(112)과 연결되어 주사신호를 인가 받는 게이트전극(114)과, 상기 데이터배선(134)과 연결되어 데이터신호를 인가 받는 'U'형상의 소스 전극(140)과, 상기 소스 전극(140)의 내부에서 소정 간격 이격된 드레인 전극(142)을 구성한다.

또한, 상기 게이트전극(114) 상부에 구성되고 상기 소스전극(140)및 드레인전극(142)과 접촉하는 액티브층(132)을 포함한다.

상기 게이트배선(112)의 상부에는 아일랜드 형상의 금속패턴(128)을 구성한다.

이때, 상기 게이트배선(112)의 일부는 제 1 스토리지 전극의 기능을 하고, 상기 화소전극(152)과 직접 접촉하는 금속패턴(129)이 제 2 스토리지 전극의 기능을 한다. 따라서, 상기 스토리지 제 1 전극과 상기 스토리지 제 2 전극 사이에 위 치한 게이트 절연막(미도시)이 유전체의 역할을 하는 보조 용량부(S)를 구성할 수 있다.

전술한 구성에서, 상기 액티브층(132)을 상기 드레인 전극(142)의 일측인 화소영역(P)으로 연장하여 구성하며, 상기 연장된 액티브 영역(J)의 상부의 보호막에 콘택홀(148)을 형성한다.

상기 콘택홀(148)을 통해 투명 화소전극(152)과 드레인 전극(42)을 접촉하도록 한다.

이와 같은 구성은 종래와는 달리 상기 연장된 액티브 영역(J)에 의해 드레인 전극(142)의 하부에 구성된 게이트 절연막(미도시)이 식각되는 것을 방지할 수 있기 때문에 화소전극(152)이 단선 되는 불량을 방지할 수 있다.

이하, 도 6a 내지 도 6d와 도 7a 내지 도 7d를 참조하여 본 발명의 공정순서에 따른 액정표시장치용 어레이기판의 제조방법을 설명한다.

도 6a 내지 도 6d는 도 5의 D를 확대하여 종래의 공정순서에 따라 도시한 공정 평면도이고, 도 7a 내지 도 7d는 상기 도 6a 내지 도 6d를 각각 Ⅶ-Ⅶ`를 따라 절단한 단면도이다.

먼저, 도 6a와 도 7a에 도시한 바와 같이, 투명한 절연 기판(100)상에 제 1 금속층을 형성한 후 제 1 마스크 공정으로, 게이트 배선(112)과 게이트 전극(114)을 형성한다.

상기 게이트 전극물질은 알루미늄(Al), 알루미늄 합금, 몰리브덴(Mo), 텅스텐(W), 크롬(Cr)과 같은 다양한 도전성 금속을 사용할 수 있으며 특히, 알루미늄(Al)과 알루미늄 합금을 사용할 경우에는 몰리브덴(Mo)이나 크롬(Cr)등을 사용하여 이중 층으로 구성한다.

상기 게이트 배선(112)과 게이트 전극(114)이 형성된 기판(100)의 전면에 제 1 절연막인 게이트 절연막(116)과, 순수 비정질 실리콘층(118)과, 불순물 비정질 실리콘층(120)과, 제 2 금속층(124)을 적층한다.

이때, 상기 제 1 절연막(116)은 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 유기절연 물질 그룹 중 선택된 하나를 증착하여 형성하며, 상기 제 2 금속층(124)은 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 탄탈륨(Ta) 등의 도전성 금속물질 중 선택된 하나를 증착하여 형성한다.

다음으로, 도 6b와 7b에 도시한 바와 같이, 상기 제 2 금속층(124)이 형성된 기판(100)의 전면에 포토레지스트(photo-resist:이하 'PR'층 이라함)를 도포하여 PR층(126)을 형성한다. 이때, 상기 PR층(126)은 빛을 받은 부분이 노광되어 현상되는 포지티브형(positive type)을 사용하는 것으로 한다.

상기 PR층(126)이 형성된 기판(122)의 상부에 투과영역(A)과 차단영역(B)과 슬릿영역인 반투과 영역(C)으로 구성된 마스크(150)를 위치시킨다.

상기 반투과 영역(C)은 상기 게이트 전극(114)의 상부의 일부 영역에 대응하여 위치하도록 한다. 이때, 상기 반투과 영역(C)에 대응하는 PR층(126)은 상기 투과영역(A)에 비해 일부분만 노광된다.

연속하여, 상기 마스크(150)의 상부로 빛을 조사하는 노광공정(exposure)과, 노광된 부분을 제거하는 현상공정(develop)을 진행한다.

상기 게이트 전극의 상부에는 서로 다른 두께를 가지는 PR 패턴(126)이 형성된다.(이때, 도 6b에는 도면의 이해를 위해 PR패턴을 도시하지 않는다.)

상기 PR패턴(126)중 두께가 얇은 부분은 상기 마스크(150)의 반투과 영역(C)에 대응된 부분이다.

연속하여, 상기 패턴된 PR층(126) 사이로 노출된 제 2 금속층(124)을 습식식각 방식으로 식각한 후, 하부의 불순물 비정질 실리콘층(120)과 순수 비정질 실리콘층(118)을 건식식각을 통해 제거하는 공정을 진행하여, 상기 게이트 전극(114)의 상부에 소스/드레인전극 패턴(128)을 형성하고, 상기 소스/드레인 전극패턴(128)에서 일 방향으로 연장된 데이터 배선(138)을 형성한다.

동시에, 상기 순수 비정질 실리콘층과 불순물 비정질 실리콘층은 상기 소스/드레인 전극패턴(128)과 데이터 배선(138)의 하부에 동일한 형상으로 패턴 되는데 특히, 상기 소스/드레인 전극 패턴(128)의 하부에 구성된 층 중 순수 비정질 실리콘층은 액티브층(132)이라 하고, 그 상부의 불순물 비정질 실리콘층은 오믹 콘택층(130)이라 한다.

연속하여, 도시하지는 않았지만 상기 포토레지스트 패턴(126)의 일부를 제거하는 애싱공정(ashing processing)을 진행하여, 상기 얇은 두께로 패턴된 PR층의 일부를 제거하여 하부의 소스/드레인전극 패턴(128)의 일부를 노출하는 공정을 진행한다.

상기 애싱공정 중, 상기 PR패턴(126)의 주변도 제거되어 그 하부의 금속패턴 과 오믹 콘택층(132) 또한 제거된다.

전술한 공정으로 도 3c와 4c에 도시한 바와 같이, 노출된 소스/드레인 전극패턴의 일부와 그 하부의 오믹 콘택층(130)을 제거하는 공정으로, 서로 이격된 소스 및 드레인 전극(140,142)을 형성함과 동시에, 상기 드레인 전극(142)의 일측은 하부의 액티브층(132)이 연장되어 형성된 형상이다.

상기 소스 및 드레인 전극(140,142) 사이의 이격된 영역(E)과, 상기 드레인 전극 일 측의 연장 영역(J)은 상기 마스크(도 7b의 150) 중 반투과 영역(C)에 대응하는 영역이다.

이때, 상기 소스 전극(140)은 'U'형상으로 구성하고, 상기 드레인 전극(142)은 일부가 상기 소스 전극(142)의 내부에 소정간격 이격 되도록 구성한다.

이와 같은 구성은 상기 소스 전극(140)과 드레인 전극(142)사이의 채널 길이는 짧게 하고, 채널 폭은 넓게 하여 전하의 이동도(mobility)를 개선할 수 있는 구성이다.

전술한 바와 같은 제 2 마스크 공정으로, 소스 및 드레인 전극(140,142)과 액티브층(132)과 오믹 콘택층(130)과 데이터 배선(318)을 형성할 수 있다.

다음으로, 상기 소스 및 드레인 전극(140,142)이 형성된 기판(100)의 전면에 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 투명한 유기절연물질 그룹 또는 질화 실리콘(SiN_X)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 보호막(146)을 형성한다.

상기 보호막(146)을 제 3 마스크 공정으로 패턴하여, 상기 드레인 전극(142)의 일부를 노출하는 드레인 콘택홀(148)을 형성한다.

이때, 상기 드레인 콘택홀(148)을 상기 드레인 전극(142)의 측면과, 상기 드레인 전극(142)이 일측 하부에서 연장된 액티브 영역(J)에 걸쳐 형성된다.

따라서, 종래와는 달리 상기 드레인 콘택홀(148)을 형성하는 동안 하부의 게이트 절연막(116)이 식각되는 경우는 발생하지 않는다.

다음으로, 도 6d와 7d에 도시한 바와 같이, 상기 보호막(146)의 상부에 인듐-틴-옥사이드(ITO)와, 인듐-징크-옥사이드(IZO)를 포함한 투명한 유기절연물질 그룹 중 선택된 하나를 증착하고 패턴하여, 상기 드레인 전극(142)과 접촉하는 화소 전극(152)을 형성한다.

이때, 상기 화소 전극(150)은 상기 드레인 전극(142)의 측면 단차(G)에 단선 되는 불량이 발생하지 않는다.

전술한 바와 같은 공정을 통해 본 발명의 4 마스크 공정으로 액정표시장치용 어레이기판을 제작할 수 있다.

발명의 효과

전술한 바와 같은 본 발명의 4 마스크 공정으로 어레이기판을 제작하게 되면, 상기 드레인 전극의 일측 단차에 의해 화소전극이 단선되는 불량을 방지할 수 있으므로 제품의 수율을 개선할 수 있다.

(57) 청구의 범위

청구항 1.

기판 상에 서로 교차하여 화소영역을 정의하는 데이터 배선과 게이트 배선과;

상기 게이트 배선과 데이터 배선의 교차지점에 구성되고, 게이트 전극과 소스 및 드레인 전극을 포함하는 박막트랜지스터와;

상기 소스 및 드레인 전극의 하부와 상기 데이터 배선의 하부에 구성되고, 상기 드레인 전극의 일 측으로 연장된 액티브층과;

상기 드레인 전극과 상기 연장된 액티브층에 걸쳐 구성된 콘택홀을 포함하는 보호막과;

상기 콘택홀을 통해 상기 드레인 전극과 접촉하면서 화소영역에 구성된 투명 화소전극

을 포함하는 액정표시장치용 어레이기판.

청구항 2.

제 1 항에 있어서,

상기 액티브층은 순수 비정질 실리콘(a-Si:H)으로 구성된 액정표시장치용 어레이기판.

청구항 3.

제 1 항에 있어서,

상기 액티브층과 상기 소스 및 드레인 전극과 데이터 배선 사이에는 오믹 콘택층이 더욱 구성된 액정표시장치용 어레이기판.

청구항 4.

제 3 항에 있어서,

상기 오믹 콘택층은 불순물 비정질 실리콘(n+a-Si:H)으로 구성된 액정표시장치용 어레이기판.

청구항 5.

제 1 항에 있어서,

상기 소스 전극은 'U'형상으로 구성하고, 상기 화소 전극과 접촉하지 않는 드레인 전극의 일부는 상기 소스 전극 내에 소정간격 이격되어 구성된 액정표시장치용 어레이기판.

청구항 6.

기판 상에 제 1 금속층을 제 1 마스크 공정으로 패턴하여, 게이트 배선과 게이트 전극을 형성하는 단계와;

상기 게이트 배선과 게이트 전극이 형성된 기판의 전면에 제 1 절연막과 순 수 비정질 실리콘층과 불순물 비정질 실리콘층과 제 2 금속층과 포토레지스트층를 적층하는 단계와;

상기 PR층이 적층된 기판에 소스 및 드레인 영역을 정의하는 단계와;

상기 소스 및 드레인 영역이 정의된 PR층의 상부에 투과영역과 차단영역과 반투과 영역으로 구성되고, 상기 반투과 영역은 상기 소스 및 드레인 영역의 사이 영역과, 상기 드레인 영역의 일측과 근접한 영역에 대응하도록 구성된 마스크와;

상기 마스크의 상부로 빛을 조사하는 노광공정과, 연속한 현상공정을 진행하여, 단차를 가지는 PR패턴을 형성하는 단계와;

상기 PR패턴 사이로 노출된 금속층과 그 하부의 불순물 비정질 실리콘층과 그 하부의 순수 비정질 실리콘층을 제거하여, 소스/드레인 전극패턴과, 이에 연장된 데이터 배선을 형성하는 단계와;

상기 단차진 PR패턴 중 애싱공정을 통해 얇은 층을 제거하여 하부의 소스/드레인 전극패턴을 노출하는 단계와;

상기 노출된 소스/드레인 전극 패턴과 그 하부의 불순물 비정질 실리콘층을 식각하여, 서로 이격된 소스 및 드레인 전극을 형성하는 동시에, 상기 소스 및 드레인 전극과 데이터 배선의 하부에 위치하고, 일부는 상기 드레인 전극의 일측으로 연장된 액티브층을 형성하는 단계와;

상기 소스 및 드레인 전극과 데이터 배선 등이 형성된 기판의 전면에 제 2 절연막인 보호막을 형성하는 단계와;

제 3 마스크 공정으로 상기 보호막을 패턴하여, 상기 드레인 전극의 일측에 서 상기 연장된 액티브층에 걸쳐 구성된 드레인 콘택홀을 형성하는 단계와;

제 4 마스크 공정으로, 상기 드레인 콘택홀을 통해 드레인 전극과 접촉하는 투명한 화소전극을 형성하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 7.

제 6 항에 있어서,

상기 액티브층은 순수 비정질 실리콘(a-Si:H)으로 형성한 액정표시장치용 어레이기판 제조방법.

청구항 8.

제 6 항에 있어서,

상기 액티브층과 상기 소스 및 드레인 전극과 데이터 배선 사이에는 오믹 콘택층이 더욱 형성된 액정표시장치용 어레이기판 제조방법.

청구항 9.

제 6 항에 있어서,

상기 오믹 콘택층은 불순물 비정질 실리콘(n+a-Si:H)으로 형성된 액정표시장치용 어레이기판 제조방법.

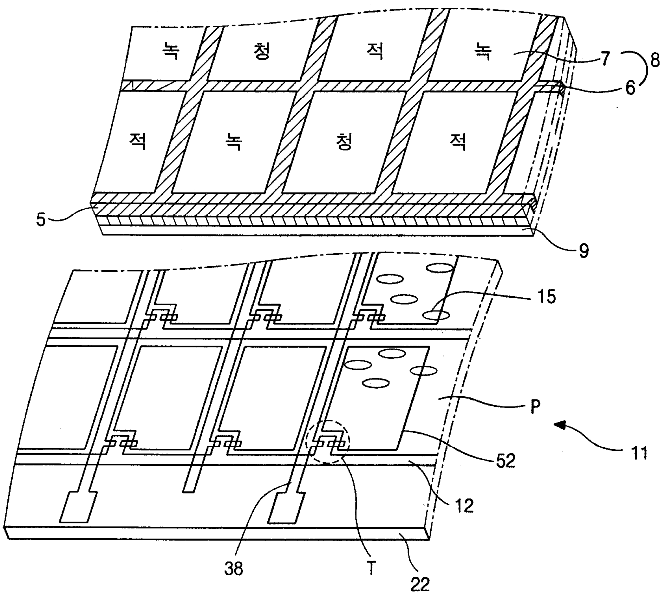
청구항 10.

제 6 항에 있어서,

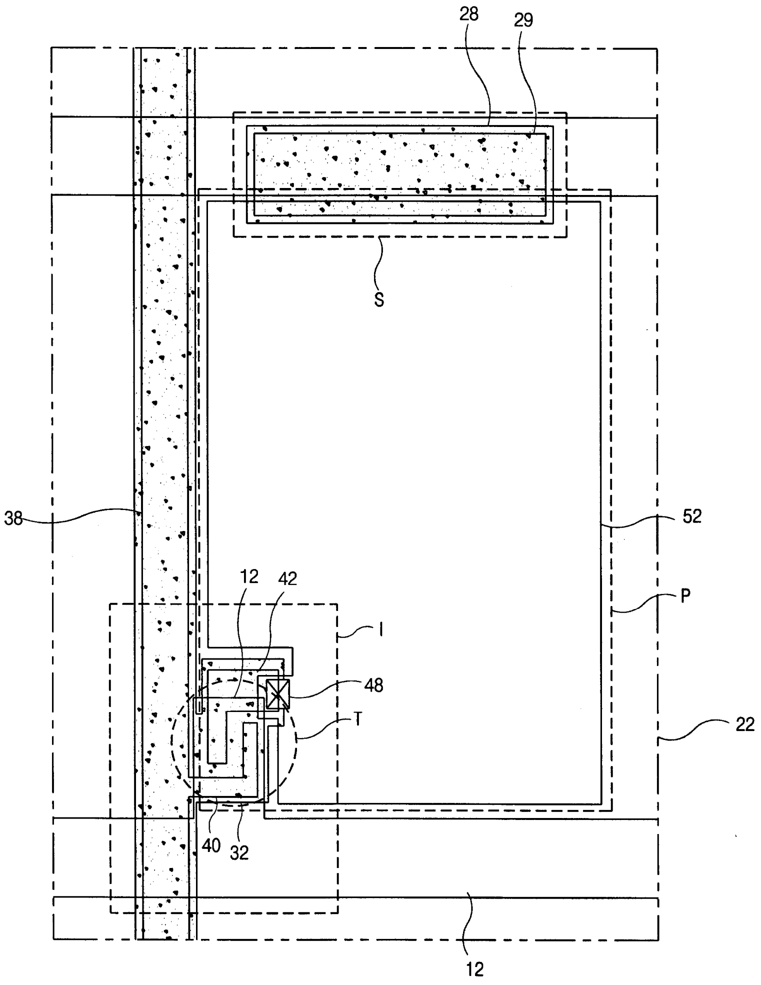
상기 소스 전극은 'U'형상으로 구성하고, 상기 화소 전극과 접촉하지 않는 드레인 전극의 일부는 상기 소스 전극 내에 소정간격 이격되어 형성된 액정표시장치용 어레이기판 제조방법.

도면

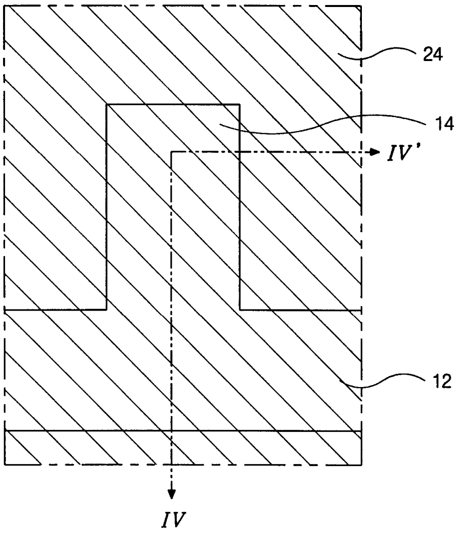
도면1


녹
청
적
녹
7
8
6
적
녹
청
적
5
9
15
P
52
11
12
38
T
22

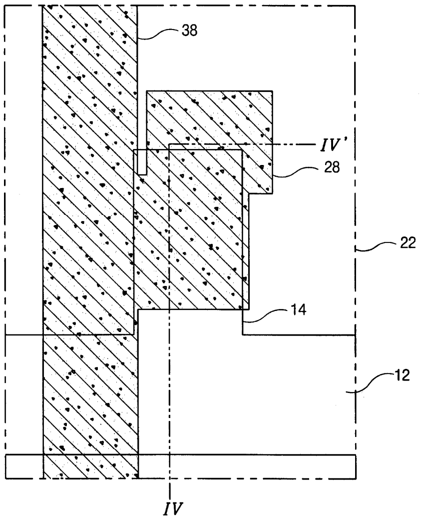
도면2


28
29
S
38
52
12
42
I
P
48
T
22
40
32
12

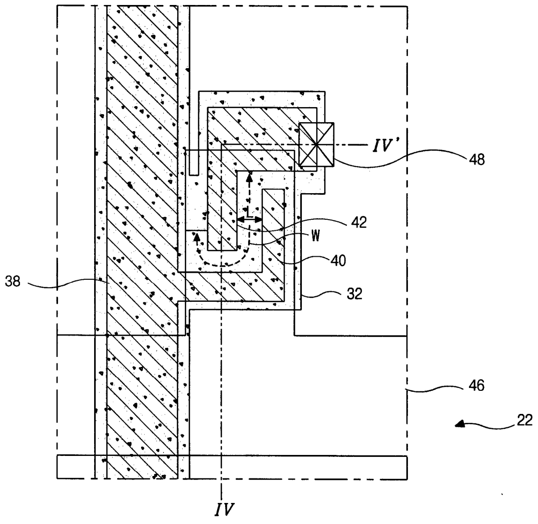
도면3a



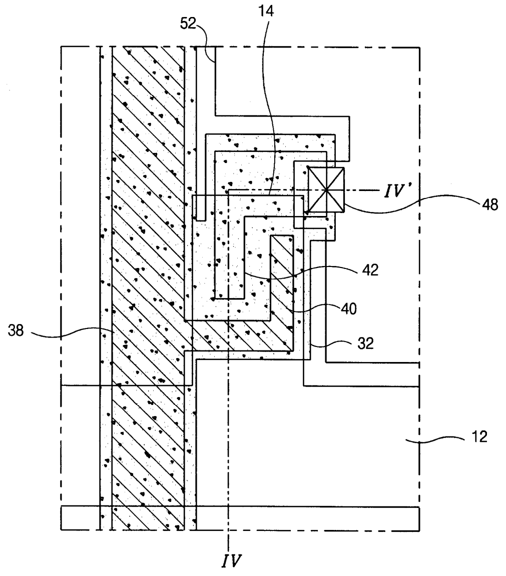
도면3b



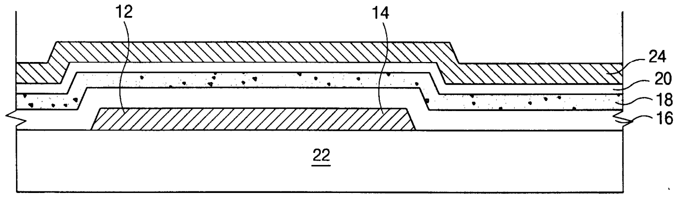
도면3c



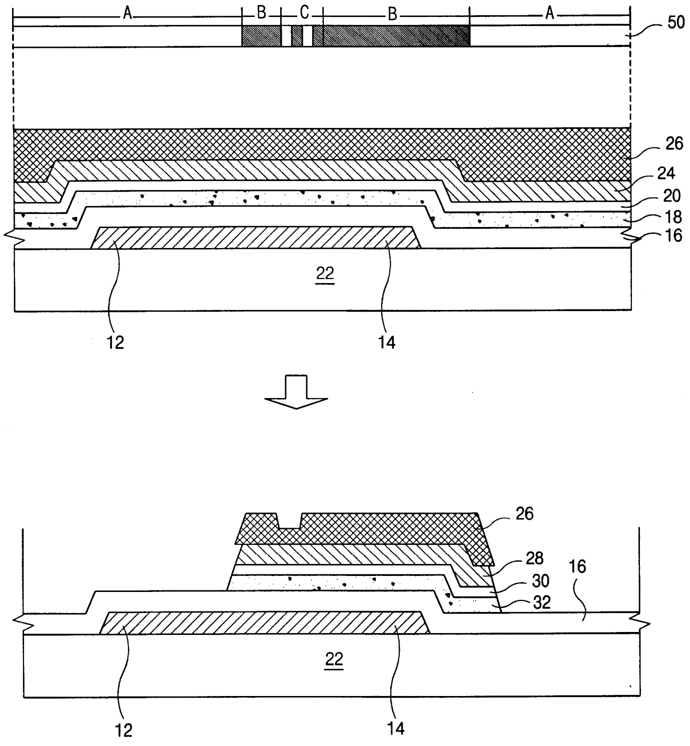
도면3d



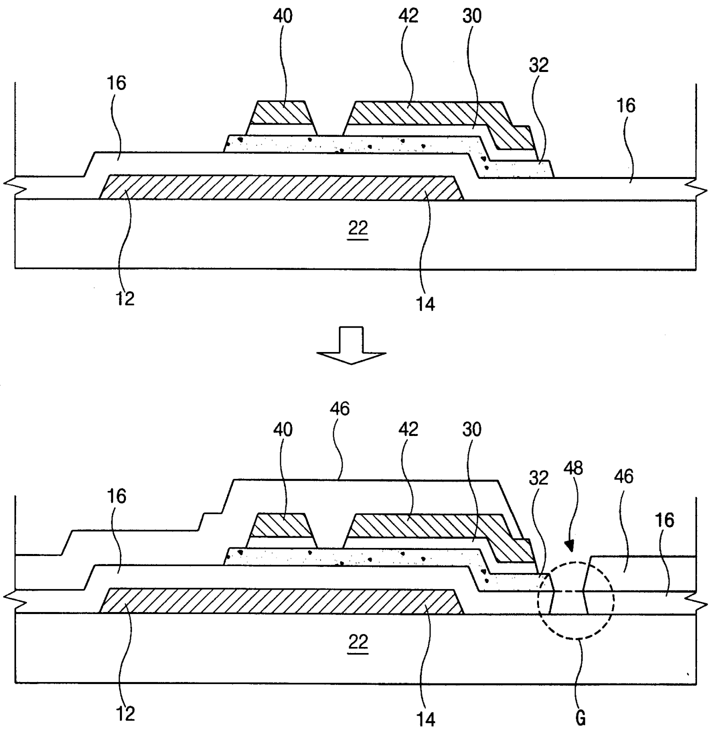
도면4a



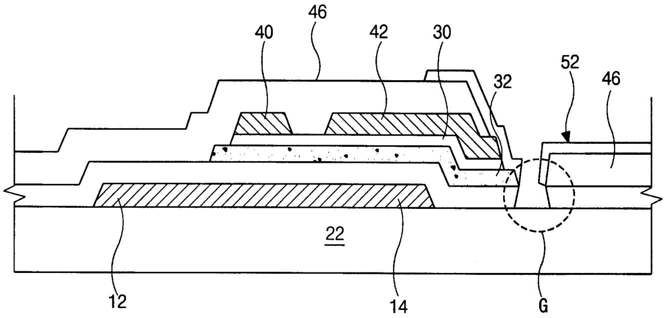
도면4b



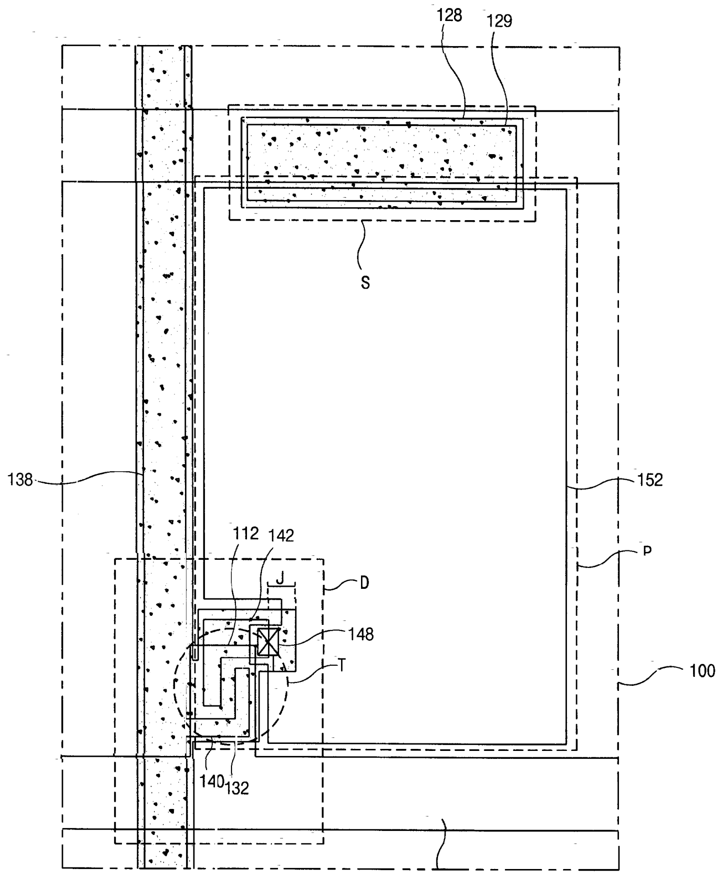
도면4c


40
42
30
32
16
16
22
12
14
46
40
42
30
32
48
46
16
16
22
12
14
G

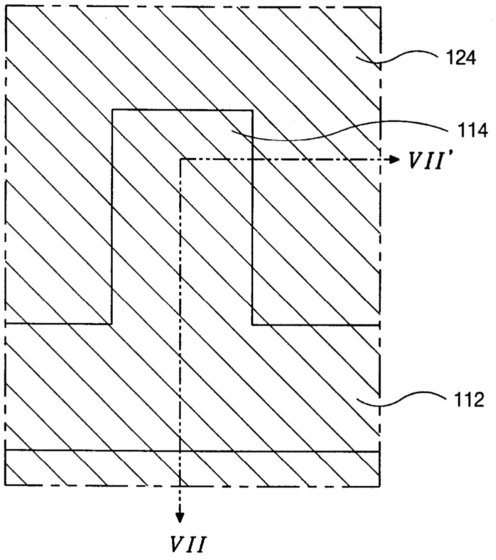
도면4d


46
40
42
30
32
52
46
22
12
14
G

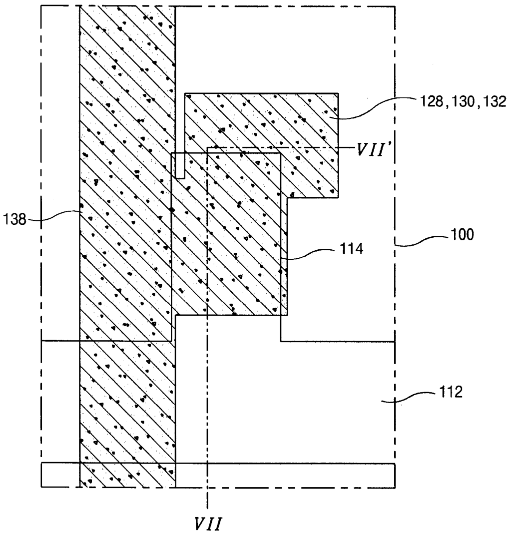
도면5


128
129
S
138
152
P
112
142
J
D
148
T
100
140
132

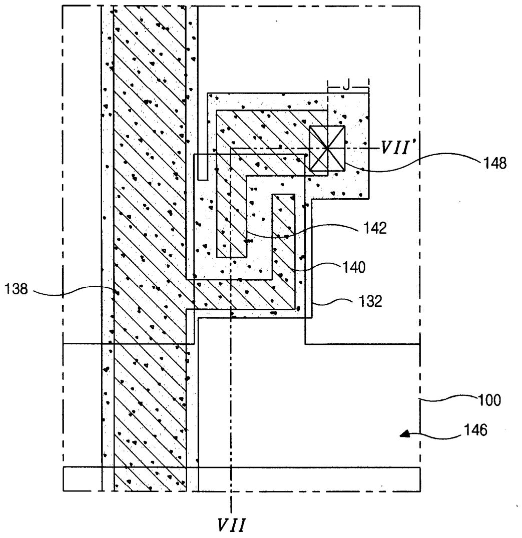
도면6a


124
114
VII'
112
VII

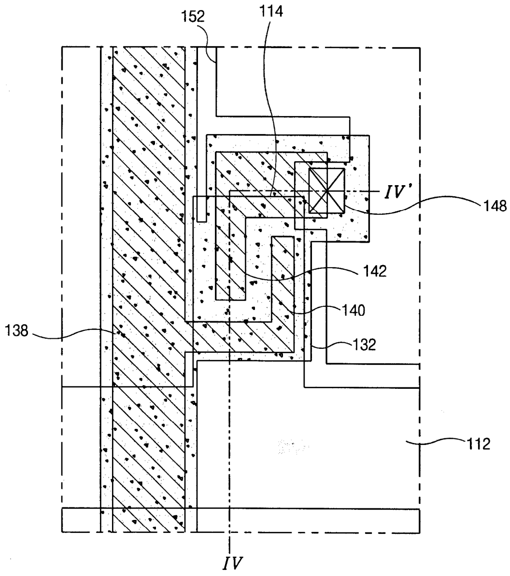
도면6b



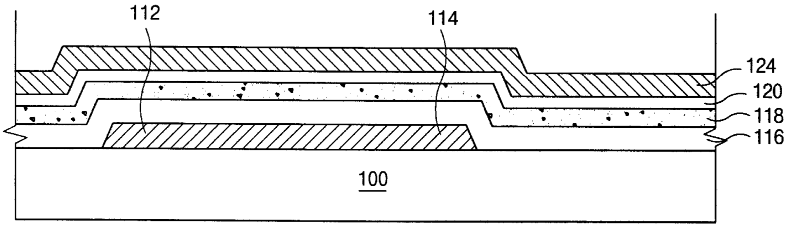
도면6c



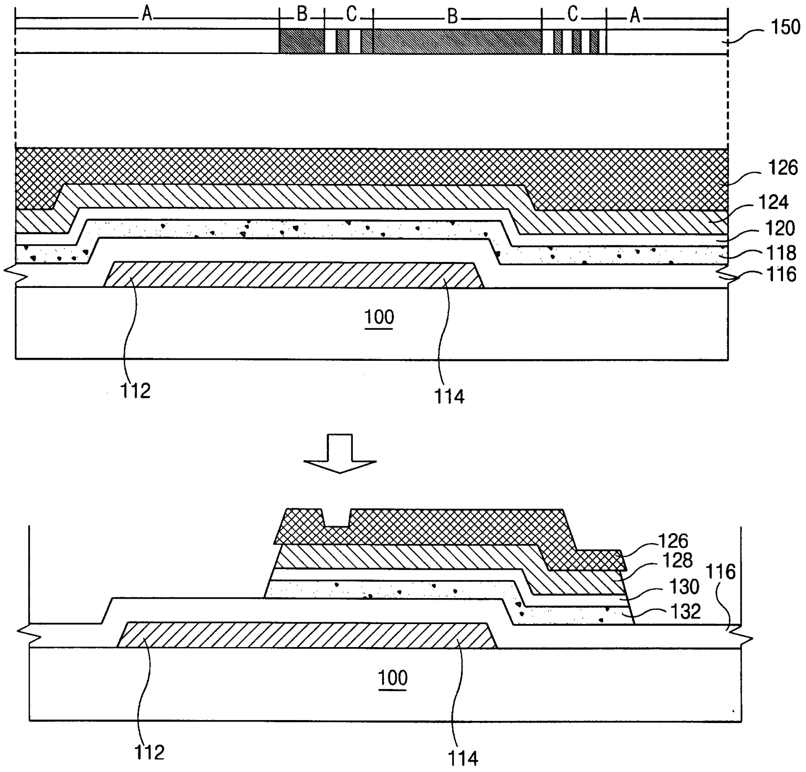
도면6d



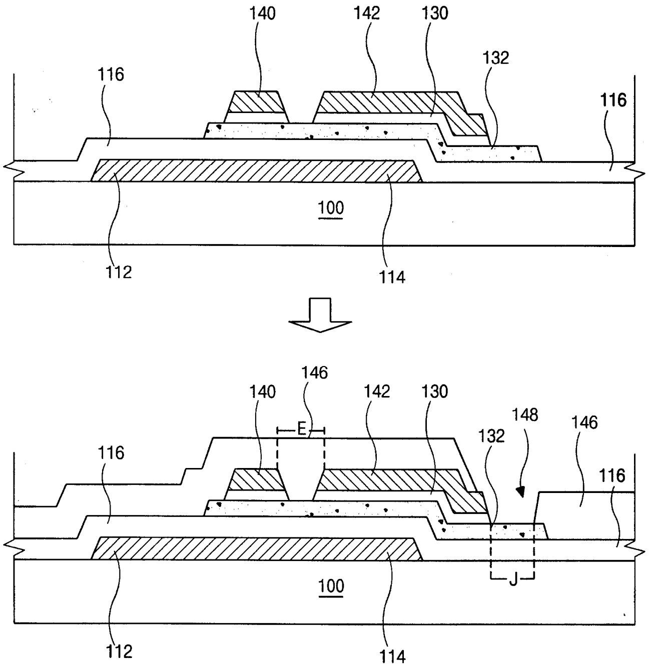
도면7a



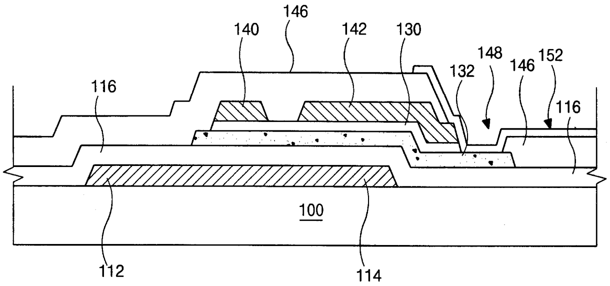
도면7b



도면7c



도면7d



专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR1020030080373A	公开(公告)日	2003-10-17
申请号	KR1020020018961	申请日	2002-04-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI BYEONGDAE		
发明人	CHOI,BYEONGDAE		
IPC分类号	G02F1/136 G02F1/1362 H01L29/786 G02F1/1368		
CPC分类号	G02F1/136286 G02F1/136227		
其他公开文献	KR100480333B1		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器，尤其涉及液晶显示器件阵列基板的制作方法。在由传统的4掩模工艺制成的阵列面板中是漏电极的一侧，利用阶梯式滑轮产生了像素电极被打开的故障，其中下部的栅极绝缘层被过蚀刻并且显示出来。向上。为了解决这个问题，提出了在像素电极和漏电极的接触区域中延伸有源层并形成的本发明的配置。这种配置可以防止漏电极下部的栅极绝缘层被蚀刻。因此，可以阻止像素电极打开的故障。