(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G02F 1/136

(11) 공개번호 특2002-0024466
(43) 공개일자 2002년03월30일

(21) 출원번호 10-2000-0056225
(22) 출원일자 2000년09월25일

(71) 출원인 엘지.필립스 엘시디 주식회사
구본준, 론 위라하디락사
서울 영등포구 여의도동 20번지

(72) 발명자 하용민
경상북도구미시도량2동77파크맨션201동1001호

(74) 대리인 정원기

심사청구 : 있음

(54) 액정 표시 장치용 어레이 기판 및 그의 제조 방법

요약

액정 표시 장치용 어레이 기판에서 화소 전극과 상기 화소 전극에 신호를 인가하는 게이트 배선 사이의 기생용량을 감소시키기 위해서는 일정 간격을 가지도록 형성해야 한다. 그러나, 이러한 경우 이 부분에 위치하는 액정 분자들에 의해 빛이 왜곡되므로 이를 방지하기 위해 블랙 매트릭스로 가려야 하고 이는 액정 표시 장치의 개구율을 감소시키게 된다.

본 발명에서는 스토리지 캐패시터가 각 화소 영역에 독립적으로 형성되어 있는 구조로, 각 화소 전극을 스토리지 캐패시터 상부에서 분할되도록 한다. 이를 위해, 화소 전극이 n번째 행 스토리지 캐패시터의 일부 및 n-1번째 행 스토리지 캐패시터의 일부와 겹쳐지도록 한다. 이때, 화소 전극은 화소 전극에 신호를 인가하는 n번째 게이트 배선과는 중첩되지 않고, n-1번째 게이트 배선과 중첩된다. 따라서 기생용량을 감소시키고 개구율을 향상시키며, 스토리지 캐패시턴스를 증가시킬 수 있다.

대표도
도 4

색인어
개구율, 기생용량, 스토리지 캐패시터

명세서

도면의 간단한 설명

도 1은 종래의 액정 표시 장치용 박막 트랜지스터 기판에 대한 평면도.

도 2는 도 1에서 Ⅱ-Ⅱ′ 선을 따라 자른 단면도.

도 3a 내지 도 3d는 종래의 박막 트랜지스터 기판에 대한 제조 공정을 도시한 것으로서, 도 1의 Ⅱ-Ⅱ′ 선에 해당하는 단면도.

도 4는 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 평면도.

도 5는 도 4에서 Ⅴ-Ⅴ′ 선을 따라 자른 단면도.

도 6은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판에 대한 제조 공정도

도 7은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 평면도.

도 8은 도 7에서 Ⅶ-Ⅶ′ 선을 따라 자른 단면도.

도 9는 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 평면도.

도 10은 도 9에서 Ⅹ-Ⅹ′ 선을 따라 자른 단면도.

도 11은 본 발명의 제4 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 평면도.

도 12는 도 11에서 ⅩⅡ-ⅩⅡ′ 선을 따라 자른 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

131 : 액티브층 135 : 스토리지부

155 : 스토리지 전극 151a, 151b : 게이트 배선

171 : 데이터 배선 191a, 191b : 화소 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치용 어레이 기판 및 그의 제조 방법에 관한 것이다.

최근 정보화 사회로 시대가 급발전함에 따라 박형화, 경량화, 저 소비전력화 등의 우수한 특성을 가지는 평판 표시장치(plate panel display)의 필요성이 대두되었는데, 그 중 액정 표시 장치(liquid crystal display)가 활발하게 개발되고 있다.

일반적으로 액정 표시 장치는 전계 생성 전극이 각각 형성되어 있는 두 기판을 두 전극이 형성되어 있는 면이 마주 대하도록 배치하고 두 기판 사이에 액정 물질을 삽입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 액정 분자를 움직임으로써 빛의 투과율에 따라 화상을 표현하는 장치이다.

액정 표시 장치의 하부 기판은 스위칭 소자인 박막 트랜지스터를 포함하는데, 일반적으로 박막 트랜지스터에 사용되는 액티브층은 비정질 실리콘(amorphous silicon ; a-Si:H)이 주류를 이루고 있다. 이는 비정질 실리콘이 저온에서 저가의 유리 기판과 같은 대형 기판 상에 형성하는 것이 가능하기 때문이다.

한편, 근래에 들어 다결정 실리콘(poly-Si)을 사용하는 박막 트랜지스터를 채용한 액정 표시 장치가 연구 및 개발되고 있다. 이러한 다결정 실리콘은 비정질 실리콘에 비해 전계효과 이동도가 100 내지 200 배 정도 더 크므로 응답 속도가 빠르고, 온도와 빛에 대한 안정성이 우수하다. 또한, 구동회로를 동일 기판 상에 형성할 수 있는 장점이 있다.

이하, 첨부한 도면을 참조하여 이러한 다결정 실리콘을 이용한 박막 트랜지스터 어레이 기판 및 그의 제조 방법에 대하여 설명한다.

도 1 및 도 2에 도시한 바와 같이, 기판(10) 위에 실리콘 산화막과 같은 물질로 이루어진 완충층(buffer layer ; 20)이 형성되어 있다.

완충층(20) 위에는 다결정 실리콘으로 이루어진 박막 트랜지스터의 액티브층(31)과 소스 및 드레인 영역(32, 33) 그리고 스토리지부(35)가 형성되어 있다. 여기서, 소스 및 드레인 영역(32, 33)과 스토리지부의 가장자리 부분(35b, 35c)은 불순물로 도핑되어 있다.

박막 트랜지스터의 액티브층(31)과 스토리지부의 액티브층(35a) 상부에는 실리콘 산화막이나 실리콘 질화막으로 이루어진 게이트 절연막(40)이 형성되어 있고, 그 위에 게이트 전극(52)과 스토리지 전극(55)이 각각 형성되어 있다. 게이트 전극(52)은 가로 방향을 가지는 게이트 배선(51a, 51b)과 각각 연결되어 있다.

게이트 전극(52)과 스토리지 전극(55) 위에는 층간 절연막(60)이 형성되어 있어 이들을 덮고 있다. 층간 절연막(60)은 게이트 절연막(40)과 마찬가지로 실리콘 산화막이나 실리콘 질화막 중의 어느 하나로 형성할 수 있으며, 소스 및 드레인 영역(32, 33)을 각각 드러내는 제1 및 제2 콘택홀(61, 62)을 가지고 있다.

층간 절연막(60) 상부에는 금속과 같은 도전 물질로 데이터 배선(71)과 소스 및 드레인 전극(72, 73)이 형성되어 있다. 여기서, 데이터 배선(71)은 게이트 배선(51a, 51b)과 직교하고, 소스 전극(72)은 데이터 배선(71)에서 연장되어 있으며, 드레인 전극(73)은 게이트 전극(52)을 중심으로 소스 전극(72)과 마주 대하고 있다. 소스 및 드레인 전극(72, 73)은 콘택홀(61, 62)을 통해 각각 소스 및 드레인 영역(32, 33)과 연결되어 있다.

이어, 보호층(80)이 기판(10) 전면에 걸쳐 형성되어 있고, 보호층(80)은 드레인 전극(73)을 드러내는 제3 콘택홀(81)을 가진다.

보호층(80) 상부에는 제3 콘택홀(81)을 통해 드레인 전극(73)과 연결되어 있으며, 투명 도전 물질로 이루어진 화소 전극(91)이 형성되어 있다.

여기서, 스토리지 캐패시터(storage capacitor)가 화소 영역 내에 독립적으로 형성되어 있는 구조로서 스토리지부(35)는 스토리지 전극(55)과 함께 스토리지 캐패시터를 이루는데, 스토리지부(35)의 액티브층(35a)이 항상 켜져(turn on) 있도록, 스토리지 전극(55)에 바이어스(bias)를 인가한다.

이러한 액정 표시 장치용 박막 트랜지스터 어레이 기판의 제조 방법에 대하여 도 3a 내지 도 3d와 앞서의 도 2를 참조하여 상세히 설명한다.

먼저, 도 3a에 도시한 바와 같이 기판(10) 위에 실리콘 산화막으로 완충층(20)을 형성하고 다결정 실리콘층(30)을 형성한 후 패터닝한다.

다결정 실리콘층(30)의 형성은 비정질 실리콘 박막에 기판 온도를 250℃ 정도로 가열하면서 엑시머 레이저를 가해서 성장시키는 레이저 열처리 방법과, 비정질 실리콘 상에 금속을 증착하여 금속을 씨드로 다결정 실리콘을 형성하는 금속

유도 결정화(metal induced crystallization : MIC) 방법, 비정질 실리콘을 고온에서 장시간 열처리하여 형성하는 고상 결정화(solid phase crystallization : SPC) 방법, 그리고 기판 상에 직접 다결정 실리콘을 증착하는 방법 등이 사용된다.

그러므로, 여기서 다결정 실리콘층(30)의 형성은 비정질 실리콘층을 증착하고 이를 재결정화함으로써 이루어질 수 있는데, 완충층(20)은 비정질 실리콘층을 다결정 실리콘층(30)으로 재결정화하는 과정에서 발생하는 열에 의해 기판(10)의 내부에 존재하는 알카리 이온(예를 들면, K+, Na+ 등)에 의한 다결정 실리콘층(30)의 막질 특성 저하를 방지하기 위한 것이다.

이어, 도 3b에 도시한 바와 같이 실리콘 산화막이나 실리콘 질화막과 같은 절연막과 금속층을 차례로 증착한 다음, 금속층 및 절연막을 패터닝하여 다결정 실리콘층(30) 상부에 게이트 전극(52)과 스토리지 전극(55) 및 그 하부의 게이트 절연막(40)을 각각 형성한다. 다음, 게이트 전극(52)과 스토리지 전극(55)에 의해 드러난 다결정 실리콘층(30)에 이온 도핑(ion doping)을 실시한다.

여기서, 다결정 실리콘층(30)에 이온 도핑을 하는 이유는 이후 공정에서 형성될 소스 및 드레인 전극(72, 73)과 다결정 실리콘층(30)과의 접촉 저항을 낮추면서 다결정 실리콘층(30)에 전기적인 특성을 부여하기 위한 것이다.

즉, 다결정 실리콘층(30)에 이온 도핑을 하면 불순물 영역(32, 33, 35b, 35c)과 진성영역(31, 35a)의 두 가지 형태의 영역이 형성되는데, 불순물 영역(32, 33)은 각각 소스 및 드레인 영역이 되고 진성 영역(31)은 박막 트랜지스터의 액티브층이 된다.

이온 도핑은 3족 내지 5족의 원소가 포함된 가스를 이용하며, 소스 및 드레인 영역(32, 33)에 5족 원소가 도핑되면 n-형 반도체가, 3족 원소가 도핑되면 p-형 반도체가 형성된다.

다음, 도 3c에 도시한 바와 같이 실리콘 산화막이나 실리콘 질화막으로 층간 절연막(60)을 형성하고 패터닝하여 소스 및 드레인 영역(32, 33)을 각각 드러내는 제1 및 제2 콘택홀(61, 62)을 형성한다. 여기서, 층간 절연막(60)은 게이트 전극(52)과 스토리지 전극(55)을 완전히 덮게 되어 이후 형성되는 소스 및 드레인 전극(72, 73)과 절연시키는 기능을 한다.

이어, 도 3d에 도시한 바와 같이 금속과 같은 물질을 증착하고 패터닝하여 데이터 배선(71)과 소스 및 드레인 전극(72, 73)을 형성한다. 이때, 데이터 배선(71)은 게이트 배선(51a, 51b)과 직교하며, 소스 및 드레인 전극(72, 73)은 제1 및 제2 콘택홀(61)을 통해 소스 및 드레인 영역(32, 33)과 각각 접촉하도록 한다.

다음, 도 2에 도시한 바와 같이 소스 및 드레인 전극(72, 73)이 형성되어 있는 기판(10) 상의 전면에 걸쳐 보호막(80)을 형성하고 패터닝하여 드레인 전극(73)을 드러내는 제3 콘택홀(81)을 형성하고, 그 위에 투명 도전 물질로 화소 전극(91)을 형성한다. 화소 전극(91)은 게이트 배선(51a, 51b)과 데이터 배선(71)에 의해 정의되는 화소영역에 형성되며, 제3 콘택홀(81)을 통해 드레인 전극(73)과 연결된다.

이러한 액정 표시 장치용 박막 트랜지스터 어레이 기판에서 화소 전극(91)은 개구율을 향상시키기 위해 도 1에서와 같이 전단 게이트 배선(51b) 및 데이터 배선(71)과 중첩되도록 형성하지만, 자기단 게이트 배선(51a)과는 커플링(coupling)을 최소화하기 위해 일정 간격을 가지도록 형성한다. 화소 전극(91)과 자기단 게이트 배선(51a)과의 간격을 2 내지 3 ㎛로 둠으로써 화소 전극(91)과 자기단 게이트 배선(51a) 간의 기생 용량을 감소시켜, 화질을 균일하게 하고 크로스-토크(cross-talk)를 줄일 수 있다. 그러나, 이와 같은 경우 이후 자기단 게이트 배선(51a)과 화소 전극(91) 사이에서 제어되지 않는 액정 분자들에 의해 빛이 왜곡되므로 상부 기판의 블랙 매트릭스로 이 부분을 가려 이러한 문제를 해결할 수 있는데, 이는 액정 표시 장치의 개구율을 감소시키고 나아가 소비 전력을 향상시키게 된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 액정 표시 장치의 개구율을 향상시키고 화질을 개선할 수 있는 어레이 기판 및 그의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

본 발명의 목적을 달성하기 위한 본 발명에 따른 액정 표시 장치용 어레이 기판에서는 절연 기판 상부에 N(N은 정수)개의 게이트 배선과, M(M은 정수)개의 데이터 배선이 형성되어 있다. 이러한 N개의 게이트 배선과 M개의 데이터 배선에 의해 N×M개의 화소 영역이 정의된다. 이어, 각 게이트 배선과 평행한 전극으로 이루어진 N×M개의 스토리지 캐패시터, 그리고 각 게이트 배선 및 데이터 배선과 연결된 스위칭 소자가 형성되어 있다. 다음, n(1≤n≤N)번째 행 스토리지 캐패시터의 일부 및 n-1번째 행 스토리지 캐패시터의 일부와 겹쳐지는 화소 전극이 형성되어 있다.

여기서, 스위칭 소자는 액티브층을 포함하는데, 액티브층은 다결정 실리콘으로 이루어질 수 있다.

이때, 스토리지 캐패시터를 이루는 제1 전극은 게이트 배선과 동일한 물질로 이루어질 수 있고, 스토리지 캐패시터를 이루는 제2 전극은 상기 액티브층과 동일한 물질로 이루어질 수도 있다.

한편, 스위칭 소자의 액티브층은 비정질 실리콘으로 이루어질 수도 있는데, 이 경우 스토리지 캐패시터를 이루는 제1 전극은 게이트 배선과 동일한 물질로 이루어지고, 스토리지 캐패시터를 이루는 제2 전극은 데이터 배선과 동일한 물질로 이루어질 수도 있다.

본 발명에 따른 액정 표시 장치용 어레이 기판의 제조 방법에서는 절연 기판을 구비하고, 기판 상부에 제1 절연막을 증착한다. 이어, 제1 절연막 상부에 다결정 실리콘층을 형성하고 패터닝한 다음, 패터닝된 다결정 실리콘층 위에 제2 절연막과 금속층을 차례로 증착하고 패터닝하여 게이트 배선과 게이트 전극 및 캐패시터 전극을 형성한다. 다음, 게이트 전극과 스토리지 캐패시터 전극에 의해 드러난 다결정 실리콘층에 이온 도핑을 실시한다. 이어, 도핑된 다결정 실리콘층을 포함하는 기판 전면에 제3 절연막을 증착하고 패터닝하여 도핑된 다결정 실리콘층을 드러내는 콘택홀을 형성한 후, 콘택홀을 통해 도핑된 다결정 실리콘층과 연결되어 있는 데이터 배선 및 연결 전극을 형성한다. 다음, 데이터 배선과 연결 전극 상부에 제4 절연막을 형성하고 패터닝하여 연결 전극을 드러낸다. 이어, 연결 전극과 접촉하고 캐패시터 전극의 일부와 중첩하도록 화소 전극을 형성한다.

여기서, 연결 전극과 화소 전극이 접촉되는 부분이 캐패시터 전극 상부에 위치하도록 할 수 있다.

본 발명에 따른 다른 액정 표시 장치용 어레이 기판의 제조 방법에서는 절연 기판을 구비하고, 기판 상에 일 방향을 가지는 다수의 게이트 배선과 게이트 전극 및 제1 캐패시터 전극을 형성한다. 이어, 게이트 배선과 게이트 전극 및 제1 캐패시터 전극 상부에 게이트 절연막을 형성한 후, 게이트 절연막 상부에 반도체층과 오믹 콘택층을 형성한다. 다음, 오믹 콘택층 상부에 게이트 배선과 직교하는 다수의 데이터 배선, 게이트 전극을 중심으로 마주 대하고 있는 소스 및 드레인 전극, 그리고 제1 캐패시터 전극과 중첩되어 있는 제2 캐패시터 전극을 형성한다. 이어, 데이터 배선과 소스 및 드레인 전극 상부에 보호막을 증착하고 패터닝하여 제2 캐패시터 전극을 드러내는 콘택홀을 형성한다. 다음, 콘택홀을 통해 제2 캐패시터 전극과 연결되어 있으며 제1 캐패시터 전극 사이에 제1 캐패시터 전극의 일부와 겹치도록 화소 전극을 형성한다.

이와 같이 본 발명에서는 화소 전극을 스토리지 전극 위에서 분할하도록 하는데, 화소 전극이 전단 게이트 배선과 중첩되나 자기단 게이트 배선과는 중첩되지 않도록 함으로써 기생용량을 감소시키고 개구율 및 스토리지 캐패시턴스를 증가시킬 수 있다.

그러면, 첨부한 도면을 참조하여 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판 및 그 제조 방법에 대하여 상세히 설명한다.

먼저, 도 4는 본 발명의 제1 실시예에 따른 박막 트랜지스터 어레이 기판의 평면도이고, 도 5는 도 4에서 Ⅴ-Ⅴ′선을 따라 자른 단면도이다.

도 4 및 도 5에 도시한 바와 같이 기판(110) 위에 실리콘 산화막과 같은 물질로 이루어진 완충층(120)이 형성되어 있다.

완충층(120) 위에는 다결정 실리콘으로 이루어진 박막 트랜지스터의 액티브층(131)과 액티브층(131) 양쪽에 위치하는 소스 및 드레인 영역(132, 133) 그리고 드레인 영역(133)과 연결되어 있는 스토리지부(135)가 형성되어 있다. 여기서, 소스 및 드레인 영역(132, 133)과 스토리지부의 가장자리 부분(135b, 135c)은 불순물로 도핑되어 있다.

박막 트랜지스터의 액티브층(131)과 스토리지부의 액티브층(135a) 상부에는 실리콘 산화막이나 실리콘 질화막으로 이루어진 게이트 절연막(140)이 형성되어 있고, 그 위에 게이트 전극(152)과 스토리지 전극(155)이 각각 형성되어 있다. 게이트 전극(152)은 가로 방향을 가지는 게이트 배선(151a, 151b)과 각각 연결되어 있다.

이어, 게이트 전극(152)과 스토리지 전극(155) 위에는 층간 절연막(160)이 형성되어 있어 이들을 덮고 있다. 층간 절연막(160)은 게이트 절연막(140)과 마찬가지로 실리콘 산화막이나 실리콘 질화막 중의 어느 하나로 형성할 수 있으며 소스 및 드레인 영역(132, 133)과 스토리지부의 콘택 영역(135c)을 각각 드러내는 제1 내지 제3 콘택홀(161, 162, 163)을 가지고 있다.

층간 절연막(160) 상부에는 금속과 같은 도전 물질로 데이터 배선(171)과 연결 전극(connecting electrode)(174)이 형성되어 있다. 데이터 배선(171)은 게이트 배선(151a, 151b)과 직교하고 제1 콘택홀(161)을 통해 소스 영역(132)과 연결되어 있으며, 연결 전극(174)은 제2 및 제3 콘택홀(162, 163)을 통해 각각 드레인 영역(133) 및 스토리지부의 콘택 영역(135b)과 연결되어 있다.

다음, 보호층(180)이 기판(110) 전면에 걸쳐 형성되어 있고, 보호층(180)은 스토리지부의 콘택 영역(135c) 상부의 연결 전극(133)을 드러내는 제4 콘택홀(181)을 가진다.

보호층(180) 상부에는 투명 도전 물질로 이루어진 화소 전극(191a, 191b)이 형성되어 있는데, 화소 전극(191b)은 제4 콘택홀(181)을 통해 연결 전극(174)과 이어져 있다. 여기서, 두 화소 전극(191a, 191b)은 스토리지 전극(155) 상부에서 분할되어 있다. 따라서, 화소 전극(191b)은 두 스토리지 전극(155)과 가장자리가 중첩되어 두 스토리지 전극(155) 사이에 형성되어 있으며, 전단 게이트 배선(151b)과도 중첩을 이룬다. 그러나, 자기단 게이트 배선(151a)과는 중첩되지 않는다.

이하, 도 6a 내지 도 6d와 앞서의 도 5를 참조하여 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판의 제조 방법에 대하여 상세히 설명한다.

먼저, 도 6a에 도시한 바와 같이 기판(110) 위에 실리콘 산화막으로 완충층(120)을 형성하고 다결정 실리콘층(130)을 형성한 후 패터닝한다.

앞서 언급한 바와 같이, 다결정 실리콘층(130)의 형성은 비정질 실리콘층을 증착하고 이를 재결정화함으로써 이루어질 수 있으며, 완충층(120)은 비정질 실리콘층을 다결정 실리콘층(130)으로 재결정화하는 과정에서 발생하는 다결정 실리콘층(130)의 막질 특성 저하를 방지하기 위한 것이다.

이어, 도 6b에 도시한 바와 같이 실리콘 산화막이나 실리콘 질화막 등의 절연막과 금속층을 연속하여 증착한 다음, 금속층 및 절연막을 패터닝하여 다결정 실리콘층(130) 상부에 게이트 전극(152)과 스토리지 전극(155) 및 게이트 절연막(140)을 형성한다. 다음, 이온 도핑을 실시하면 다결정 실리콘층(130)에 불순물이 주입된다.

다결정 실리콘층(130)에 이온 도핑을 하면 불순물 영역(132, 133, 135b, 135c)과 진성영역(131, 135a)의 두 가지 형태의 영역이 형성되게 된다. 불순물 영역(132, 133)은 각각 소스 및 드레인 영역이 되고 진성 영역(131)은 박막 트랜지스터의 액티브층이 되며, 불순물 영역(135b, 135c)과 진성 영역(135a)는 스토리지부(135)가 된다.

다음, 도 6c에 도시한 바와 같이 실리콘 산화막이나 실리콘 질화막을 증착하여 층간 절연막(160)을 형성하고, 패터닝하여 소스 및 드레인 영역(132, 133)과 스토리지부의 콘택 영역(135c)을 드러내는 제1 내지 제3 콘택홀(161, 162, 163)을 형성한다.

이어, 도 6d에 도시한 바와 같이 금속층을 증착하고 패터닝하여 데이터 배선(171)과 연결 전극(174)을 형성한다. 이때 데이터 배선(171)은 게이트 배선(151)과 직교하고 제1 콘택홀(161)을 통해 소스 영역(132)과 접촉하며, 연결 전극(174)은 제2 및 제3 콘택홀(162, 163)을 통해 드레인 영역(133) 및 스토리지부의 콘택 영역(135c)과 각각 접촉하도록 한다.

다음, 도 5에 도시한 바와 같이 소스 및 드레인 전극(172, 173)이 형성되어 있는 기판(110) 상의 전면에 걸쳐 보호막(180)을 형성하고 패터닝하여 제3 콘택홀(163) 상부의 연결 전극(174)을 드러내는 제4 콘택홀(181)을 형성한다. 이어, 보호막(180) 위에 투명 도전 물질로 제4 콘택홀(181)을 통해 연결 전극(174)과 접촉되도록 화소 전극(191a, 191b)을 형성한다. 이때, 화소 전극(191a, 191b)은 스토리지 전극(155) 상부에서 분할되어 스토리지 전극(155) 및 데이터 배선(171)과 가장자리가 중첩되며 전단 게이트 배선(151b)과도 중첩되도록 한다. 그러나, 신호를 인가받는 자기단 게이트 배선(151a)과는 중첩되지 않는다.

본 발명의 제1 실시예에서는 소스 및 드레인 전극을 따로 형성하지 않고 액티브층(131)의 양쪽에 형성되어 있는 소스 및 드레인 영역(132, 133)을 데이터 배선(171) 및 연결 전극(174)과 접촉하도록 하였는데, 데이터 배선(171)과 연결되어 있는 소스 전극과 연결 전극(174)에 이어져 있는 드레인 전극을 따로 형성하여 각각 소스 및 드레인 영역(132, 133)과 접촉하도록 할 수도 있다.

이와 같이 본 발명의 제1 실시예에서는 화소 전극과 화소 전극의 경계가 스토리지 전극(155) 상부에서 분할되도록 하는데, 화소 전극(191b)이 전단 게이트 배선(151b)과 중첩되고 자기단 게이트 배선(151a)과는 중첩되지 않도록 함으로써, 기생용량을 줄이고 스토리지 캐패시턴스를 증가시킬 수 있다. 또한, 개구율도 향상시킬 수 있다.

본 발명의 제1 실시예에서는 데이터 배선(171)과 같은 물질로 이루어진 연결 전극(174)을 드레인 영역(133) 및 화소 전극(191b)과 각각 연결하여 신호가 전달되도록 하였으나, 불순물로 도핑된 다결정 실리콘층을 이용하여 드레인 영역(133)의 신호를 화소 전극(191b)에 전달되도록 함으로써 개구율을 증가시킬 수 있다.

이러한 본 발명의 제2 실시예에 따른 박막 트랜지스터 어레이 기판에 대하여 도 7 및 도 8을 참조하여 상세히 설명한다.

도 7 및 도 8에 도시한 바와 같이, 기판(110) 위에 실리콘 산화막과 같은 물질로 이루어진 완충층(120)이 형성되어 있다.

완충층(120) 위에는 다결정 실리콘으로 이루어진 박막 트랜지스터의 액티브층(131)과 소스 및 드레인 영역(132, 133) 그리고 스토리지부(135)가 형성되어 있다. 여기서, 소스 및 드레인 영역(132, 133)과 스토리지부의 가장자리 부분(135b, 135c)은 불순물로 도핑되어 있다.

박막 트랜지스터의 액티브층(131)과 스토리지부의 액티브층(135a) 상부에는 실리콘 산화막이나 실리콘 질화막으로 이루어진 게이트 절연막(140)이 형성되어 있고, 그 위에 게이트 전극(152)과 스토리지 전극(155)이 각각 형성되어 있다. 게이트 전극(152)은 게이트 배선(151a, 151b)과 각각 연결되어 있다.

게이트 전극(152)과 스토리지 전극(155) 위에는 층간 절연막(160)이 형성되어 이들을 덮고 있다. 층간 절연막(160)은 게이트 절연막(140)과 마찬가지로 실리콘 산화막이나 실리콘 질화막 중의 어느 하나로 형성할 수 있으며 소스 영역(132)과 스토리지부의 콘택 영역(135c)을 각각 드러내는 제1 및 제2 콘택홀(161, 162)을 가지고 있다.

층간 절연막(160) 상부에는 금속과 같은 도전 물질로 데이터 배선(171)과 연결 전극(174)이 형성되어 있다. 데이터 배선(171)은 게이트 배선(151a, 151b)과 직교하고 제1 콘택홀(161)을 통해 소스 영역(132)과 연결되어 있으며, 연결 전극(174)은 스토리지부의 콘택 영역(135c) 상부에만 위치하고 제2 콘택홀(162)을 통해 스토리지부의 콘택 영역(135c)과 연결되어 있다.

다음, 보호층(180)이 기판(110) 전면에 걸쳐 형성되어 있는데, 보호층(180)은 스토리지 전극(155) 상부의 연결 전극(135)을 드러내는 제3 콘택홀(181)을 가진다.

보호층(180) 상부에는 투명 도전 물질로 이루어진 화소 전극(191a, 191b)이 형성되어 있는데, 두 화소 전극(191a, 191b)은 스토리지 전극(155) 상부에서 분할되어 있으며, 화소 전극(191b)은 제3 콘택홀(181)을 통해 연결 전극(174)과 이어져 있다. 따라서, 화소 전극(191b)은 두 스토리지 전극(155)과 가장자리가 중첩되어 있는데, 전단 게이트 배선(151b)과 중첩되어 있으나 자기단 게이트 배선(151a)과는 중첩되지 않는다.

이러한 본 발명의 제2 실시예에서는 화소 전극(191a, 191b)이 스토리지 전극(155) 상부에서 경계를 이루므로 앞선 제1 실시예에서와 같은 장점을 가지면서도, 도핑된 다결정 실리콘층을 이용하여 드레인 영역(133)으로부터 화소 전극(191b)에 신호를 전달함으로써 개구율을 더욱 향상시킬 수 있다.

그런데, 제2 실시예에서와 같이 도핑된 다결정 실리콘층을 이용하여 신호를 전달할 경우, 금속층을 이용한 경우보다 신호의 지연이 발생할 수 있다. 이러한 문제를 보완하기 위해 금속으로 이루어진 연결 전극(174)을 이용하여 드레인 영역(133)과 화소 전극(191b)을 연결하는데, 연결 전극(174)과 화소 전극(191b)이 접촉하는 부분을 스토리지 전극 상부에 위치하도록 함으로써 제1 실시예에서보다 개구율을 향상시킬 수도 있다.

이러한 본 발명의 제3 실시예에 대하여 도 9 및 도 10을 참조하여 상세히 설명한다.

도 9 및 도 10에 도시한 바와 같이 기판(110) 위에 실리콘 산화막과 같은 물질로 이루어진 완충층(120)이 형성되어 있다.

완충층(120) 위에는 다결정 실리콘으로 이루어진 박막 트랜지스터의 액티브층(131)과 소스 및 드레인 영역(132, 133) 그리고 스토리지부(135)가 형성되어 있다. 여기서, 소스 및 드레인 영역(132, 133)과 스토리지부의 가장자리 부분(135b, 135c)은 불순물로 도핑되어 있다.

박막 트랜지스터의 액티브층(131)과 스토리지부의 액티브층(135a) 상부에는 실리콘 산화막이나 실리콘 질화막으로 이루어진 게이트 절연막(140)이 형성되어 있고, 그 위에 게이트 전극(152)과 스토리지 전극(155)이 각각 형성되어 있다. 게이트 전극(152)은 게이트 배선(151a)과 연결되어 있다.

게이트 전극(152)과 스토리지 전극(155) 위에는 층간 절연막(160)이 형성되어 이들을 덮고 있다. 층간 절연막(160)은 게이트 절연막(140)과 마찬가지로 실리콘 산화막이나 실리콘 질화막 중의 어느 하나로 형성할 수 있으며 소스 및 드레인 영역(132, 133)을 각각 드러내는 제1 및 제2 콘택홀(161, 162)을 가지고 있다.

층간 절연막(160) 상부에는 금속과 같은 도전 물질로 데이터 배선(171)과 연결 전극(174)이 형성되어 있다. 데이터 배선(171)은 게이트 배선(151a, 151b)과 직교하고 제1 콘택홀(161)을 통해 소스 영역(132)과 연결되어 있으며, 연결 전극(174)은 제2 콘택홀(162)을 통해 드레인 영역(133)과 연결되어 있다.

다음, 보호층(180)이 기판(110) 전면에 걸쳐 형성되어 있는데, 보호층(180)은 스토리지 전극(155) 상부의 연결 전극(135)을 드러내는 제3 콘택홀(181)을 가진다.

보호층(180) 상부에는 투명 도전 물질로 이루어진 화소 전극(191a, 191b)이 형성되어 있는데, 두 화소 전극(191a, 191b)은 스토리지 전극(155) 상부에서 분할되어 있으며, 화소 전극(191b)은 제3 콘택홀(181)을 통해 연결 전극(174)과 연결되어 있다. 여기서, 화소 전극(191b)은 두 스토리지 전극(151)의 가장자리와 중첩되고 전단 게이트 배선(151b)과도 중첩되어 있으나, 자기단 게이트 배선(151a)과는 중첩되지 않는다.

앞서 언급한 본 발명의 실시예에서는 다결정 실리콘을 액티브층으로 이용한 박막 트랜지스터에 관하여 설명하였으나, 본 발명의 실시예에 따른 화소 구조를 비정질 실리콘을 이용한 박막 트랜지스터에도 적용할 수 있다.

이러한 본 발명의 제4 실시예에 대하여 도 11 내지 도 12를 참조하여 상세히 설명한다.

도 11 및 도 12에 도시한 바와 같이, 기판(210) 위에 가로 방향의 게이트 배선(221)과 게이트 배선(221)에서 연장된 게이트 전극(222), 그리고 게이트 배선(221)과 나란한 제1 스토리지 전극(225)이 형성되어 있다.

그 위에 실리콘 산화막이나 실리콘 질화막으로 게이트 절연막(230)이 형성되어 있다.

게이트 절연막(230) 상부에는 비정질 실리콘으로 이루어진 반도체층(241, 245)이 형성되어 있고, 그 위에 불순물로 도핑된 비정질 실리콘으로 오믹 콘택층(251, 252, 255)이 형성되어 있다.

그 위에 데이터 배선(261)과 소스 및 드레인 전극(262, 263) 그리고 제2 스토리지 전극(265)이 형성되어 있다. 데이터 배선(261)은 게이트 배선(221)과 직교하며, 소스 및 드레인 전극(262, 263)은 게이트 전극(222)을 중심으로 마주 대하고 있다. 또한, 소스 전극(262)은 데이터 배선(261)에서 연장되어 있고, 드레인 전극(263)과 스토리지 전극(265)도 연결되어 있다.

이어, 보호막(270)이 데이터 배선(261)과 소스 및 드레인 전극(262, 263) 그리고 제2 스토리지 전극(265)을 덮고 있으며, 보호막(270)은 제2 스토리지 전극(265)을 드러내는 콘택홀(271)을 가진다.

보호막(270) 상부에는 화소 전극(281a, 281b)이 형성되어 있는데 두 화소 전극(281a, 281b)은 스토리지 전극(265) 상부에서 분할되어 있다. 따라서, 화소 전극(281b)은 스토리지 전극(265)과 가장자리가 중첩되어 있고, 전단 게이트 배선(221a)과 중첩되어 있으며, 콘택홀(281)을 통해 제2 스토리지 전극(265)과 연결되어 있다.

이와 같이 화소 전극이 스토리지 전극 상부에서 분할되는 구조는 소자의 구조에 관계없이 다양하게 적용할 수 있다.

발명의 효과

본 발명에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판 및 그의 제조 방법에서는 다음과 같은 효과가 있다.

박막 트랜지스터 어레이 기판의 화소 전극을 스토리지 전극 상부에서 분할되도록 함으로써 개구율을 향상시킬 수 있다.

또한, 화소 전극과 자기단 게이트 배선이 중첩되지 않으므로 기생용량을 감소시킬 수 있으며, 화소 전극과 전단 게이트 배선이 중첩되기 때문에 스토리지 캐패시턴스를 증가시킬 수도 있다.

(57) 청구의 범위

청구항 1.

절연 기판과,

상기 기판 상부에 형성되어 있는 N(N은 정수)개의 게이트 배선과;

상기 게이트 배선과 직교하는 M(M은 정수)개의 데이터 배선과;

상기 N개의 게이트 배선과 M개의 데이터 배선에 의해 정의되는 N×M개의 화소 영역과;

상기 각 게이트 배선과 평행한 전극으로 이루어진 N×M개의 스토리지 캐패시터와;

상기 각 게이트 배선 및 데이터 배선과 연결된 스위칭 소자와;

n(1≤n≤N)번째 행 스토리지 캐패시터의 일부 및 n-1번째 행 스토리지 캐패시터의 일부와 겹쳐지는 화소 전극

을 포함하는 액정 표시 장치용 어레이 기판.

청구항 2.

청구항 1에 있어서,

상기 스위칭 소자는 액티브층을 포함하며, 상기 액티브층은 다결정 실리콘으로 이루어진 액정 표시 장치용 어레이 기판.

청구항 3.

청구항 2에 있어서,

상기 스토리지 캐패시터를 이루는 제1 전극은 상기 게이트 배선과 동일한 물질로 이루어진 액정 표시 장치용 어레이 기판.

청구항 4.

청구항 3에 있어서,

상기 스토리지 캐패시터를 이루는 제2 전극은 상기 액티브층과 동일한 물질로 이루어진 액정 표시 장치용 어레이 기판.

청구항 5.

청구항 1에 있어서,

상기 스위칭 소자는 액티브층을 포함하며, 상기 액티브층은 비정질 실리콘으로 이루어진 액정 표시 장치용 어레이 기판.

청구항 6.

청구항 5에 있어서,

상기 스토리지 캐패시터를 이루는 제1 전극은 상기 게이트 배선과 동일한 물질로 이루어진 액정 표시 장치용 어레이 기판.

청구항 7.

청구항 6에 있어서,

상기 스토리지 캐패시터를 이루는 제2 전극은 상기 데이터 배선과 동일한 물질로 이루어진 액정 표시 장치용 어레이 기판.

청구항 8.

절연 기판을 구비하는 단계와,

상기 기판 상부에 제1 절연막을 증착하는 단계와,

상기 제1 절연막 상부에 다결정 실리콘층을 형성하고 패터닝하는 단계와,

상기 패터닝된 다결정 실리콘층 위에 제2 절연막과 금속층을 차례로 증착하고 패터닝하여 게이트 배선과 게이트 전극 및 캐패시터 전극을 형성하는 단계와,

상기 게이트 전극과 상기 스토리지 캐패시터 전극에 의해 드러난 다결정 실리콘층에 이온 도핑을 실시하는 단계와,

상기 도핑된 다결정 실리콘층을 포함하는 기판 전면에 제3 절연막을 증착하고 패터닝하여 상기 도핑된 다결정 실리콘층을 드러내는 콘택홀을 형성하는 단계와,

상기 콘택홀을 통해 상기 도핑된 다결정 실리콘층과 연결되어 있는 데이터 배선 및 연결 전극을 형성하는 단계와,

상기 데이터 배선과 연결 전극 상부에 제4 절연막을 형성하고 패터닝하여 상기 연결 전극을 드러내는 단계와,

상기 연결 전극과 접촉하고 상기 캐패시터 전극의 일부와 중첩하도록 화소 전극을 형성하는 단계

를 포함하는 액정 표시 장치용 어레이 기판의 제조 방법.

청구항 9.

청구항 8에 있어서,

상기 연결 전극과 상기 화소 전극이 접촉되는 부분이 상기 캐패시터 전극 상부에 위치하는 액정 표시 장치용 어레이 기판의 제조 방법.

청구항 10.

절연 기판을 구비하는 단계와,

상기 기판 상에 일 방향을 가지는 다수의 게이트 배선과 게이트 전극 및 제1 캐패시터 전극을 형성하는 단계와,

상기 게이트 배선과 상기 게이트 전극 및 상기 제1 캐패시터 전극 상부에 게이트 절연막을 형성하는 단계와,

상기 게이트 절연막 상부에 반도체층을 형성하는 단계와,

상기 반도체층 상부에 오믹 콘택층을 형성하는 단계와,

상기 오믹 콘택층 상부에 상기 게이트 배선과 직교하는 다수의 데이터 배선과 상기 게이트 전극을 중심으로 마주 대하고 있는 소스 및 드레인 전극, 그리고 상기 제1 캐패시터 전극과 중첩되어 있는 제2 캐패시터 전극을 형성하는 단계와,

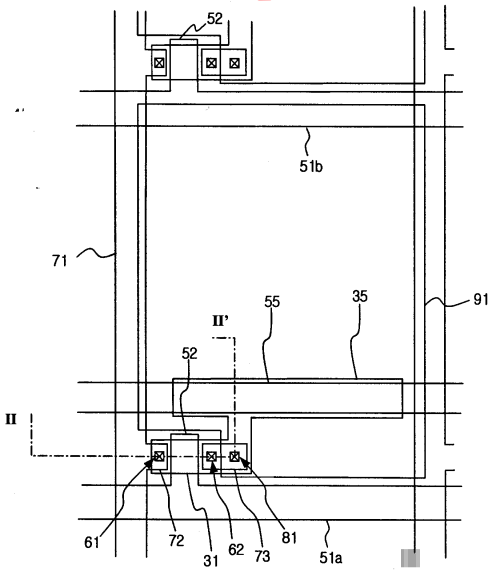
상기 데이터 배선과 상기 소스 및 드레인 전극 상부에 보호막을 증착하고 패터닝하여 상기 제2 캐패시터 전극을 드러내는 콘택홀을 형성하는 단계와,

상기 콘택홀을 통해 상기 제2 캐패시터 전극과 연결되어 있으며 상기 제1 캐패시터 전극 사이에 상기 제1 캐패시터 전극의 일부와 겹치도록 화소 전극을 형성하는 단계

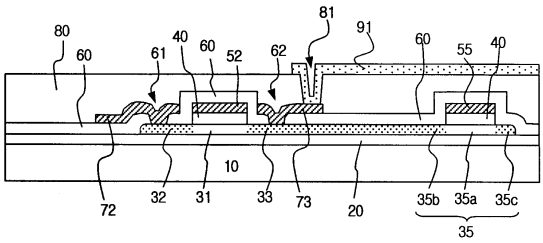
를 포함하는 액정 표시 장치용 어레이 기판의 제조 방법.

도면

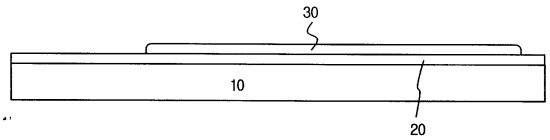
도면 1



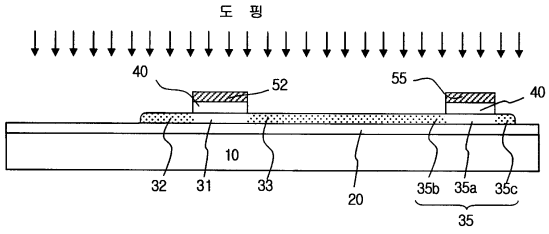
도면 2



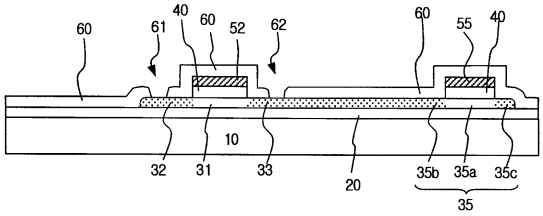
도면 3a



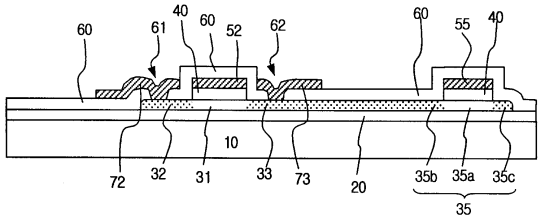
도면 3b



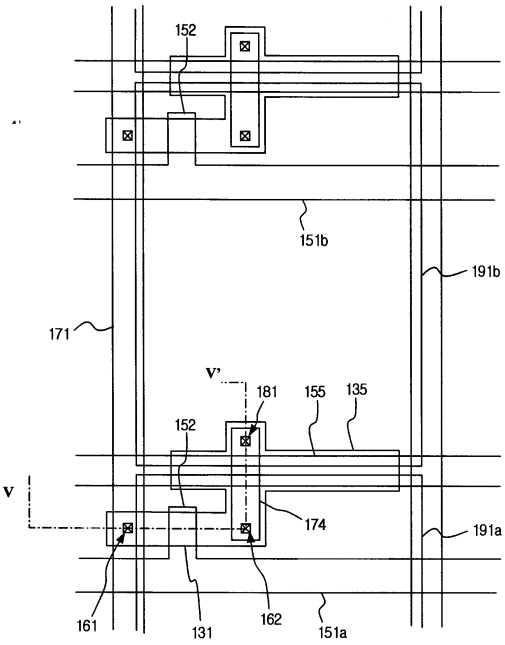
도면 3c



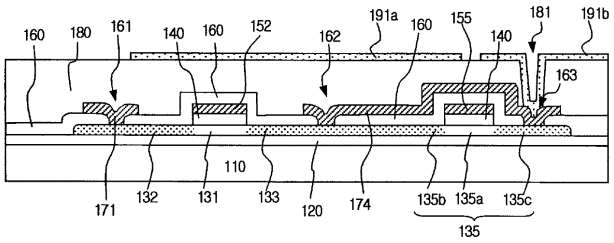
도면 3d



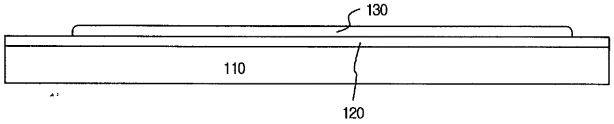
도면 4


152
151b
191b
171
V'
181
155
135
152
V
174
191a
161
131
162
151a

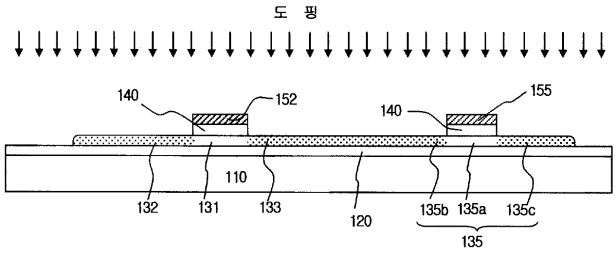
도면 5


160
180
161
140
160
152
162
191a
160
155
140
181
191b
163
110
171
132
131
133
120
174
135b
135a
135c
135

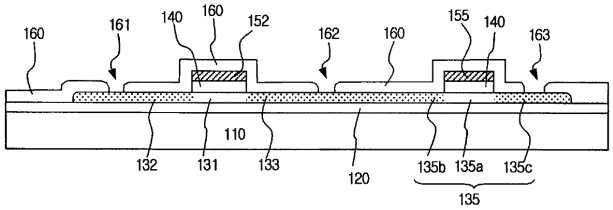
도면 6a


130
110
120

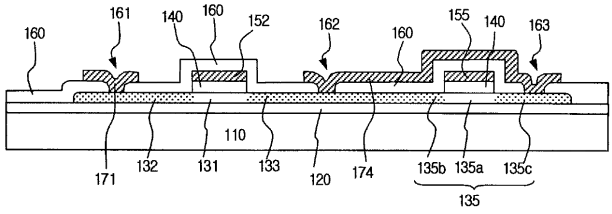
도면 6b



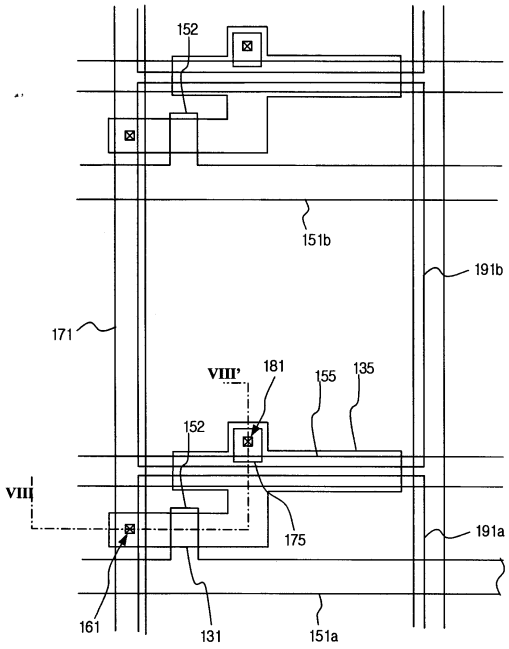
도면 6c



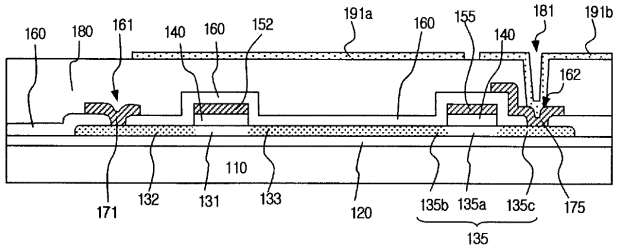
도면 6d



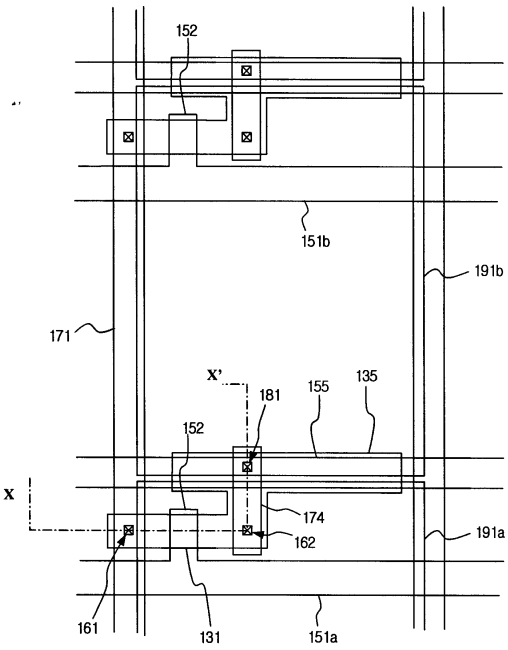
도면 7


152
151b
191b
171
VIII'
181
155
135
152
VIII
175
191a
161
131
151a

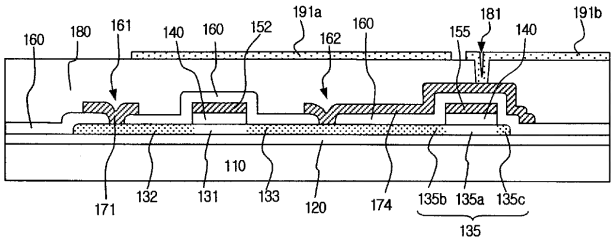
도면 8


160
180
161
140
160
152
191a
160
155
140
181
191b
162
110
171
132
131
133
120
135b
135a
135c
175
135

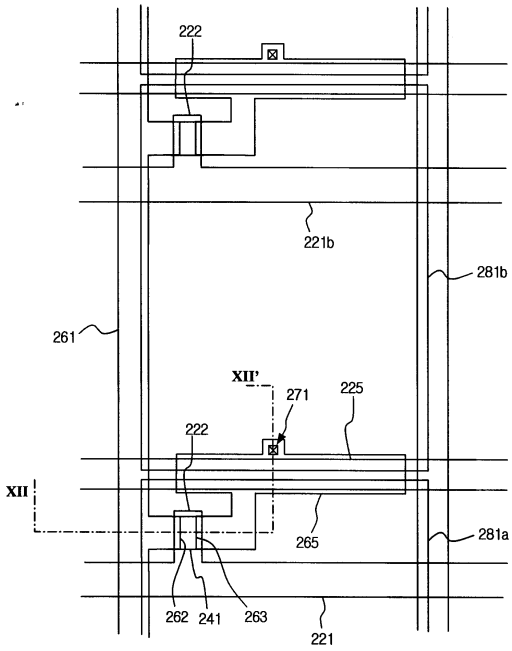
도면 9


152
151b
191b
171
X'
181
155
135
152
X
174
162
191a
161
131
151a

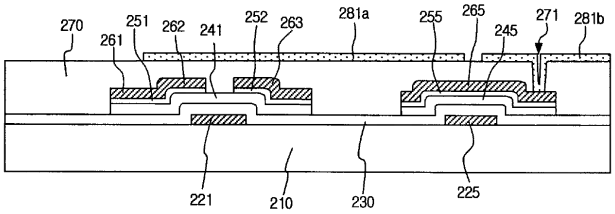
도면 10


160
180
161
140
160
152
191a
162
160
155
181
140
191b
110
171
132
131
133
120
174
135b
135a
135c
135

도면 11


222
221b
281b
261
XII'
271
225
222
XII
265
281a
262
241
263
221

도면 12


270
261
251
262
241
252
263
281a
255
265
245
271
281b
221
210
230
225

专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR1020020024466A	公开(公告)日	2002-03-30
申请号	KR1020000056225	申请日	2000-09-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HA YONG MIN		
发明人	HA,YONG MIN		
IPC分类号	G02F1/1343 G02F1/1362 G02F1/136		
CPC分类号	G02F1/136213 G02F1/134336		
代理人(译)	贞媛KI		
其他公开文献	KR100380141B1		
外部链接	Espacenet		

摘要(译)

为了减小像素电极和栅极布线之间的寄生电容，用于向液晶显示装置的阵列基板中的像素电极施加信号，然而，当这样的光因此由位于该区域中的液晶分子，和黑矩阵garyeoya扭曲为了防止这种情况，这是为了减小液晶显示装置的开口率。 在本发明中，存储电容器对于每个像素区域独立形成，并且每个像素电极在存储电容器的上部分开。为此，像素电极与第n行存储电容器的一部分和第（n-1）行存储电容器的一部分重叠。此时，像素电极不与用于向像素电极施加信号的第n栅极布线重叠，而是与第（n-1）栅极布线重叠。因此，可以减小寄生电容，可以提高开口率，并且可以增加存储电容。 4 指数方面 孔径比，寄生电容，存储电容