(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G02F 1/136

(11) 공개번호 특2002-0009144
(43) 공개일자 2002년02월01일

(21) 출원번호 10-2000-0042533
(22) 출원일자 2000년07월24일

(71) 출원인 엘지.필립스 엘시디 주식회사
구본준, 론 위라하디락사
서울 영등포구 여의도동 20번지

(72) 발명자 이준호
대구광역시북구동천동915번지칠곡3차화성타운105동702호
고두현
경상북도구미시도량2동3주공아파트305동703호

(74) 대리인 정원기

심사청구 : 없음

(54) 액정 표시장치

요약

본 발명은 고화질의 IPS형 액정 표시장치를 제공하기 위한 것이다.

일반적인 IPS형 액정 표시장치는 게이트 배선 또는 공통배선의 배선저항에 의해 액정패널의 위치에 따라 킥백전압(ΔVp)의 차이가 발생하게 된다. 즉, 신호가 인가되는 패드에 인접한 부분의 화소부와 패드와 먼 곳에 위치하는 화소부에서 각각 발생하는 캑백전압이 다르기 때문에 화소에 충전되는 전하의 양이 달라지게 되어 플리커(flicker)가 발생하게 된다.

본 발명에 따른 박막 트랜지스터 어레이 기판에서는 패널의 위치에 따라 게이트와 소스 및 드레인 전극의 중첩되는 폭을 다르게 설계함으로써, 이러한 패널의 위치에 따른 킥백전압의 차이에 의해 발생하는 플리커를 감소시킨다.

대표도
도 8

색인어
킥백전압, 플리커, 기생용량

명세서

도면의 간단한 설명

도 1은 일반적인 액정 표시장치의 단면을 도시한 도면.

도 2는 일반적인 횡전계 방식(IPS)의 액정 표시장치의 단면을 도시한 도면.

도 3a는 IPS 방식의 액정 표시장치의 오프(off) 상태의 동작을 도 3b는 온(on) 상태의 동작을 도시한 도면.

도 4는 종래 IPS 방식의 액정 표시장치의 평면을 도시한 도면.

도 5a 내지 도 5d는 도 4의 절단선 Ⅴ-Ⅴ로 자른 단면의 제작공정을 도시한 도면.

도 6은 종래 IPS 모드 액정 표시장치의 패널의 위치에 따른 화소영역을 도시한 도면.

도 7은 게이트 신호와 데이터 신호와 화소전극에 인가되는 신호를 도시한 도면.

도 8은 본 발명에 따른 IPS 모드 액정 표시장치의 패널의 위치에 따른 화소영역을 도시한 도면.

< 도면의 주요 부분에 대한 부호의 설명 >

100 : 공통배선 102 : 게이트 배선

A : 게이트 신호가 인가되는 인접화소영역

C : 게이트 신호가 인가되는 화소영역과 반대영역의 화소영역

B : A 영역과 B 영역의 중간 화소영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 화상 표시장치에 관한 것으로, 더욱 상세하게는 박막 트랜지스터(Thin Film Transistor : TFT)를 포함하는 액정표시장치(Liquid Crystal Display : LCD)에 관한 것이다.

특히, 본 발명은 일반적인 액정표시장치에 사용되고 있는 공통전극이 컬러필터와 동시에 형성된 방식이 아닌, 박막 트랜지스터 배열기판 상에 화소전극과 공통전극이 동일 평면상에 형성된 횡전계 방식(In-Plane Switching : 이하 IPS 모드라 칭함)의 액정 표시장치에 있어서, 패널의 위치에 따른 킥백전압의 차이에 의한 화질의 저하를 방지하는 액정 표시장치에 관한 것이다.

일반적으로 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 갖고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의하여 상기 액정의 분자 배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

현재에는 박막 트랜지스터와 상기 박막 트랜지스터에 연결된 화소전극이 행렬 방식으로 배열된 능동행렬 액정표시장치(Active Matrix LCD : AM-LCD)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

일반적으로 액정표시장치를 구성하는 기본적인 부품인 액정 패널의 구조를 살펴보면 다음과 같다.

도 1은 일반적인 액정 패널의 단면을 도시한 단면도이다.

액정 패널(20)은 여러 종류의 소자들이 형성된 두 장의 기판(2, 4)이 서로 대응되게 붙어 있고, 상기 두 장의 기판(2, 4) 사이에 액정층(10)이 끼워진 형태로 위치하고 있다.

상기 액정 패널(20)에는 색상을 표현하는 컬러필터가 형성된 상부 기판(4)과 상기 액정층(10)의 분자 배열방향을 변환시킬 수 있는 스위칭 회로가 내장된 하부 기판(2)으로 구성된다.

상기 상부 기판(4)은 색을 구현하는 컬러필터층(8)과, 상기 컬러필터층(8)을 덮는 공통전극(12)이 형성되어 있다. 상기 공통전극(12)은 액정(10)에 전압을 인가하는 한쪽전극의 역할을 한다. 상기 하부 기판(2)은 스위칭 역할을 하는 박막 트랜지스터(S)와, 상기 박막 트랜지스터(S)로부터 신호를 인가 받고 상기 액정(10)으로 전압을 인가하는 다른 한쪽의 전극역할을 하는 화소전극(14)으로 구성된다.

상기 화소전극(14)이 형성된 부분을 화소부(P)라고 한다.

그리고, 상기 상부 기판(4)과 하부 기판(2)의 사이에 주입되는 액정(10)의 누설을 방지하기 위해, 상기 상부 기판(4)과 하부 기판(2)의 가장자리에는 실런트(sealant : 6)로 봉인되어 있다.

상기 하부 기판(2)에는 다수개의 박막 트랜지스터(S)와 상기 박막 트랜지스터와 각각 연결된 다수개의 화소전극(14)이 배열된다.

상술한 액정표시장치는 상부 기판인 컬러필터 기판에 공통전극이 형성된 구조이다. 즉, 상기 공통전극이 상기 화소전극과 수직으로 형성된 구조의 액정표시장치는 상-하로 걸리는 전기장에 의해 액정을 구동하는 방식으로, 투과율과 개구율 등의 특성이 우수하며, 상판의 공통전극이 접지역할을 하게 되어 정전기로 인한 액정 셀의 파괴를 방지할 수 있다.

그러나, 상-하로 걸리는 전기장에 의한 액정 구동은 시야각 특성이 우수하지 못한 단점을 갖고 있다. 따라서, 상기의 단점을 극복하기 위해 새로운 기술이 제안되고 있다. 하기 기술될 액정표시장치는 횡전계에 의한 액정 구동방법으로 시야각 특성이 우수한 장점을 갖고 있다.

이하, 도 2를 참조하여 IPS 모드의 액정표시장치에 관해 상세히 설명한다.

기판(30) 상에 화소전극(34)과 공통전극(36)이 동일 평면상에 형성되어 있다. 즉, 액정(10)은 상기 동일 기판(1) 상에 상기 화소전극(34)과 공통전극(36)의 수평 전계(35)에 의해 작동한다. 상기 액정층(10) 상에는 컬러필터 기판(32)이 형성되어 있다.

도 3a 내지 도 3b는 IPS 모드에서 전압 온/오프시 액정의 상 변이 모습을 나타내는 도면이다.

즉, 화소전극(34) 또는 공통전극(36)에 수평장의 전계(35)가 인가되지 않은 오프(off) 상태에서는 액정의 상 변이가 일어나지 않고 있음을 보이고 있다. 예를 들어 두 전극(34, 36)의 수평 방향에서 기본적으로 45° 틀어져있다(도 3a).

도 3b는 상기 화소전극(34)과 공통전극(36)에 전압이 인가된 온(on) 상태에서의 액정의 상 변이를 도시한 도면으로, 도 3a의 오프 상태와 비교해서 45° 정도로 뒤틀림 각을 가지고, 화소전극(34)과 공통전극(36)의 수평방향과 액정의 비틀림 방향이 일치함을 알 수 있다.

상술한 바와 같이 IPS 모드를 사용하는 액정표시장치는 동일 평면상에 화소전극과 공통전극이 모두 존재하기 때문에 횡전계(35)를 이용한다는 특징이 있다.

상기 IPS 모드의 장점으로는 광시야각이 가능하다는 것이다. 즉, 액정표시장치를 정면에서 보았을 때, 상/하/좌/우 방향으로 약 70° 방향에서 가시할 수 있다. 그리고, 일반적으로 사용되는 액정표시장치에 비해 제작 공정이 간단하고, 시야각에 따른 색의 이동이 적은 장점이 있다.

그러나, 공통 전극(36)과 화소전극(34)이 동일 기판 상에 존재하기 때문에 빛에 의한 투과율 및 개구율이 저하되는 단점이 있다. 또한, 구동전압에 의한 응답시간을 개선해야 하고, 셀갭의 미스-얼라인 마진이 적기 때문에 상기 셀갭을 균일하게 해야하는 단점이 있다.

즉, IPS 모드의 액정표시장치는 상기와 같은 장점과 단점이 있으므로 사용자의 사용 용도에 따라 선택해서 사용할 수 있다.

하기 기술될 내용은 상기 IPS 모드의 액정표시장치의 제작 공정에 관한 것이다.

도 4는 종래의 IPS 모드 액정표시장치의 평면도를 도시한 도면이다. 도면에 도시된 바와 같이 가로방향으로 게이트 배선(50)과 공통배선(54)이 평행을 이루며 형성되어 있고, 세로방향으로 데이터 배선(60)이 상기 게이트 배선(50) 및 공통배선(54)과 수직을 이루며 형성되어 있다.

그리고, 상기 게이트 배선(50)의 일 측에는 게이트 전극(52)이 형성되어 있으며, 상기 게이트 전극(52) 부근의 상기 데이터 배선(60)에는 소스 전극(62)이 상기 게이트 전극(52)과 소정면적 오버랩 되게 형성되어 있고, 상기 소스 배선(62)과 대응되는 위치에 드레인 전극(64)이 형성되어 있다.

또한, 상기 공통배선(54)은 상기 공통배선(54)에서 분기된 다수개의 공통전극(54a)이 형성되어 있으며, 상기 드레인 전극(64)에는 인출배선(66)이 연결되어 있고, 상기 인출배선(66)은 인출배선(66)에서 분기된 다수개의 화소전극(66a)이 형성되어 있다. 상기 공통전극(54a)과 상기 화소전극(66a)은 서로 엇갈리게 구성되어 있다.

도 5a 내지 도 5d는 도 4의 절단선 Ⅴ-Ⅴ로 자른 단면의 제작 공정을 도시한 공정도로서, 먼저, 도 5a에 대해 설명하면 다음과 같다.

도 5a는 기판(1) 상에 제 1 금속층으로 게이트 전극(52)과 공통전극(54a)을 형성하는 단계를 도시한 도면이다.

상기 제 1 금속층(52, 54a)은 알루미늄(Al), 크롬(Cr), 몰리브덴(Mo), 텅스텐(W) 등의 금속을 사용할 수 있다.

도 5b는 상기 제 1 금속층(52, 54a) 상에 게이트 절연막(70)과 액티브층(72)을 형성하는 단계를 도시하고 있다.

상기 게이트 절연막(70)은 실리콘 질화막(SiN_x) 또는 실리콘 산화막(SiO_2)을 사용할 수 있으며, 상기 액티브층(72)은 도면에 도시되지는 않았지만, 비정질 실리콘과 불순물이 함유된 비정질 실리콘의 적층구조로 되어 있다.

도 5c는 상기 액티브층(72) 상에 제 2 금속층으로 소스 및 드레인 전극(62, 64)과 화소전극(66a)을 형성하는 단계를 도시하고 있다.

상기 소스 및 드레인 전극(62, 64)은 상기 액티브층(72) 상에 형성되며, 상기 화소전극(66a)은 상기 게이트 절연막(70) 상에 상기 화소전극(54a)과 소정 간격(L) 이격되게 형성한다.

도 5d는 상기 제 2 금속층(62, 64, 66a) 및 기판 전면에 걸쳐 보호막(74)을 형성하는 단계를 도시하고 있다.

상기 보호막(74)은 상기 액티브층(72)을 외부의 습기나 이물질로부터 보호하기 위한 목적으로 형성한다.

상술한바와 같이 IPS 모드의 액정표시장치는 공통전극(54a)과 화소전극(66a)이 기판(1)에 동시에 형성된 구조로서, 시야각 향상에 큰 이점을 갖고 있다.

한편, IPS 모드 액정 표시장치는 일반적인 액정 표시장치(도 1 참조)와 비교해서 공통전극(54a)이 화소전극(66a)과 동일 기판 상에 평행하게 존재하기 때문에 그 저항이 매우 크게 된다.

즉, 다시 설명하면, 도 1에 도시된 일반적인 액정 표시장치는 공통전극이 상부기판의 전면에 걸쳐 형성되나, IPS 모드 액정 표시장치는 공통전극이 각각의 화소마다 화소전극과 대등하게 형성되어 자체의 저항이 매우 크게 된다.

상기와 같이 공통전극의 저항이 커지게 되면, 공통전극에 인가되는 공통전압이 떨어지는 전압 강하(voltage drop)가 발생하게 되며, 그 형태는 공통전압이 액정 패널의 양단에서 인가되기 때문에 패널의 중앙으로 갈수록 낮은 전압분포를 갖게 된다.

상기와 같은 공통전압의 강하(drop) 현상은 외부에서 보상해 줄 수 없게 된다.

이와 같은 패널의 위치에 따른 공통전압의 불균일 문제로 인해 액정 표시장치에 플리커(flicker)가 발생하게 되며, 이는 화질에 치명적인 문제를 야기한다.

즉, 종래의 IPS 모드 액정 표시장치는 구조적으로 패널 내부에 직류(DC) 성분이 포함되며 이로 인해 화질에 문제점이 생성될 수 있게 된다.

한편, 플리커를 일으키는 또 다른 주된 원인은 스위칭 소자로 사용되는 TFT의 구조적인 문제점에 기인하는 것으로, 게이트 전극과 소스 및 드레인 전극의 중첩된 폭에 기인한다.

일반적인 IPS 모드 또는 기존 구조의 액정 표시장치에서는 화소를 구동하는 스위칭 소자인 박막 트랜지스터는 역 스태거드형 구조를 갖는 TFT를 사용한다.

상기 역 스태거드형 TFT는 구조적으로 제작이 간단하면서 전기적인 특성이 뛰어나기 때문에 스위칭 소자로써 광범위하게 사용되고 있으며, 전기적인 특성의 향상을 위해 게이트 전극과 소스 및 드레인 전극이 수직적으로 겹쳐지게 구성된다.

도 6은 일반적인 IPS 모드의 액정 표시장치의 패널의 위치(양 가장자리와 중간부분)에 따른 세 화소부분을 도시한 도면으로, 전 패널영역에서 서로 동일한 폭으로 중첩되도록 TFT는 구성된다.

즉, 도 6에 도시된 도면은 게이트 패드와 인접한 A 영역과 패널의 중간영역인 B 영역과 게이트 패드의 반대쪽에 위치하는 C 영역으로 구분될 수 있으며, 각각의 화소영역(A, B, C)에 형성된 TFT의 게이트 전극과 드레인 전극은 서로 동일한 폭으로 중첩되어 있는데, 이는 $L_A = L_B = L_C$로 나타낼 수 있다.

도 7에 도시한 도면에서와 같이 게이트 전압(Vg)이 TFT에 인가될 때, TFT는 스위칭 작용을 하게 되고, 드레인 전압(V_D)은 화소전극으로 이동하여 화소전압(Vp)을 이루게 된다.

이 때, 화소전압(Vp)은 일시적으로 강하되는 현상을 보이는데, 이 전압의 차이(ΔVp)는 플리커를 일으키는 원인이 되며, 이는 게이트 전극과 소스 및 드레인 전극이 중첩되어 발생하는 기생정전용량(Cgs)에 따라 달라진다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 액정 표시장치의 전압 강하를 감소시켜 화질이 향상된 액정 표시장치를 제공하는 것이다.

발명의 구성 및 작용

본 발명에 따른 박막 트랜지스터 어레이 기판에서는 기판 상에 각각 게이트, 소스 및 드레인 전극을 갖는 다수개의 박막 트랜지스터가 형성되어 있으며, 상기 각 스위칭 소자에 신호를 인가하고, 각각 게이트 및 소스 전극과 접촉하는 제 1, 2 배선이 형성되어 있다. 또한, 상기 드레인 전극과 접촉하는 화소전극이 형성되어 있으며, 상기 각각의 박막 트랜지스터는 게이트 전극과 소스 및 드레인 전극과의 중첩된 폭이 다르다.

본 발명에 따른 또 다른 박막 트랜지스터 기판에서는 기판 위에 다수개의 제 1 배선과 다수개의 제 2 배선이 형성되어 있으며, 상기 각 제 1, 2 배선의 교차점에는 제 1, 2 배선으로부터 신호를 인가 받는 박막 트랜지스터가 형성되어 있고, 상기 박막 트랜지스터에서 신호를 인가 받는 화소전극이 형성되어 있다. 여기서, 상기 제 1 배선은 신호를 인가하는 부분과 인접한 A 영역과, A 영역의 반대쪽에 위치하는 C 영역과, 상기 A, C 영역의 중간영역인 B영역으로 구분할 수 있으며, 상기 박막 트랜지스터의 게이트 전극과 드레인 전극의 중첩된 폭은 A, B, C 영역에서 각각 다른 크기를 가진다.

본 발명에서 상기 제 1 배선은 게이트 배선인 것이 바람직하고, 상기 중첩된 폭의 크기는 A 영역, C 영역, B 영역 순에 따라 커지는 것이 좋다.

또한, 본 발명에서는 상기 화소전극과 평행하게 형성된 공통전극을 더 포함할 수도 있다.

본 발명에서는 액정패널의 위치에 따라 화소별로 게이트 전극과 소스 및 드레인 전극의 중첩된 폭을 각각 다르게 형성하여 패널의 위치에 따른 ΔVp의 차이를 최소화하는 것에 관한 것이다.

이에 본 발명에서는 기존 IPS 모드의 액정 표시장치에서 발생할 수 있는 ΔVp에 의한 플리커(flicker)를 서로 다른 중첩된 폭을 갖는 TFT를 채용함으로써 개선하고자 한다.

이하, 첨부된 도면과 실시예를 참조하여 본 발명을 상세히 설명한다.

여기서, 종래의 구성과 동일한 기능을 하는 부분은 동일한 번호와 기호를 부여한다.

도 8에 도시된 도면은 IPS 모드의 액정 표시장치에서 패널의 위치에 따른 화소부를 도시한 도면으로 A 부분은 게이트 패드(미도시)와 인접한 영역이고, B 영역은 패널의 중심영역이고, C 영역은 게이트 패드의 반대쪽에 위치한 패널의 끝 영역을 나타낸다.

즉, 다시 설명하면, 게이트 신호는 A 영역에서 B 영역을 거쳐 C 영역으로 게이트 배선(102)을 통해 흐르게 되며, 게이트 신호의 감쇄는 게이트 패드로부터 가장 먼 영역인 C영역에서 가장 크게 나타나게 된다.

한편, 공통배선(100)에 인가되는 공통신호는 일반적으로 액정 패널의 양옆에서 인가되기 때문에 A 영역과 C 영역에서는 비교적 신호의 감쇄율이 동일하게 되고, B 영역에서는 A, C 영역과 비교해서 상대적으로 공통신호의 감쇄가 심하게 나타난다.

상기와 같이 패널의 위치에 따라 게이트 신호 및 공통신호의 감쇄율이 다르기 때문에 ΔVp(킥백전압) 현상이 발생하게 되고, 이는 액정패널에서 플리커의 원인이 된다.

여기서, 킥백전압은 게이트 신호에 의해 스위칭되는 드레인 전류가 화소전극(104)에 인가될 때 순간적으로 감소하는 현상으로 게이트 전극과 소스 및 드레인 전극의 중첩된 폭에 의한 기생정전용량(Cgs), 화소전극과 공통전극의 정전용량(C_{LC}), 스토리지 캐패시턴스의 정전용량(C_{ST})과 게이트 전압(Vg)에 의해 결정되며, 식으로 표현하면,

$$\Delta Vp = \frac{C_{gs}\Delta Vg}{C_{gs}+C_{LC}+C_{ST}} \quad \text{- - - - - - - - - - - - - (1)}$$

으로 표현된다.

따라서, 식 (1)에 의해 A, B, C 영역의 ΔVp의 편차를 살펴보면 다음과 같다.

여기서, C_{LC} , C_{ST} 는 모든 화소영역에서 동일하다고 가정하면, 게이트 전압(Vg)의 감쇄가 가장 작은 영역인 A 영역에서는 ΔVg가 큰 영역으로 ΔVp가 상대적으로 크게 된다. 따라서, A 영역에서는 C_{gs} 를 상대적으로 인접 영역에 비해 작게 설계함으로써 ΔVp를 감소시키고, 게이트 패드의 반대영역인 C 영역에서는 배선의 저항에 의해 ΔVg가 작은 영역으로 ΔVp가 다른 영역에 비해 상대적으로 작으며, C_{gs} 를 크게 설계함으로써 ΔVp를 인위적으로 증가시키게 된다.

한편, 패널의 중앙부분인 B 영역의 경우 게이트 배선의 저항을 고려할 경우 A 영역과 C 영역의 중간 수준이나 공통전압의 감쇄현상을 보정해 주기 위해 C_{gs} 를 가장 크게 해주어 공통전압의 감쇄현상을 보정해 줄 수 있게 설계한다.

즉, 다시 설명하면, 게이트 전압의 편차가 가장 큰 영역인 A 영역에서 ΔVp가 가장 심하고 C 영역에서 가장 작게 된다. 이를 보정하기 위해 게이트 전극과 소스 및 드레인 전극이 중첩되는 폭에 차등을 두어 B 영역의 중첩되는 폭(L_{B1})을 A 영역의 폭(L_{A1})보다 크게 형성하고, C 영역의 폭(L_{C1})은 더 크게 형성함으로써 패널의 위치에 따른 ΔVp를 보정할 수 있다.

한편, 공통전압을 고려하면 B 영역에서 가장 크게 공통전압의 감쇄가 일어나기 때문에, 각 영역(A, B, C)에 인가되는 게이트 전압의 감쇄와 공통전압의 감쇄를 모두 고려할 경우 각 영역에서의 게이트 전극과 소스 및 드레인 전극이 중첩되는 폭의 설계는 $L_{A1} < L_{C1} < L_{B1}$ 순으로 형성하는 것이 가장 바람직하다 할 수 있을 것이다.

이상에서 살펴본 바와 같이 외부의 구동회로에서는 ΔVp를 개별적으로 보상할 수 없기 때문에 본 발명에서는 이를 구조적으로 설계를 달리하여 보상한다.

즉, 패널의 위치에 따른 C_{gs} (게이트 전극과 소스 및 드레인 전극의 중첩된 폭에 의한 정전용량)의 값을 차등을 두어 패널을 설계하면 전 패널의 영역에 걸쳐 ΔVp를 보상할 수 있게 된다.

발명의 효과

상술한 본 발명의 실시예로 IPS 모드의 액정표시장치를 제작할 경우 패널의 전 영역에 걸쳐 ΔVp를 보정하여 플리커를 줄일 수 있기 때문에 화질이 개선된 액정 표시장치를 제공할 수 있는 장점이 있다.

(57) 청구의 범위

청구항 1.

기판,

상기 기판 상에 형성되고, 각각 게이트, 소스 및 드레인 전극을 갖는 다수개의 박막 트랜지스터,

상기 각 스위칭 소자에 신호를 인가하고, 각각 게이트 및 소스 전극과 접촉하는 제 1, 2 배선,

상기 드레인 전극과 접촉하는 화소전극을 포함하며,

상기 각각의 박막 트랜지스터는 게이트 전극과 소스 및 드레인 전극과의 중첩된 폭이 다른 박막 트랜지스터 어레이 기판.

청구항 2.

기판,

상기 기판 위에 형성되어 있는 다수개의 제 1 배선,

다수개의 제 2 배선,

상기 각 제 1, 2 배선의 교차점에서 제 1, 2 배선으로부터 신호를 인가 받는 박막 트랜지스터,

상기 박막 트랜지스터에서 신호를 인가 받는 화소전극을 포함하고,

상기 제 1 배선은 신호를 인가하는 부분과 인접한 A 영역과, A 영역의 반대쪽에 위치하는 C 영역과, 상기 A, C 영역의 중간영역인 B영역으로 구분할 수 있으며, 상기 박막 트랜지스터의 게이트 전극과 드레인 전극의 중첩된 폭은 A, B, C 영역에서 각각 다른 크기를 갖는 박막 트랜지스터 어레이 기판.

청구항 3.

청구항 2에 있어서,

상기 제 1 배선은 게이트 배선인 박막 트랜지스터 어레이 기판.

청구항 4.

청구항 2에 있어서,

상기 중첩된 폭의 크기는 A 영역, C 영역, B 영역 순에 따라 커지는 박막 트랜지스터 어레이 기판.

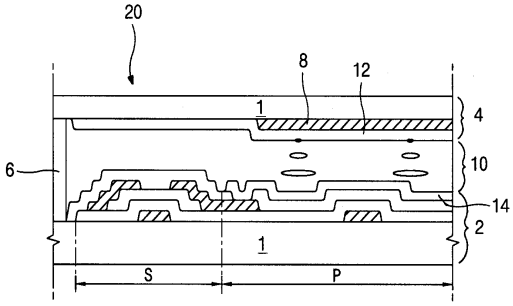
청구항 5.

청구항 2에 있어서,

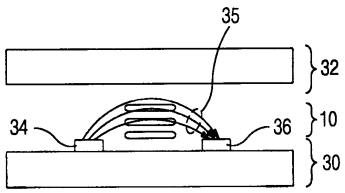
상기 화소전극과 평행하게 형성된 공통전극을 더 포함하는 박막 트랜지스터 어레이 기판.

도면

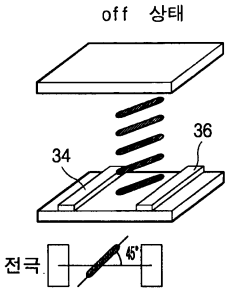
도면 1



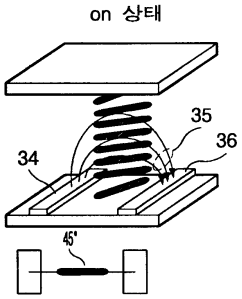
도면 2



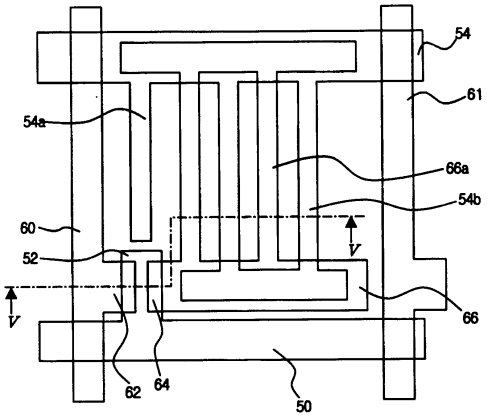
도면 3a



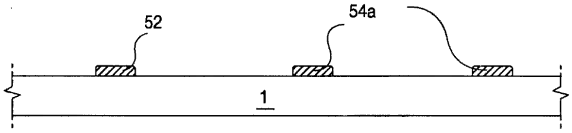
도면 3b



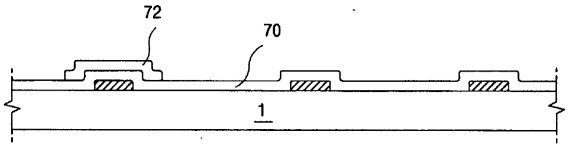
도면 4



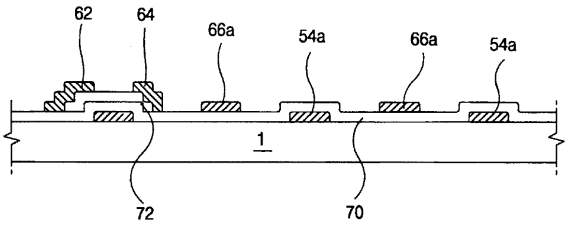
도면 5a



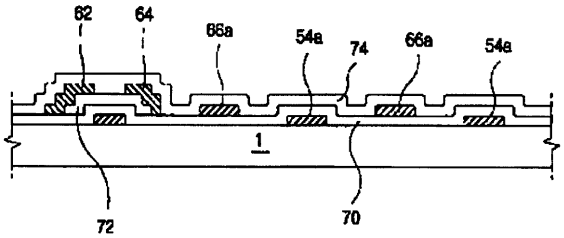
도면 5b



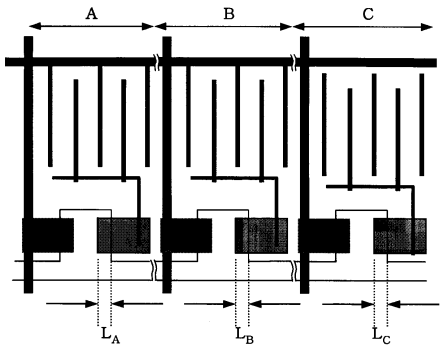
도면 5c



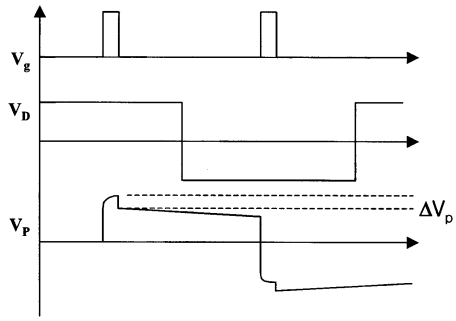
도면 5d



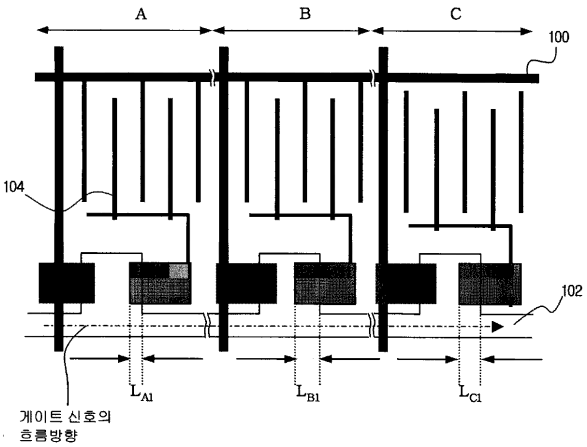
도면 6



도면 7



도면 8



专利名称(译)	液晶显示器		
公开(公告)号	KR1020020009144A	公开(公告)日	2002-02-01
申请号	KR1020000042533	申请日	2000-07-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JOUN HO 이준호 KO DOO HYUN 고두현		
发明人	이준호 고두현		
IPC分类号	G02F1/1343 G02F1/136 G02F1/1368		
CPC分类号	G02F1/136286 G02F1/1368 G02F2001/13606 G02F1/134363		
其他公开文献	KR100593314B1		
外部链接	Espacenet		

摘要(译)

本发明旨在提供一种高质量的IPS液晶显示装置。 在一般的IPS型液晶显示装置中，由于栅极布线或公共布线的布线电阻，取决于液晶面板的位置，发生反冲电压（ΔVp）的差异。也就是说，由于与施加信号的焊盘相邻的像素的电压和远离焊盘的像素部分彼此不同，因此像素中充电的电荷量不同，并且产生闪烁。 在根据本发明的薄膜晶体管阵列基板中，栅极和源极和漏极的重叠宽度根据面板的位置而不同地设计，从而减小了由于面板位置引起的反冲电压差异引起的闪烁。 8 指数方面 反冲电压，闪烁，寄生电容