

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ G02F 1/136	(11) 공개번호 (43) 공개일자	특2001-0029948 2001년04월16일
(21) 출원번호	10-2000-0040605	
(22) 출원일자	2000년07월14일	
(30) 우선권주장	99-200153 1999년07월14일 일본(JP)	
(71) 출원인	닛뽕덴끼 가부시끼가이샤 가네꼬 히사시	
(72) 발명자	일본 도오교도 미나또꾸 시바 5초메 7방 1고 와따나베마꼬또 일본도오교도미나또꾸시바5초메7방1고닛뽕덴끼가부시끼가이샤나이 구로하쇼이찌 일본도오교도미나또꾸시바5초메7방1고닛뽕덴끼가부시끼가이샤나이 히데히라마사노부 일본도오교도미나또꾸시바5초메7방1고닛뽕덴끼가부시끼가이샤나이	
(74) 대리인	특허법인코리아나 박해선, 특허법인코리아나 조영원	

심사청구 : 있음

(54) 박막 트랜지스터의 백 채널을 바이어스하기 위한 2개의기판 구조물 사이에 도전 스페이서를 구비하는 액정 표시장치

요약

액티브 매트릭스형 액정 표시장치는, 각각 박막 트랜지스터 (10) 의 조합으로 구현된 화소의 배열, 박막 트랜지스터 (10) 를 통해 신호선 (13) 에 접속된 화소 전극 (7), 상기 화소 전극 (7) 으로부터 이격된 공통 전극 (23), 및 화소 전극 (7) 과 공통 전극 (23) 사이의 간극을 채우는 액정 (30) 을 구비하고 있고, 스페이서 (250) 가 박막 트랜지스터 (10) 의 백 채널 영역 (11) 위의 보호 절연막 (8) 과 평탄화막 (32) 사이에 삽입되며, 이 스페이서 (250) 는 도전성이고 백 채널 영역 (11) 으로부터 도전성을 제거하는 방식으로 특정 전위 레벨(V_{Goff}) 에 고정된다.

대표도

도5

색인어

도전성 스페이서, 박막 트랜지스터, 블랙 매트릭스

명세서

도면의 간단한 설명

- 액정 표시장치의 특징 및 장점들은 첨부한 도면과 함께 하기의 설명으로부터 좀더 명확하게 이해된다.
- 도 1 은 종래의 액정 표시장치의 구조를 도시하는 단면도.
 - 도 2 는 일본 특개평 8-234212호 공보에 개시되어 있는 종래의 액정 표시장치의 구조를 도시하는 단면도.
 - 도 3 은 종래의 액정 표시장치에 구현된 박막 스위칭 트랜지스터의 등가 회로를 도시하는 회로도.
 - 도 4 는 표준 박막 비정질 실리콘 트랜지스터의 게이트 전압 대 드레인전류 특성을 도시하는 그래프.
 - 도 5 는 본 발명에 의한 액정 표시장치에 구현된 화소의 등가 회로를 도시하는 회로도.
 - 도 6 은 액정 표시장치에 구현된 화소의 레이아웃을 도시하는 도면.
 - 도 7 은 도 6 의 a-a' 선을 따라 취해진 화소의 구조를 도시하는 단면도.
 - 도 8 은 제 2 기판 구조의 내부 표면 상의 도전 패턴의 레이아웃을 도시하는 저면도.
 - 도 9 는 본 발명에 의한 또다른 액정 표시장치에 구현된 화소의 등가 회로를 도시하는 회로도.

도 10 은 화소의 구조를 도시하는 단면도.

도 11 은 액정 표시장치에 구현된 제 2 기판 구조의 내부 표면 상의 도전 패턴의 레이아웃을 도시하는 저면도.

도 12 는 본 발명에 의한 또다른 액정 표시장치에 구현된 화소의 레이아웃을 도시하는 평면도.

도 13 은 도 12 의 b-b' 선을 따라 취해진 화소의 구조를 도시하는 단면도.

※ 도면의 주요부분에 대한 부호의 설명

- | | |
|-----------------------------------|------------------------------|
| 1, 51, 101, 141 : 유리 기판 | 2, 52, 102, 142 : 주사선 |
| 3, 53, 103, 143 : 게이트 절연막 | 4, 54, 104, 144 : 반도체막 |
| 5, 55, 105, 145 : 드레인 전극 | 6, 56, 106, 146 : 소스 전극 |
| 7, 57, 107, 147 : 화소 전극 | 8, 58 : 보호 절연막 |
| 10, 60 : 박막 스위칭 트랜지스터 | 11, 41, 91, 111, 151 : 백 채널 |
| 12, 42, 152 : 프론트 채널 | 13, 63 : 신호선 |
| 14 : 개구부 | 21, 71, 121, 161 : 유리 기판 |
| 22, 72 : 블랙 매트릭스 | 23, 43, 73, 123, 163 : 공통 전극 |
| 29, 79, 129, 169, 250, 260 : 스페이서 | 30, 80, 130, 170 : 액정 |
| 31, 81 : 컬러 필터 | 32 : 평탄화막 |
| 33 : 스페이서 전극 | 34 : 도전 패턴 |
| 39, 89 : 스페이서 접촉 영역 | 100 : 제 1 기판 구조 |
| 128, 168 : 배향막 | 200 : 제 2 기판 구조 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시장치, 특히 2개의 기판 구조물 사이에 스페이서가 삽입된 액티브 매트릭스 액정 표시장치에 관한 것이다.

액정 표시의 전형적인 예가 도 1 에 도시되어 있다. 종래의 액정 표시장치는 반전된 스테거형 박막 트랜지스터를 구비한 액티브 매트릭스 형으로 분류되어 있다. 종래의 액정 표시는 기판 구조물, 스페이서 (129), 및 액정 (130) 을 구비하고 있다. 스페이서 (129) 는 투명한 합성 수지로 형성되고, 구형 비드(bead)와 같은 모양이다. 스페이서 (129) 는 기판 구조물이 조립되기 전에 기판 구조물에 산재되어 있다. 기판 구조물이 조립될 때, 스페이서 (129) 는 2개의 기판 구조물 사이에 간극을 생성하고 이러한 간극은 액정 (130) 으로 채워진다.

하부 기판 구조물은 유리 기판 (101), 주사선 (102), 박막 스위칭 트랜지스터 (110), 화소 전극 (107), 및 배향막 (108) 을 구비하고 있다. 박막 스위칭 트랜지스터 (110) 는 게이트 전극으로 작용하는 주사선의 일부, 게이트 절연막 (103), 반도체막 (104), 드레인 전극 (105), 및 소스 전극 (106) 을 구비하고 있다. 주사선 (102) 은 유리 기판 (101) 상에 패터닝되고, 게이트 절연막으로 피복되어 있다. 반도체막 (104) 은 게이트 절연막 (104) 상에 패터닝되고, 소스/드레인 영역은 각 반도체막 (104) 에 형성되어 있다. 소스 영역은 드레인 영역으로부터 이격되어 있고 게이트 전극 또는 주사선 (102) 의 일부는 백 채널 (111) 에 대향하고 있다. 드레인 전극 (105) 은 드레인 영역과 접하고 있고, 소스 전극 (106) 은 소스 영역과 접하고 있다. 또, 화소 전극 (107) 은 게이트 절연막 (103) 에 패터닝되고 박막 스위칭 트랜지스터 (110) 와 각각 결합되어 있다. 각 소스 전극 (106) 은 결합된 화소 전극 (107) 에 접속되어 있다. 박막 스위칭 트랜지스터 (110) 와 화소 전극 (107) 은 배향막 (108) 으로 피복되어 있다.

한편, 상부 기판 구조물은 유리 기판 (121), 블랙 매트릭스 (122), 공통 전극 (123), 및 배향막 (128) 을 구비하고 있다. 블랙 매트릭스 (122) 는 유리 기판 (121) 상에 패터닝되어 있고, 공통 전극 (123) 은 유리 기판 (121) 과 블랙 매트릭스 (122) 위에 패터닝되어 있으며, 블랙 매트릭스는 공통 전극 (123) 의 일부와 겹쳐져 있다. 공통 전극 (123) 은 배향막 (128) 으로 피복되어 있고, 배향막 (128) 은 스페이서 (129) 에 의해 배향막 (108) 으로부터 이격되어 있다.

종래의 액정 표시장치에 있어서의 문제점은 그 위에 재생된 영상의 질이 떨어진다는 점이었다. 이러한 품질의 저하는 스페이서 (129) 와 기울어진 입사광에 기인한다. 좀더 자세히 설명하면, 스페이서 (129) 는 상술한 배향막 (108/128) 중 하나 위에 산재되어 있다. 화소 전극 (107) 위에 스페이서 (129) 를 위치시킬 수 밖에 없다. 화소 전극 (107) 위의 스페이서는 액정 (130) 을 제거하고, 액정 분자 (130) 의 배열에 관계없이 빛이 통과하도록 한다. 또한, 스페이서 (129) 는 그 주위의 액정 분자 (130) 의 배열을 변화시키고, 전송된 빛의 양과 음영을 조절할 수 없게 만든다. 스페이서 (129) 가 균일하게 산재되지 않는 경우, 전송된 빛의 양은 스페이서 (129) 밀도의 분산에 따라 변화한다.

그러므로, 스페이서 (129) 는 영상의 품질 저하의 원인이 된다.

비록, 블랙 매트릭스 (122) 가 유리 기판 (121) 상에 형성되지만, 비스듬이 입사한 빛은 백 채널 (111) 에 도달하게 되고, 반도체막 (104) 에 전자-정공 쌍을 생성한다. 전자-정공 쌍은 박막 스위칭 트랜지스터 (110) 의 트랜지스터 특성을 변화시키고, 결합된 화소 전극 (107) 과 공통 전극 (123) 사이에 전위차가 부적절하게 인가된다. 이로 인해 영상 품질의 저하가 발생하게 된다.

일본 특허평 8-234212호 공보에 해결책이 기재되어 있다. 종래의 액정 표시장치는 도 2 에 도시되어 있다. 또한, 종래의 액정 표시장치는 기판 구조물, 스페이서 (169), 및 액정 (170) 을 구비하고 있다. 종래의 2개의 액정 표시장치의 차이점은 스페이서 (169) 의 위치이다. 스페이서 (169) 는 투명하지 않다. 비록 스페이서 (169) 가 배향막 (108/128) 위에 임의로 산재되어 있을지라도 스페이서 (169) 는 백 채널 (151) 위에 놓여져 있다. 기판 구조물이 조립될 때도, 스페이서 (169) 는 2개의 기판 구조물 사이에 간극을 형성하고, 이러한 간극은 액정 (170) 으로 채워져 있다.

하부 기판 구조물은 도 1 에 도시된 것과 유사하다. 즉, 하부 기판 구조물은, 유리 기판 (141), 주사선 (142), 박막 스위칭 트랜지스터 (150), 화소 전극 (147), 및 배향막 (148) 을 구비하고 있다. 박막 스위칭 트랜지스터 (150) 는 게이트 전극으로 작용하는 주사선의 일부, 게이트 절연막 (143), 반도체막 (144), 드레인 전극 (145), 및 소스 전극 (146) 을 구비하고 있다. 주사선 (142) 은 유리 기판 (141) 상에 패터닝되고, 게이트 절연막 (143) 으로 피복되어 있다. 반도체막 (144) 은 게이트 절연막 (143) 상에 패터닝되고, 소스/드레인 영역은 각 반도체막 (144) 에 형성되어 있다. 소스 영역은 드레인 영역과 이격되어 있고, 게이트 전극 또는 주사선 (142) 부분은 백 채널 (151) 에 대향하고 있다. 드레인 전극 (145) 은 드레인 영역에 접하고 있고, 소스 전극 (146) 은 소스 영역에 접하고 있다. 또한, 화소 전극 (147) 은 게이트 절연막 (143) 상에 패터닝되어 있고, 각각 박막 스위칭 트랜지스터 (150) 와 결합되어 있다. 각 소스 전극 (146) 은 결합된 화소 전극 (147) 과 접촉되어 있다. 박막 스위칭 트랜지스터 (150) 와 화소 전극 (147) 은 배향막 (148) 으로 피복되어 있다.

상부 기판 구조물은 유리 기판 (161), 공통 전극 (163), 및 배향막 (168) 을 구비하고 있다. 공통 전극 (163) 은 유리 기판 (161) 상에 패터닝되어 있고, 배향막 (168) 으로 피복되어 있다. 스페이서 (169) 는 배향막 148 과 168 사이에 삽입되어 있고 간극은 액정 (170) 으로 채워져 있다.

스페이서 (129) 는 스페이서 (169) 로 대체되어 있고 불투명하다. 비록, 종래의 액정 표시장치 상에 빛이 비스듬히 입사할지라도 불투명 스페이서 (169) 는 입사광으로부터 백 채널 (151) 을 보호하고 트랜지스터 특성을 일정하게 유지시킨다. 더욱이 화소 전극 (147) 위에는 아무런 스페이서도 없고 액정이 화소 전극 (147) 과 공통 전극 (163) 사이의 간극을 점유하고 있다. 이는 액정 분자의 배열에 있어서의 혼란을 무시할 수 있게 한다. 스페이서 (169) 는 화소 전극 (147) 과 공통 전극 (163) 사이의 액정 분자에 영향을 덜 미친다. 액정 분자의 배열은 단지 화소 전극 (147) 과 공통 전극 (163) 사이의 전위차에만 의존하고, 액정 (170) 의 전송은 규격 바이어스 조건 하에서의 액정에 있어서는 일정하다. 그러므로, 스페이서 (169) 의 위치는 이미지의 품질 저하 방지에 효과적이다. 그러나, 일본 특허 공보에 기재된 종래의 액정 표시장치에서, 박막 스위칭 트랜지스터 (150) 에서 오동작이 발생한다고 하는 문제점이 발견되었다.

세부적으로는, 비록 스페이서 (169) 가 어떠한 전압원에 접속되지 않더라도, 스페이서 (169) 는 그 주위에 전계로 인해 충전되고 변화한다. 보호 절연막 (148) 은 스페이서 (169) 와 반도체막 (144) 사이에 삽입되고, 스페이서 (169) 및 반도체막 (144) 과 함께 커패시터를 형성한다. 즉, 스페이서 (169) 는 전계 효과 트랜지스터의 백 게이트의 기능을 하고, 스페이서 (169) 상의 전위 레벨은 백 채널 (151) 의 도전성에 영향을 미친다. 박막 스위칭 트랜지스터 (150) 는 도 3 에 도시된 바와 같이, 2개의 전계 효과 트랜지스터의 병렬 조합과 같다. 도 3 에서, " V_{SP} ", " V_G ", " V_0 ", " V_{COM} ", 및 " CLS " 는 각각 스페이서 (169) 상의 전위 레벨, 주사선 (142) 상의 전위 레벨, 드레인 전극 (145) 상의 전위 레벨, 공통 전극 (163) 상의 전위 레벨, 및 액정 (170) 의 용량을 나타낸다. 비록, 프론트 채널 (152) 은 전위 레벨 (V_G) 로 제어되지만, 스페이서 (169) 상의 전위 레벨 (V_{SP}) 은 주사선 (142) 상의 전위 레벨 (V_G) 보다 백 게이트 (151) 에 영향을 더 미치며, 스페이서 (169) 는 전위 레벨 (V_{SP}) 에 따라 백 채널 (151) 에 컨덕턴스를 부여한다.

스페이서 (169) 가 충전될 때, 전하는 스페이서 (169) 상의 전위 레벨을 변경시킨다. 비록, 스페이서 (169) 가 충전되지 않더라도, 스페이서 (169) 는 공통 전극 (163) 상의 전위 레벨 영향을 받고, 유도된 전하는 스페이서 (169) 상의 전위 레벨을 변경시킨다.

도 4 는 비정질 실리콘의 표준 박막 트랜지스터의 전압 대 전류 특성을 도시한다. 만약, 스페이서 (169) 가 충분히 낮은 전위 레벨을 갖지 않으면, 낮은 전위 레벨 (V_{G0FF}) 에도 불구하고 백 채널 (151) 을 통해 전류 (I_{DS}) 가 흐르고, 화소 전극 (147) 상의 전위 레벨을 바람직하지 않게 변경시킨다. 이는 액정 분자 (170) 가 설계된 각도로부터의 방위를 변경시킨다. 방위가 변경될 때, 화소 전극 (147) 위의 액정 일부분은 전송을 변경시킨다. 만약, 스페이서 (169) 상의 전위 레벨이 분산되면, 이미지의 밝기가 바람직하지 않게 변화된다. 이는 종래의 액정 표시장치 상에 생성된 이미지의 품질 저하를 가져온다.

발명이 이루고자하는 기술적 과제

그러므로, 본 발명의 중요한 목적은 고품질의 이미지를 생성하는 액정 표시장치를 제공하는 것이다.

이러한 목적을 달성하기 위해서, 본 발명은 백 채널의 컨덕턴스를 감소시킬 수 있도록 특정 전압 레벨로 스페이서를 바이어스할 것을 제안한다.

본 발명의 일 양태에 의하면, 제 1 투명 기판, 제 1 투명 기판 상에 제조되고 제 1 채널 영역과 제 1 채널

널 영역보다 제 1 투명 기판에 더 가까운 제 2 채널 영역을 가지는 하나 이상의 박막 트랜지스터, 제 1 투명 기판 위에 형성되고, 전계를 형성하기 위하여 하나 이상의 박막 트랜지스터를 통하여 신호원에 접속되는 하나 이상의 화소 전극, 및 하나 이상의 박막 트랜지스터를 피복하는 보호 절연막을 구비하는 제 1 기판 구조물과, 간극을 형성하기 위해 제 1 기판 구조물로부터 이격된 제 2 기판 구조물과, 보호 절연막과 제 2 기판 구조물 사이에 삽입되고, 제 1 채널 영역의 컨덕턴스를 감소시키기 위해 제 1 채널 영역이 특정 전위 레벨로 바이어스되도록 전위 레벨원에 접속되는 하나 이상의 도전성 스페이서와, 보호 절연막과 제 2 기판 구조물 사이의 간극을 채우고 전계의 강도에 따라 방위를 변경시키는 액정을 구비하는 액정 표시장치가 제공된다.

발명의 구성 및 작용

(실시예)

제 1 실시예

도 2 에 도시된 종래의 액정 표시장치에서 설명한 바와 같이, 스페이서 (169) 는 반전된 스택거형의 박막 트랜지스터 (150) 의 백 채널 (151) 위에 위치하고, 다른 도전막으로부터 전기적으로 고립된 백 게이트 전극으로 작용한다. 한편, 본 발명을 구현한 액정 표시장치도 2개의 기판 구조물 사이의 스페이서를 구비하고 이 스페이서들은 박막 스위칭 트랜지스터의 백 채널을 오프 상태로 유지시키기 위해 특정 전위로 바이어스되어 있다. 특정 전위는 도 4 에서, “ V_{OFF} ” 로 표시되어 있다. 이 결과, 박막 스위칭 트랜지스터는 백 채널이 항상 턴오프되어 있는 도 5 에 도시된 회로와 동일하게 된다. 특정 전위 (V_{OFF}) 는 여기서 “게이트 오프 전위” 라고 부른다.

도 6, 도 7, 및 도 8 로 돌아가서, 본 발명을 구현하는 액정 표시장치는 크게 제 1 기판 구조물 (100), 제 2 기판 구조물 (200), 제 1 기판 구조물 (100) 과 제 2 기판 구조물 (200) 사이에 삽입된 스페이서 (250), 및 제 1 기판 구조물 (100) 과 제 2 기판 구조물 (200) 사이의 간극을 채우는 액정 (30) 을 구비하고 있다. 이들 성분들 (100, 200, 250, 및 30) 은 매트릭스로 배열된 복수의 화소를 형성하고, 이들 각 화소는 박막 스위칭 트랜지스터 (10), 화소 전극 (7), 공통 전극 (23), 및 화소 전극 (7) 과 화소 전극 (7) 의 반대측에 있는 공통 전극 (23) 부분 사이의 액정층 부분 (30) 을 포함한다. 공통 전극 (23) 은 투명하고, 화소들 간에 공유되어 있다. 그러므로, 본 발명을 구현하는 액정 표시장치는 “액티브 매트릭스” 라고 불리는 형이고, 박막 스위칭 트랜지스터 (10) 는 반전된 스택거형의 박막 트랜지스터로 분류된다. 비록, 제 1 및 제 2 기판 구조물 (100/200) 이 또한 편광을 위한 편광막과 액정 분자를 배향하기 위한 배향막을 구비하지만, 이들 막들은 간략화를 위해 도면에서 삭제되어 있다.

화소의 매트릭스는 주사선 (2) 및 신호선 (13) 과 결합되어 있다. 주사선 (2) 과 신호선 (13) 은 제 1 기판 구조물 (100) 의 유리 기판 (1) 위에 수직으로 연장하고 있다. 그러나, 주사선 (2) 은 신호선 (13) 으로부터 전기적으로 고립되어 있다. 각 주사선 (2) 은 게이트 전극을 결합된 화소의 열에 있는 박막 스위칭 트랜지스터에 공급하고, 박막 스위칭 트랜지스터 (10) 는 결합된 신호선 (13) 과 결합된 화소 전극 (7) 사이에 접속되어 있다. 비록, 주사선 (2) 과 신호선 (13) 이 외부 신호원에 접속되어 있지만, 외부 신호원은 도면에 도시되어 있지 않다.

주사선 (2) 은 순차적으로 액티브 레벨로 바뀌고, 신호선 (13) 은 결합된 열에 있는 화소 전극 (7) 에 전기적으로 접속되어 있다. 주사선 (2) 이 순차적으로 액티브 레벨로 바뀌면서, 영상을 나타내는 비디오 신호는 화소 전극 (7) 에 선택적으로 공급되며, 영상이 화소의 매트릭스 상에 재생된다. 블랙 매트릭스 (22) 는 개구부 (14;도 6 참조) 를 형성하며, 각 개구부 (14) 는 화소 전극들 (7) 중 결합된 것에 배치되어 있다.

제 1 기판 구조물 (100) 은 유리 기판 (1), 주사선 (2), 박막 스위칭 트랜지스터 (10), 신호선 (13), 화소 전극 (7), 및 보호 절연막 (8) 을 구비하고 있다. 유리 기판 (1) 은 투명하다. 주사선 (2) 은 유리 기판 (1) 의 주 표면 상에 평행하게 형성되어 있고, 신호선 (2) 과 유리 기판 (1) 의 나머지 표면은 게이트 절연막 (3) 으로 피복되어 있다. 게이트 절연막 (3) 은 박막 스위칭 트랜지스터들 (10) 간에 공유되어 있다. 박막 스위칭 트랜지스터들 (10) 은 구조가 서로 유사하고, 이들중 하나에 대해서 설명한다.

반도체막 (4) 은 게이트 절연막 (3) 상에 형성되어 있고, 결합된 주사선 (2) 위에 위치하고 있다. 반도체막 (4) 은 비정질 실리콘일 수 있다. 신호선 (13) 은 게이트 절연막 (3) 상에 패터닝되어 있다. 드레인 영역과 소스 영역은 반도체막 (4) 에 형성되어 있고, 서로 이격되어 있다. 반도체막 (4) 은 소스 영역과 드레인 영역 사이에서 부분적으로 침하되어 있다. 백 채널 (11) 과 프론트 채널 (12) 은 드레인 영역과 소스 영역 사이의 반도체막 (4) 에 형성되어 있다. 드레인 전극 (5) 은 결합된 신호선 (13) 으로부터 투영되어 드레인 영역과 접하고 있다. 또한, 소스 전극 (6) 도 게이트 절연막 (3) 상에 형성되어 있고, 그것의 일단부는 소스 영역에 속해 있고, 그 다른 단부는 화소 전극 (7) 에 부착되어 있다. 게이트 절연막 (3), 반도체막 (4), 드레인 전극 (5), 소스 전극 (6) 은, 게이트 전극으로 작용하는 주사선 (2) 부분과 함께 조합되어 박막 스위칭 트랜지스터 (10) 를 형성한다. 박막 스위칭 트랜지스터 (10) 와 신호선 (13) 은 보호 절연막 (8) 으로 피복되어 있다. 그러나, 화소 전극 (7) 은 보호 절연막 (8) 에 형성된 개구부에 노출되어 있다. 박막 스위칭 트랜지스터 (10) 는 보호 절연막 (8) 과 일치되게 피복되어 있고, 오목부는 보호 절연막 (8) 에 형성되어 있다. 오목부는 백 채널 (11) 위에 위치하고 있다.

제 2 기판 구조물 (200) 은 유리 기판 (21), 블랙 매트릭스 (22), 컬러 필터 (31), 평탄화막 (32), 스페이서 바디 (29), 스페이서 전극 (33), 및 공통 전극 (23) 을 구비하고 있다. 유리 기판 (21) 은 투명하다. 블랙 매트릭스 (22) 는 격자 모양이고, 블랙 매트릭스 (22) 의 내부 가장자리는 상술한 바와 같이, 각각 개구부 (14) 를 형성하고 있다. 개구부 (14) 는 각각 화소 전극 (7) 에 배치되어 있고, 따라서 화소 전극 (7) 은 그 주변 지역을 제외하고는 개구부 (14) 에 노출되어 있다. 개구부

(14) 는 컬러 필터 (31) 로 피복되어 있고, 이것은 선택적으로 적, 녹, 및 청으로 채색되어 있다.

한편, 박막 스위칭 트랜지스터 (10), 주사선 (2), 및 신호선 (13) 은 블랙 매트릭스 (22) 아래에 있고, 화소 전극 (7) 은 각각 컬러 필터 (31) 에 대향하고 있다. 빛이 화소 전극 (7) 위의 액정 부분 (30) 을 통과할 때, 빛은 컬러 필터 (31) 로 채색되고, 컬러 이미지는 화소의 매트릭스 위에 재생된다.

블랙 매트릭스 (22) 와 컬러 필터 (31) 는, 매끈한 표면을 형성하기 위해 평탄화막 (32) 으로 피복된다. 스페이서 바디 (29) 는 매끈한 표면으로부터 투영되고, 합성 수지로 형성된다. 합성 수지는 차광 특성을 가지고 있다. 제조 공정에서, 합성 수지는 펼쳐지고 스페이서 바디 (29) 로 패터닝된다.

도전성 재료가 매끈한 표면과 스페이서 바디 (29) 위에 퇴적되고 도전성 재료막이 공통 전극 (32) 과 스페이서 전극 (33) 으로 패터닝된다. 공통 전극 (23) 은 빗 모양(도 8 참조)을 하고 있고 스페이서 전극 (33) 은 도전성 패턴 (34) 에 전기적으로 접속되어 있다. 또한, 도전성 패턴 (34) 은 빗 모양과 같은 구성으로 되어 있고, 공통 전극 (23) 과 깎지끼듯이 되어 있다. 그러나, 도전성 패턴 (34) 은 공통 전극 (23) 으로부터 이격되어 있다. 그러므로, 스페이서 전극 (33) 은 공통 전극 (23) 과 전기적으로 이격되어 있다. 스페이서 바디 (29) 와 스페이서 전극 (33) 은 조합되어 스페이서 (250) 를 형성한다. 스페이서 (250) 의 선단부는 각각 보호 절연막 (8) 에 형성된 오목부에 수용되고, 결합된 백 채널 (11) 위에서 보호 절연막 (8) 과 접하고 있다. 그러므로, 스페이서 전극 (33) 은 박막 스위칭 트랜지스터 (10) 의 백 채널 (11) 에 대향하고 있다.

도전성 패턴 (34) 을 통해 게이트 오프 전위 ($V_{G\text{OFF}}$) 가 스페이서 전극 (33) 에 공급된다. 공통 전극 (23) 과 도전성 패턴 (34) 은 표시 영역의 주변 영역에 도달하고, 은페이스트나 도전성 밀봉막을 이용하여 주변 영역으로부터 제 1 기판 구조물 (100) 에 접속되어 있다.

도 7 로 되돌아가서, 공통 전극 (23) 은 화소 전극 (7) 에 대향하고 있고, 전위 레벨 (V_{COM}) 이 공통 전극 (23) 에 인가된다. 그러므로, 전위차가 선택적으로 화소 전극 (7) 과 공통 전극 (23) 사이에 인가된다.

제 2 기판 구조물 (200) 은 제 1 기판 구조물 (100) 과 조립되고, 그들 사이의 간극은 액정 (30) 으로 채워진다.

상술한 액정 표시장치는, 화소의 매트릭스 상에 제조된 이미지의 품질 저하에 대해 효과적이다. 액정 표시장치가 화소의 매트릭스 상에 이미지를 재생하는 동안, 게이트 오프 전위는 도전성 패턴 (34) 을 통하여 스페이서 전극 (33) 에 연속적으로 인가된다. 스페이서 전극 (33) 은 보호 절연막 (8) 을 통해 백 채널에 대향하고 있고, 반도체막 (4) 에 도입된 도핑 불순물에 도전성이 반대인 캐리어를 도입한다. 도입된 캐리어는 항상 백 채널 (11) 에서 도전성을 제거하고, 프론트 채널 (12) 만이 신호선 (13) 으로부터 화소 전극 (7) 으로 비디오 신호를 전달할 수 있다. 즉, 주사선 (2) 이 액티브 레벨로 바뀔 때, 결합된 박막 트랜지스터 (10) 가 턴온되고, 비디오 신호는 프론트 채널 (12) 을 통해서만 화소 전극 (7) 에 전달된다. 그러나, 주사선 (2) 이 비활성 레벨로 회복될 때, 모든 도전성 채널이 결합된 박막 스위칭 트랜지스터 (10) 로부터 제거되고, 화소 전극 (7) 이 신호선 (13) 으로부터 전기적으로 고립된다. 이는 화소 전극 (7) 의 전위 레벨이 거의 저하하지 않는다는 것을 의미한다. 화소 전극 (7) 과 공통 전극 (23) 사이의 전위차는 액정 분자를 주어진 배열로 유지시키고, 화소의 매트릭스 상의 이미지를 안정되게 생성시킨다.

또한, 스페이서 전극 (33) 은 게이트-오프 전위 레벨 ($V_{G\text{OFF}}$) 에 고정되어 있다. 이는, 모든 박막 스위칭 트랜지스터 (10) 가 예외없이 안정하게 트랜지스터 특성을 나타낸다는 것을 의미한다. 화소의 밝기는 비디오 신호에 전적으로 의존하고, 동요하지 않는다. 이는 이미지의 대조에 있어서의 향상을 가져온다.

비록, 시아노(cyano) 시스템에서의 액정이 전기 저항성에 있어서 상대적으로 낮지만, 스페이서 (250) 가 백 채널 (11) 상의 전위 레벨을 안정하게 만들기 때문에, 시아노 시스템에서의 액정을 본 발명에 의한 액정 표시장치에 사용할 수 있다. 제조업자는 여러 대안중에 가장 적절한 액정을 선택할 수 있다.

최종적으로, 제 1 기판 구조물 (100) 과 제 2 기판 구조물 (200) 사이의 오프셋이 감소되기 때문에, 스페이서 (250) 는 액정 표시장치의 생산량을 증대시킨다. 좀더 자세히 설명하면, 드레인/소스 전극 (5/6) 으로부터 침하된 백 채널 (11) 로 인해 보호 절연막 (8) 에 오목부가 형성되고, 이러한 오목부는 조립 작업에서 결합된 스페이서 (250) 의 선단부를 수용한다. 스페이서 (250) 는 각각 결합된 박막 스위칭 트랜지스터 (10) 의 백 채널 (11) 로 정렬되고 따라서, 제 1 기판 구조물 (100) 이 제 2 기판 구조물 (200) 과 정확하게 조립된다.

제 2 실시예

도 9, 도 10, 및 도 11 로 돌아가서, 본 발명을 구현하는 또다른 액정 표시장치는 크게 제 1 기판 구조물 (150), 제 2 기판 구조물 (230), 액정 (30), 및 스페이서 (260) 를 구비하고 있다. 스페이서 (260) 는 제 2 기판 구조물 (230) 로부터 투영하고, 제 2 기판 구조물 (230) 로부터 제 1 기판 구조물 (105) 사이를 이격한다. 제 1 기판 구조물 (105) 과 제 2 기판 구조물 (230) 사이는 액정으로 채워진다. 스페이서 (260) 는 도전성이고, 제 2 기판 구조물 (230) 의 일부를 형성하는 공통 전극 (43) 상의 바이어스 전압 (V_{COM}) 과 같은 특정 전위 레벨로 바이어스된다.

제 1 기판 구조물 (150) 은 제 1 기판 구조물 (100) 의 구조와 유사하고, 제 1 기판 구조물 (150) 의 막과 전극은, 제 1 기판 구조물 (100) 의 해당 막과 전극을 지칭된 것과 같은 참조 번호로 표시되어 있다. 박막 스위칭 트랜지스터 (10) 는 백 채널 영역 (41) 과 프론트 채널 영역 (42) 을 구비하고 있다. 스페이서 (260) 는 백 채널 영역 (41) 위의 보호 절연막 (8) 과 접하고 있고 따라서, 백 채널 (41) 에 대향하고 있다. 바이어스 전압 (V_{COM}) 이 스페이서 (260) 에 인가되므로, 화소는 도 9 에 도시된 회

로와 동일하다.

보호 절연막 (8) 은 박막 스위칭 트랜지스터 (10) 위에 일치하게 형성되어 있고, 백 채널 영역 (41) 위의 영역에서 침하되어 있다. 스페이서 (260) 는 보호 절연막 (8) 에서의 오목부에 삽입되어 있고, 보호 절연막 (8) 의 선단부에 매립되어 있다. 스페이서 (260) 와 보호 절연막 (8) 에서의 오목부는, 액정 표시장치가 제 1 기판 구조물 (150) 과 제 2 기판 구조물 (230) 사이에서 오프셋되는 것을 방지한다. 그러므로, 스페이서 (260) 와 오목부는 조립 단계에서의 오프셋에 대해 효과적이다.

제 2 기판 구조물 (230) 은, 그것의 내부 표면 상의 도전 패턴에 있어서 제 2 기판 구조물 (200) 과 상이하다. 그러나, 다른막들은 제 2 기판 구조물 (200) 의 것들과 유사하고, 제 2 기판 구조물 (200) 의 해당 막들을 지정하는 것들에 동일한 참조번호로 표시되어 있다.

박막 스위칭 트랜지스터 (10) 위의 스페이서 (260) 에, 바이어스 전압 (V_{COM}) 을 인가하기 위해, 스페이서 바디 (29) 는 각각 전극 (33) 으로 피복되고, 스페이서 전극 (33) 은 도 11 에 도시된 바와 같이, 공통 전극 (43) 과 함께 통합된다. 공통 전극 (43) 은 바이어스 전압 (V_{COM}) 의 소스에 접속된다. 그러므로, 바이어스 전압 (V_{COM}) 은 공통 전극 (43) 을 통해 스페이서 전극 (33) 에 공급되고, 스페이서 전극 (33) 은 전위 레벨에 있어서 공통 전극 (43) 과 같게 된다.

도전성 스페이서 (260) 는 도전성 백 채널을 백 채널 영역 (41) 로부터 제거하고, 박막 스위칭 트랜지스터 (10) 의 트랜지스터 특성을 일정하게 만든다. 이 점은 제 1 실시예에서 구현한 액정 표시장치의 그것과 동일한 장점을 가져온다. 비록, 바이어스 전압 (V_{COM}) 은 게이트 온 전위 (V_{GON} ; 도 4참조) 보다 게이트 오프 (V_{GOFF}) 전위에 더 가깝지만, 바이어스 전압 (V_{COM}) 은 각 백 채널 영역 (41) 에서 도전성이 낮은 백 채널이 형성되도록 하고, 화소 전극 (7) 과 신호선 (13) 사이에 누설 전류가 흐르도록 한다. 그러나, 누설 전류의 양은 많지 않다. 이 때문에, 화소는 액정 분자 (30) 가 적절히 배향되도록 유지시키고 영상에서의 대비가 향상된다. 액정 (30) 은 여러 종류의 액정중에서 선택할 수 있다.

공통 전극 (43) 은 제조 공정에 있어서, 공통 전극 (23) 보다 장점이 있다. 공통 전극 (23) 은 스페이서 전극 (33) 과 이격되어 있고, 이격을 위해 패터닝 단계가 필요하다. 한편, 공통 전극 (43) 은 제 1 기판 구조물 (230) 의 전체 내부 표면에 걸쳐 연장되어 있고, 공통 전극 (43) 에 어떠한 패터닝 단계도 필요치 않다. 그러므로, 공통 전극 (43) 은 제조 공정을 단순화시킨다.

비록, 일본 특허공 8-262484호 공보에서는 스페이서 (260) 에 바이어스 전압 (V_{COM}) 을 어떻게 인가할 것인지를 설명하고 있지만, 일본 특허 공보에 기재된 스페이서는 저장 용량선에 배치되어 있고, 스페이서 (260) 와는 상이하다. 그러나, 일본 특허 공보에서의 바이어싱 시스템은 본 발명에 의한 액정 표시장치용으로 수정할 수 있다.

제 3 실시예

도 12 와 도 13 으로 돌아가서, 본 발명을 구현하는 또다른 액정 표시장치는 크게, 제 1 기판 구조물 (300), 제 2 기판 구조물 (400), 스페이서 (79), 및 액정 (80) 을 구비하고 있다. 제 1 기판 구조물 (300) 은 제 2 기판 구조물 (400) 에 대향하고 있고, 스페이서 (79) 에 의해 제 2 기판 구조물과 이격되어 있다. 제 1 기판 구조물 (300) 과 제 2 기판 구조물 (400) 사이에 간극이 형성되고 이것은 액정 (80) 으로 채워져 있다.

제 3 실시예를 구현하는 액정 표시장치는 측면 전계 구동형으로 분류된다. 측면 전계 구동형 액정 표시장치의 전형적인 예가 일본 특공소 63-21907호 공보에 개시되어 있다. 측면 전계 구동형 액정 표시장치의 전형적인 예에서는, 제 2 기판 구조물 상에 어떠한 공통 전극도 가지고 있지 않고, 전계는 제 1 기판 구조물에 평행하게 형성되어 있다.

제 1 기판 구조물 (300) 은 유리 기판 (51), 주사선 (52), 공통 전극 (73), 박막 스위칭 트랜지스터 (60), 화소 전극 (57), 신호선 (63), 및 보호 절연막 (58) 을 구비하고 있다. 주사선 (52) 은 외부 신호원에 접속되어 있고, 선택적으로 액티브 레벨로 변경된다. 한편, 비디오 신호는 신호선 (63) 에 공급되고, 화소의 매트릭스로 하여금 영상을 형성하도록 한다. 주사선 (52) 은 간격을 두고 유리 기판 (51) 상에 형성되어 있고, 공통 전극 (73) 은 주사선 (52) 으로 변경된다. 공통 전극 (73) 은, 도 12 에 도시된 바와 같이 빛과 같은 형상을 하고 있다.

박막 스위칭 트랜지스터 (60) 는 주사선 (52) 위에 형성되어 있다. 각 박막 스위칭 트랜지스터 (60) 는 게이트 절연막 (53), 반도체막 (54), 드레인 전극 (55), 소스 전극 (56) 을 구비하고 있다. 게이트 절연막 (53) 은 박막 트랜지스터들 (60) 간에 공유되어 있고, 주사선 (52) 과 공통 전극 (73) 은 게이트 절연막 (53) 으로 피복되어 있다. 각 주사선은 게이트 전극을 열중 하나의 박막 스위칭 트랜지스터에 제공하고, 반도체막 (54) 이 각 게이트 전극 위의 게이트 절연막 (53) 상에 형성된다. 반도체막 (54) 은 부분적으로 침하되어 있고, 소스 영역과 드레인 영역이 침하된 부분의 양쪽에 형성되어 있다. 백 채널 (91) 과 프론트 채널 (92) 이 소스 영역과 드레인 영역 사이의 반도체막 (54) 부분에 형성된다. 신호선 (63) 이 간격을 두고 게이트 절연막 (53) 상에 형성되고, 주사선 (52) 에 수직으로 향하게 된다. 드레인 전극 (55) 은 결합된 신호선 (63) 으로부터 투영되고, 반도체막 (54) 의 드레인 영역과 접하고 있다. 소스 전극 (56) 과 화소 전극 (57) 이 게이트 절연막 (53) 상에 형성되고, 서로 통합되어 있다. 소스 전극 (56) 은 반도체막 (54) 의 소스 영역과 접하고 있고, 화소 전극 (57) 은 빛 모양의 공통 전극 (73) 의 2개의 인접한 빔살들과 평행하게 연장되어 있다. 박막 스위칭 트랜지스터 (60) 와 화소 전극 (57) 은 보호 절연막 (58) 으로 피복되어 있다. 반도체막 (54) 은 소스 영역과 드레인 영역 사이에서 부분적으로 침하되어 있고, 보호 절연막 (58) 은 박막 스위칭 트랜지스터 (60) 위에 일치되게 형성되어 있다. 이 때문에, 반도체막 (54) 위의 보호 절연막 (58) 에 오목부가 형성되어 있다. 스페이서 (79) 는 이 오목부에 삽입되어 있고, 제 1 및 제 2 기판 구조물

(300/400) 이 오프셋되는 것을 방지한다.

제 2 기판 구조물 (400) 은 유리 기판 (71), 블랙 매트릭스, 및 컬러 필터 (81) 를 구비하고 있다. 블랙 매트릭스 (72) 는 유리 기판 (71) 위에 패터닝되어 있다. 블랙 매트릭스 (72) 는 도전성이고 바이어스되어 있다. 블랙 매트릭스 (72) 는 도전성 금속, 카본 등으로 형성되어 있다. 블랙 매트릭스 (72) 로 피복되어 있지 않은 영역은 컬러 필터 (81) 로 피복되어 있고, 블랙 매트릭스 (72) 는 컬러 필터 (81) 와 부분적으로 포개져 있다. 스페이서 (79) 는 도전성이고, 컬러 필터 (81) 로 피복되어 있지 않은 블랙 매트릭스 (72) 로부터 투영되어 있다. 스페이서 (79) 는 도전성 합성 수지, 도전성 금속, 반도체 재료, 카본 등으로 형성되어 있다.

지금까지 살펴본 바와 같이, 스페이서 (79) 는 그것의 선단부에서 보호 절연막 (58) 과 접하고 있고, 박막 스위칭 트랜지스터 (60) 의 백 게이트로 작용한다. 게이트 전압 (VG), 예컨대 게이트 오프 전위 ($V_{G\text{OFF}}$) 또는 공통 전극 (57) 상의 바이어스 전압 (V_{COM}) 이, 액정 표시장치의 동작 동안에, 도전성 블랙 매트릭스 (72) 를 통해 도전성 스페이서 (79) 에 인가된다. 바이어스 전압 (V_G 또는 V_{COM}) 은 다수 캐리어에 반대되는 캐리어를 백 채널 영역 (91) 에 유도하고, 유도된 캐리어에 의해 백 채널 (91) 에서의 도전성이 제거되거나 감소된다. 그러므로, 스페이서 (79) 는 백 채널 (91) 에서 누설 전류가 흐르는 것을 방지하며, 화소로 하여금 양호하게 대비된 컬러 이미지를 재생하도록 한다. 컬러 이미지에서의 불균일성이 해소된다.

상술한 설명에서 알 수 있듯이, 백 채널 (11/41/91) 에서 전류가 흐르는 것을 방지하기 위해, 스페이서 는 특정 전압 (V_{Goff} 또는 V_{COM}) 으로 바이어스된다. 화소의 투명도는 화소 전극 (57) 에 선택적으로 공급되는 비디오 신호에 따라서 변화되고, 박막 스위칭 트랜지스터 (10/60) 는 화소 전극 (7/57) 과 공통 전극 (23/43/73) 사이의 전위차를 유지시킨다. 이렇게 하여 화소의 매트릭스 상에 양호하게 대조된 영상이 재생된다. 영상에서의 불균일성은 제거된다.

발명의 효과

비록, 본 발명의 특정 실시예를 도시하고 설명하였지만, 본 발명의 취지와 범위를 벗어나지 않고 다양한 변형과 수정이 이루어질 수 있다는 점은 당업자들에게 있어서 명백한 것이다.

예컨대, 스페이서 바디 (29) 와 도전성 스페이서 (79) 는 3원색 즉, 적, 녹, 청중 선택된 2가지 색으로 된 2개 층의 적층된 구조를 가질 수 있다. 또한, 스페이서 (250/260) 는 제 1 기판 구조물 (100) 상에 형성될 수 있다.

차광층이 스페이서 (250/260) 용으로 사용될 수 있다. 이 경우, 차광 특성은 스페이서 바디 (29) 에 대해서 필요치 않다. 스페이서 바디 (29) 는 차광층으로 각각 피복되어 있고, 차광층은 박막 스위칭 트랜지스터를 입사광으로부터 차폐시킨다.

(57) 청구의 범위

청구항 1

제 1 투명 기판 (1; 51),

상기 제 1 투명 기판 (1; 51) 상에 제조되고 제 1 채널 영역 (11; 41; 91) 과 상기 제 1 채널 영역 (11; 41; 91) 보다 상기 제 1 투명 기판 (1; 51) 에 더 가까운 제 2 채널 영역 (12; 42; 92) 을 가지는 하나 이상의 박막 트랜지스터 (10; 60),

상기 제 1 투명 기판 (1; 51) 위에 형성되고 전계를 형성하기 위하여, 하나 이상의 상기 박막 트랜지스터를 통하여 신호원 (13; 63) 에 접속되는 하나 이상의 화소 전극 (7; 57), 및

상기 하나 이상의 박막 트랜지스터 (10; 60) 를 피복하는 보호 절연막 (8; 58) 을 구비하는 제 1 기판 구조물 (100; 150; 300) 과,

간극을 형성하기 위해 상기 제 1 기판 구조물 (100; 150; 300) 로부터 이격된 제 2 기판 구조물 (200; 230; 400) 과,

상기 보호 절연막 (8; 58) 과 상기 제 2 기판 구조물 (200; 230; 400) 사이에 삽입된 하나 이상의 스페이서 (250; 260; 79) 를 구비하며

상기 보호 절연막 (8; 58) 과 상기 제 2 기판 구조물 (200; 230; 400) 사이의 상기 간극을 채우고, 상기 전계 강도에 따라 방위를 변경시키는 액정 (30; 80) 을 구비하는 액정 표시 장치에 있어서,

상기 하나 이상의 스페이서 (250; 260; 79) 는 도전성이고, 상기 제 1 채널 영역 (11; 41; 91) 의 컨덕턴스를 감소시키기 위해 상기 제 1 채널 영역이 특정 전위 레벨로 바이어스되도록 전위 레벨원 ($V_G; V_{\text{Goff}}; V_{\text{COM}}$) 에 접속되어 있는 것을 특징으로 하는 액정 표시장치.

청구항 2

제 1 항에 있어서,

상기 특정 전위 레벨 ($V_G; V_{\text{Goff}}$) 은, 상기 제 1 및 제 2 기판 구조물중 하나에 형성된 공통 전극 (7;37) 에 인가되는 바이어스 전압 (V_{COM}) 과 상이한 것을 특징으로 하는 액정 표시장치.

청구항 3

제 1 항에 있어서,

상기 특정 전위 레벨 ($V_{G\text{OFF}}$) 은, 상기 제 1 채널 영역을 통해 상기 화소 전극과 상기 신호원 사이에 흐르는 전류의 양을 최소화하는 전위 레벨과 동일한 것을 특징으로 하는 액정 표시장치.

청구항 4

제 1 항에 있어서,

상기 특정 전위 레벨은, 상기 제 1 및 제 2 기판 구조물중 하나에 형성된 공통 전극 (7;57) 에 인가되는 바이어스 전압 (V_{COM}) 과 동일한 것을 특징으로 하는 액정 표시장치.

청구항 5

제 1 항에 있어서,

상기 하나 이상의 박막 트랜지스터 (10;60) 는 반전된 스택거형의 전계 효과 트랜지스터인 것을 특징으로 하는 액정 표시장치.

청구항 6

제 5 항에 있어서,

상기 하나 이상의 박막 트랜지스터 (10; 60) 는

상기 제 1 투명 기판 (1; 51) 상에 형성되는 주사선 (2; 52) 의 일부를 형성하는 게이트 전극,

상기 주사선 (2; 52) 을 피복하도록, 상기 제 1 투명 기판 (1; 51) 위에 형성되는 게이트 절연막 (3; 53),

상기 게이트 절연막 (3; 53) 상에 형성되어 상기 제 1 채널 영역 (11; 41; 91) 과 상기 제 2 채널 영역 (12; 42; 92) 을 제공하고, 상기 제 2 채널 영역 (12; 42; 92) 을 상기 게이트 전극 위에 위치시키며, 상기 제 1 채널 영역 (11; 41; 91) 을 상기 하나 이상의 도전성 스페이서 (250; 260; 79) 에 대향하도록 하는 방식으로 배치된 반도체막 (4; 54),

상기 게이트 절연막 (3; 53) 상에서 연장하고 상기 신호원 (13; 63) 과 드레인 영역으로 작용하는 상기 반도체막 (4; 54) 의 일부 사이에 접속된 드레인 전극 (5; 55), 및

상기 하나 이상의 화소 전극 (7; 57) 과 함께 상기 게이트 절연막 (3; 53) 상에 형성되고 상기 화소 전극 (7; 57) 과 소스 영역으로 작용하는 상기 반도체막 (7; 57) 의 또다른 부분 사이에 접속되는 소스 전극 (6; 56) 을 구비하는 것을 특징으로 하는 액정 표시장치.

청구항 7

제 6 항에 있어서,

상기 반도체막 (4;54), 상기 드레인 전극 (5;55), 및 상기 소스 전극 (6;56) 은 상기 보호 절연막 (8;58) 에 오목부를 형성하고, 상기 하나 이상의 도전성 스페이서 (250; 260; 79) 는 상기 오목부에 부분적으로 수용되어 있는 것을 특징으로 하는 액정 표시장치.

청구항 8

제 6 항에 있어서,

상기 특정 전위 레벨 ($V_{G\text{OFF}}$) 은 하나 이상의 도전성 스페이서 (250; 79) 가 상기 제 1 채널 영역 (11; 91) 의 상기 도전성을 최소화시키도록 하는 것을 특징으로 하는 액정 표시장치.

청구항 9

제 6 항에 있어서,

상기 하나 이상의 도전성 스페이서 (260; 79) 상의 상기 특정 전위 레벨은 상기 제 1 및 제 2 기판 구조물중 하나 위에 형성된 공통 전극 (7; 57) 에 인가되는 바이어스 전압 (V_{COM}) 과 동일한 것을 특징으로 하는 액정 표시장치.

청구항 10

제 6 항에 있어서,

상기 제 2 기판 구조물 (200) 은

제 2 투명 기판 (21),

상기 제 2 투명 기판 (21) 밑에 형성되고 상기 하나 이상의 화소 전극 (7) 에 배치된 개구부 (14) 를 형성하는 블랙 매트릭스 (22), 및

상기 블랙 매트릭스 (22) 를 피복하는 방식으로 상기 제 2 투명 기판 (21) 밑에 형성된 평탄화막 (32) 을 더 구비하고,

상기 공통 전극 (23) 과 상기 하나 이상의 도전성 스페이서 (250) 는 상기 평탄화막 (32) 밑에서 형성되

고 서로 전기적으로 이격되어 있는 것을 특징으로 하는 액정 표시장치.

청구항 11

제 10 항에 있어서,

상기 제 2 기관 구조물 (200) 은, 상기 개구부 (14) 를 채우는 방식으로 상기 제 2 투명 기관 (21) 밑에 형성된 하나 이상의 컬러 필터 (31) 를 더 구비하는 것을 특징으로 하는 액정 표시장치.

청구항 12

제 10 항에 있어서,

상기 공통 전극 (23) 은 상기 특정 전위 레벨 (V_{OFF}) 과 상이한 바이어스 전압 (V_{COM}) 으로 바이어스되고, 그들 사이에 상기 전계를 형성하도록 상기 하나 이상의 화소 전극 (7) 에 대향하는 것을 특징으로 하는 액정 표시장치.

청구항 13

제 6 항에 있어서,

상기 제 2 기관 구조물 (230) 은

제 2 투명 기관 (21),

상기 제 2 투명 기관 (21) 밑에 형성되고 상기 하나 이상의 화소 전극 (7) 에 배치된 개구부를 형성하는 블랙 매트릭스 (22) 및

상기 블랙 매트릭스 (22) 를 피복하는 방식으로 상기 제 2 투명 기관 (21) 밑에 형성된 평탄화막 (32) 을 더 구비하고,

상기 공통 전극 (43) 과 상기 하나 이상의 도전성 스페이서 (260) 는 상기 평탄화막 (32) 밑에서 서로 통합되는 것을 특징으로 하는 액정 표시장치.

청구항 14

제 13 항에 있어서,

상기 제 2 기관 구조물 (230) 은 상기 개구부를 채우는 방식으로 상기 제 2 기관 구조물 (21) 밑에 형성된 하나 이상의 컬러 필터 (31) 를 더 구비하는 것을 특징으로 하는 액정 표시장치.

청구항 15

제 13 항에 있어서,

상기 공통 전극 (43) 과 하나 이상의 도전성 스페이서 (260) 는 상기 하나 이상의 화소 전극과 상기 공통 전극 사이의 상기 전계를 생성하기 위해 적절한 상기 특정 전위 레벨 (V_{COM}) 로 바이어스되는 것을 특징으로 하는 액정 표시장치.

청구항 16

제 6 항에 있어서,

상기 제 1 기관 구조물 (300) 은, 상기 제 1 투명 기관에 평행한 상기 전계를 형성하기 위해, 상기 하나 이상의 화소 전극 (57) 에 평행하게 상기 제 1 투명 기관 (51) 상에 형성된 하나 이상의 공통 전극 (73) 을 더 구비하는 것을 특징으로 하는 액정 표시장치.

청구항 17

제 16 항에 있어서,

상기 제 2 기관 구조물 (400) 은, 제 2 투명 기관 (71) 과 상기 제 2 투명 기관 (71) 밑에 형성된 도전성 블랙 매트릭스 (72) 를 구비하고 상기 하나 이상의 화소 전극 (57) 에 배치된 개구부를 구비하며, 상기 도전성 블랙 매트릭스 (72) 로부터 상기 보호 절연막으로 투영되는 상기 하나 이상의 도전성 스페이서 (79) 를 구비하는 것을 특징으로 하는 액정 표시장치.

청구항 18

제 17 항에 있어서,

상기 제 2 기관 구조물 (400) 은 상기 제 2 투명 기관 (71) 밑에 형성된 하나 이상의 컬러 필터 (81) 를 구비하고 상기 개구부를 채우는 것을 특징으로 하는 액정 표시장치.

청구항 19

제 1 항에 있어서,

상기 하나 이상의 도전성 스페이서 (250; 260) 는 스페이서 바디 (29) 와 상기 스페이서 바디 (29) 의 표면을 피복하는 도전성 스페이서 전극 (33) 을 구비하는 것을 특징으로 하는 액정 표시장치.

청구항 20

제 19 항에 있어서,

상기 스페이서 바디 (29) 는 차광 특성을 갖는 것을 특징으로 하는 액정 표시장치.

청구항 21

제 19 항에 있어서,

상기 스페이서 바디는 적, 녹, 청색 2가지로 채색된 복수의 층을 갖는 적층된 구조물을 구비하는 것을 특징으로 하는 액정 표시장치.

청구항 22

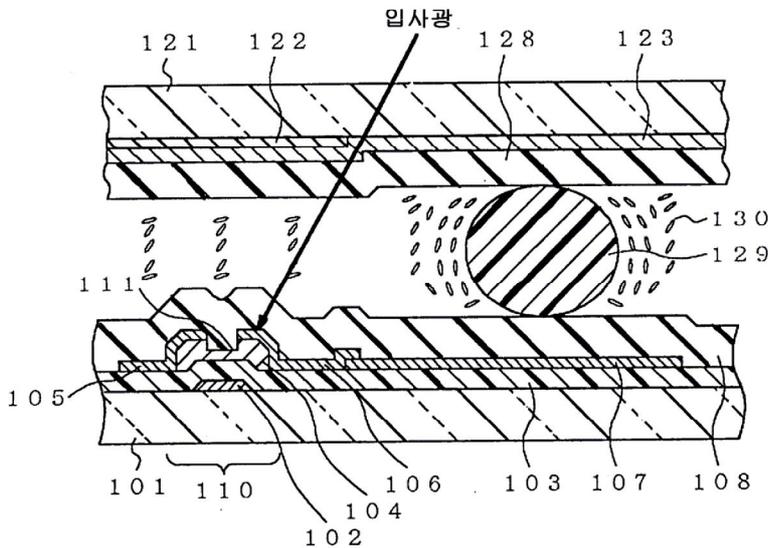
제 1 항에 있어서,

상기 하나 이상의 도전성 스페이서 (79) 는 합성 수지, 금속, 카본, 및 상기 제 2 기판 구조물의 일부를 형성하는 하나 이상의 컬러 필터에 사용되는 채색된 재료로부터 선택된 도전성 재료로 형성되는 것을 특징으로 하는 액정 표시장치.

도면

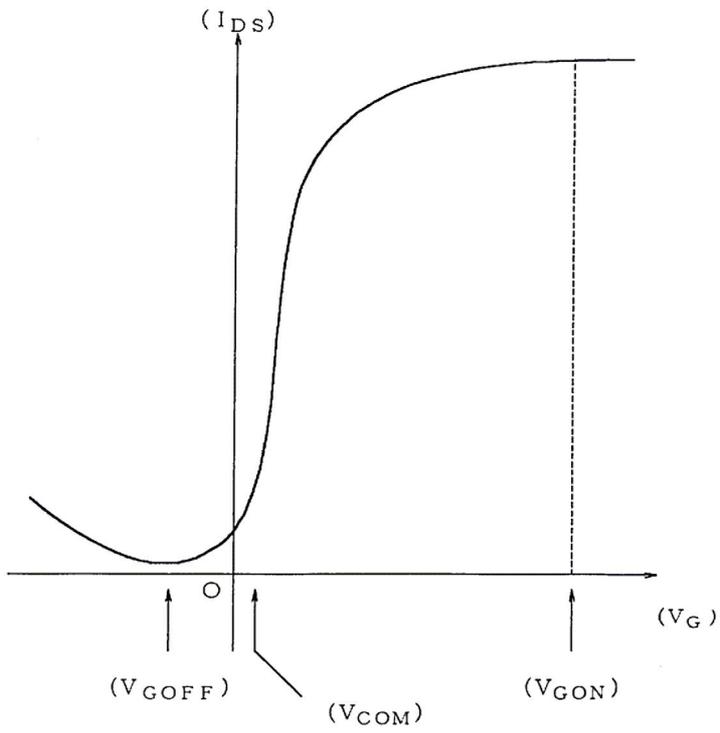
도면1

종래 기술

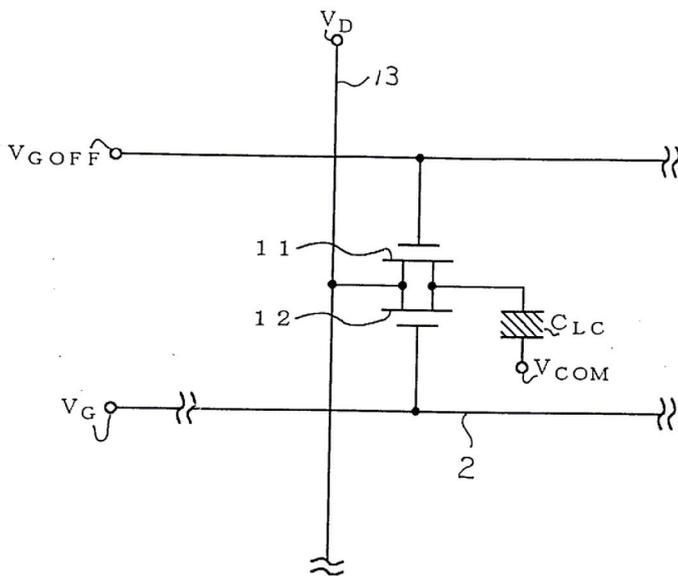


도면4

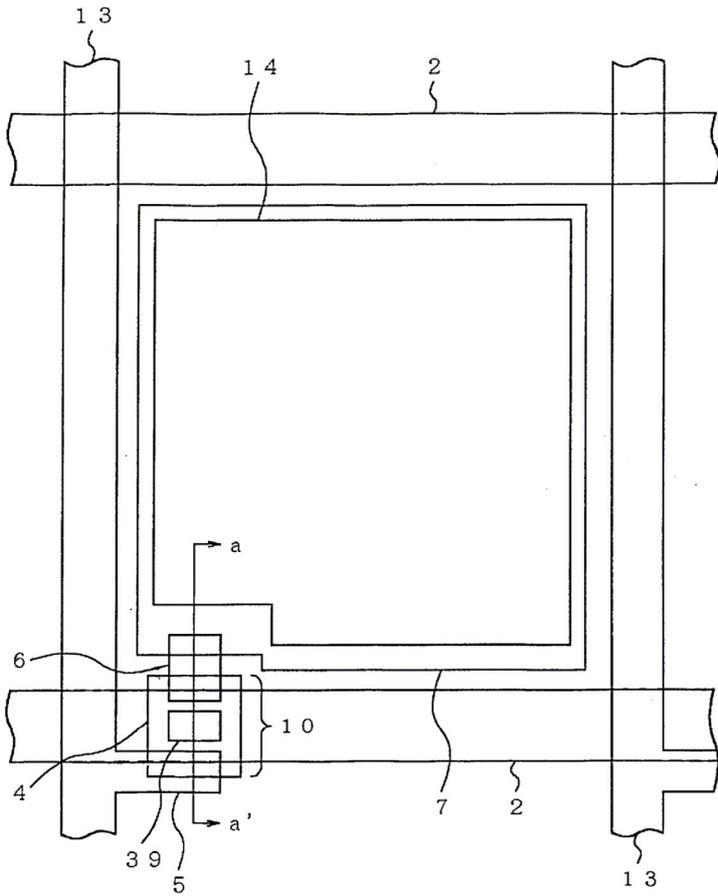
종래 기술



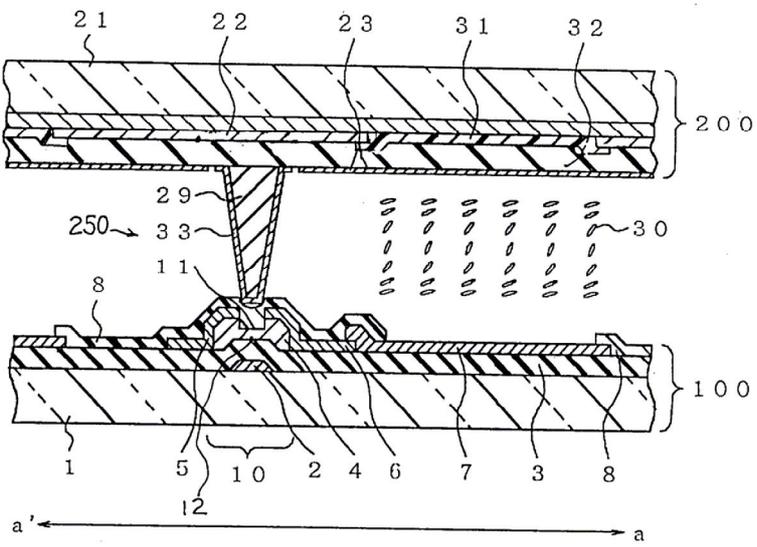
도면5



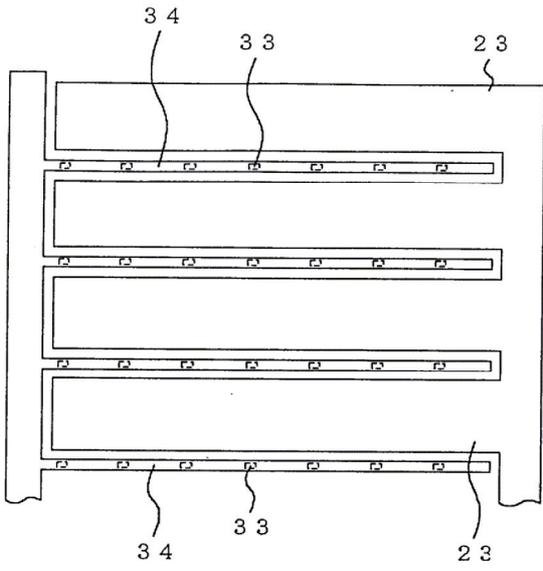
도면6



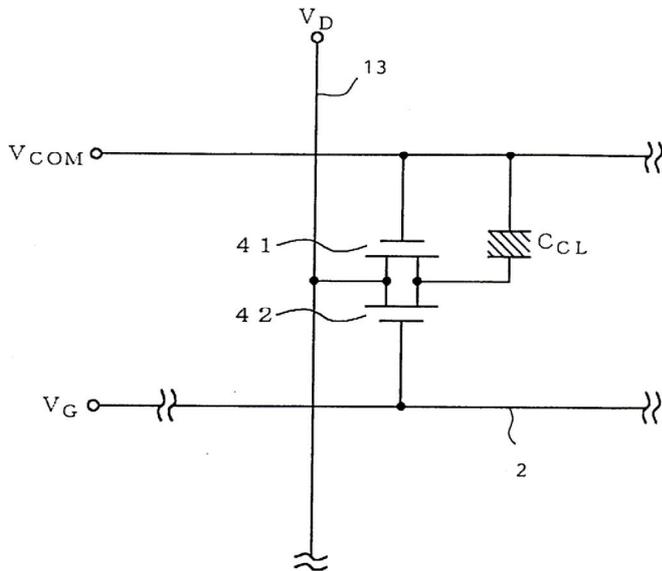
도면7



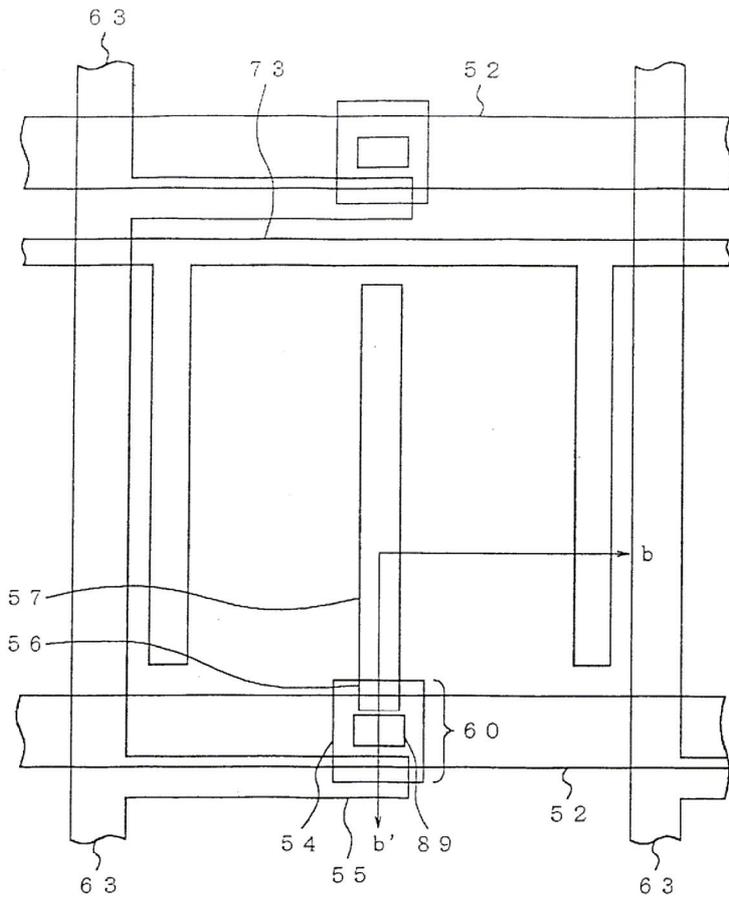
도면8



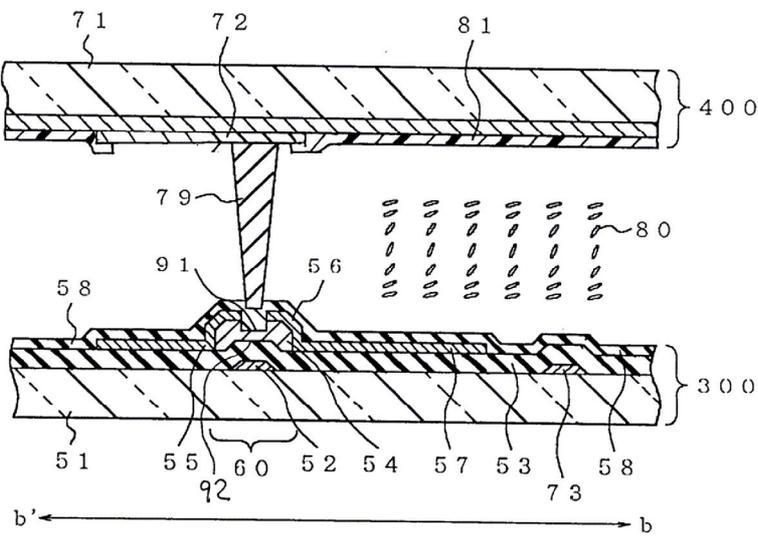
도면9



도면12



도면13



专利名称(译)	在两个衬底结构之间提供导电间隔物，用于偏置薄膜晶体管的背沟道		
公开(公告)号	KR1020010029948A	公开(公告)日	2001-04-16
申请号	KR1020000040605	申请日	2000-07-14
申请(专利权)人(译)	日本电气有限公司sikki		
当前申请(专利权)人(译)	日本电气有限公司sikki		
[标]发明人	WATANABE MAKOTO 와타나베마코토 KUROHA SHOICHI 구로하쇼이찌 HIDEHIRA MASANOBU 히데히라마사노부		
发明人	와타나베마코토 구로하쇼이찌 히데히라마사노부		
IPC分类号	G02F1/1335 G02F1/1339 G02F1/13 G02F1/1368 H01L29/786 H01L21/336 G02F H01L G02F1/136		
CPC分类号	G02F1/1368 G02F1/13394 G02F1/133512 G02F2201/121		
代理人(译)	韩国专利公司 CHO, YOUNG WON		
优先权	1999200153 1999-07-14 JP		
其他公开文献	KR100378412B1		
外部链接	Espacenet		

摘要(译)

像素的布置，通过薄膜晶体管（10）连接到信号线（13）的像素电极（7），以及填充与公共电极（23）分离的公共电极（23）之间的间隙的液晶（30）包括像素电极（7）和像素电极（7）以及公共电极（23）。间隔物（250）插在薄膜晶体管（10）的白色沟道区（11）上方的保护绝缘膜（8）和平坦化膜（32）之间。并且将特定电位（V（SB）GOFF（/SB））固定到spacer（250）具有导电性并从白色通道区域（11）去除导电性的模式。关于像素的布置，有源矩阵液晶显示器被实现为相应薄膜晶体管（10）的组合。导电垫片，薄膜晶体管和黑矩阵。

