

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
G09G 3/36
G02F 1/133

(11) 공개번호 특2000-0057991
(43) 공개일자 2000년09월25일

(21) 출원번호	10-2000-0006122
(22) 출원일자	2000년02월10일
(30) 우선권 주장	1999-032847 1999년02월10일 일본(JP)
(71) 출원인	닛본 덴기 가부시끼가이샤 가네꼬 히사시
(72) 발명자	일본국 도쿄도 미나토구 시바 5쵸메 7방 1고 와타나베마코토 일본도쿄도미나토구시바5쵸메7방1고닛본덴기가부시끼가이샤내 와타나베다카히코 일본도쿄도미나토구시바5쵸메7방1고닛본덴기가부시끼가이샤내
(74) 대리인	장수길, 구영창

심사청구 : 있음

(54) 액티브 매트릭스 액정 표시 장치, 그 제조 방법, 및 그구동 방법

요약

액티브 매트릭스 액정 표시 장치는 액정이 밀봉되는 한쌍의 기판, 박막 트랜지스터들, 표시 화소 전극, m/s(s와 m은 m/s가 자연수가 되는 자연수들임)개의 드레인 버스 라인들, s×n개의 게이트 버스 라인 및 제어기를 포함한다. 박막 트랜지스터들은 기판들 중 하나의 기판 상에 n개의 로우 × m개의 컬럼의 매트릭스로 배열되도록 형성된다. 표시 화소 전극은 박막 트랜지스터의 소스 전극에 1 대 1 대응으로 접속된다. 드레인 버스 라인들은 매트릭스형 박막 트랜지스터들의 드레인 전극에 s 대 1 대응으로 접속된다. 게이트 버스 라인들은 각 로우 상의 박막 트랜지스터들의 게이트 전극에 1 대 1 대응으로 접속된다. 제어기는 제(s×t(t는 임의의 양의 정수)+1) 프레임에서 시작하여 제(s×t+s) 프레임에서 종료되는 s개의 프레임 내의 n개의 게이트 버스 라인들을 선택하여 상기 s개의 프레임으로 원-스크린 표시를 행한다. 또한, 이 표시 장치를 제조하는 방법과, 그 구동 방법이 개시된다.

대표도

도8

색인어

액티브 매트릭스 액정 표시 장치, 박막 트랜지스터, 화소 전극, 기판, 버스 라인

명세서

도면의 간단한 설명

도 1은 종래의 액티브 매트릭스 액정 표시 장치의 일례를 나타내는 등가 회로도.
도 2는 도 1에 도시된 액티브 매트릭스 액정 표시 장치를 구동시키는 방법을 도시하는 회로도.
도 3은 도 1에 도시된 액티브 매트릭스 액정 표시 장치의 동작을 설명하기 위한 타이밍 차트.
도 4는 종래의 액티브 매트릭스 액정 표시 장치의 다른예를 나타내는 등가 회로도.
도 5는 도 4에 도시된 액티브 매트릭스 액정 표시 장치의 표시 데이터 배열을 나타내는 회로도.
도 6은 도 5에 도시된 표시 데이터 배열을 표시하기 위한 타이밍 차트.
도 7은 종래의 액티브 매트릭스 액정 표시 장치의 또 다른예를 도시하는 등가 회로도.
도 8은 본 발명의 제1 실시예에 따른 액티브 매트릭스 액정 표시 장치를 나타내는 등가 회로도.
도 9는 도 8에 도시된 게이트 선택 TFT의 게이트 선택 단자를 나타내는 평면도.
도 10은 도 9에서의 선 X-X를 따라 절취한 단면도.
도 11은 도 8에 도시된 액티브 매트릭스 액정 표시 장치의 동작을 설명하기 위한 타이밍 차트.
도 12의 (a) 내지 (d)는 도 8에 도시된 액티브 매트릭스 액정 표시 장치의 동작을 설명하기 위한 도면.
도 13a는 종래의 표시 장치의 동작을 설명하기 위한 도면이고, 도 13b 및 도 13c는 도 8에 도시된 액티브

매트릭스 액정 표시 장치의 동작을 설명하기 위한 도면.

도 14는 도 8에 도시된 액티브 매트릭스 액정 표시 장치의 동작을 설명하기 위한 회로도.

도 15는 도 8에 도시된 액티브 매트릭스 액정 표시 장치의 동작을 설명하기 위한 그래프.

도 16a 내지 도 16b는 도 8에 도시된 액티브 매트릭스 액정 표시 장치의 동작을 설명하기 위한 그래프.

도 17은 도 8에 도시된 액티브 매트릭스 액정 표시 장치의 동작을 설명하기 위한 그래프.

도 18은 본 발명의 제2 실시예에 따른 액티브 매트릭스 액정 표시 장치를 나타내는 등가 회로도.

도 19는 도 18에 도시된 액티브 매트릭스 액정 표시 장치의 동작을 설명하기 위한 타이밍 차트.

도 20의 (a) 내지 (d)는 도 18에 도시된 액티브 매트릭스 액정 표시 장치의 동작을 설명하기 위한 도면.

<도면의 주요 부분에 대한 부호의 설명>

300 : 액정 표시 패널

301 : V 드라이버

302 : H 드라이버

303 : 제어기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 액티브 매트릭스 액정 표시 장치, 그 제조 방법, 및 액티브 매트릭스형의 액정 표시 장치에 적합한 액티브 매트릭스 액정 표시 장치를 구동시키기 위한 방법에 관한 것이다.

종래의 범용 액티브 매트릭스 액정 표시 장치용 액정 표시 패널이 도 1에 도시된 등가 회로로 도시되어 있다. 보다 구체적으로, 게이트 버스 라인 G1 내지 G4 및 드레인 버스 라인 D1 내지 D4는 서로 직교하도록 배열되고, 트랜지스터(1) 및 표시 화소(2)는 그들의 교차점 각각에 접속된다. 각 표시 화소(2)는 공통 전극(3)에 접속되어 있다.

액티브 매트릭스 액정 표시 장치는 도 2에 도시된 표시 화소 어레이 $d_{ij}(i, j = 1, 2, 3, \dots)$ 를 표시하도록 도 3에 도시된 구동 신호에 의해서 구동된다. 보다 구체적으로, 게이트 버스 라인 G1 내지 G4 중의 하나는 대응 트랜지스터들을 턴온시키도록 하이 레벨로 세트되고, 드레인 버스 라인 D1 내지 D4 상의 데이터는 대응하는 표시 화소에 기입된다. 게이트 버스 라인 G1 내지 G4에 대하여 이러한 동작이 순차적으로 행해져 액정 표시 패널이 그의 표시 화소로 표시를 행한다.

이러한 방식으로, 종래의 범용 액티브 매트릭스 액정 표시 장치에서는 매트릭스를 형성하도록 배열된 게이트 버스 라인 G1 내지 G4 및 드레인 버스 라인 D1 내지 D4의 각 교차점에 대하여 하나의 드레인 버스 라인 구동기가 필요하게 된다.

드레인 버스 라인 구동기가 이미지 신호의 것과 같은 광역 주파수 범위를 커버하고 고 데이터 레이트로 동작하므로 값이 비싸다. 표시 화소의 수가 증가할 때에 다수의 값비싼 드레인 버스 구동기가 사용되어야 하므로 결과적으로 액정 표시 장치가 비싸게 된다.

이러한 결점을 줄이기 위해서, 예를 들면, 일본 미심사 특허 공보 제3-38689, 제6-148680, 및 제 4-269791은 다음과 같은 기술을 개시하고 있다.

일본 미심사 특허 공보 제3-38689의 기술의 개요를 도 4 내지 도 6을 참조하여 설명한다. 도 4는 액정 패널의 등가 회로도이며, 도 5는 표시 데이터 배열을 나타내는 도면이고, 도 6은 도 5의 데이터 배열을 표시하기 위한 타이밍 차트이다.

도 4를 참조하면, 표시 화소의 2개의 컬럼은 하나의 드레인 버스 라인 D1 또는 D2에 접속되고, 게이트 버스 라인 G1 내지 G8은 하나의 드레인 버스 라인 D1 또는 D2에 접속되어 있다.

이 경우에, 도 6에 도시된 바와 같이, 게이트 버스 라인 G1, G3, G5 및 G7의 게이트 전위는 하이 레벨로 세트되고, 순차적으로 게이트 버스 라인 G2, G4, G6, 및 G8의 게이트 전위는 하이 레벨로 세트되어 버스 라인 상에 정렬된 트랜지스터들이 턴온된다. 드레인 버스 라인 D1 또는 D2 상의 데이터는 이 ON 타이밍에서 표시 화소에 기입된다.

도 5에 도시된 바와 같이, 드레인 버스 라인 D1 상에, 제1 표시 화소 컬럼 상의 d11, d21, d31, 및 d41에, 이어서, 제2 표시 화소 컬럼 상의 d12, d22, d32, 및 d42에 데이터가 기입된다. 동일한 방식으로 다른 드레인 버스 라인 D2 상에 데이터 기입이 행해진다.

이 방법에 따르면, 하나의 드레인 버스 라인 D1 또는 D2는 2개의 표시 화소 컬럼을 구동시킬 수 있다. 결국, 드레인 버스 라인 D1 및 D2용 구동기의 수가 절반으로 줄어서 제품 비용이 감소될 수 있다.

일본 미심사 특허 공보 제6-148680에 개시된 기술은 값비싼 드레인 버스 라인의 수를 감소시키면서 게이트 버스 라인의 수를 증가시킴으로써 제품 비용을 절감하는 것을 목적으로 하고 있다.

일본 미심사 특허 공보 제4-269791에 개시된 기술의 개요를 도 7에 도시된 액정 패널의 등가 회로도를 참

조하여 설명한다.

액정 신호측 구동 회로를 형성하는 표시 신호 전극은 전송 게이트 QT, 구동 전송 게이트 Q, 및 컬럼 단위로 라인 메모리로서 작용하는 커패시터 CL을 갖는다. 표시 신호 단자 VD1 내지 VD40 각각은 다수의 전송 게이트 QT의 소스 전극 또는 드레인 버스 라인에 접속된다. 선택 신호 ψ_1 내지 ψ_{48} 각각은 다수의 전송 게이트 QT의 게이트 전극에 접속된다.

스캐닝측 연장 전극으로서 작용하는 게이트 전압 단자 VG1 내지 VG180 중의 어떤 하나가 선택되고, 하나의 게이트 버스 라인이 선택됨을 주목해야 한다.

하나의 게이트 버스 라인이 선택되면, 선택 신호가 선택 신호 단자 ψ_1 내지 ψ_{48} 에 순차적으로 공급된다. 하나의 선택 신호 단자 ψ_i ($i = 1, 2, 3, \dots$)가 선택되면 40개의 컬럼에 대응하는 표시 신호가 메모리 셀로서 작용하는 커패시터 C_i ($i = 1, 2, 3, \dots$)에 데이터를 기입하도록 표시 신호 단자 VD1 내지 VD40에 공급된다.

또한, 액정 셀 LC은 구동 전송 게이트 Q를 통해서 구동된다. 이러한 동작이 48회 행해져 1-라인 표시 부분을 형성하는 모든 액정 셀 LC에 표시 데이터가 기입된다.

일본 미심사 특허 공보 제4-269791에 도시된 기술에 따르면, 게이트 버스 라인 상의 구동기의 수를 증가시키지 않고 드레인 버스 라인 상의 구동기의 수를 감소시킴에 의해서 비용 절감을 실현하고 있다.

상술한 일본 미심사 특허 공보 제3-38689 및 6-148680에서는, 드레인 버스 구동기의 수가 감소되지만, 게이트 구동기의 수가 증가한다. 따라서, 액정 표시 장치의 비용 절감을 달성하기 위해서는 추가의 개선이 요구된다.

일본 미심사 특허 공보 제4-269791에 따르면, 전송 게이트 Q의 ON 저항 및 하나의 액정 패널에서 메모리 셀로서 작용하는 커패시터 CL의 커패시턴스가 제조 프로세스에 의해서 변한다. 따라서, 이미지 신호 전압에서 변동이 발생되어 일정하지 않은 휘도가 야기된다. 선택 신호 단자에 접속되어 메모리 셀로서 작용하는 커패시터 CL에 의해서 유지된 시간이 달라 일정하지 않은 휘도가 야기된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 종래의 기술의 상황을 고려하여 이루어진 것이며, 그 목적은 장치를 제조할 때에 비용의 상승을 야기하지 않고 휘도를 개선할 수 있는 액티브 매트릭스 액정 표시 장치, 그 제조 방법, 및 그 구동 방법을 제공하는 것이다.

상술한 목적을 달성하기 위해서, 본 발명의 제1의 특징에 따른 액티브 매트릭스 액정 표시 장치는 액정을 밀봉하는 한쌍의 기판, 상기 기판 중 하나에 배열되어 n 행 X m 열의 매트릭스를 형성하는 박막 트랜지스터, 상기 박막 트랜지스터의 소스 전극에 1 대 1 대응하여 접속된 표시 화소 전극, 매트릭스형 박막 트랜지스터의 드레인 전극에 s 대 1 대응하여 접속된 m/s (s 및 m 은 m/s 에 자연수를 제공하는 자연수) 드레인 버스 라인, 각 행 상의 박막 트랜지스터의 게이트 전극에 1 대 1 대응하여 접속된 $s \times n$ 게이트 버스 라인, 및 $(s \times t)$ (t 는 임의의 양의 정수) + 1번째 프레임에서 시작하여 $(s \times t + s)$ 번째 프레임에서 종료되는 s 프레임 각각에서의 n 게이트 버스를 선택하여 s 프레임으로 하나의 스크린 표시를 행하는 제어기를 포함한다.

상술한 제1 특징에 따르면, 드레인 전극, 소스 전극, 게이트 전극을 가진 게이트 선택 TFT가 제공되고, 게이트 버스 라인에서의 드레인 전극이 게이트 단자에 접속되고, 소스 전극이 게이트 버스 라인에 접속되며, 게이트 전극은 매 s 프레임 마다 하나의 프레임에서 ON 전압으로 설정되는 게이트 스위치 라인에 접속된다.

게이트 선택 TFT은 동일한 공정으로 표시 화소 전극에 접속된 박막 트랜지스터로 동시에 형성될 수 있다.

게이트 선택 TFT를 형성하는 반도체 막은 비정질 실리콘으로 형성될 수 있고, 채널 폭에 대한 채널 길이의 비는 3000/4 이상이다.

게이트 선택 TFT용 게이트 ON 전압은 30V 이상이고, 게이트 OFF 전압은 -10V 이하이다.

게이트 선택 TFT를 형성하는 반도체 막은 폴리실리콘으로 구성될 수 있다.

게이트 선택 TFT의 게이트 전극은 블랭킹 기간 내에서 스위칭될 수 있다.

하나의 프레임은 $1/(50 \times n)$ 내지 $1/(75 \times n)$ 초의 시간에서 작성될 수 있다.

상술한 목적을 달성하기 위해서, 본 발명의 제2의 특징에 따른 액티브 매트릭스 액정 표시 장치의 제조 방법은, 액정을 밀봉하는 한쌍의 기판 중 하나에 n 행 X m 열의 매트릭스를 형성하도록 배열된 박막 트랜지스터를 형성하는 제1 단계, 박막 트랜지스터의 소스 전극에 1 대 1 대응하여 접속된 표시 화소 전극을 형성하는 제2 단계, 매트릭스형 박막 트랜지스터의 드레인 전극에 s 대 1 대응하여 접속된 m/s (s 및 m 은 m/s 에 자연수를 제공하는 자연수) 드레인 버스 라인을 형성하는 제3 단계, 및 각 행 상의 박막 트랜지스터의 게이트 전극에 1 대 1 대응하여 접속된 $s \times n$ 게이트 버스 라인을 형성하는 제4 단계를 포함한다.

상술한 제2 특징에 있어서, 제4 단계는 게이트 단자를 게이트 버스 라인 단위로 드레인 전극에 접속하기 위한 제5 단계, 게이트 버스 라인을 소스 전극에 접속하기 위한 제6 단계, 및 게이트 스위치 라인을 게이트 전극에 접속하는 제7 단계를 포함하며, 상기 게이트 스위치 라인은 s 프레임 마다 1개의 프레임에서 ON 전압으로 설정된다.

제5 내지 제7 단계는 동일한 공정으로 표시 화소 전극에 접속된 박막 트랜지스터의 형성과 동시에 행해질 수 있다.

제5 내지 제7 단계는 채널 폭 대 채널 길이의 비가 3000/4 이상인 비정질 실리콘으로부터 반도체 막을 형

성하는 단계를 포함할 수 있다.

제5 내지 제7 단계는 폴리실리콘으로부터 반도체 막을 형성하는 단계를 포함할 수 있다.

상술한 목적을 달성하기 위해서, 본 발명의 제3 특징에 따른 액티브 매트릭스 액정 표시 장치를 구동하는 방법은 게이트 선택 TFT용의 게이트 ON 전압을 30V 이상으로, 게이트 OFF 전압을 -10V 이하로 설정하여 표시 장치를 구동시키는 단계를 포함한다.

상술한 제3의 특징에 있어서, 게이트 선택 TFT의 게이트 전극이 블랭킹 기간 내에 스위치되도록 구동이 행해질 수 있다.

하나의 프레임은 $1/(50 \times n)$ 내지 $1/(75 \times n)$ 초의 시간에 작성되도록 구동이 행해질 수 있다.

상술한 바와 같이, 본 발명에 따른 액티브 매트릭스 액정 표시 장치, 그 제조 방법, 및 그 구동 방법에 있어서는 박막 트랜지스터가 액정을 밀봉하는 한쌍의 기판 중 하나의 기판 상에 형성되어 n 행 $\times$ m 열의 매트릭스를 형성한다. 표시 화소 전극은 박막 트랜지스터의 소스 전극에 1 대 1 대응하여 접속된다. m/s (s 및 m 은 m/s 에 자연수를 제공하는 자연수)드레인 버스 라인은 매트릭스형 박막 트랜지스터의 드레인 전극에 s 대 1 대응하여 접속된다. $s \times n$ 게이트 버스 라인은 각 행 상의 박막 트랜지스터의 게이트 전극에 1 대 1 대응하여 접속된다. 제어기는 $(s \times t(t$ 는 임의의 양의 정수) + 1)로부터 시작하여 $(s \times t + s)$ 번째 프레임에서 종료되는 s 프레임 각각에서 n 게이트 버스 라인을 선택한다. 하나의 스크린 표시는 s 프레임으로 행해진다. 따라서, 장치의 비용을 증가시키지 않고 휘도의 균일성이 개선될 수 있다.

본 발명의 상술한 많은 특징 및 장점은 본 발명의 원리를 포함하는 바람직한 실시예들이 예시의 목적으로 기재 및 시사된 다음의 상세한 설명 및 첨부된 도면을 참조할 때에 본 기술 분야에 숙련된 자에게 자명하게 될 것이다.

발명의 구성 및 작용

첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.

제1 실시예

도 8은 본 발명의 제1 실시예에 따른 액티브 매트릭스 액정 표시 장치를 도시한 등가 회로도이고, 도 9는 도 8에 도시된 게이트 선택 TFT의 게이트 선택 단자를 도시한 평면도이며, 도 10은 도 9의 X-X선에 따른 단면도이고, 도 11 내지 도 17은 도 8에 도시된 액티브 매트릭스 액정 표시 장치의 동작을 설명하기 위한 도면이다.

도 8을 참조하면, 액티브 매트릭스 액정 표시 장치(이하, 단순히 표시 장치라고 칭함)는 액정 표시 패널(300), V 드라이버(301), H 드라이버(302) 및 제어기(303)를 포함한다.

게이트 선택 단자 V_{Q0} 및 V_{Qe} 와 액정 표시 패널(300)의 게이트 전압 단자 $VG1, VG2, \dots, VG_k$ 가 게이트 전압 파형을 발생시키기 위해 V 드라이버(301)에 접속된다.

드레인 전압 단자 $VD1 \sim VD_m$ 은 신호 전압 파형을 발생시키기 위해 H 드라이버(302)에 접속된다.

각 전압 파형의 타이밍을 구하기 위한 제어기(303)는 V 드라이버(301) 및 H 드라이버(302)에 접속된다. 표시 장치의 오실레이터(도시하지 않음)에 의해 발생된 클럭 CLK, 및 표시 장치의 외부로부터 공급되는 수평 sync 신호 Hsync 및 수직 sync 신호 Vsync가 제어기(303)에 입력된다.

액정 표시 패턴(300) 내의 참조 부호 Q_0 및 Q_e 는 게이트 선택 TFT를 나타낸다.

2개의 패리티 버스 라인 LP_{k0} 및 LP_{ke} 는 게이트 선택 TFT로서 기능하는 트랜지스터 Q_0 및 Q_e 의 드레인 전극에 접속된다. 게이트 버스 라인 LG_{k0} 및 LG_{ke} (LG_{10} 내지 LG_{20} 을 포함함)는 게이트 선택 TFT로서 기능하는 트랜지스터 Q_0 및 Q_e 의 소스 전극으로부터 연장된다. 표시 화소 구동 트랜지스터 TFT로서 기능하는 트랜지스터 Q는 드레인 버스 라인 $LD1 \sim LD_m$ 과 게이트 버스 라인 LG_{k0} 및 LG_{ke} 의 각 교차점에 접속된다. 트랜지스터 TFT로서 기능하는 트랜지스터 Q는 표시 화소 CLC에 접속된다.

게이트 선택 스위치 라인 L_0 및 L_e 는 게이트 선택 단자 V_{Q0} 및 V_{Qe} 로부터 각각 연장된다.

표시 화소 CLC를 구동하기 위한 트랜지스터 TFT로서 기능하는 트랜지스터 Q에 접속되지 않은 측의 표시 화소 CLC의 전위는 공통 전극 전위 V_{com} 으로 유지된다.

도 9 및 도 10은 게이트 선택 TFT로서 기능하는 트랜지스터 Q_0 및 Q_e 를 상세히 도시한다.

도 9에서, 참조 부호 L 은 채널 길이를, W 는 채널 폭을 나타낸다. 게이트 선택 TFT로서 기능하는 각각의 트랜지스터 Q_0 및 Q_e 는 W/L 의 사이즈를 갖는다. 참조 번호 102는 비정질 실리콘막을, 103은 드레인 전극을, 104는 소스 전극을 나타낸다.

게이트 선택 TFT로서 기능하는 트랜지스터 Q_0 및 Q_e 는 도 9의 X-X선에 따른 단면도인 도 10에 도시된 바와 같이 제조된다. 보다 구체적으로는, Cr로 나타낸 금속은 유리 기판(100) 상에 막을 형성하고, 게이트 선택 스위치 라인 L_e 또는 L_0 는 포토리소그래피에 의해 패터닝된다.

게이트 절연막(114) 및 비정질 실리콘막(102)이 순차 형성되고, 드레인 전극(103) 및 소스 전극(104)이 그들 위에 형성된다. 그 후, 패시베이션막(115)이 형성되어 게이트 선택 TFT로서 기능하는 트랜지스터 Q_0 또는 Q_e 를 완성한다.

도 9에 도시된 바와 같이, 드레인 전극(103)은 패리티 버스 라인 LP_{k0} 또는 LP_{ke} 에 접속된다. 소스 전극(104)은 게이트 버스 라인 LG_{k0} 또는 LG_{ke} 에 접속된다.

게이트 선택 TFT로서 기능하는 트랜지스터 Q_0 및 Q_e 는 표시 화소 구동 트랜지스터 TFT로서 기능하는 트랜지스터 Q와 동시에 형성되어, 공정 수의 증가를 피할 수 있다. 상술한 드레인 전극(103) 및 소스 전극

(104)은 Cr과는 다른 금속으로 이루어질 수 있고, 또는 투명 전극일 수 있다.

비정질 실리콘막을 형성하는 비정질 실리콘은 폴리실리콘일 수 있다. 게이트 선택 TFT로서 기능하는 트랜지스터 Qo 및 Qe가 역 스택거형 구조를 형성하지만, 이들은 스택거형 구조를 형성할 수 있다.

도 8에 도시된 등가 회로도에서, 게이트 전압 단자 VG1~VGk에 접속된 상부 게이트 버스 라인 LGko는 홀수 기록 라인이고, 거기에 접속된 하부 게이트 버스 라인 LGke는 짝수 기록 라인이다. 상부 게이트 버스 라인 LGko가 짝수 기록 라인으로서 설정되고 하부 게이트 버스 라인 LGke가 홀수 기록 라인으로서 설정되어도, 등가의 효과가 얻어질 수 있다.

도 11 내지 도 17을 참조하여 상기 구성을 갖는 액티브 매트릭스 액정 표시 장치를 설명한다.

우선, 타이밍차트를 도시한 도 11 및 표시 화소 내에 기록되는 전압의 전압 극성 및 전압 기록 순서를 도시한 도 12의 (a) 내지 (d)를 참조하여 설명한다. 도 12의 (a) 내지 (d)에서, 원 번호들은 임의의 프레임 내의 화소 기록 순서를 나타낸다.

도 11을 참조하면, 홀수 행 상의 게이트들을 선택하기 위한 게이트 선택 단자 VQo는 홀수 프레임에서는 고전위로, 짝수 프레임에서는 저전위로 설정된다. 짝수 행 상의 게이트들을 선택하기 위한 게이트 선택 단자 VQe는 짝수 프레임에서는 고전위로, 홀수 프레임에서는 저전위로 설정된다.

게이트 버스 라인 LGko 및 LGke 상의 신호들과 드레인 버스 라인 LD1~LDm 상의 신호들 VG1 및 VG2는 종래 기술의 것과 동일하다. 프레임들 중에서, 블랭킹 기간으로 불리는 시간이 존재하며, 임의의 행 상의 게이트 버스 라인 LGko 및 LGke도 저전위로 설정된다.

액정 표시 패널이 활성화되면, 각 화소마다 도 12의 (a) 내지 (d)에 도시된 극성 순서대로 전압이 기록된다. 이해를 돕기 위해, 화소 전극이 6×6 매트릭스를 형성하는 경우를 예로서 설명한다.

각 홀수 프레임에서, 홀수 행들 상의 게이트 버스 라인 LGko 및 LGke가 순차 선택되고, 홀수 열들 상의 표시 화소들 내에 전압이 기록된다. 이전 프레임 내에 기록된 전압은 짝수 열 상에 유지된다. 짝수 프레임에서, 짝수 행들 상의 게이트 버스 라인 LGko 및 LGke가 순차 선택되고, 홀수 열 상의 표시 화소들 내에 전압이 기록된다. 이전 프레임 내에 기록된 전압은 홀수 열 상에 유지된다.

도 13b는 이 때의 드레인 전압 단자에 대한 입력 신호의 데이터 시퀀스를 도시한다. 도 13a는 종래 기술의 데이터 시퀀스를 도시한다. 제1 실시예에서, 종래 기술의 하나의 프레임에 대응하는 데이터를 단위로 서 취급한다. 홀수 프레임에서, 홀수 열 상의 데이터가 드레인 버스 라인 LD1~LDm에 입력되고, 짝수 프레임에서, 짝수 열 상의 데이터가 드레인 버스 라인 LD1~LDm에 입력된다.

이 데이터 선택은 종래 기술의 것보다 2배의 기간을 갖는 타이밍에서, H 드라이버(302)에 입력될 시리얼 데이터로서 기능하는 이미지 신호를 수신함으로써 실현된다. 제어기(303) 내의 논리 회로에 의해 2중 기간 타이밍 신호가 생성된다.

도 13c는 후술한다.

제1 실시예에 따른 액티브 매트릭스 액정 표시 장치의 실행 가능성을 조사한다.

본 발명을 채용할 때 고려되어야 할 점들을 설명한다.

전압 기록에서, 게이트 선택 TFT로서의 트랜지스터 Qo 및 Qe는 각 행 상의 게이트 버스 라인 LGko 및 LGke의 입력측 저항으로서 기능한다. 따라서, 게이트 선택 TFT인 트랜지스터 Qo 및 Qe의 사이즈는 게이트 버스 라인 LGko 및 LGke 상의 신호 지연을 무시할 정도로 커져야만 하므로, ON 저항이 충분히 감소된다.

게이트 선택 TFT인 트랜지스터 Qo 및 Qe의 사이즈가 커지면, 패리티 게이트 라인 LQo 및 LQe의 배선 상수가 증가한다. 그러면, 패리티 게이트 라인 LQo 및 LQe에 인가될 신호가 지연되고, 수개의 행 상의 화소 전극들에 전압이 충분히 기록될 수 없다.

전압을 유지하기 위해, 예를 들면 홀수 프레임에서, 홀수 행 상의 전압 기록용 고전위 신호가 짝수 행 상의 게이트 선택 TFT인 트랜지스터 Qe의 드레인 전극에 인가된다. 게이트 선택 TFT인 트랜지스터 Qe에 인가된 노이즈 신호가 짝수 행 상의 화소 전극 내에 기록된 전하의 누설 효과를 일으키는 경우, 비정상적인 표시가 생긴다.

본 발명에 따르면, 게이트 버스 라인 LGko 및 LGke가 서로 근접해 있다. 인접하는 버스 라인 LGko와 LGke 간의 기생 용량으로 인해, 턴오프되어야 할 행들 상의 게이트가 턴온되어야 할 행들 상의 게이트에 악영향을 미친다. 화소 전극 내에 보유된 전하의 누설이 크면, 비정상적인 표시가 생긴다.

상기 현상을 정상적으로 시험하고, 본 발명의 가능성을 연구하기 위해, 회로 시뮬레이션을 행하였다.

도 14는 회로 시뮬레이션용으로 사용된 등가 회로를 도시한다. 도 14에 도시된 등가 회로에서, 트랜지스터 TFT로서 기능하는 트랜지스터 Q의 게이트 전압 단자 및 드레인 전압 단자에 인가될 회로 상수 및 전압 펄스는 2,400×600 화소를 갖는 실제 액정 표시 패널에서 얻어진 것과 근접한 값들을 갖는다.

인접한 게이트 버스 라인 LGko 및 LGke 간의 갭은 전극 패터닝시 처리 능력에 의해 결정되는 최소값인 5 μm로 추정된다. 도 15는 연산 결과를 도시한다.

기록 특성을 시험한다. 게이트 선택 TFT인 트랜지스터 Qo 및 Qe 간의 채널 폭이 1,000 μm, 2,000 μm, 3,000 μm, 및 4,000 μm로 설정된 경우에 대한 회로 시뮬레이션을 행하였다.

게이트 선택 TFT인 트랜지스터 Qo 및 Qe의 채널 길이는 4 μm(상수)로 설정했다. 도 16b에 정의된 기록비를 각각의 경우에 대해 계산했다. 도 16a는 계산 결과를 도시한다. 게이트 선택 TFT인 트랜지스터 Qo 및 Qe의 채널 길이가 3,000 μm 이상이면, 화소 전극에 대한 전압 기록에는 문제가 발생하지 않는 것이 명

백하다.

채널 폭이 3,000 μm 일 경우에 패리티 버스 라인 LPko 및 LPke의 배선 상수의 계산은 약 40 μsec 를 산출한다. 이 정도의 배선 상수에 따라, 게이트 선택 TFT인 트랜지스터 Qo 및 Qe가 약 1 msec의 블랭킹 기간으로 스위칭된 경우, 수개의 라인에 불충분한 기록이 펄스 지연에 의해 생기지 않는다.

유지 특성을 시험한다.

게이트 선택 TFT인 트랜지스터 Qo 및 Qe가 3,000 μm 의 채널 폭 및 4 μm 의 채널 길이를 가지며, 게이트 선택 TFT인 트랜지스터 Qo 및 Qe의 게이트 전위가 OFF일 때 얻어진 전위가 -20 V, -10 V, 및 0 V로 설정된다고 가정한다. 도 17은 이들 각각의 경우의 절반값에서, 즉 오프-프레임에서, 표시 장치의 투과율이 백색 표시의 50%로 되는 전압에서 화소의 전위 변동량의 시뮬레이션 결과를 도시한다.

도 17로부터 분명한 바와 같이, 게이트 선택 TFT인 트랜지스터 Qo 및 Qe의 OFF 전압은 -10 V보다 낮게 설정되어야만 한다.

상기 계산으로부터, 게이트 선택 TFT인 트랜지스터 Qo 및 Qe의 사이즈 및 전압이 표 1에 나타난 값으로 설정된 경우, 제1 실시예에 따른 표시 장치는 바람직하게 동작할 수 있다.

[표 1]

게이트 선택 TFT의 설계 파라미터	설계값
(채널 길이/채널 폭)	3000/4 이상
ON 전압	30 V 이상
OFF 전압	-10 V 이하

이와 같이, 제1 실시예에 따르면, 게이트 버스 라인 LGko 및 LGke에 제공된 드라이버의 수는 증가하지 않으므로, 고가의 드레인 버스 라인 LD1~LDm이 감소될 수 있다. 따라서, 저가의 표시 장치가 제조될 수 있다.

제1 실시예에 따르면, 2개의 화소 전극 구동 트랜지스터들은 각각의 드레인 버스 라인들 LD1~LDm에 접속되고, 2개의 패리티 버스 라인들 LPko와 LPke는 각각의 드레인 버스 라인들 LD1~LDm용으로 준비된다. 최종 표시 장치는 2개의 프레임으로 풀-스크린 표시를 행하는 인터레이스된 구동에 의해 동작된다. 그러나, 본 발명은 이에 국한되지 않는다. 예를 들면, 일반적으로, n개의 화소 전극 트랜지스터들은 각각의 드레인 버스 라인들 LD1~LDm에 접속될 수도 있고, n개의 패리티 버스 라인들 LPko와 LPke는 각각의 드레인 버스 라인들 LD1~LDm용으로 준비된다. n개의 패리티 버스 라인들 LPko와 LPke는 풀-스크린 표시를 행하는 인터레이스된 구동을 행하는 n개의 프레임들에서 턴온된다. 이 경우, H 드라이버(302)의 개수는 $1/n$ 로 설정될 수 있다.

도 18은 본 발명의 제2 실시예에 따른 액티브 매트릭스 액정 표시 장치를 나타내는 등가 회로도이고, 도 19와 도 20의 (a) 내지 (d)는 도 18에 나타난 액티브 매트릭스 액정 표시 장치의 동작을 설명하기 위한 도면이다. 후술될 도면에서, 도 8의 것과 공통되는 부분들은 도 8에서와 같은 참조 부호로 표시된다.

보다 구체적으로, 전술된 제1 실시예에서, 임의의 로우 상에서, 홀수번째 컬럼 상의 화소 전극들에는 패리티 라인 LPko 상의 신호가 기입되지만, 짝수번째 컬럼과 홀수번째 로우 상의 화소 전극에는 패리티 버스 라인 LPke 상의 신호가 기입된다. 홀수번째 컬럼들과 짝수번째 로우들 상의 화소 전극에는 패리티 버스 라인 LPke 상의 신호가 기입되지만, 짝수번째 컬럼들과 짝수번째 로우들 상의 화소 전극에는 패리티 버스 라인 LPko 상의 신호가 기입된다.

이 실시예를 갖는 액티브 매트릭스 액정 표시 장치의 동작은 도 19와 도 20의 (a) 내지 (d)를 참조하여 기술될 것이다. 도 19는 전술된 동작을 설명하기 위한 타이밍도이고 도 20의 (a) 내지 (d)는 표시 회소에 전압이 기록되는 전압 극성과 전압 기록 순서를 나타낸 도면이다. 도 20의 (a) 내지 (d)에서, 원으로 둘러싸인 번호는 임의의 프레임 내의 화소에 전압 기록 순서를 나타낸다.

도 20의 (a) 내지 (d)에 나타난 바와 같이, 시간축의 화소 전극에 다음 전압이 기록될 때, 전압은 홀수번째 컬럼 → 짝수번째 컬럼 → 홀수번째 컬럼 → 짝수번째 컬럼 → ...의 순으로 화소에 기록된다. 하나의 프레임 내의 드레인 버스 라인 LD1 내지 LDm에 인가된 전압은 동일한 극성을 갖는다.

제1 실시예에서, 짝수번째 컬럼들과 홀수번째 컬럼 상의 데이터는 도 13c에 나타난 드레인 전압 단자에 입력 데이터의 순서로 나타난 바와 같이, 프레임 단위로 선택되고 스위칭된다. 제2 실시예에서, 짝수번째 컬럼들과 홀수번째 컬럼들 상의 데이터는 로우 단위로 선택되고 스위칭된다.

이 데이터 선택은 H 드라이버(302)에 입력될 시리얼 데이터로서 제공되는, 화상 신호를 설정함으로써 종래 기술의 것보다 두배의 기간을 갖게 되고, 라인 단위로 수신 타이밍을 시프트시킴으로써 구현된다. 데이터 수신 타이밍 신호는 제어기(303)내의 논리 회로에 의해 생성되고 H 드라이버(302)에 입력된다.

이러한 방식으로, 제2 실시예에 따르면, 제1 실시예의 효과에 부가하여, 동일 프레임 내의 드레인 버스 라인 LD1~LDm 상의 전압은 동일 극성을 갖는다. 따라서, 전력 소비는 감소될 수 있고, 화소 전극 기록 특성은 향상될 수 있다.

제2 실시예에 따르면, 2개의 화소 전극 구동 트랜지스터들은 각각의 드레인 버스 라인들 LD1~LDm에 접속되고, 2개의 패리티 버스 라인들 LPko와 LPke는 각각의 드레인 버스 라인들 LD1~LDm용으로 준비된다. 최종 표시 장치는 2개의 프레임으로 풀-스크린 표시를 행하는 인터레이스된 구동에 의해 동작된다. 그러나, 본 발명은 이에 국한되지 않는다. 예를 들면, 일반적으로, n개의 화소 전극 트랜지스터들은 각각의 드레인 버스 라인들 LD1~LDm에 접속될 수도 있고, n개의 패리티 버스 라인들 LPko와 LPke는 각각의 드레인 버스 라인들 LD1~LDm용으로 준비된다. n개의 패리티 버스 라인들 LPko와 LPke는 풀-스크린 표시를

행하는 인터레이스된 구동을 행하는 n 개의 프레임들에서 턴온된다. 이 경우, H 드라이버(302)의 개수는 $1/n$ 로 설정될 수 있다.

제3 실시예

제3 실시예는 제1 및 제2 실시예의 도 8과 도 18의 것과 동일한 배열을 가지지만, 후술되는 바와 같이, 제1 및 제2 실시예와는 상이하게 동작한다.

제3 실시예에서는, 제1 및 제2 실시예에서와 같은 방식으로, n 개의 화소 전극 트랜지스터들은 각각의 드레인 버스 라인들 LD1~LDm에 접속되고, n 개의 패리티 버스 라인들 LPko와 LPke는 각각의 드레인 버스 라인들 LD1~LDm용으로 준비된다.

보다 구체적으로, n 개의 패리티 버스 라인 LPko와 LPke는 제1 및 제2 실시예에서와 같은 방식으로, 풀-스크린 표시를 행하는 인터레이스된 구동을 수행하는 n 개의 프레임에서 턴온된다.

제3 실시예는 하나의 프레임 작성 시간이 종래 경우의 것에 $1/n$ 배로 설정된다는 점에서 제1 및 제2 실시예와는 다르다. 보다 구체적으로, 하나의 프레임은 약 $1/(50 \times n)$ 내지 $1/(75 \times n)$ 초의 시간으로 작성된다.

이와 같이, 제3 실시예에 따르면, 프레임 반전 기간은 n 배만큼 증폭되기 때문에, 종래 기술에서와 같은 레벨로의 플리커(flicker) 감소는 가능하게 된다. 따라서, 드라이버의 개수가 감소될 때, 비용이 감소될 수 있고, 플리커 감소가 달성될 수 있다.

발명의 효과

상술한 바와 같이, 본원 발명은 액티브 매트릭스 액정 표시 장치를 제조할 때에 비용의 상승을 야기하지 않고 휘도를 개선할 수 있는 이점을 갖는다.

(57) 청구의 범위

청구항 1

액티브 매트릭스 액정 표시 장치에 있어서,

액정을 밀봉하는 한 쌍의 기판;

상기 기판들 중 하나의 기판 상에 n 개의 로우× m 개의 컬럼의 매트릭스 형태로 배열된 박막 트랜지스터들;

상기 박막 트랜지스터들의 소스 전극에 1 대 1 대응하여 접속된 표시 화소 전극들;

상기 매트릭스형 박막 트랜지스터들의 드레인 전극에 s 대 1 대응하여 접속된 m/s (s 와 m 은 m/s 가 자연수가 되는 자연수들임)개의 드레인 버스 라인들;

각 로우 상의 상기 박막 트랜지스터들의 게이트 전극에 1 대 1 대응하여 접속된 $s \times n$ 개의 게이트 버스 라인들;

제($s \times t$ (t 는 임의의 양의 정수)+1) 프레임에서 시작하여 제($s \times t + s$) 프레임에서 종료되는 각각의 s 개의 프레임 내의 n 개의 게이트 버스 라인들을 선택하여 상기 s 개의 프레임으로 원-스크린 표시를 행하는 제어기

를 포함하는 것을 특징으로 하는 액티브 매트릭스 액정 표시 장치.

청구항 2

제1항에 있어서, 드레인 전극, 소스 전극 및 게이트 전극을 가지며, 게이트 버스 라인 단위의 상기 드레인 전극은 게이트 단자에 접속되고, 상기 소스 전극은 상기 게이트 버스 라인에 접속되며, 상기 게이트 전극들은 매 s 개의 프레임마다 프레임들 중 1개의 프레임에서 온 전압으로 설정되는 게이트 스위치 라인에 접속되도록 구성된 게이트 선택용 TFT를 더 포함하는 것을 특징으로 하는 액티브 매트릭스 액정 표시 장치.

청구항 3

제2항에 있어서, 상기 게이트 선택용 TFT는 동일한 공정에서 상기 표시 화소 전극에 접속된 박막 트랜지스터와 동시에 형성되는 것을 특징으로 하는 액티브 매트릭스 액정 표시 장치.

청구항 4

제2항에 있어서, 상기 게이트 선택용 TFT는 비정질 실리콘으로 이루어진 반도체막으로 형성되며, 채널 폭에 대한 채널 길이의 비는 3000/4 이상인 것을 특징으로 하는 액티브 매트릭스 액정 표시 장치.

청구항 5

제4항에 있어서, 상기 게이트 선택용 TFT는 30V 이상의 게이트 온 전압에서 턴온되고, -10V 이하의 게이트 오프 전압에서 턴오프되는 것을 특징으로 하는 액티브 매트릭스 액정 표시 장치.

청구항 6

제2항에 있어서, 상기 게이트 선택용 TFT는 폴리실리콘으로 이루어진 반도체막으로 형성되는 것을 특징으로 하는 액티브 매트릭스 액정 표시 장치.

청구항 7

제2항에 있어서, 상기 게이트 선택용 TFT의 상기 게이트 전극은 블랭킹 기간 내에서 스위칭되는 것을 특징으로 하는 액티브 매트릭스 액정 표시 장치.

청구항 8

제1항에 있어서, 하나의 프레임은 $1/(50 \times n)$ 내지 $1/(75 \times n)$ 초의 시간에 작성될 수 있는 것을 특징으로 하는 액티브 매트릭스 액정 표시 장치.

청구항 9

액티브 매트릭스 액정 표시 장치의 제조 방법에 있어서,

액정을 밀봉하는 한쌍의 기판 중 하나의 기판 상에 n 개의 로우 $\times$ m 개의 컬럼의 매트릭스 형태로 배열된 박막 트랜지스터를 형성하는 제1 단계;

상기 박막 트랜지스터의 소스 전극에 1 대 1 대응하여 접속된 표시 화소 전극을 형성하는 제2 단계;

상기 매트릭스형 박막 트랜지스터의 드레인 전극에 s 대 1 대응하여 접속된 m/s (s 및 m 은 m/s 가 자연수가 되는 자연수들)개의 드레인 버스 라인을 형성하는 제3 단계, 및

각 로우 상의 상기 박막 트랜지스터의 게이트 전극에 1 대 1 대응하여 접속된 $s \times n$ 개의 게이트 버스 라인을 형성하는 제4 단계

를 포함하는 것을 특징으로 하는 방법.

청구항 10

제9항에 있어서, 상기 제4 단계는

상기 드레인 전극에 게이트 단자를 게이트 버스 라인 단위로 접속하기 위한 제5 단계; 및

상기 소스 전극에 상기 게이트 버스 라인을 접속하는 제6 단계;

상기 게이트 전극에 게이트 스위치 라인을 접속하는 제7 단계를 포함하며, 상기 게이트 스위치 라인은 매 s 개의 프레임마다 프레임들 중 하나의 프레임 내에서 온 전압으로 설정되는 것을 특징으로 하는 방법.

청구항 11

제10항에 있어서, 상기 제5 단계 내지 제7 단계는 동일한 공정에서 상기 표시 화소 전극에 접속된 상기 박막 트랜지스터의 형성과 동시에 행해지는 것을 특징으로 하는 방법.

청구항 12

제9항에 있어서, 상기 제5 단계 내지 제7 단계는 채널 폭에 대한 채널 길이의 비가 3000/4 이상인 비정질 실리콘으로부터 반도체 막을 형성하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 13

제9항에 있어서, 제5 단계 내지 제7 단계는 폴리실리콘으로부터 반도체 막을 형성하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 14

액티브 매트릭스 액정 표시 장치를 구동하는 방법에 있어서,

게이트 선택용 TFT의 게이트 온 전압을 30V 이상으로 설정하고, 게이트 오프 전압을 -10V 이하로 설정하여 상기 표시 장치를 구동시키는 것을 포함하는 것을 특징으로 하는 방법.

청구항 15

제14항에 있어서, 상기 게이트 선택용 TFT의 상기 게이트 전극이 블랭킹 기간내에서 스위칭되도록 구동이 행해지는 것을 특징으로 하는 방법.

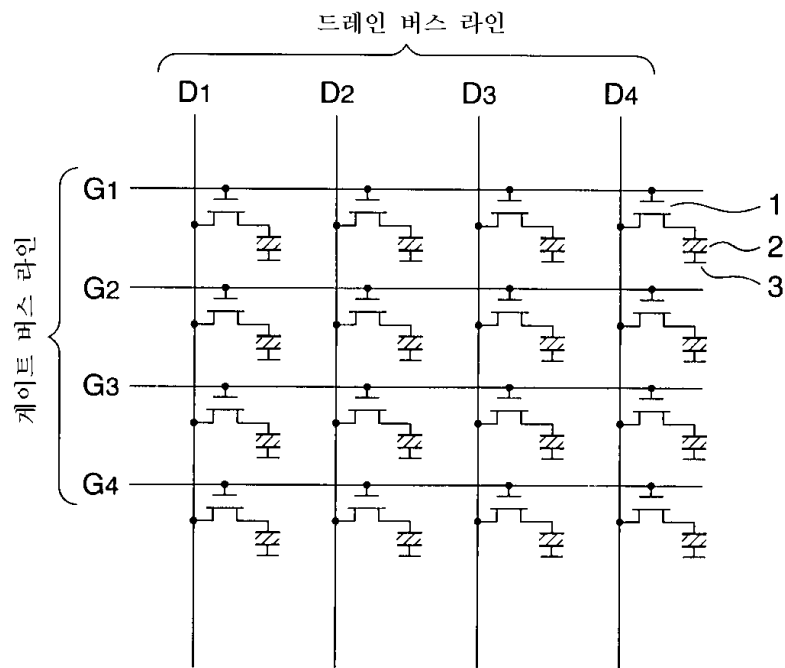
청구항 16

제14항에 있어서, 하나의 프레임이 $1/(50 \times n)$ 내지 $1/(75 \times n)$ 초의 시간에 작성되도록 구동이 행해지는 것을 특징으로 하는 방법.

도면

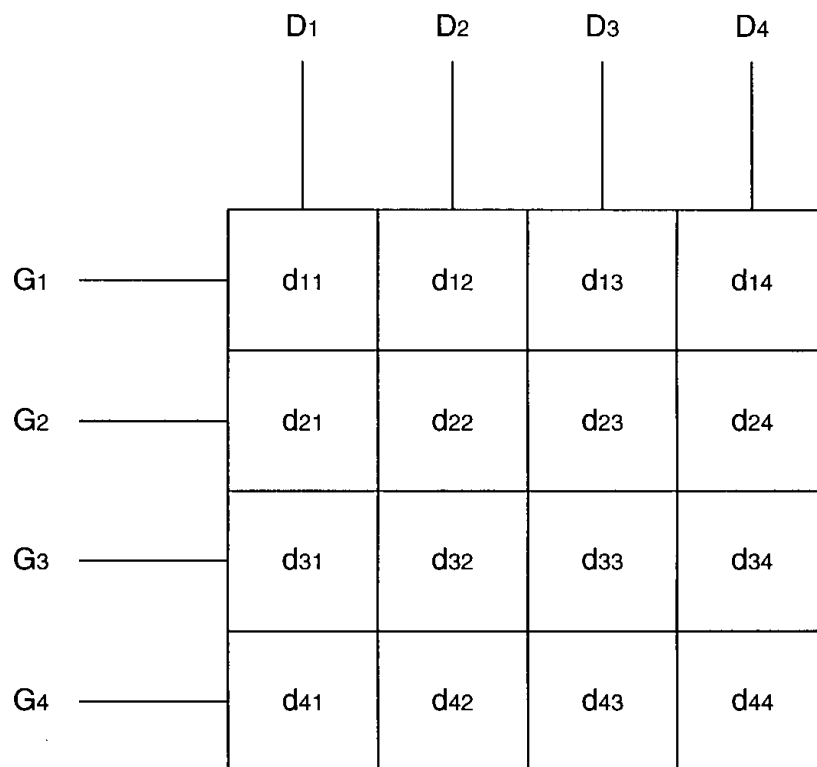
도면1

(종래 기술)



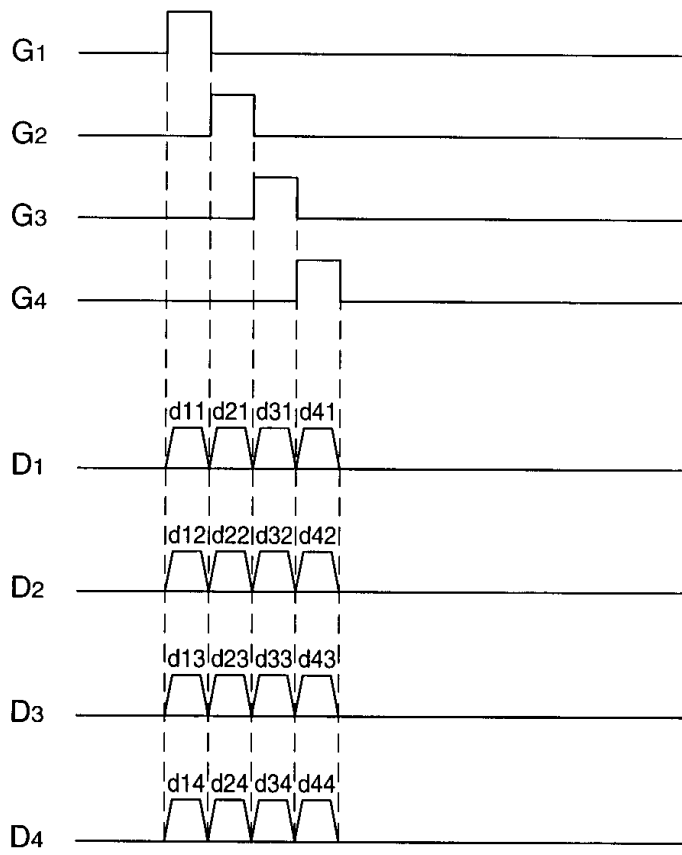
도면2

(종래 기술)



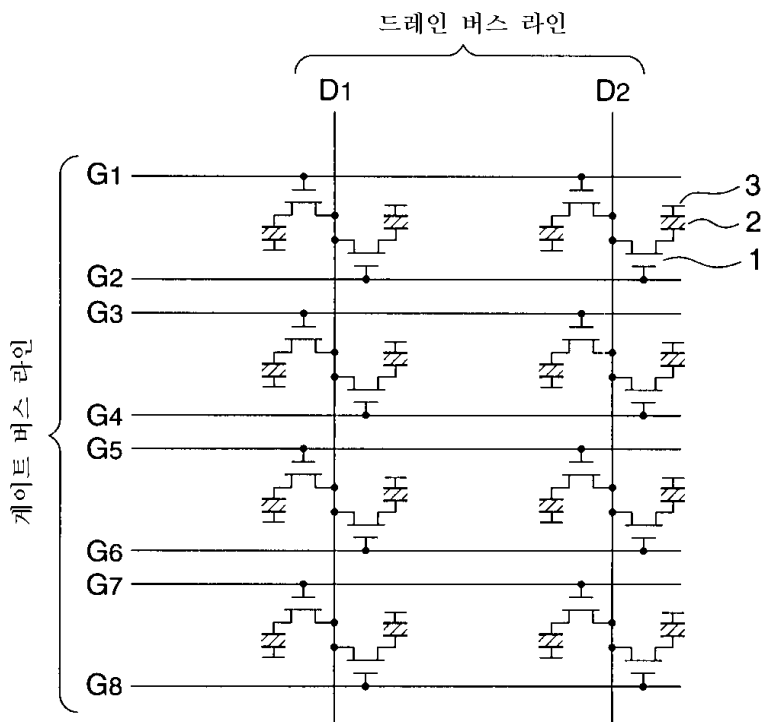
도면3

(종래 기술)



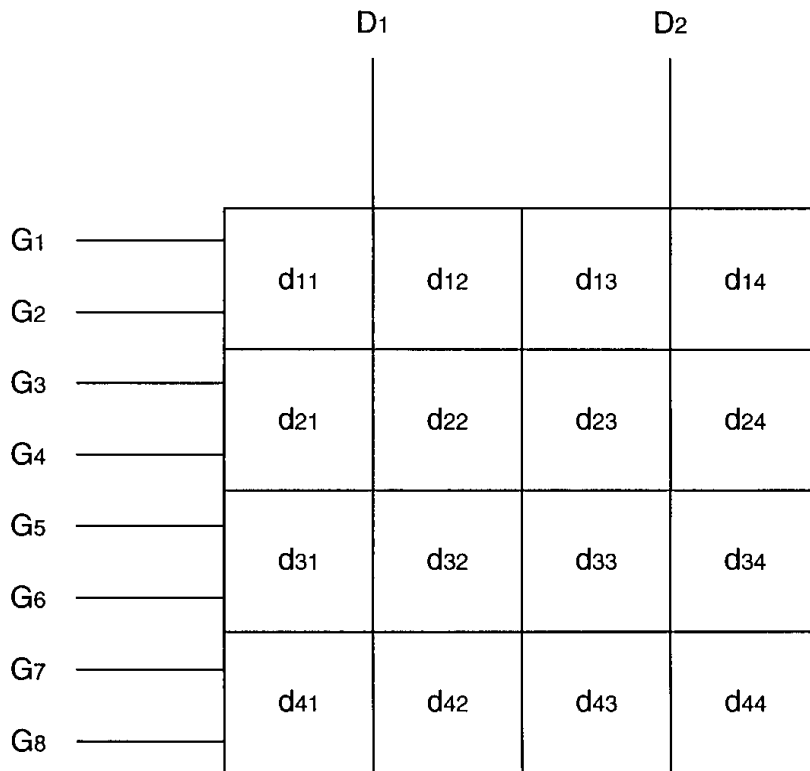
도면4

(종래 기술)



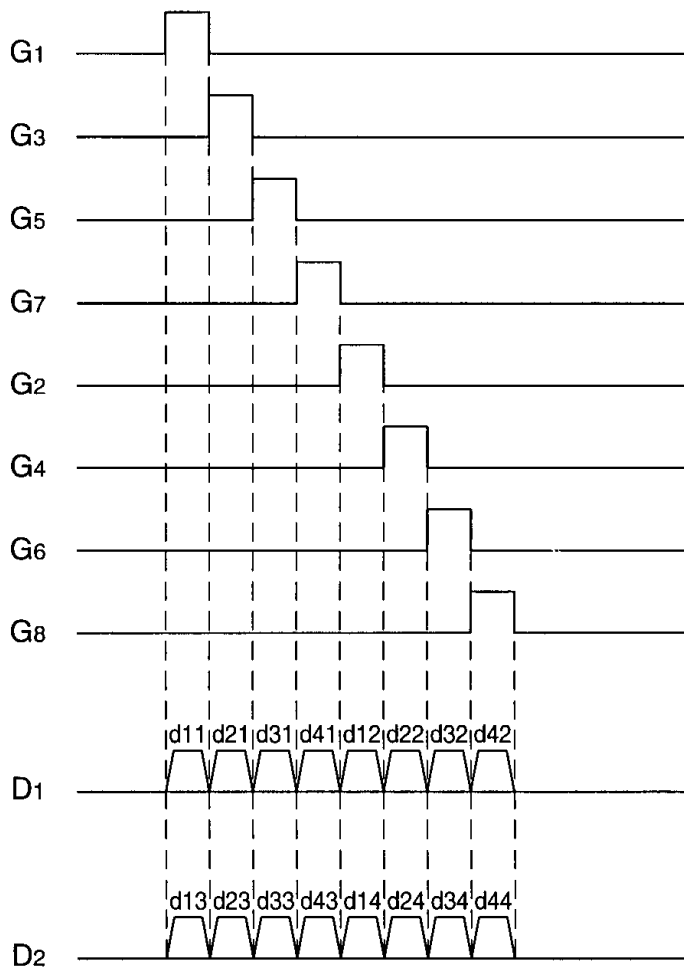
도면5

(종래 기술)

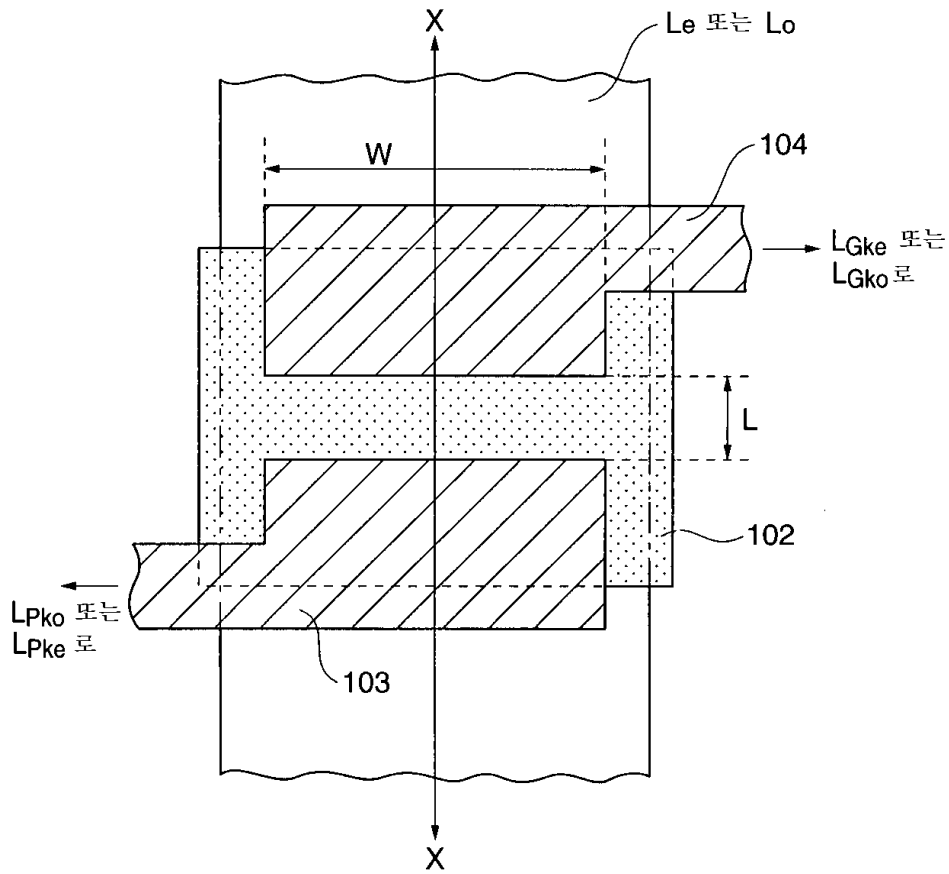


도면6

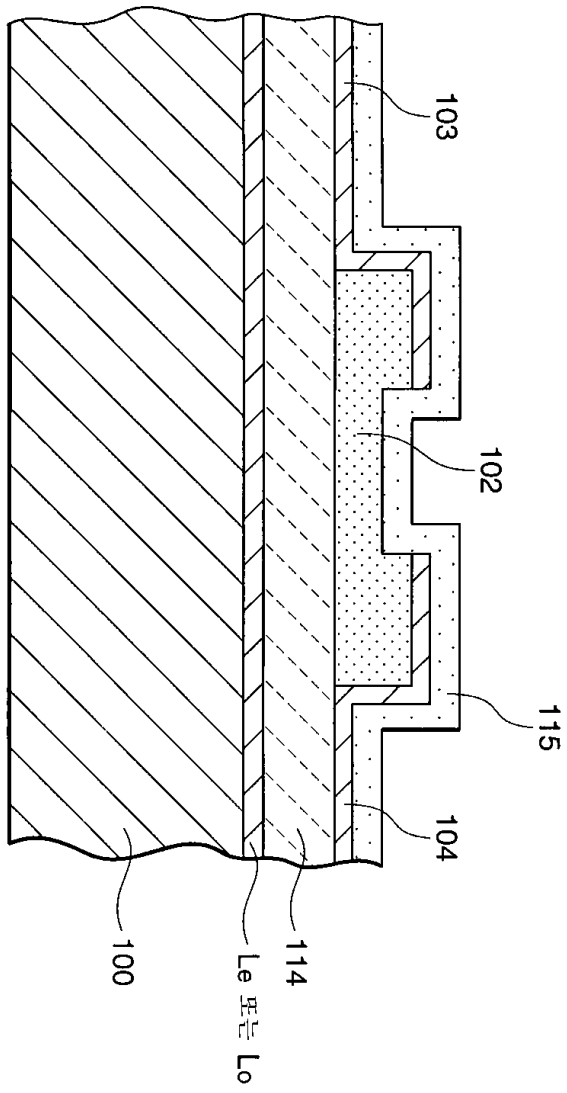
(종래 기술)



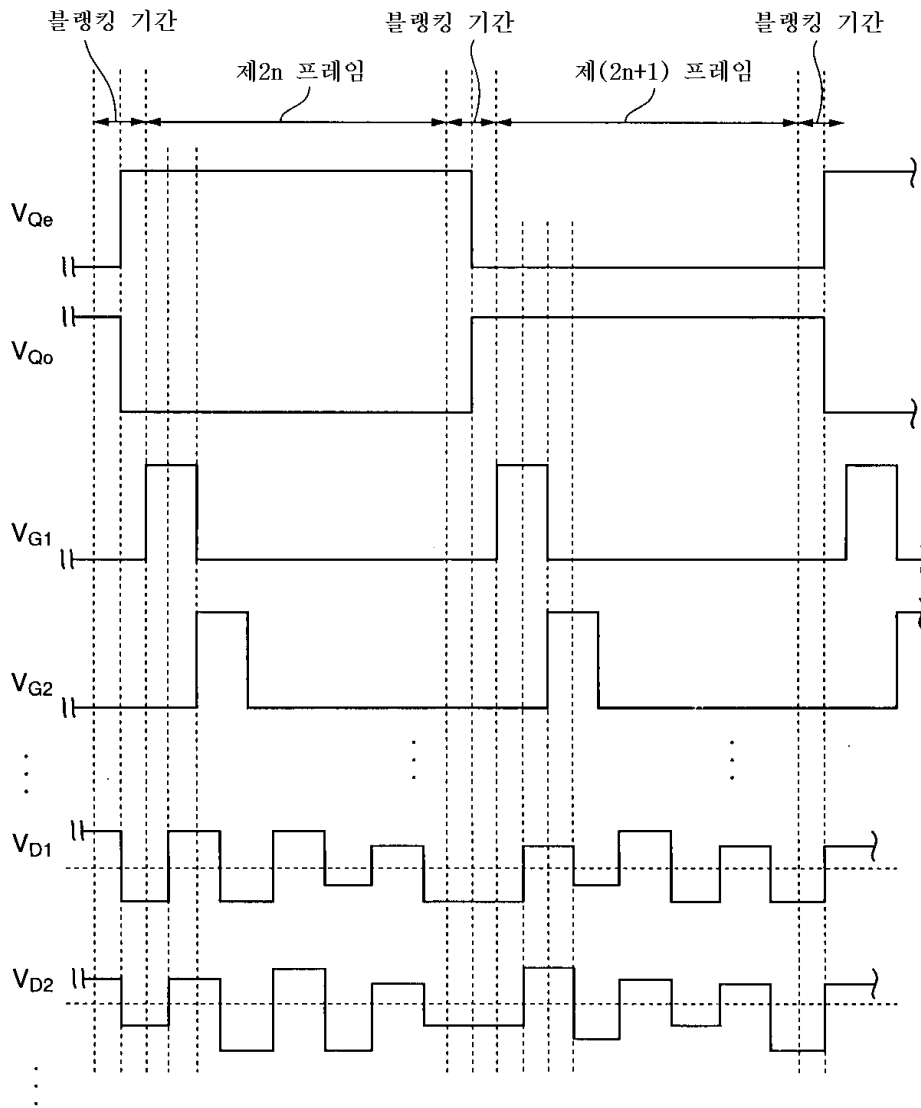
도면9



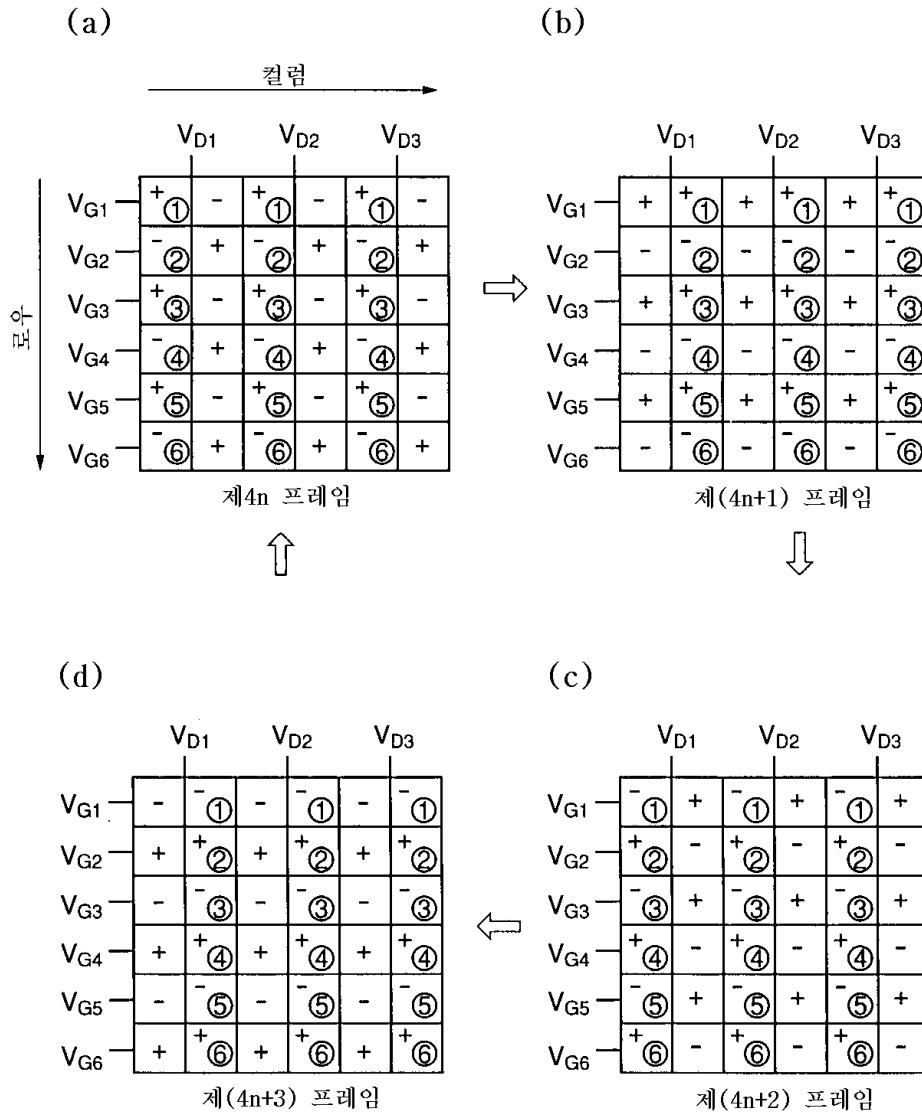
도면10



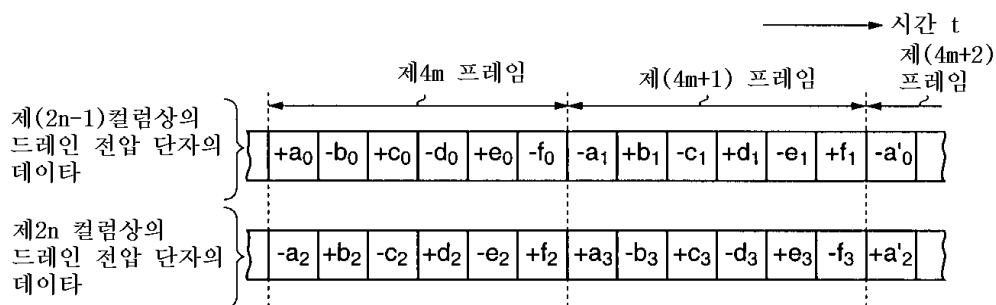
도면11



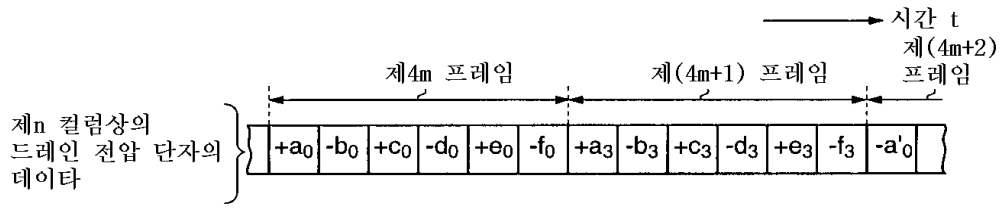
도면 12



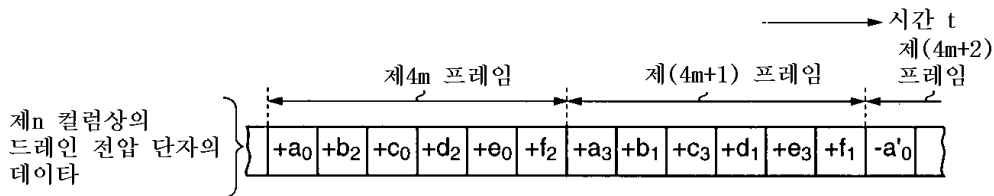
도면 13a



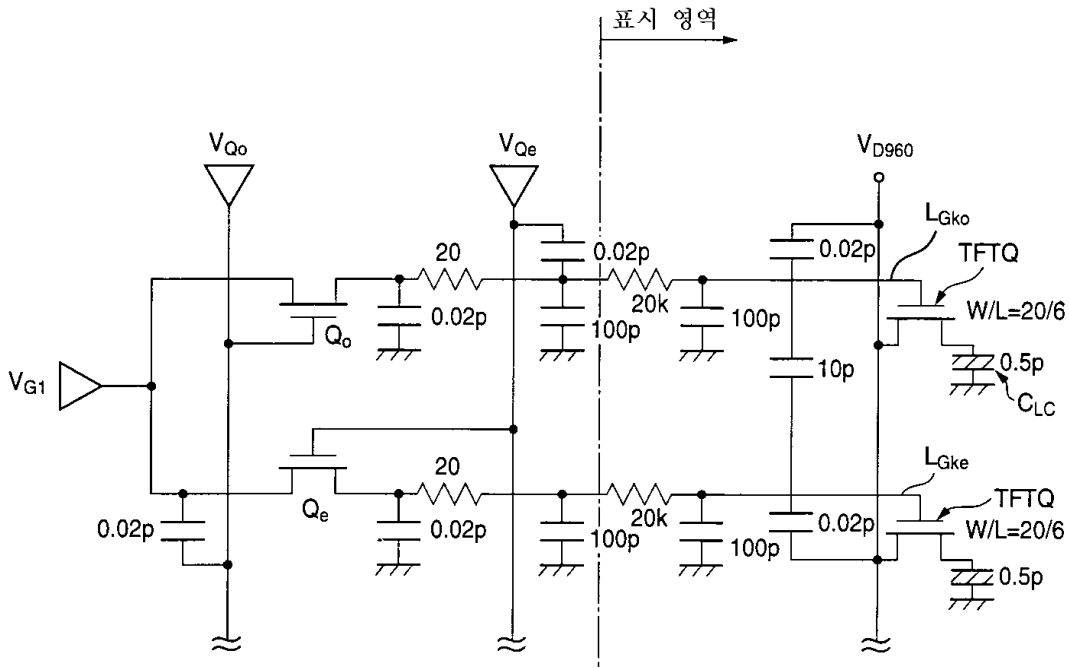
도면 13b



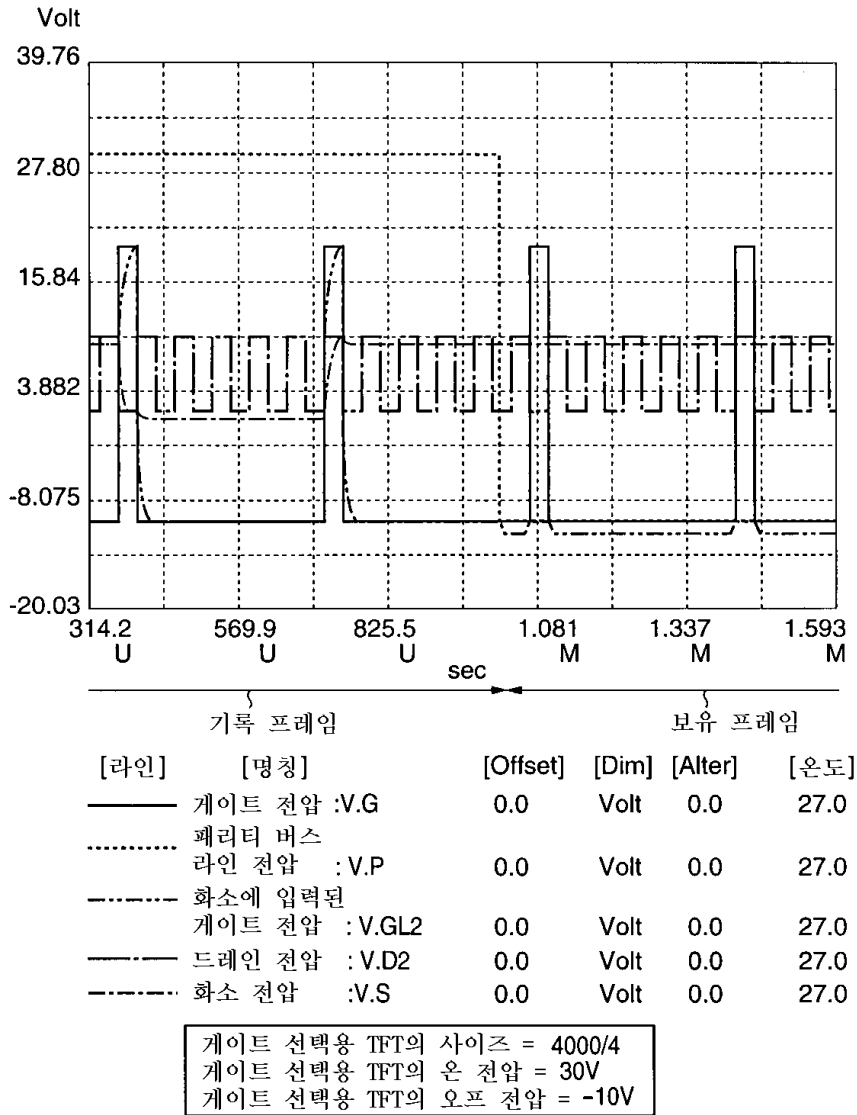
도면 13c



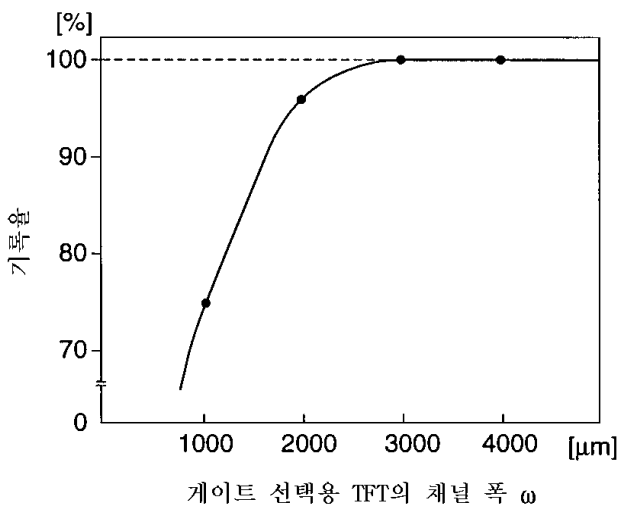
도면 14



도면 15



도면 16a

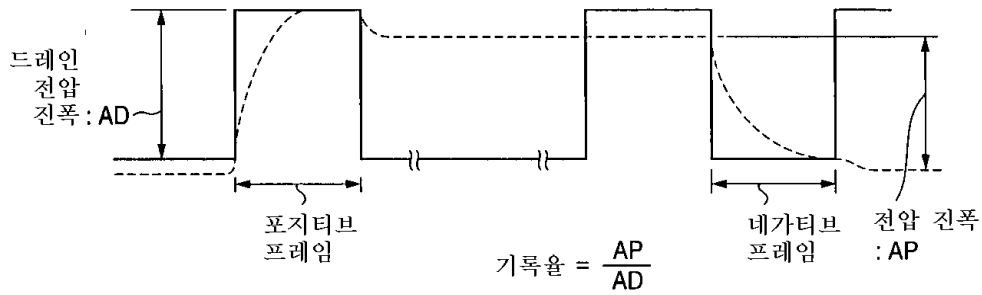


도면 16b

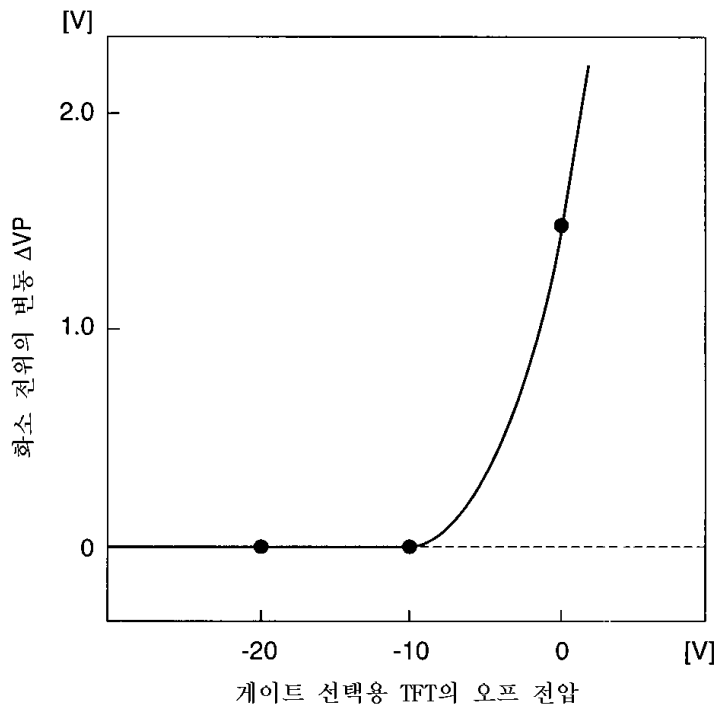
$L (= 4\mu\text{m})$: 게이트 선택용 TFT의 채널 길이

$V_{\text{PG}}^{\text{ON}} (= 30\text{V})$: 게이트 선택용 TFT의 온 전압

$V_{\text{PG}}^{\text{OFF}} (= -10\text{V})$: 게이트 선택용 TFT의 오프 전압



도면 17

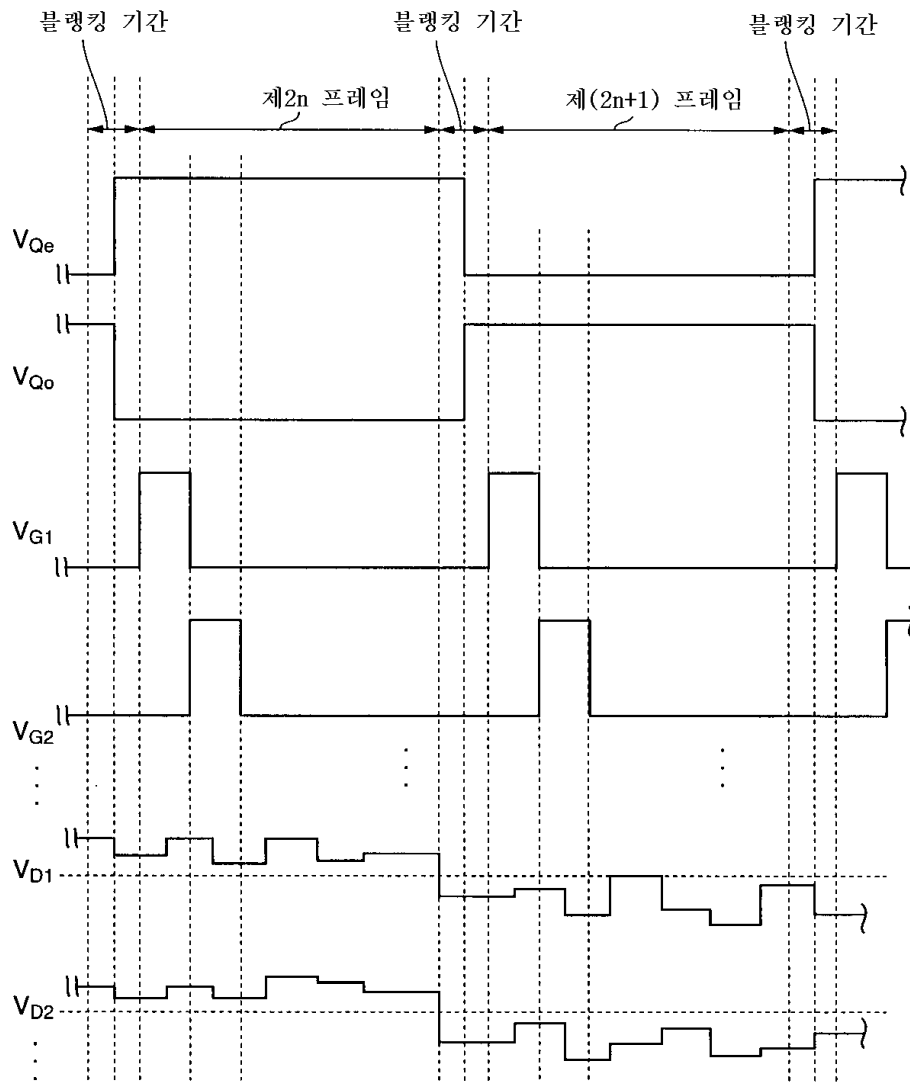


중간값에서 : $\Delta VD = 3\text{V}, V_{\text{PG}}^{\text{ON}} = 30\text{V}$

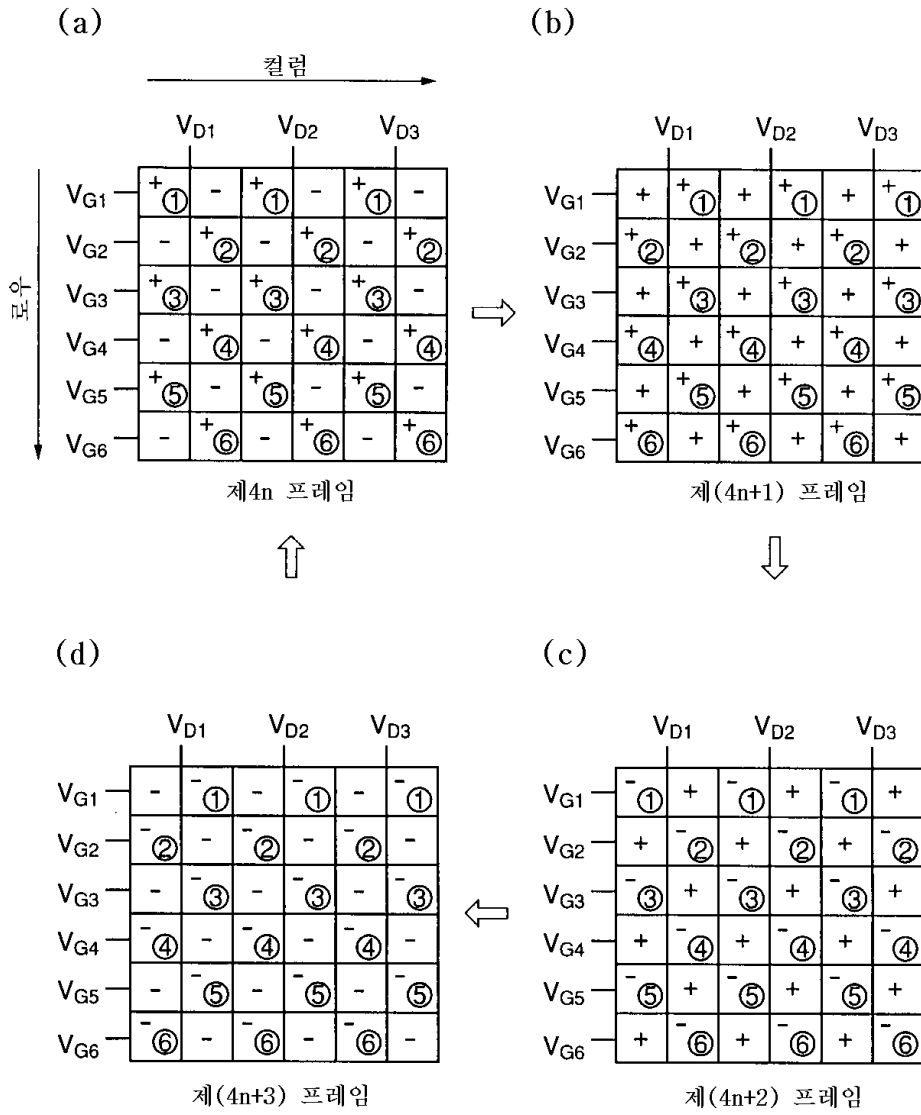
ΔVD : 드레인 전압 진폭

$V_{\text{PG}}^{\text{ON}}$: 게이트 선택용 TFT의 온 전압

도면 19



도면20



专利名称(译)	有源矩阵液晶显示装置，其制造方法及其驱动方法		
公开(公告)号	KR1020000057991A	公开(公告)日	2000-09-25
申请号	KR1020000006122	申请日	2000-02-10
申请(专利权)人(译)	日本电气有限公司sikki		
当前申请(专利权)人(译)	日本电气有限公司sikki		
[标]发明人	WATANABE MAKOTO 와타나베마코토 WATANABE TAKAHIKO 와타나베다카히코		
发明人	와타나베마코토 와타나베다카히코		
IPC分类号	G02F1/1368 G02F1/133 G09G3/36 G09G3/20 G02F1/136		
CPC分类号	G09G2310/0267 G09G3/3648 G09G2320/0209 G09G3/3614 G09G2310/0224 G09G2310/0218		
代理人(译)	CHANG, SOO KIL		
优先权	1999032847 1999-02-10 JP		
其他公开文献	KR100375897B1		
外部链接	Espacenet		

摘要(译)

的有源矩阵型液晶显示装置包括一对基板，在一个显示像素电极的薄膜晶体管，米/秒（S和M是米/秒是deulim自然数是自然数），其液晶被密封漏极总线，S的xn个门总线 and 控制器。薄膜晶体管形成在一个衬底上以n行xm列的矩阵排列。显示像素电极以一一对应的方式连接到薄膜晶体管的源电极。漏极总线与矩阵型薄膜晶体管的漏极s对一的对应关系连接。栅极总线与每行上的薄膜晶体管的栅极一一对应地连接。如权利要求所述的控制器（S×T个（T是任意正整数）+1）通过与帧选择S个，其中在所述（S×T+S）终止栅极总线的帧N起始源帧到帧的s个-执行屏幕显示。此外，公开了一种制造显示装置的方法及其驱动方法。8 指数方面 有源矩阵液晶显示器，薄膜晶体管，像素电极，基板，总线

