



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년06월26일
(11) 등록번호 10-1411735
(24) 등록일자 2014년06월18일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01)

(21) 출원번호 10-2007-0127186

(22) 출원일자 2007년12월07일

심사청구일자 2012년11월30일

(65) 공개번호 10-2009-0060041

(43) 공개일자 2009년06월11일

(56) 선행기술조사문헌

JP2000122092 A*

KR100355713 B1*

KR1020030016053 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

황태웅

경북 구미시 인동17길 36, 103동 906호 (인의동, 인의대동다숲아파트)

신승목

대구광역시 북구 서변로 106, 101동 901호 (서변동, 동서변 리벤빌)

선상현

경상북도 칠곡군 석적읍 북중리3길 70, 부영아파트 104동 1009호

(74) 대리인

서교준

전체 청구항 수 : 총 10 항

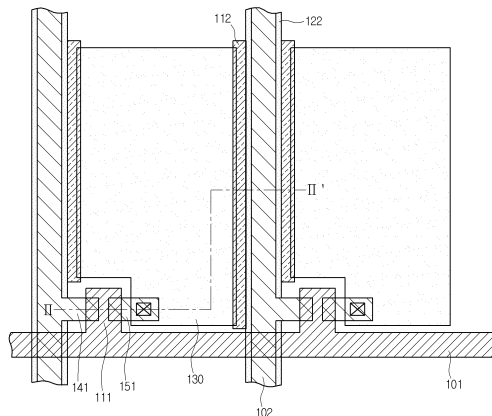
심사관 : 정구웅

(54) 발명의 명칭 액정표시장치 및 이의 제조 방법

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 화소가 정의된 기관, 상기 기관상에 배치된 데이터 배선, 상기 기관상에 상기 데이터 배선과 교차하여 상기 화소를 정의하는 게이트 배선, 상기 화소상에 배치되며, 상기 게이트 배선과 데이터 배선과 전기적으로 연결된 박막트랜지스터, 상기 화소상에 배치되며, 상기 박막트랜지스터와 전기적으로 연결된 화소전극, 및 상기 데이터 배선 하부에 배치되며, 상기 데이터 배선의 너비보다 큰 너비를 갖는 광차단 패턴을 포함함에 따라, 개구율을 향상시킬 수 있는 액정표시장치를 제공할 수 있다.

대표도 - 도3



특허청구의 범위

청구항 1

화소가 정의된 기관;

상기 기관상에 배치된 게이트 배선;

상기 게이트 배선상에 형성된 게이트 절연막;

상기 게이트 절연막상에 상기 게이트 배선과 교차하여 상기 화소를 정의하는 데이터 배선;

상기 화소상에 배치되며, 상기 게이트 배선과 데이터 배선과 전기적으로 연결된 박막트랜지스터;

상기 화소상에 배치되며, 상기 박막트랜지스터와 전기적으로 연결된 화소전극;

상기 데이터 배선 하부에 배치되며, 상기 게이트 절연막과 데이터 배선 사이에 배치되어 상기 데이터 배선의 너비보다 큰 너비를 갖는 광차단 패턴; 및

상기 게이트 배선과 동일층에서, 상기 광차단 패턴과 상기 화소전극사이에 배치된 보조 광차단 패턴을 포함하고,

상기 보조 광차단 패턴의 양측은 각각 상기 화소 전극의 에지부와 상기 광차단 패턴의 에지부에 각각 중첩되는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 박막트랜지스터는 제 1 반도체 패턴과 상기 제 1 반도체 패턴의 채널을 노출하며 상기 제 1 반도체 패턴상에 배치된 제 2 반도체 패턴으로 이루어진 반도체 패턴을 포함하며,

상기 광차단 패턴은 상기 제 1 반도체 패턴과 동일한 재질로 이루어진 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 광차단 패턴은 상기 보조 광차단 패턴과 데이터 배선 사이에서 기생캐پ 발생을 방지하는 것을 특징으로 하는 액정표시장치.

청구항 4

삭제

청구항 5

제 1 항에 있어서,

상기 화소전극과 일부 중첩되어 스토리지 캐패시터를 형성하는 공통 배선을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 공통 배선은 상기 광차단 패턴 및 상기 화소전극사이에 배치되는 보조 광차단 패턴을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 7

화소가 정의된 기관을 제공하는 단계;

상기 기관상에 게이트 배선, 게이트 전극 및 보조 광차단 패턴을 형성하는 단계;

상기 게이트 배선 및 게이트 전극을 포함하는 기판상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막상에 반도체층 및 도전막을 순차적으로 적층하여 형성하고 식각하여, 상기 게이트 배선과 교차하며 서로 적층된 광차단 패턴 및 데이터 배선과, 상기 게이트 전극과 대응된 게이트 절연막상에 배치된 반도체 패턴 및 소스/드레인 전극을 동시에 형성하는 단계;

상기 데이터 배선 및 소스/드레인 전극을 포함하는 기판상에 보호막을 형성하는 단계; 및

상기 화소의 보호막상에 배치되며, 상기 드레인 전극과 전기적으로 연결된 화소전극을 형성하는 단계를 포함하고,

상기 보조 광차단 패턴은 상기 광차단 패턴과 상기 화소전극사이에 배치되고, 상기 보조 광차단 패턴의 양측은 각각 상기 화소 전극의 에지부와 상기 광차단 패턴의 에지부에 각각 중첩되는 액정표시장치의 제조 방법.

청구항 8

제 7 항에 있어서,

상기 광차단 패턴 및 상기 데이터 배선은 단차를 갖는 포토레지스트 패턴을 식각 마스크로 이용하는 식각 공정을 통해 형성하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 9

제 7 항에 있어서,

상기 광차단 패턴은 상기 보조 광차단 패턴과 데이터 배선 사이에서 기생캡 발생을 방지하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 10

제 7 항에 있어서,

상기 반도체 패턴은 제 1 반도체 패턴과 상기 제 1 반도체 패턴의 채널을 노출하며 상기 제 1 반도체 패턴상에 배치된 제 2 반도체 패턴으로 형성되며, 상기 광차단 패턴은 상기 제 1 반도체 패턴과 동일한 재질로 형성하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 11

제 7 항에 있어서,

상기 광차단 패턴 및 데이터 배선과, 상기 반도체 패턴 및 소스/드레인 전극을 형성하는 단계는,

반도체층 및 도전막을 순차적으로 적층하는 단계;

상기 도전막 상에 단차를 갖는 제 1 포토레지스트 패턴을 형성하는 단계;

상기 제 1 포토레지스트 패턴을 마스크로 하여 반도체층 및 도전막을 식각하여, 예비 반도체 패턴 및 도전 패턴과 광차단 패턴 및 예비 데이터 배선을 형성하는 단계;

상기 제 1 포토레지스트 패턴을 애싱하여 단차가 제거된 제 2 포토레지스트 패턴을 형성하는 단계; 및

상기 제 2 포토레지스트 패턴을 마스크로 하여 예비 반도체 패턴, 도전 패턴 및 예비 데이터 배선을 식각하여 반도체 패턴, 소스/드레인 전극 및 데이터 배선을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

명세서

발명의 상세한 설명

기술 분야

[0001]

액정표시장치에 관한 것으로, 더욱 구체적으로 개구율을 향상시킬 수 있는 액정표시장치 및 이의 제조 방법에 관한 것이다.

배정 기술

- [0002] 오늘날, 액정 표시 장치(Liquid Crystal Display device ; LCD)는 소비전력이 낮고, 휴대성이 양호한 기술 집약적이며 부가가치가 높은 차세대 첨단 디스플레이(display) 소자로 각광받고 있다.
- [0003] 액정표시장치는 액정의 광학적 이방성을 이용한 표시장치로써, 액정에 전계를 인가하여 액정의 광투과율을 조절함으로써, 다양한 영상을 표시할 수 있다.
- [0004] 도 1 및 도 2를 참조하여, 종래 액정표시장치를 설명하기 위해 도시한 도면들이다.
- [0005] 도 1은 종래 액정표시장치의 평면도이다.
- [0006] 도 2는 도 1에 도시된 I-I'선을 따라 절단한 단면도이다.
- [0007] 도 1 및 도 2를 참조하면, 종래의 액정표시장치는 서로 마주하는 제 1 및 제 2 기판과 상기 제 1 및 제 2 기판 사이에 개재된 액정층을 포함한다.
- [0008] 상기 제 1 기판은 다수의 게이트 배선들과 다수의 데이터 배선들이 서로 교차하며 정의된 다수의 화소(P)들을 포함한다. 상기 각 화소에는 상기 게이트 배선과 데이터 배선과 전기적으로 연결된 박막트랜지스터와, 상기 박막트랜지스터와 전기적으로 연결된 화소전극이 배치되어 있다.
- [0009] 상기 제 2 기판상에 상기 각 화소를 노출하는 개구를 갖는 블랙매트릭스가 배치되어 있다. 즉, 상기 블랙매트릭스는 상기 게이트 배선, 상기 데이터 배선 및 상기 박막트랜지스터와 대응하는 상기 제 2 기판상에 배치될 수 있다. 상기 개구에 특정한 파장의 광을 필터링하여, 풀컬러를 구현하는 컬러필터 패턴이 배치되어 있다. 상기 블랙매트릭스 및 상기 컬러필터 패턴을 포함하는 제 2 기판상에 공통전극이 배치되어 있다.
- [0010] 여기서, 상기 데이터 배선과 상기 화소전극간의 쇼트불량 또는 상기 데이터 배선과 상기 화소전극간의 기생캡에 의한 신호지연을 방지하기 위해, 상기 데이터 배선과 상기 화소전극은 서로 일정 간격으로 이격되어 있다. 이때, 상기 데이터 배선과 상기 화소전극의 이격 간격을 통해 빗샘이 형성될 수 있다. 특히, 상기 빗샘 문제는 정면방향보다는 정면방향에서 일정한 각도를 갖는 시야각 방향에서 크게 발생할 수 있다. 이를 해결하기 위해, 상기 블랙매트릭스는 상기 이격공간과 대응한 상기 제 2 기판상에 더 연장되도록 형성된다.
- [0011] 또한, 상기 제 1 및 제 2 기판의 합착에서 발생하는 미스 얼라인이 발생할 경우, 빗샘이 방지할 수 있다. 그리고, 상기 제 1 및 제 2 기판에 일정한 압력을 가할 경우, 빗샘이 방지할 수 있다. 이를 고려하여, 상기 블랙 매트릭스는 일정한 마진을 둔다. 즉, 상기 블랙매트릭스는 상기 화소전극의 에지부와 중첩되도록 상기 제 2 기판상에 형성된다. 즉, 상기 블랙매트릭스는 상기 데이터 배선, 상기 화소전극의 에지부 및 상기 데이터 배선과 상기 화소전극사이와 대응되는 상기 제 2 기판상에 형성된다. 이로 인하여, 상기 액정표시장치의 개구율이 저하되는 문제점이 있었다.
- [0012] 따라서, 종래 데이터 배선과 화소전극사이에 발생하는 빗샘을 방지할 뿐만 아니라, 미스 얼라인에 의한 공정 마진을 고려함에 따라, 상기 블랙매트릭스가 형성되는 영역이 증가되어 액정표시장치의 개구율이 저하되는 문제점이 있었다.

발명의 내용

해결 하고자하는 과제

- [0013] 본 발명의 하나의 과제는 상기 데이터 배선과 상기 화소전극 사이에서 발생하는 광 누설을 방지하며 개구율을 향상시킬 수 있는 액정표시장치를 제공함에 있다.
- [0014] 본 발명의 다른 하나의 과제는 별도의 공정을 추가하지 않고 개구율을 향상시킬 수 있는 상기 액정표시장치를 제조하는 액정표시장치의 제조 방법을 제공함에 있다.

과제 해결수단

[0015] 상기 기술적 과제를 이루기 위하여 본 발명의 일 측면은 액정표시장치를 제공한다. 상기 액정표시장치는 화소가 정의된 기관, 상기 기관상에 배치된 데이터 배선, 상기 기관상에 상기 데이터 배선과 교차하여 상기 화소를 정의하는 게이트 배선, 상기 화소상에 배치되며, 상기 게이트 배선과 데이터 배선과 전기적으로 연결된 박막트랜지스터, 상기 화소상에 배치되며, 상기 박막트랜지스터와 전기적으로 연결된 화소전극, 및 상기 데이터 배선 하부에 배치되며, 상기 데이터 배선의 너비보다 큰 너비를 갖는 광차단 패턴을 포함한다.

[0016] 상기 기술적 과제를 이루기 위하여 본 발명의 다른 일 측면은 액정표시장치의 제조 방법을 제공한다. 상기 제조 방법은 화소가 정의된 기관을 제공하는 단계, 상기 기관상에 게이트 배선 및 게이트 전극을 형성하는 단계, 상기 게이트 배선 및 게이트 전극을 포함하는 기관상에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막상에 상기 게이트 배선과 교차하며 서로 적층된 광차단 패턴 및 데이터 배선과, 상기 게이트 전극과 대응된 게이트 절연막상에 배치된 반도체 패턴 및 소스/드레인 전극을 형성하는 단계, 상기 데이터 배선 및 소스/드레인 전극을 포함하는 기관상에 보호막을 형성하는 단계, 및 상기 화소의 보호막상에 배치되며, 상기 드레인 전극과 전기적으로 연결된 화소전극을 형성하는 단계를 포함한다.

효 과

[0017] 본 발명의 액정표시장치는 데이터 배선 하부에 별도의 광차단 패턴을 구비하여, 데이터 배선과 화소전극사이에서 발생하는 광 누설을 방지할 수 있다.

[0018] 또한, 상기 데이터 배선과 화소전극사이에 상기 광차단 패턴이 구비됨에 따라, 상기 제 1 및 제 2 기관간의 합착 미스얼라인을 고려한 블랙매트릭스의 마진율을 줄일 수 있어, 개구율을 향상시킬 수 있다.

[0019] 또한, 상기 광차단 패턴은 상기 반도체 패턴의 제 1 반도체 패턴을 형성하는 공정에서 형성함에 따라, 별도의 공정을 추가하지 않아도 된다.

발명의 실시를 위한 구체적인 내용

[0020] 이하, 본 발명의 실시예들은 액정표시장치의 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다. 따라서, 본 발명은 이하 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

[0021] 도 3 및 도 4는 본 발명의 제 1 실시예에 따른 액정표시장치를 설명하기 위해 도시한 도면들이다.

[0022] 도 3은 본 발명의 제 1 실시예에 따른 액정표시장치에 구비된 다수의 화소들 중 서로 인접한 두 화소를 확대하여 도시한 평면도이다.

[0023] 도 4는 도 3에 도시된 II-II'선을 따라 절단한 단면도이다.

[0024] 도 3 및 도 4를 참조하면, 본 발명의 제 1 실시예에 따른 액정표시장치는 서로 마주하는 제 1 및 제 2 기관(100, 200), 상기 제 1 및 제 2 기관(100, 200)사이에 개재된 액정층(300)을 포함한다.

[0025] 상기 제 1 기관(100)상에 제 1 방향으로 배열된 다수의 게이트 배선(101)들이 배치되어 있다. 상기 다수의 게이트 배선(101)들의 각 끝단은 게이트 패드부(미도시함)과 전기적으로 연결되어 있다. 상기 게이트 패드부는 외부 구동회로로부터 제공된 게이트 신호를 상기 게이트 배선(101)으로 인가하고, 상기 게이트 배선(101)은 상기 게이트 신호를 후술 될 박막트랜지스터(Tr)에 인가하여, 상기 박막트랜지스터(Tr)를 온(on)시킬 수 있다.

[0026] 상기 제 1 기관(100)상에 상기 제 1 방향과 교차하는 제 2 방향으로 배열된 다수의 데이터 배선(102)들이 배치되어 있다. 상기 다수의 게이트 배선(101)들과 상기 다수의 데이터 배선(102)들의 교차에 의해, 상기 제 1 기관(100)은 다수의 화소들이 정의된다. 상기 다수의 데이터 배선(102)들의 각 끝단은 데이터 패드부(미도시함)과 전기적으로 연결되어 있다. 상기 데이터 패드부는 외부 구동회로로부터 상기 데이터 배선(102)에 데이터 신호를 인가하고, 상기 데이터 배선(102)은 상기 게이트 신호에 의해 온(ON)된 상기 박막트랜지스터(Tr)에 상기 데이터 신호를 인가한다.

- [0027] 상기 데이터 배선(102) 하부에 광차단 패턴(122)이 배치되어 있다. 상기 광차단 패턴(122)은 광을 차단하는 재질로 이루어질 수 있다. 예컨대, 상기 광차단 패턴(122)은 비정질 실리콘으로 이루어질 수 있다. 상기 광차단 패턴(122)은 상기 데이터 배선(102)의 너비보다 넓은 너비를 가질 수 있다. 이로써, 상기 데이터 배선(102)과 상기 화소전극(130)사이에서 광차단 패턴(122)이 구비됨에 따라, 광이 누설되는 영역을 줄일 수 있다.
- [0028] 이에 더하여, 상기 광차단 패턴(122)과 상기 화소전극(130)사이에서 보조 광차단 패턴(112)을 더 구비할 수 있다. 상기 보조 광차단 패턴(112)은 상기 게이트 배선(101)과 동일한 재질로 이루어질 수 있다. 이때, 상기 광차단 패턴(122)은 비정질 실리콘으로 이루어짐에 따라, 상기 보조 광차단 패턴(112)이 상기 데이터 배선(102)과 근접하게 배치될 경우에 상기 보조 광차단 패턴(112)과 상기 데이터 배선(102)사이에서 기생캡이 발생하는 것을 방지할 수 있다. 이로써, 상기 보조 광차단 패턴(112)은 상기 광차단 패턴(122)과 중첩되어도 무방하다. 이에 따라, 상기 보조 광차단 패턴(112)의 양측은 각각 상기 화소전극(130)의 에지부와 상기 광차단 패턴(122)의 에지부에 각각 중첩될 수 있다.
- [0029] 다시 말해, 상기 광차단 패턴(122)이 없을 경우, 상기 보조 광차단 패턴(112)과 상기 데이터 배선(102)사이에서 기생 캡이 발생할 수 있다. 이로 인해, 상기 보조 광차단 패턴(112)과 상기 데이터 배선(102)사이의 간격을 줄이는 데 한계가 있다. 즉, 상기 광차단 패턴(122)이 없을 경우, 상기 화소전극(130)과 상기 데이터 배선(102)사이에서 광누설 영역을 줄이는데 한계가 있다. 그러나, 상기 광차단 패턴(122)은 상기 데이터 배선(102)과 중첩될지라도, 상기 광차단 패턴(122)과 상기 데이터 배선(102)사이에는 기생 캡이 형성되지 않으므로, 상기 화소전극(130)과 상기 데이터 배선(102)사이에서 광누설 영역을 확실하게 제거할 수 있다. 따라서, 상기 광차단 패턴(122)과 상기 보조 광차단 패턴(112)에 의해 상기 데이터 배선(102)과 상기 화소전극(130)사이에서 누설 광이 발생하는 것을 완전하게 차단할 수 있다.
- [0030] 이와 달리, 도면과 달리 별도의 보조 광차단 패턴을 구비하지 않을 경우, 상기 광차단 패턴(122)은 상기 데이터 배선(102)의 에지에서부터 후술될 화소전극(130)의 에지까지 연장하여 형성할 수도 있다. 즉, 상기 광차단 패턴(122)은 상기 데이터 배선(102)의 하부, 상기 데이터 배선(102)과 상기 화소전극(130)사이에서 배치될 수 있다. 이로써, 상기 데이터 배선(102)과 상기 화소전극(130)사이에서 발생하는 광 누설을 방지할 수 있다.
- [0031] 상기 데이터 배선(102)과 상기 광차단 패턴(122)사이에서 더미 반도체 패턴(132)이 더 배치될 수 있다. 상기 더미 반도체 패턴은 상기 제 2 반도체 패턴(131)과 동일한 재질로 이루어질 수 있다. 이는 상기 광차단 패턴(122)은 상기 반도체 패턴(121, 131)과 동일한 마스크를 사용하여 형성됨에 따라, 더미 반도체 패턴(132)은 상기 데이터 배선(102)과 상기 광차단 패턴(122)사이에서 개재될 수 있다.
- [0032] 상기 게이트 배선(101)과 상기 데이터 배선(102)은 그 사이에 개재된 게이트 절연막(110)에 의해 서로 절연된다. 상기 게이트 절연막(110)은 산화실리콘 또는 질화실리콘으로 이루어질 수 있다.
- [0033] 상기 각 화소에는 박막트랜지스터(Tr) 및 상기 박막트랜지스터(Tr)와 전기적으로 연결된 화소전극(130)이 배치되어 있다. 상기 박막트랜지스터(Tr)는 상기 게이트 배선(101)의 게이트 신호에 의해 온(on)되어, 상기 데이터 배선(102)으로부터 인가된 데이터 신호에 의해 상기 화소전극(130)에 화소전압을 인가한다.
- [0034] 상기 박막트랜지스터(Tr)는 상기 게이트 배선(101)으로부터 분기된 게이트 전극(111), 게이트 절연막(110)을 사이에 두고 상기 게이트 전극(111)과 중첩된 반도체 패턴(121, 131), 상기 반도체 패턴(121, 131)상에 배치되며 상기 데이터 배선(102)과 전기적으로 연결된 소스전극(141), 상기 반도체 패턴(121, 131)상에 배치되며 상기 소스전극(141)과 이격된 드레인 전극(151)을 포함한다.
- [0035] 상기 반도체 패턴(121, 131)은 제 1 및 제 2 반도체 패턴(121, 131)을 포함한다. 상기 제 1 반도체 패턴(121)은 비정질 실리콘으로 이루어질 수 있다. 또한, 상기 제 1 반도체 패턴(121)은 상기 소스전극(141)과 상기 드레인 전극(151)사이와 대응된 채널을 구비한다. 상기 제 2 반도체 패턴(131)은 불순물이 도핑된 비정질 실리콘으로 이루어질 수 있다. 상기 제 2 반도체 패턴(131)은 상기 제 1 반도체 패턴(121)과 상기 소스전극(141)사이와 상기 제 1 반도체 패턴(121)과 상기 드레인 전극(151)사이에서 개재되어, 상기 제 2 반도체 패턴(131)과 금속 전극, 즉, 상기 소스전극(141)과 상기 드레인 전극(151)사이의 오믹 콘택을 형성시킨다. 즉, 상기 제 2 반도체 패턴(131)은 상기 제 1 반도체 패턴(121)의 채널을 노출하며, 상기 제 1 반도체 패턴(121)상에 배치된다.
- [0036] 상기 박막트랜지스터(Tr)와 상기 화소전극(130)사이에서 개재된 보호막(120)에 의해 서로 절연된다. 상기 보호막(120)은 상기 박막트랜지스터(Tr)에 구비된 드레인 전극(151)의 일부를 노출하는 콘택홀을 구비하며, 상기 콘택홀을 통해 상기 박막트랜지스터(Tr)와 상기 화소전극(130)은 서로 전기적으로 연결될 수 있다.

- [0037] 한편, 상기 각 화소와 대응된 개구를 가지며, 상기 데이터 배선(102), 상기 게이트 배선(101) 및 상기 박막트랜지스터(Tr)와 대응된 상기 제 2 기판(200)상에 광누설을 방지하기 위한 블랙매트릭스(210) 및 상기 개구에 배치된 컬러필터 패턴(220)이 배치되어 있다.
- [0038] 이때, 종래에는 상기 데이터 배선(102)과 상기 화소전극(130)사이에서 누설되는 광을 방지하기 위해 상기 블랙매트릭스(210)를 상기 화소전극(130)의 에지부와 중첩되도록 형성함에 따라, 액정표시장치의 개구율이 저하되는 문제점이 있었다.
- [0039] 그러나, 상기 데이터 배선(102)과 상기 화소전극(130)사이에 광차단 패턴(122) 및 보조 광차단 패턴(112)을 구비함에 따라, 상기 데이터 배선(102)과 상기 화소전극(130)사이에서 발생하는 광 누설을 방지할 수 있다. 이로써, 상기 블랙매트릭스(210)는 제 1 및 제 2 기판(100, 200)의 합착 마진을 위해 설계치보다 크게 형성할 필요가 없다. 이에 따라, 상기 블랙매트릭스(210)는 서로 이웃한 화소들에 각각 배치된 상기 화소전극(130)들 사이와 대응된 상기 제 2 기판(200)상에 배치될 수 있다. 즉, 상기 화소전극(130)의 에지는 상기 블랙매트릭스(210)의 에지와 일치하도록 배치하도록 설계할 경우, 상기 제 1 및 제 2 기판(100, 200)의 미스얼라인될지라도, 상기 데이터 배선(102)과 상기 화소전극(130)사이에서 광이 누설되는 것을 방지할 수 있다.
- [0040] 이로써, 상기 블랙매트릭스(210)는 공정 마진을 고려하여 설계치보다 크게 형성하는 것을 방지할 수 있어, 액정표시장치의 개구율이 저하되는 것을 방지할 수 있다.
- [0041] 이에 더하여, 상기 블랙매트릭스(210) 및 컬러필터 패턴(220)을 포함하는 제 2 기판(200)의 전체면에 오버코트층(230)이 더 배치될 수 있다. 상기 오버코트층(230)은 평탄한 상면을 가짐에 따라 상기 블랙매트릭스(210) 및 컬러필터 패턴(220)에 의해 형성된 단차를 제거한다.
- [0042] 상기 오버코트층(230)상에 공통전극(240)이 배치되어 있다. 상기 공통전극(240)은 투명한 도전 재질, 예컨대 ITO 또는 IZO로 이루어질 수 있다.
- [0043] 따라서, 본 발명의 제 1 실시예에서 데이터 배선과 화소전극사이에 광을 차단하기 위한 광차단 패턴 또는 광차단 패턴과 보조 광차단 패턴을 구비함에 따라, 데이터 배선과 화소전극사이에서 발생하는 광 누설을 방지할 수 있다. 이에 따라, 블랙매트릭스는 제 1 및 제 2 기판간의 미스 얼라인을 고려하여 마진을 고려할 필요가 없어, 액정표시장치의 개구율을 향상시킬 수 있다. 또한, 상기 데이터 배선과 화소전극사이에서 발생하는 광 누설을 방지하여, 특히 시야각에 따른 광 누설을 방지할 수 있어 액정표시장치의 화질을 향상시킬 수 있다.
- [0044] 도 5는 본 발명의 제 2 실시예에 따른 액정표시장치를 설명하기 위해 도시한 평면도이다. 본 발명의 제 2 실시예에서 보조 광차단 패턴을 제외하고 앞서 설명한 제 1 실시예에 따른 액정표시장치와 동일한 구성을 가진다. 따라서, 본 발명의 제 2 실시예에서는 본 발명의 제 1 실시예와 반복되는 설명은 생략하기로 하며, 동일한 구성에 대해서는 동일한 참조부호를 부여한다.
- [0045] 도 5를 참조하면, 본 발명의 제 2 실시예에 따른 액정표시장치는 서로 마주하는 제 1 및 제 2 기판(100, 200)과 상기 제 1 및 제 2 기판(100, 200)사이에 개재된 액정층(300)을 포함한다.
- [0046] 상기 제 1 기판(100)은 데이터 배선(102), 상기 데이터 배선(102)과 교차하여 상기 화소를 정의하는 게이트 배선(101), 상기 화소상에 박막트랜지스터, 상기 박막트랜지스터(Tr)와 전기적으로 연결된 화소전극(130), 상기 데이터 배선(102) 하부에 배치되며, 상기 데이터 배선(102)의 너비보다 큰 너비를 갖는 광차단 패턴(112)을 포함한다.
- [0047] 상기 광차단 패턴(112)과 상기 화소전극(130)이 이격되었을 경우, 상기 광차단 패턴(112)과 상기 화소전극(130)사이에 개재된 보조 광차단 패턴(312)을 더 구비할 수 있다. 상기 보조 광차단 패턴(312)의 양측은 각각 상기 화소전극(130)의 에지 및 상기 광차단 패턴(112)에 중첩될 수 있다.
- [0048] 상기 보조 광차단 패턴(312)은 상기 화소전극(130)의 일부와 중첩되어 스토리지 캐패시터(Cp)를 형성하는 공통배선(313)과 일체로 이루어질 수 있다. 이로써, 상기 보조 광차단 패턴(312)과 일체로 이루어진 공통배선(313)을 더 구비함에 따라, 상기 스토리지 캐패시터(Cp)의 용량을 향상시킬 수 있어 화소전압을 일정기간동안 유지할 수 있으므로, 플리커 현상과 같은 화질 저하를 방지할 수 있다.
- [0049] 상기 공통배선(313)은 상기 게이트 배선(101)과 동일한 층, 예컨대 게이트 절연막(110)상에 배치될 수 있다.
- [0050] 또한, 상기 보조 광차단 패턴(312)은 상기 데이터 배선(102)과 기생캡을 형성할 수 있으나, 상기 광차단 패턴

(112)으로 인해 상기 보조 광차단 패턴(312)과 상기 데이터 배선(102)간에 발생하는 기생 컵을 줄일 수 있어 상기 보조 광차단 패턴(312)의 일부는 상기 광차단 패턴(112)과 중첩되도록 형성할 수도 있다.

- [0051] 따라서, 본 발명의 제 2 실시예에서, 상기 보조 광차단 패턴(312)을 스토리지 캐패시터를 형성하기 위한 공통배선과 일체로 구비됨에 따라, 광 누설을 방지하며 액정표시장치의 화질을 향상시킬 수 있었다.
- [0052] 도 6 내지 도 12들은 본 발명의 제 3 실시예에 따른 액정표시장치의 제조 방법을 설명하기 위해 도시한 단면도들이다.
- [0053] 도 6을 참조하면, 액정표시장치를 제조하기 위해, 먼저 제 1 기판(100)상에 상기 게이트 배선(101), 게이트 전극(111) 및 보조 광차단 패턴(112)을 형성한다.
- [0054] 상기 게이트 배선(도 4에서 101), 게이트 전극(111) 및 보조 광차단 패턴(112)을 형성하기 위해, 먼저 제 1 기판(100)상에 제 1 도전막을 형성한다. 상기 제 1 도전막은 진공 증착법을 이용하여 형성할 수 있다. 상기 제 1 도전막은 금속으로 형성할 수 있다. 상기 제 1 도전막상에 포토레지스트 패턴을 형성한 후, 상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 제 1 도전막을 식각하여 상기 게이트 배선(101) 및 게이트 전극(111) 및 보조 광차단 패턴(112)을 형성할 수 있다.
- [0055] 여기서, 상기 게이트 배선(101)과 상기 게이트 전극(111)은 일체로 형성할 수 있다.
- [0056] 상기 게이트 배선(101), 게이트 전극(111) 및 보조 광차단 패턴(112)을 포함하는 제 1 기판(100)상에 게이트 절연막(110)을 형성한다. 상기 게이트 절연막(110)은 산화실리콘 또는 질화실리콘으로 형성할 수 있다. 상기 게이트 절연막(110)은 화학기상증착법을 통해 형성할 수 있다.
- [0057] 도 7을 참조하면, 상기 게이트 절연막(110)상에 제 1 반도체층(121a), 제 2 반도체층(131a), 제 2 도전막(141a)을 순차적으로 형성한다.
- [0058] 상기 제 1 반도체층(121a)은 비정질 실리콘으로 형성할 수 있다. 상기 제 2 반도체층(131a)은 불순물이 도핑된 비정질 실리콘으로 형성할 수 있다. 상기 제 2 도전막(141a)은 도전 물질, 예컨대 금속으로 형성할 수 있다.
- [0059] 상기 제 2 도전막(141a)상에 단차를 갖는 제 1 포토레지스트 패턴(160a)을 형성한다. 상기 제 1 포토레지스트 패턴(160a)은 하프톤 마스크 또는 회절 마스크를 이용한 노광 및 현상 공정을 거쳐 형성할 수 있다. 상기 제 1 포토레지스트 패턴(160a)을 식각 마스크로 하여 상기 제 1 반도체층(121a), 제 2 반도체층(131a), 제 2 도전막(141a)을 식각하여, 도 8에서와 같이 상기 게이트 전극(111)과 대응된 상기 게이트 절연막(110)상에 제 1 반도체 패턴(121), 예비 반도체 패턴(131a) 및 도전 패턴(141b)을 형성한다. 이와 동시에 상기 게이트 배선(101)과 교차하는 광차단 패턴(122), 예비 더미 반도체 패턴(132b) 및 예비 데이터 배선(142b)을 형성한다.
- [0060] 도 9를 참조하면, 상기 제 1 포토레지스트 패턴(160a)의 단차가 제거될 때까지 상기 제 1 포토레지스트 패턴(160a)을 에칭하여 제 2 포토레지스트 패턴(160b)을 형성한다.
- [0061] 이후, 상기 제 2 포토레지스트 패턴(160b)을 식각 마스크로 사용하여, 예비 제 2 반도체 패턴(131a) 및 도전 패턴(141b)을 식각하여 제 2 반도체 패턴(131), 소스 전극(141) 및 드레인 전극(151)을 형성한다. 이와 동시에, 상기 제 2 포토레지스트 패턴(160b)을 식각 마스크로 사용하여, 상기 예비 더미 반도체 패턴(132b) 및 예비 데이터 배선(142b)을 식각하여 더미 반도체 패턴(132)과 데이터 배선(142)을 형성한다. 이때, 상기 데이터 배선(142)은 상기 광차단 패턴(122)보다 작은 너비를 가진다. 상기 광차단 패턴(122)은 상기 보조 광차단 패턴(112)과 중첩될 수도 있으며, 상기 광차단 패턴(122)의 식각면과 상기 보조 광차단 패턴(112)의 식각면은 서로 일치하도록 형성할 수도 있다.
- [0062] 도 10을 참조하면, 상기 제 2 포토레지스트 패턴(160b)은 스트립 용액을 이용하여 제거한다.
- [0063] 도 11을 참조하면, 상기 박막트랜지스터(Tr) 및 데이터 배선(142)을 포함하는 제 1 기판(100)상에 보호막(120)을 형성한다.
- [0064] 상기 보호막(120)은 유기막, 무기막 및 이들의 적층막으로 이루어질 수 있다. 상기 유기막의 예로서는 아크릴계 수지, 폴리스티렌 수지, 폴리아미드 수지, 폴리이미드 수지, 폴리아릴에테르 수지, 헥테로사이클릭 폴리머 수지, 파릴렌 수지, 벤조사이클로부텐계 수지, 폴리아크릴리니트릴 수지등일 수 있다. 상기 무기막의 예로서는 산화 실리콘, 질화 실리콘 및 이들의 적층막등일 수 있다.

- [0065] 여기서, 상기 보호막(120)이 유기막으로 형성될 경우, 상기 보호막(120)은 슬릿 코팅, 스프레이 코팅법, 스핀 코팅법 등을 통해 형성할 수 있다. 반면, 상기 보호막(120)이 무기막으로 형성될 경우, 상기 보호막(120)은 화학기상증착법을 통해 형성할 수 있다.
- [0066] 상기 보호막(120)에 상기 박막트랜지스터(Tr)의 드레인 전극(151)을 노출하는 콘택홀을 형성한다.
- [0067] 상기 보호막(120)상에 화소전극(130)을 형성한다. 상기 화소전극(130)을 형성하기 위해, 상기 보호막(120)상에 투명 도전막을 형성한다. 상기 투명 도전막은 증착법으로 형성할 수 있다. 상기 투명 도전막의 재질의 예로서는 ITO 또는 IZO일 수 있다. 상기 투명 도전막을 식각하여, 상기 화소전극(130)을 형성할 수 있다.
- [0068] 상기 화소전극(130)의 에지는 상기 보조 광차단 패턴(112)과 중첩되거나, 상기 보조 광차단 패턴(112)의 에지와 일치하도록 형성할 수 있다. 또는, 상기 화소전극(130)의 에지는 상기 광차단 패턴(122)과 중첩되거나, 상기 광차단 패턴(122)의 에지와 일치하도록 형성할 수 있다.
- [0069] 이로써, 상기 화소전극(130)과 상기 데이터 배선(102)사이의 이격 간격을 통해 광이 누설되는 것을 방지할 수 있다.
- [0070] 도 12를 참조하면, 상기 화소전극(130)이 형성된 제 1 기판(100)상에 블랙매트릭스(210), 컬러필터 패턴(220) 및 공통전극(240)이 형성된 제 2 기판(200)을 얼라인한다.
- [0071] 상세하게, 상기 제 2 기판(200)상에 다수의 개구를 갖는 블랙매트릭스(210)를 형성한다. 즉, 상기 블랙매트릭스(210)는 상기 제 1 기판(100)의 게이트 배선 및 데이터 배선(102) 및 박막트랜지스터(Tr)와 대응하여 상기 제 2 기판(200)상에 배치된다. 여기서, 상기 블랙매트릭스(210)는 상기 데이터 배선(102)을 사이에 두고 서로 인접한 상기 화소전극(130)들 사이와 대응되도록 형성할 수 있다. 그러나, 상기 데이터 배선(102)과 상기 화소전극(130)사이에 광차단 패턴(122) 및 보조 광차단 패턴(113)이 구비됨에 따라, 상기 블랙매트릭스(210)는 상기 제 1 및 제 2 기판(100, 200)간의 미스 얼라인을 고려하여 설계치보다 크게 형성할 필요가 없다.
- [0072] 상기 블랙매트릭스(210)는 상기 제 2 기판(200)상에 블랙 수지막을 형성한 후, 상기 블랙 수지막을 노광 및 현상하여 형성할 수 있다. 이와 달리, 상기 블랙매트릭스(210)가 크롬과 같은 무기물질로 형성될 경우, 포토레지스트를 이용한 식각 공정으로 형성할 수 있다.
- [0073] 상기 개구에 컬러필터 패턴(220)을 형성한다. 상기 컬러필터 패턴(220)을 형성하기 위해, 상기 블랙매트릭스(210)를 포함하는 제 2 기판(200)상에 컬러필터 수지막을 형성한 후, 노광 및 현상 공정을 수행하여 상기 컬러필터 패턴(220)을 형성한다. 상기 컬러필터 패턴(220)은 상기 블랙매트릭스(210)와 중첩되도록 형성할 수도 있다.
- [0074] 상기 블랙매트릭스(210) 및 상기 컬러필터 패턴(220)을 포함하는 제 2 기판(200)상에 오버코트층(230)을 형성한다.
- [0075] 상기 오버코트층(230)상에 공통전극(240)을 형성한다. 상기 공통전극(240)은 투명한 도전막, 예컨대 ITO 또는 IZO로 형성할 수 있다.
- [0076] 본 발명의 제 3 실시예에서 보조 광차단 패턴(112)은 별도로 추가되는 것으로 설명하였으나, 이와 별도로 보조 광차단 패턴(112)은 상기 화소전극(130)과 중첩되어 스토리지 캐패시터를 형성하기 위한 공통배선과 일체로 형성할 수도 있다.
- [0077] 또한, 본 발명의 제 3 실시예에서 보조 광차단 패턴(112)을 형성하는 것으로 설명하였으나, 이에 한정되는 것은 아니며, 상기 광차단 패턴(122)을 상기 화소전극(130)과 상기 데이터 배선(102)사이에 배치되도록 형성할 경우, 상기 보조 광차단 패턴(112)을 형성하지 않을 수도 있다.
- [0078] 따라서, 본 발명의 제 3 실시예에서 광차단 패턴은 단차를 갖는 포토레지스트 패턴을 이용하여 형성함에 따라, 별도의 마스크 공정을 추가하지 않고, 개구율 및 화질을 향상시킬 수 있는 액정표시장치를 제조할 수 있다.
- [0079] 도 13은 백라이트에서 제공된 광의 스펙트럼을 도시한 그래프이다.
- [0080] 도 13에서와 같이, 백라이트에서 제공된 광은 400 내지 650nm의 범위의 파장을 갖는 것을 확인할 수 있었다.
- [0081] 도 14는 게이트 절연막을 포함하는 기판을 통과하는 광의 흡수 스펙트럼을 도시한 그래프이다.
- [0082] 도 14에서와 같이, 광의 흡수 스펙트럼을 측정하기 위해 기판상에 산화 실리콘을 2000Å의 두께로 증착하여 게

이트 절연막을 형성하였다. 이후, 게이트 절연막이 형성된 기판을 통해 투과되는 광의 흡수 스펙트럼을 측정하였다. 이때, 상기 게이트 절연막을 포함하는 기판은 200 내지 800nm의 범위를 갖는 파장을 흡수하지 못하고 투과시키는 것을 확인할 수 있었다. 즉, 상기 백라이트에서 제공된 광을 모두 투과시키는 것을 확인할 수 있었다.

[0083] 도 15는 광차단 패턴 및 게이트 절연막을 포함하는 기판을 통과하는 광의 흡수 스펙트럼을 도시한 그래프이다.

[0084] 도 15에서와 같이, 광의 흡수 스펙트럼을 측정하기 위해 기판상에 산화 실리콘 및 비정질 실리콘을 각각 2000Å의 두께로 증착하여 게이트 절연막 및 광차단 패턴을 형성하였다. 이후, 광차단 패턴 및 게이트 절연막을 포함하는 기판을 통해 투과되는 광의 흡수 스펙트럼을 측정하였다. 이때, 광차단 패턴 및 게이트 절연막을 포함하는 기판은 200 내지 600nm의 범위를 갖는 파장을 흡수하는 것을 확인할 수 있었다. 즉, 상기 광차단 패턴은 상기 백라이트에서 제공된 광을 차단하는 것을 확인할 수 있었다.

[0085] 이로써, 상기 비정질 실리콘을 데이터 배선과 화소전극사이에 배치할 경우, 상기 비정질 실리콘에 의해 상기 데이터 배선과 상기 화소전극사이에 발생하는 누설광을 방지함을 확인할 수 있었다.

도면의 간단한 설명

[0086] 도 1은 종래 액정표시장치의 평면도이다.

[0087] 도 2는 도 1에 도시된 I-I'선을 따라 절단한 단면도이다.

[0088] 도 3은 본 발명의 제 1 실시예에 따른 액정표시장치에 구비된 다수의 화소들 중 서로 인접한 두 화소를 확대하여 도시한 평면도이다.

[0089] 도 4는 도 3에 도시된 II-II'선을 따라 절단한 단면도이다.

[0090] 도 5는 본 발명의 제 2 실시예에 따른 액정표시장치를 설명하기 위해 도시한 평면도이다.

[0091] 도 6 내지 도 12들은 본 발명의 제 3 실시예에 따른 액정표시장치의 제조 방법을 설명하기 위해 도시한 단면도들이다.

[0092] 도 13은 백라이트에서 제공된 광의 스펙트럼을 도시한 그래프이다.

[0093] 도 14는 게이트 절연막을 포함하는 기판을 통과하는 광의 흡수 스펙트럼을 도시한 그래프이다.

[0094] 도 15는 광차단 패턴 및 게이트 절연막을 포함하는 기판을 통과하는 광의 흡수 스펙트럼을 도시한 그래프이다.

[0095] (도면의 주요 부분에 대한 참조 부호의 설명)

[0096] 100 : 제 1 기판 110 : 게이트 절연막

[0097] 120 : 보호막 122 : 광차단 패턴

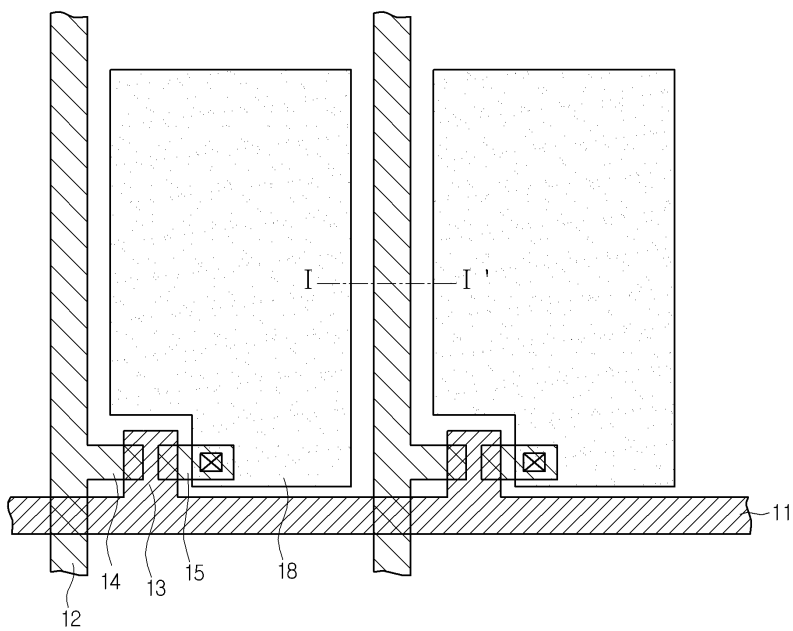
[0098] 112 : 보조 광차단 패턴 130 : 화소전극

[0099] 200 : 제 2 기판 210 : 블랙매트릭스

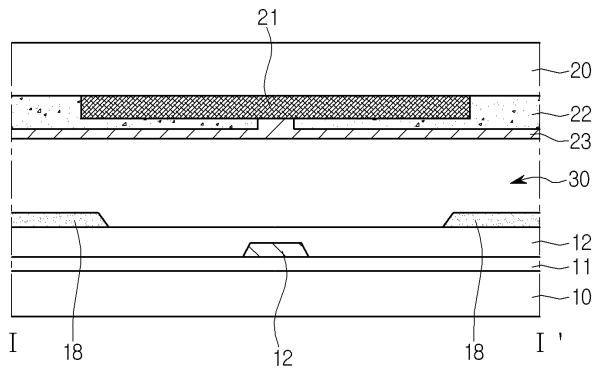
[0100] 220 : 컬러필터 패턴

도면

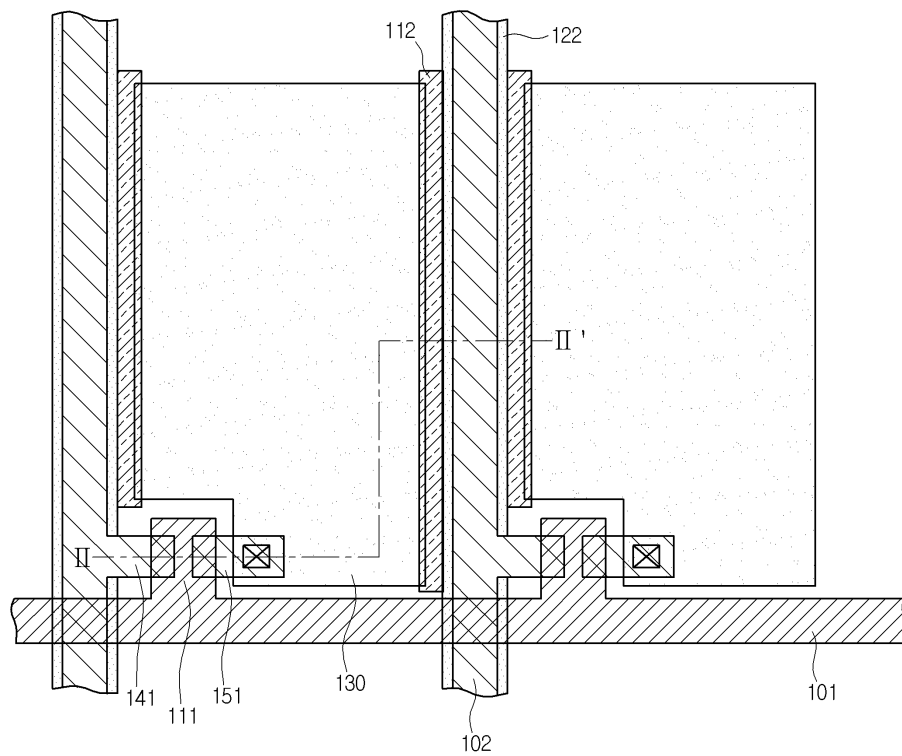
도면1



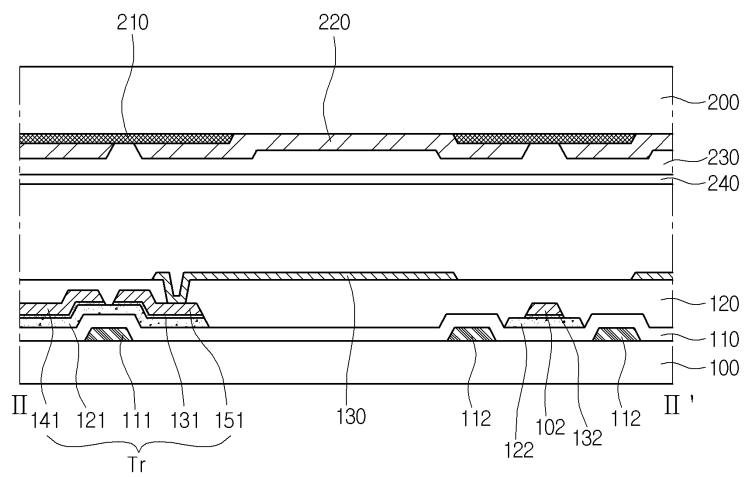
도면2



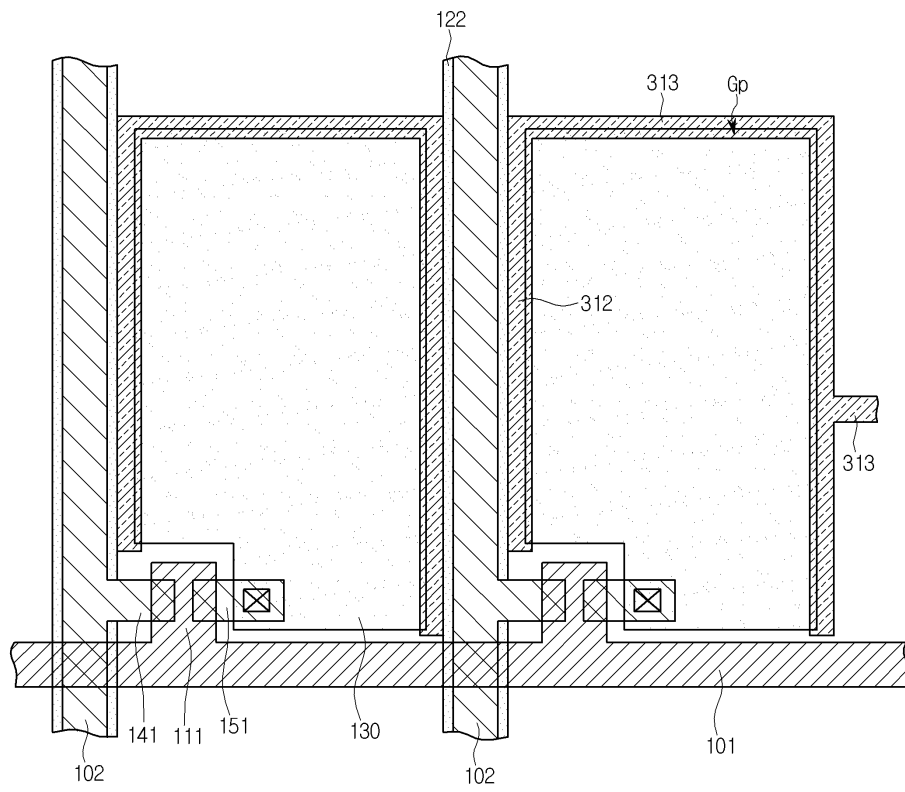
도면3



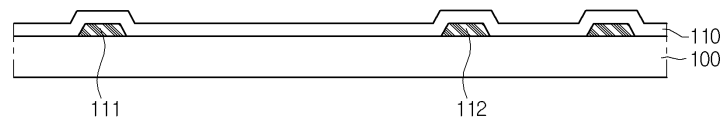
도면4



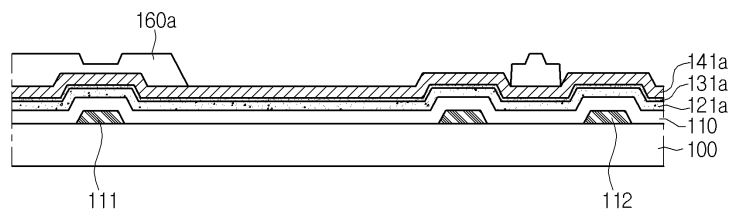
도면5



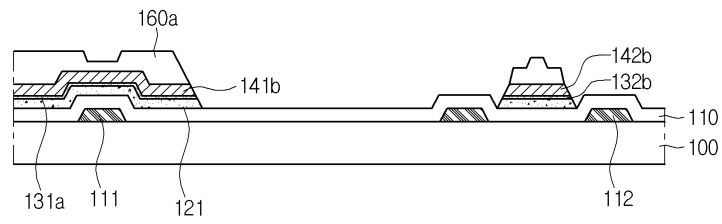
도면6



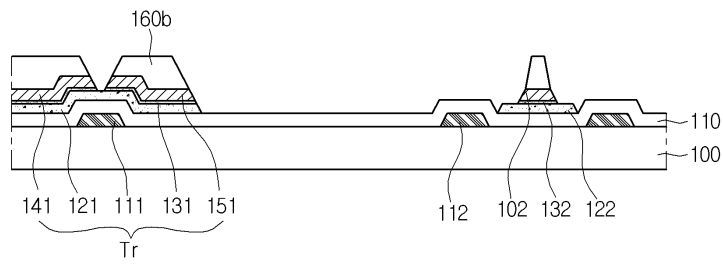
도면7



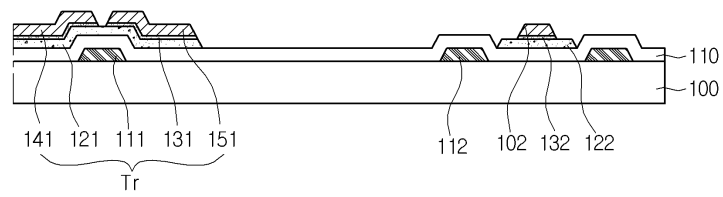
도면8



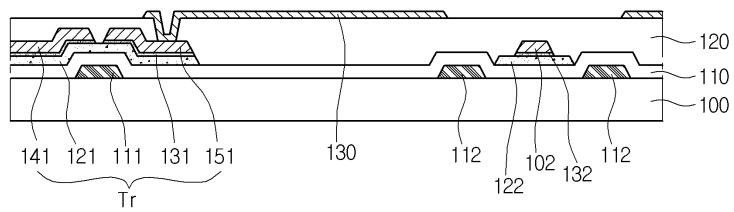
도면9



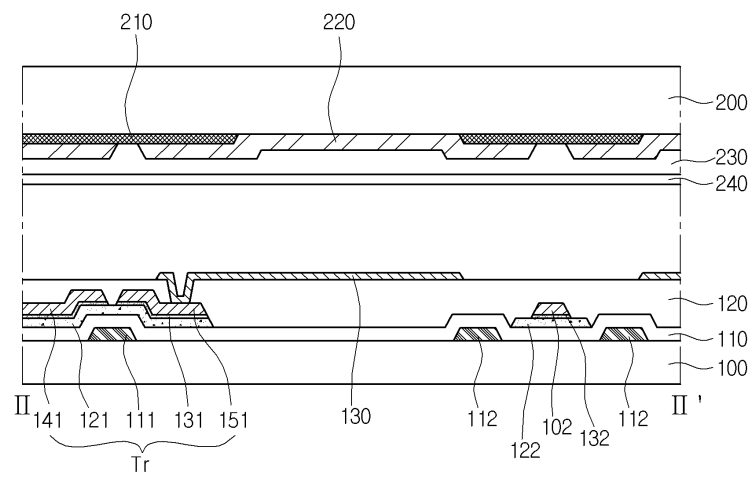
도면10



도면11

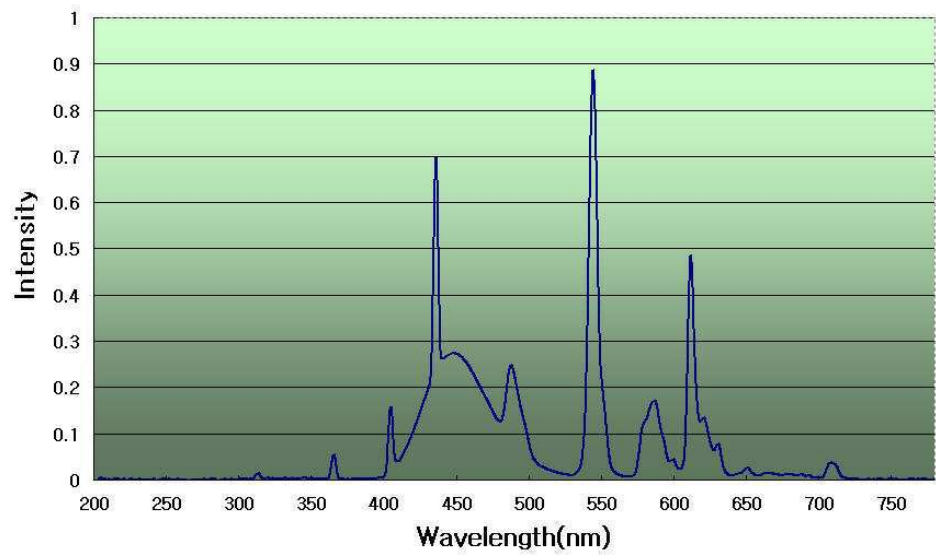


도면12

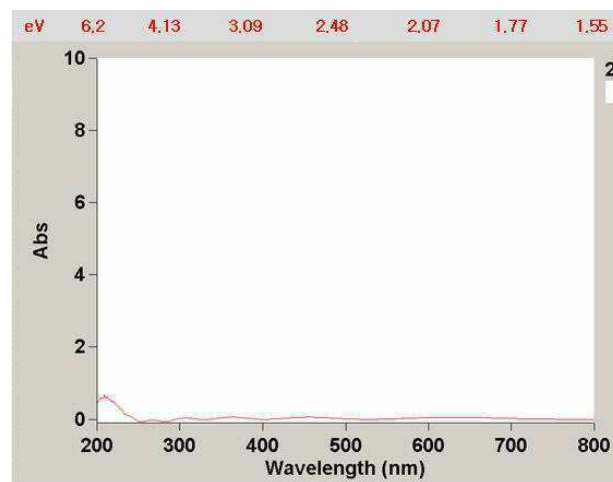


도면13

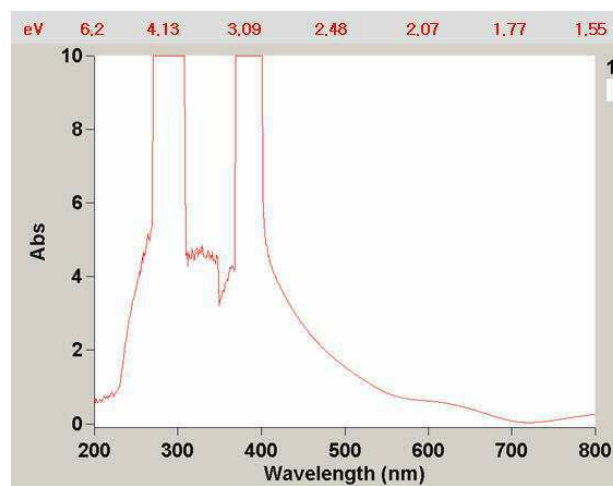
B/L Spectrum



도면14



도면15



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR101411735B1	公开(公告)日	2014-06-26
申请号	KR1020070127186	申请日	2007-12-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HWANG TAE UNG 황태웅 SHIN SEUNG MOK 신승목 SEON SANG HYEON 선상현		
发明人	황태웅 신승목 선상현		
IPC分类号	G02F1/136		
CPC分类号	G02F1/1343 G02F1/136286 G02F2201/123 H01L29/786		
其他公开文献	KR1020090060041A		
外部链接	Espacenet		

摘要(译)

提供一种液晶显示装置及其制造方法，以通过在数据线的下部包括单独的遮光图案来防止在数据线和像素电极之间产生的漏光。一种液晶显示装置，包括基板，数据线（102），栅极线（101），薄膜晶体管，像素电极（130），遮光图案（122）。在基板上，定义像素。数据线布置在基板上。栅极线通过与数据线交叉来定义像素。薄膜晶体管电连接到栅极线和数据线。像素电极布置在像素上并电连接到薄膜晶体管。遮光图案布置在数据线的下部。

