



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년02월06일
(11) 등록번호 10-1358222
(24) 등록일자 2014년01월27일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
G09G 3/20 (2006.01)
(21) 출원번호 10-2007-0130428
(22) 출원일자 2007년12월13일
심사청구일자 2012년12월07일
(65) 공개번호 10-2009-0062940
(43) 공개일자 2009년06월17일
(56) 선행기술조사문헌
KR1020070098370 A
KR1020050070552 A
KR1020050112263 A
JP2002323877 A

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이주영
경북 구미시 상사서로 17, 206동 905호 (상모동,
우방신세계타운)
(74) 대리인
박장원

전체 청구항 수 : 총 3 항

심사관 : 주창희

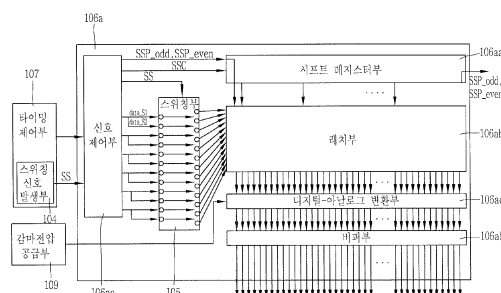
(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것으로서, 특히 각 화소마다 두 개의 화소전극, 즉 제 1 화소전극과 제 2 화소전극을 구비하여 화소를 구동하는 구조에 있어서, 데이터 전송 주파수가 낮고 데이터 드라이버의 소스 샘플링 주파수(SSC)가 낮아져서 전자기적 간섭(EMI)이 최소화되고 래치 타이밍 마진이 충분히 확보됨으로써 화면 품질이 상승된 액정표시장치에 관한 것이다.

이러한 본 발명은, 다수의 화소로 이루어진 복수의 수평 화소열과 수직 화소열이 정의된 제 1 기판; 상기 수직 화소열의 경계마다 하나씩 형성되고 첫 번째 수직 화소열의 좌측과 마지막 수직 화소열의 우측에 형성된 제 1 ~ 제 n 데이터 라인; 상기 데이터 라인과 교차하도록 형성되며, 상기 수평 화소열 각각에 두 라인씩 형성되어 순차적으로 구동되는 제 1 ~ 제 m 게이트 라인; 상기 각 화소 내에는 동일 게이트 라인에 연결되도록 두 개씩 형성되며, 수평 화소열을 기준으로 하여 홀수 번째 화소와 짝수 번째 화소 간에는 서로 반대의 게이트 라인에 연결된 박막 트랜지스터; 상기 각 화소에 마련된 두 개의 박막 트랜지스터 각각에 연결된 제 1 및 제 2 화소전극; 수평 화소열을 기준으로 홀수 번째 화소들과 짝수 번째 화소들 각각의 구동 시점에 맞게 스위칭 신호를 발생하는 스위칭신호 발생부; 외부로부터 입력된 화소데이터 각각이 동일한 신호인 제 1 화소신호와 제 2 화소신호 두 개로 변환되어 입력되며, 상기 스위칭신호 발생부로부터 공급받은 스위칭신호를 이용하여 수평 화소열을 기준으로 홀수 번째 화소들과 짝수 번째 화소들 중 어느 하나의 구동 시점에 맞게 상기 제 1 화소신호와 제 2 화소신호의 진행 경로를 스위칭하고, 홀수 번째 화소들을 구동할 시에는 제 1 데이터 라인에서부터 제 [n-1] 데이터 라인을 향해 전송경로를 스위칭하고 짝수 번째 화소들을 구동할 시에는 제 2 데이터 라인에서부터 제 n 데이터 라인을 향해 전송경로를 스위칭하는 스위칭부; 상기 스위칭부로부터 입력받은 제 1 화소신호와 제 2 화소신호 각각을 기준전압에 대하여 동일 크기를 가지되 서로 반전된 위상을 가지는 제 1 및 제 2 화소전압으로 변환한 후 제 1 및 제 2 화소전극에 공급하여 각 화소를 구동하는 데이터 드라이버; 에 의해 달성된다.

대표도 - 도5



특허청구의 범위

청구항 1

다수의 화소로 이루어진 다수의 수평 화소열과 수직 화소열이 정의된 제 1 기관;

상기 수직 화소열의 경계마다 하나씩 형성되고 첫 번째 수직 화소열의 좌측과 마지막 수직 화소열의 우측에 형성된 제 1 ~ 제 n 데이터 라인;

상기 데이터 라인과 교차하도록 형성되되, 상기 수평 화소열 각각에 두 라인씩 형성되어 순차적으로 구동되는 제 1 ~ 제 m 게이트 라인;

상기 각 화소 내에는 동일 게이트 라인과 연결되도록 두 개씩 형성되되, 수평 화소열을 기준으로 하여 홀수 번째 화소와 짝수 번째 화소 간에는 서로 반대의 게이트 라인과 연결된 박막 트랜지스터;

상기 각 화소에 마련된 두 개의 박막 트랜지스터 각각에 연결된 제 1 및 제 2 화소전극;

수평 화소열을 기준으로 홀수 번째 화소들과 짝수 번째 화소들 각각의 구동 시점에 맞게 스위칭 신호(SS)를 발생하는 스위칭신호 발생부;

외부로부터 입력된 화소데이터 각각이 동일한 신호인 제 1 화소신호와 제 2 화소신호 두 개로 변환되어 입력되며, 상기 스위칭신호 발생부로부터 공급받은 스위칭신호를 이용하여 수평 화소열을 기준으로 홀수 번째 화소들과 짝수 번째 화소들 중 어느 하나의 구동 시점에 맞게 상기 제 1 화소신호와 제 2 화소신호의 진행 경로를 스위칭하되, 홀수 번째 화소들을 구동할 시에는 제 1 데이터 라인에서부터 제 [n-1] 데이터 라인을 향해 전송경로를 스위칭하고 짝수 번째 화소들을 구동할 시에는 제 2 데이터 라인에서부터 제 n 데이터 라인을 향해 전송경로를 스위칭하는 스위칭부;

상기 스위칭부로부터 입력받은 제 1 화소신호와 제 2 화소신호 각각을 기준전압에 대하여 동일 크기를 가지되 서로 반전된 위상을 가지는 제 1 및 제 2 화소전압으로 변환한 후 제 1 및 제 2 화소전극에 공급하여 각 화소를 구동하는 데이터 드라이버;

를 포함하여 구성된 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 데이터 드라이버는 적어도 하나의 데이터 드라이브 집적회로로 구성되어 제 1 데이터 드라이브 집적회로부터 제 i 데이터 드라이브 집적회로로 정의되며,

수평 화소열을 기준으로 하여 짝수 번째 화소를 구동하는 경우에 제 2 내지 제 i 데이터 드라이브 집적회로는 전단의 데이터 드라이브 집적회로에 공급되는 마지막 제 2 화소신호와 동일한 신호가 공급되어 자신이 관장하는 첫번째 데이터 라인을 구동하되, 자신이 관장하는 첫번째 데이터 라인을 전단의 데이터 드라이브 집적회로가 관장하는 마지막 데이터 라인과 동일 시점에 구동하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서, 외부로부터 입력된 신호들을 이용하여 각 화소를 구동하기 위한 제어 신호를 발생하고 외부로부터의 화소 데이터를 재정렬하여 출력하는 타이밍 제어부가 추가로 구비되고,

상기 데이터 드라이버를 이루는 각 데이터 드라이브 집적회로는,

상기 타이밍 제어부로부터의 제어신호에 응답하여 샘플링 신호를 순차적으로 출력하는 시프트 레지스터부;

상기 타이밍 제어부로부터의 제어신호와 상기 샘플링 신호에 응답하여 스위칭부로부터의 제 1 화소신호와 제 2 화소신호를 순차적으로 래치하여 동시에 출력하는 래치부;

상기 래치부로부터의 제 1 화소신호와 제 2 화소신호를 기준전압에 대하여 크기는 같되 서로 위상이 반전된 아날로그 신호인 제 1 화소전압과 제 2 화소전압으로 변환하여 출력하는 디지털-아날로그 변환부;

상기 디지털-아날로그 변환부로부터의 제 1 화소전압과 제 2 화소전압을 완충하여 출력하는 버퍼부;

를 포함하여 구성된 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로서, 특히 각 화소마다 두 개의 화소전극, 즉 제 1 화소전극과 제 2 화소전극을 구비하여 화소를 구동하는 구조에 있어서, 데이터 드라이버의 시프트 레지스터에 입력되는 소스 샘플링 클럭(SSC)의 주파수가 낮아진 액정표시장치에 관한 것이다.

배경 기술

[0002] 일반적으로 액정표시장치는 경량, 박형, 저소비 전력구동 등의 특징으로 인해 그 응용범위가 점차 넓어지고 있는 추세에 있다. 이에 따라 액정표시장치는 노트북 PC와 같은 휴대용 컴퓨터, 사무 자동화 기기, 오디오/비디오 기기 등으로 널리 이용되고 있다.

[0003] 통상적으로 액정표시장치는 매트릭스형태로 배열된 다수의 제어용 스위칭 소자에 인가되는 영상신호에 따라 광의 투과량이 조절되어 화면에 원하는 화상을 표시하게 된다.

[0004] 이러한 액정표시장치는 상부기판인 컬러필터(color filter) 기판과 하부기판인 박막트랜지스터 어레이(Thin film Transistor Array) 기판이 서로 대향하고 그 사이에는 액정층이 충전된 액정패널과, 상기 액정패널에 주사 신호 및 화상정보를 공급하여 액정패널을 동작시키는 구동부를 포함하여 구성된다.

[0005] 이와 같은 구성을 가지는 종래의 일반적인 액정표시장치에 대하여 도 1을 참조하여 설명하면 다음과 같다.

[0006] 도 1을 참조하면, 상기 액정패널은 박막 트랜지스터 어레이 기판인 제 1 기판(1)과 컬러필터 기판인 제 2 기판(미도시)으로 구성되며, 상기 제 1 기판(1)과 제 2 기판 사이에는 액정층(미도시)이 형성된다.

[0007] 상기 제 1 기판(1)에는 게이트 라인(G1~Gm)과 데이터 라인(D1~Dn)이纵横으로 교차되어 복수 개의 화소가 정의되며, 상기 각 화소의 게이트 라인(G1~Gm)과 데이터 라인(G1~Gn)이 교차하는 지점에는 박막 트랜지스터(2)가 구비된다.

[0008] 상기 각 화소에는 박막 트랜지스터(2)의 드레인 단자와 연결되는 화소전극(3)이 구비되고 공통전압 라인(40)과 연결되어 서로 엇갈리도록 배치된 공통전극(30)이 구비된다.

[0009] 그리고, 상기 액정패널을 동작시키기 위한 구동부는, 게이트 라인(G1~Gm)을 구동하는 게이트 드라이버(10) 및, 데이터 라인(D1~Dn)을 구동하는 데이터 드라이버(6)를 구비한다. 그리고, 상기 구동부는 상기 게이트 라인(G1~Gm)과 데이터 라인(D1~Dn)에 제어 신호 또는 화소 데이터를 공급하는 타이밍 제어부(7) 및, 게이트 드라이버(10)와 데이터 드라이버(6)와 타이밍 제어부(7) 각각에서 필요한 전원을 공급하는 전원부(8)를 구비한다.

[0010] 이와 같은 구성을 가지는 액정표시장치에서 공통전압 라인(40)과 공통전극(30)이 없이, 각 화소에 두 개의 화소전극을 마련하여 구동하는 구조가 제안되었는데, 이와 관련하여 도 2와 도 3을 참조하여 설명하면 다음과 같다.

[0011] 도 2를 참조하면, 액정패널을 구성하는 제 1 기판(11)은 다수의 화소로 이루어진 다수의 수평 화소열과 수직 화소열이 정의되며, 데이터 라인(D1~Dn)은 수직 화소열의 경계마다 하나씩 형성되고 첫 번째 수직 화소열의 좌측과 마지막 수직 화소열의 우측에 형성되며, 게이트 라인(G1~Gm)은 수평 화소열마다 두 개씩 형성된다.

[0012] 상기 각 화소의 게이트 라인(G1~Gm)과 데이터 라인(D1~Dn)이 교차하는 지점에 두 개의 박막 트랜지스터(12a, 12b)가 구비되는데, 각 화소 내에 형성된 박막 트랜지스터(12a, 12b)는 동일 게이트 라인(G1~Gm)에 연결되도록 형성되며 각각 다른 데이터 라인(D1~Dn)과 연결되며, 수평 화소열을 기준으로 하여 홀수 번째 화소와 짝수 번째 화소 간에는 서로 반대의 게이트 라인(G1~Gm)과 연결된다.

[0013] 상기 각 화소에는 각 박막 트랜지스터(12a, 12b)에 연결되는 제 1 화소전극(13a)과 제 2 화소전극(13b)이 구비된다.

[0014] 그리고, 상기 액정패널을 동작시키기 위한 구동부는 게이트 라인(G1~Gm)을 구동하는 게이트 드라이버(20) 및, 데이터 라인(D1~Dn)을 구동하는 데이터 드라이버(16)를 구비한다. 그리고, 상기 구동부는 상기 게이트 라인(G1~Gm)과 데이터 라인(D1~Dn)에 제어 신호 또는 화소 데이터를 공급하는 타이밍 제어부(17) 및, 게이트 드라이

버(20)와 데이터 드라이버(16)와 타이밍 제어부(17) 각각에서 필요한 전원을 공급하는 전원부(19)를 구비한다.

[0015] 도 3을 참조하면, 도 2의 액정표시장치의 데이터 드라이버(16)는, 타이밍 제어부(17)로부터의 소스 시프트 클럭(source shift clock ; SSC)에 응답하여 샘플링 신호를 순차적으로 출력하는 시프트 레지스터부(16a)와, 상기 샘플링 신호에 응답하여 타이밍 제어부(17)로부터의 화소 데이터를 순차적으로 래치하여 동시에 출력하는 래치부(16b)와, 상기 래치부(16b)로부터의 디지털 화소 데이터를 아날로그 화소 전압으로 변환하는 디지털-아날로그 변환부(16c)와, 상기 디지털-아날로그 변환부(16c)로부터의 화소 전압을 완충하여 데이터 라인(D1~Dn)으로 출력하는 버퍼부(16d)로 구성된다.

[0016] 상기와 같은 구조의 액정표시장치는, 각 게이트 라인(G1~Gm)이 하나씩 순차적으로 구동됨에 따라 첫 번째 수평 화소열의 홀수 번째 화소들이 먼저 구동된 후 짝수 번째 화소들이 구동되고, 그 다음은 두 번째 수평 화소열의 홀수 번째 화소들이 먼저 구동된 후 짝수 번째 화소들이 구동되며, 이와 같은 패턴으로 마지막 수평 화소열의 짝수 번째 화소들까지 구동되어 화면의 한 프레임을 표시하는 방법으로 구동된다.

[0017] 최근, 액정표시장치의 대형화 추세에 따라 액정패널에 형성된 화소의 수가 증가하고 있으며, 액정표시장치의 고 해상도 추세에 따라 액정패널의 단위 면적당 형성된 화소의 수 또한 증가하고 있으며, 이에 따라 화소 데이터의 전송 주파수가 증가하여 전송 라인에서 전자기적 간섭(electromagnetic interference; EMI)이 높아지는 문제가 증가하고 있다.

[0018] 그리고, 상기와 같이 화소 데이터의 전송 주파수가 증가하면, 타이밍 제어부(17)로부터 데이터 드라이버(16)의 시프트 레지스터부(16a)에 공급되는 소스 시프트 클럭(SSC)의 주파수 또한 증가하게 되며, 이에 따라 래치부(16b)의 래치 주기가 짧아져서 정확한 화소 데이터를 래치하는 타이밍 마진(timing margin)이 줄어들게 된다. 이와 같이 래치 타이밍 마진이 줄어들게 되면 화소 데이터의 래치 시점이 어긋나 잘못된 화소 데이터를 래치하여 데이터 라인(D1~Dn)에 공급되는 화소전압이 왜곡되는 현상이 발생한다.

발명의 내용

해결 하고자하는 과제

[0019] 이에 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 각 화소마다 두 개의 화소전극, 즉 화소전극과 제 2 화소전극을 구비하여 화소를 구동하는 구조에 있어서 데이터 전송 주파수가 낮고 소스 샘플링 클럭(SSC)의 주파수가 낮아 액정표시장치의 화면 품질이 높아진 액정표시장치를 제공하는 것이다.

과제 해결수단

[0020] 상기와 같은 목적을 달성하기 위한 본 발명의 바람직한 실시예에 따른 액정표시장치는, 다수의 화소로 이루어진 다수의 수평 화소열과 수직 화소열이 정의된 제 1 기판; 상기 수직 화소열의 경계마다 하나씩 형성되고 첫 번째 수직 화소열의 좌측과 마지막 수직 화소열의 우측에 형성된 제 1 ~ 제 n 데이터 라인; 상기 데이터 라인과 교차하도록 형성되되, 상기 수평 화소열 각각에 두 라인씩 형성되어 순차적으로 구동되는 제 1 ~ 제 m 게이트 라인; 상기 각 화소 내에는 동일 게이트 라인과 연결되도록 두 개씩 형성되되, 수평 화소열을 기준으로 하여 홀수 번째 화소와 짝수 번째 화소 간에는 서로 반대의 게이트 라인과 연결된 박막 트랜지스터; 상기 각 화소에 마련된 두 개의 박막 트랜지스터 각각에 연결된 제 1 및 제 2 화소전극; 수평 화소열을 기준으로 홀수 번째 화소들과 짝수 번째 화소들 각각의 구동 시점에 맞게 스위칭 신호를 발생하는 스위칭신호 발생부; 외부로부터 입력된 화소데이터 각각이 동일한 신호인 제 1 화소신호와 제 2 화소신호 두 개로 변환되어 입력되며, 상기 스위칭신호 발생부로부터 공급받은 스위칭신호를 이용하여 수평 화소열을 기준으로 홀수 번째 화소들과 짝수 번째 화소들 중 어느 하나의 구동 시점에 맞게 상기 제 1 화소신호와 제 2 화소신호의 진행 경로를 스위칭하되, 홀수 번째 화소들을 구동할 시에는 제 1 데이터 라인에서부터 제 [n-1] 데이터 라인을 향해 전송경로를 스위칭하고 짝수 번째 화소들을 구동할 시에는 제 2 데이터 라인에서부터 제 n 데이터 라인을 향해 전송경로를 스위칭하는 스위칭부; 상기 스위칭부로부터 입력받은 제 1 화소신호와 제 2 화소신호 각각을 기준전압에 대하여 동일 크기를 가지되 서로 반전된 위상을 가지는 제 1 및 제 2 화소전압으로 변환한 후 제 1 및 제 2 화소전극에 공급하여 각 화소를 구동하는 데이터 드라이버; 를 포함하여 구성된다.

효 과

[0021] 상기와 같은 구성을 가지는 액정표시장치는, 타이밍 제어부로부터 출력되는 화소데이터 및, 상기 화소 데이터가

동일한 두 신호로 변환된 제 1 화소신호, 제 2 화소신호의 전송 주파수가 낮아지게 된다.

[0022] 이에 따라, 화소 데이터 및 제 1 화소신호, 제 2 화소신호가 전송되는 전송 라인에서의 전자기적 간섭(EMI)이 최소화되는 효과가 있다.

[0023] 그리고, 상기와 같이 타이밍 제어부로부터 출력되는 화소데이터 및, 상기 화소 데이터가 동일한 두 신호로 변환된 제 1 화소신호와 제 2 화소신호의 전송주파수가 낮아지게 되면, 타이밍 제어부로부터 데이터 드라이버의 시프트 레지스터부에 공급되는 소스 시프트 클럭(SSC)의 주파수 또한 낮아지게 된다.

[0024] 이에 따라, 데이터 드라이버 내의 래치부의 래치 주기가 길어져서 제 1 화소신호와 제 2 화소신호의 정확한 래칭을 위한 타이밍 마진이 늘어나게 되므로, 제 1 화소신호와 제 2 화소신호의 래치 시점이 정확하게 되어 제 1 화소전압과 제 2 화소전압을 왜곡없이 데이터 라인에 공급되게 되는 효과가 있다.

[0025] 따라서, 액정표시장치의 화면표시품질이 향상되는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0026] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 따른 액정표시장치에 대하여 설명한다.

[0027] 도 4와 도 5에 도시한 바와 같이 본 발명의 바람직한 실시예에 따른 액정표시장치는, 다수의 화소로 이루어진 수평 화소열과 수직 화소열이 정의된 제 1 기관(101); 상기 수직 화소열의 경계마다 하나씩 형성되고 첫 번째 수직 화소열의 좌측과 마지막 수직 화소열의 우측에 형성된 제 1 ~ 제 n 데이터 라인(D1~Dn); 상기 데이터 라인(D1~Dn)과 교차하도록 형성되되, 상기 수평 화소열 각각에 두 라인씩 형성되어 순차적으로 구동되는 제 1 ~ 제 m 게이트 라인(G1~Gm); 상기 각 화소 내에는 동일 게이트 라인(G1~Gm)과 연결되도록 두 개씩 형성되되, 수평 화소열을 기준으로 하여 홀수 번째 화소와 짝수 번째 화소 간에는 서로 반대의 게이트 라인(G1~Gm)과 연결된 박막 트랜지스터(102a, 102b); 상기 각 화소에 마련된 두 개의 박막 트랜지스터(102a, 102b) 각각에 연결된 제 1 및 제 2 화소전극(103a, 103b); 수평 화소열을 기준으로 홀수 번째 화소들과 짝수 번째 화소들 각각의 구동 시점에 맞게 스위칭 신호(SS)를 발생하는 스위칭신호 발생부(104); 외부로부터 입력된 화소 데이터(data_D) 각각이 동일한 신호인 제 1 화소신호(data_S1)와 제 2 화소신호(data_S2) 두 개로 변환되어 입력되며, 상기 스위칭신호 발생부(104)로부터 공급받은 스위칭신호(SS)를 이용하여 수평 화소열을 기준으로 홀수 번째 화소들과 짝수 번째 화소들 중 어느 하나의 구동 시점에 맞게 상기 제 1 화소신호(data_S1)와 제 2 화소신호(data_S2)의 진행 경로를 스위칭하되, 홀수 번째 화소들을 구동할 시에는 제 1 데이터 라인(D1)에서부터 제 [n-1] 데이터 라인(D[n-1])을 향해 전송경로를 스위칭하고 짝수 번째 화소들을 구동할 시에는 제 2 데이터 라인(D2)에서부터 제 n 데이터 라인(Dn)을 향해 전송경로를 스위칭하는 스위칭부(105); 상기 스위칭부(105)로부터 입력받은 제 1 화소신호(data_S1)와 제 2 화소신호(data_S2) 각각을 기준전압에 대하여 동일 크기를 가지되 서로 반전된 위상을 가지는 제 1 및 제 2 화소전압(data_D1, data_D2)으로 변환한 후 제 1 및 제 2 화소전극(103a, 103b)에 공급하여 각 화소를 구동하는 데이터 드라이버(106); 를 포함하여 구성된다.

[0028] 이와 같은 구성을 가지는 액정표시장치의 구성요소에 대하여 상세히 설명하겠다.

[0029] 도 4를 참조하면, 본 발명의 바람직한 실시예에 따른 액정표시장치는 박막 트랜지스터 어레이 기관인 제 1 기관(101)과 컬러필터 기관인 제 2 기관(미도시)으로 구성된 액정패널이 구비되며, 상기 제 1 기관(101)과 제 2 기관 사이에는 액정층(미도시)이 형성된다.

[0030] 도 4에 도시한 바와 같이, 상기 제 1 기관(101)에는 다수의 화소가 구비되며, 상기 다수의 화소는 다수의 수평 화소열과 수직 화소열을 이룬다.

[0031] 상기 제 1 기관(101)에는 상기 수직 화소열의 경계마다 하나씩 형성되고 첫 번째 수직 화소열의 좌측과 마지막 수직 화소열의 우측에 다수의 데이터 라인(D1~Dn)이 형성되는데, 상기 다수의 데이터 라인(D1~Dn)은 제 1 내지 제 n 데이터 라인이라 정의하겠다. 이에 따라, 상기 각 수평 화소열을 이루는 화소는 [n-1]개이다.

[0032] 그리고, 상기 제 1 기관(101)에는 상기 데이터 라인(D1~Dn)과 교차하도록 형성되되, 상기 수평 화소열 각각에 두 라인씩 형성된 게이트 라인(G1~Gm)이 형성되며, 상기 다수의 게이트 라인(G1~Gm)은 제 1 내지 제 m 게이트 라인이라 정의하겠다.

[0033] 상기 각 게이트 라인(G1~Gm)은 자신이 대응된 해당 수평 화소열을 기준으로 하여 홀수 번째 화소 또는 짝수 번째 화소들 중 어느 하나에 대응된다. 즉, 상기 각 게이트 라인(G1~Gm)은 자신이 대응된 해당 수평 화소열을 기준으로 하여 [n-1]/2 개의 화소에 대응된다.

- [0034] 도 4를 참조하면, 상기 제 1 기관(101) 상의 각 화소에는 동일 게이트 라인(G1~Gm)과 연결되는 두 개의 박막 트랜지스터(102a, 102b)가 형성된다. 즉, 각 화소에 형성된 두 개의 박막 트랜지스터(102a, 102b)는 자신이 해당 하는 수평 화소열의 상부 또는 하부에 형성된 게이트 라인(G1~Gm) 중에 동일한 게이트 라인(G1~Gm)에 연결되며, 수평 화소열을 기준으로 하여 홀수 번째 화소와 짝수 번째 화소 간에는 상이한 게이트 라인(G1~Gm)에 연결된다.
- [0035] 도 4를 참조하면, 상기 제 1 기관(101) 상에는 각 화소에 마련된 두 개의 박막 트랜지스터(102a, 102b) 각각에 연결된 제 1 화소전극(103a)과 제 2 화소전극(103b)이 형성된다.
- [0036] 본 발명의 바람직한 실시예에 따른 액정표시장치를 설명함에 있어서, 각 화소 내에서 왼쪽에 형성된 박막 트랜지스터(102a)와 연결된 화소전극은 제 1 화소전극(103a)이라 정의하고 오른쪽에 형성된 박막 트랜지스터(102b)와 연결된 화소전극은 제 2 화소전극(103b)이라 정의하겠다.
- [0037] 상기 제 1 화소전극(103a)과 제 2 화소전극(103b)은 해당 화소의 좌우에 배치된 데이터 라인(D1~Dn) 중에 하나에 연결되며 서로 다른 데이터 라인(D1~Dn)에 연결되며, 상기 제 1 화소전극(103a)에는 데이터 라인(D1~Dn)을 통해 제 1 화소전압(data_V1)이 공급되고 제 2 화소전극(103b)에는 데이터 라인(D1~Dn)을 통해 제 2 화소전압(dats_V2)이 공급되어 액정층이 구동된다.
- [0038] 이와 같은 구성을 가지는 액정패널에서, 각 게이트 라인(G1~Gm)은 자신이 대응된 해당 수평 화소열을 기준으로 하여 $[n-1]/2$ 개의 화소, 즉 자신이 대응된 해당 수평 화소열을 기준으로 하여 홀수 번째 화소들 또는 짝수 번째 화소들 중 어느 하나에 대응되므로, 각 수평 화소열을 구성하는 $[n-1]$ 개의 화소들은 해당 수평 화소열의 상하에 형성된 두 개의 게이트 라인(G1~Gm)이 구동되어야 홀수 번째 화소들과 짝수 번째 화소들이 모두 구동되게 된다.
- [0039] 여기서, 수평 화소열을 기준으로 홀수 번째 화소들을 구동할 시에는 제 n 데이터 라인(Dn)이 구동되지 않으며, 짝수 번째 화소들을 구동할 시에는 제 1 데이터 라인(D1)이 구동되지 않는다.
- [0040] 이와 같은 구동과 관련한 상세한 설명은 아래의 데이터 드라이버(106)에 대한 설명에서 하도록 하겠다.
- [0041] 도 4를 참조하면, 본 발명의 바람직한 실시예에 따른 액정표시장치는 액정패널, 즉 각 화소를 구동하기 위하여 타이밍 제어부(107), 전원부(108), 데이터 드라이버(106), 게이트 드라이버(110)와 같은 다양한 구동 수단이 구비된다.
- [0042] 이와 같은 구동 수단에 대하여 차례로 설명하면 다음과 같다.
- [0043] 도 4를 참조하면, 상기 타이밍 제어부(107)는 외부로부터 입력된 신호들을 이용하여 액정패널을 구동하기 위한 제어 신호를 발생하고, 외부로부터 입력된 화소 데이터(data_D)를 재정렬하여 출력하며, 이를 위하여 타이밍 제어부(107)는 제어신호 발생부(미도시)와 화소 데이터 재정렬부(미도시)와 스위칭신호 발생부(104)를 구비한다.
- [0044] 상기 제어신호 발생부는 외부로부터 입력되는 메인 클럭 신호와 수평 및 수직 동기 신호들을 이용하여 게이트 드라이버를 제어하기 위하여 게이트 스타트 펄스(Gate Start Pulse ; GSP), 게이트 시프트 클럭(Gate Shift Clock ; GSC), 게이트 출력 신호(Gate Output Enable ; GOE)등과 같은 게이트 제어신호를 발생하며, 데이터 드라이버를 제어하기 위하여 소스 스타트 펄스(Sourse Start Pulse ; SSP), 소스 시프트 클럭(Sourse Shift Clock ; SSC), 소스 출력 이네이블 신호(Sourse Output Enable ; SOE), 데이터 극성 선택(Data Reverse ; REV) 및 극성제어 신호(Polarity ; POL) 등과 같은 데이터 제어신호를 발생한다.
- [0045] 상기 데이터 재정렬부는 외부로부터 공급되는 적색, 녹색, 청색의 화소 데이터(data_D)를 재정렬하여 출력한다.
- [0046] 본 발명의 바람직한 실시예에 따른 액정표시장치에 있어서 상기 데이터 재정렬부는 각각의 전송 라인을 통해 6 개의 화소 데이터(data_D)를 동시에 출력하고, 데이터 재정렬부에서 출력된 6 개의 화소 데이터(data_D) 각각은 동일한 신호인 제 1 화소신호(data_S1)와 제 2 화소신호(data_S2) 두 개로 변환되어 총 12 개의 전송 경로를 통해 데이터 드라이버(106)에 공급된다.
- [0047] 본 발명의 바람직한 실시예에 따른 액정표시장치를 설명함에 있어서 타이밍 제어부(107)의 데이터 재정렬부로부터 화소데이터(data_D)가 출력되는 전송라인은 6 개인 것을 그 예로 하였지만, 본 발명이 이에 한정되는 것은 아니며, 그 수는 본 발명의 범위를 벗어나지 않는 범위 내에서 다양한 변경이 가능할 것이다.
- [0048] 상기 스위칭신호 발생부(104)는 타이밍 제어부(107)의 내부에 배치될 수도 있고 타이밍 제어부(107)의 외부에 배치될 수 있지만, 본 발명의 바람직한 실시예에 따른 액정표시장치를 설명함에 있어서는 전자를 그 예로 하겠다.

다.

- [0049] 상기 스위칭신호 발생부(104)는 수평 화소열을 기준으로 홀수 번째 화소들과 짝수 번째 화소들 각각의 구동 시점에 맞게 스위칭 신호(SS)를 발생하여 스위칭부(105)로 전송한다.
- [0050] 즉, 상기 스위칭신호 발생부(104)에서 출력되는 스위칭 신호(SS)는 수평 화소열을 기준으로 하였을 때 홀수 번째 화소를 구동하는 시점과 짝수 번째 화소를 구동하는 시점에 각각 동기되도록 발생되며, 홀수 번째 화소를 구동하는 시점에 발생하는 스위칭 신호(SS)와 짝수 번째 화소를 구동하는 시점에 발생하는 스위칭신호(SS)는 도 8에 도시한 바와 같이 서로 구분된다.
- [0051] 도 5를 참조하면, 상기 스위칭부(105)는 화소 데이터(data_D)가 타이밍제어부(107)에서 출력되어 동일한 두 개의 신호로 변환된 제 1 화소신호(data_S1)와 제 2 화소신호(data_S2)가 입력되고, 상기 스위칭신호 발생부(104)로부터 스위칭신호(SS)가 입력된다.
- [0052] 이러한 스위칭부(105)는 스위칭신호 발생부(104)로부터 공급받은 스위칭신호(SS)가 수평 화소열을 기준으로 홀수 번째 화소들과 짝수 번째 화소들 중 어느 것의 구동을 명령하는지에 따라 제 1 화소신호(data_S1)와 제 2 화소신호(data_S2)의 진행경로를 스위칭한다.
- [0053] 도 5를 참조하여 더욱 상세히 설명하면, 상기 스위칭부(105)는 상기 스위칭 신호(SS)에 따라 제 1 화소신호(data_S1)와 제 2 화소신호(data_S2)의 진행경로를 스위칭하되, 홀수 번째 화소들을 구동할 시에는 제 1 데이터 라인(D1)에서부터 제 [n-1] 데이터 라인(D[n-1])을 향해 전송경로를 스위칭하고 짝수 번째 화소들을 구동할 시에는 제 2 데이터 라인(D2)에서부터 제 n 데이터 라인(Dn)을 향해 전송경로를 스위칭한다. 즉, 상기 스위칭부(105)가 홀수 번째 화소들을 구동할 시에는 도 7a와 같이 스위칭하고, 짝수 번째 화소들을 구동할 시에는 도 7b와 같이 스위칭한다.
- [0054] 이와 같은 스위칭부(105)는 데이터 드라이버(106)의 내부에 배치될 수도 있고 데이터 드라이버(106)의 외부에 배치될 수도 있지만, 본 발명의 바람직한 실시예에 따른 액정표시장치를 설명함에 있어서는 전자를 그 예로 하였다. 따라서, 스위칭부(105)와 관련한 상세한 설명은 아래에서 데이터 드라이버(106) 내부에 대한 상세한 설명과 함께하도록 하겠다.
- [0055] 도 4 및 도 5를 참조하면, 본 발명의 바람직한 실시예에 따른 액정표시장치는, 감마전원 공급부(109)를 포함하는 전원부(108)가 구비된다.
- [0056] 상기 전원부(108)는 상기 액정표시장치의 각 구성요소 즉, 타이밍 제어부(107), 데이터 드라이버(106), 게이트 드라이버(110)의 구동에 필요한 각종 전압을 생성하여 해당 구성요소에 공급한다.
- [0057] 도 4를 참조하면, 상기 게이트 드라이버(110)는 타이밍 제어부(107)로부터 공급받은 게이트 스타트 펄스(GSP)를 게이트 시프트 클럭(GSC)에 따라 시프트시켜 게이트 라인(G1~Gm)에 순차적으로 게이트 하이 전압(VGH)을 공급하여 해당 게이트 라인(G1~Gm)이 구동되도록 하고, 게이트 라인(G1~Gm)에 게이트 하이 전압(VGH)이 공급되지 않는 기간에는 게이트 로우 전압(VGL)을 공급한다.
- [0058] 그리고, 상기 데이터 드라이버(106)는 타이밍 제어부(107)로부터 출력된 화소 데이터(data_D)가 동일한 두 개의 신호로 변환되어 입력된 제 1 화소신호(data_S1)와 제 2 화소신호(data_S2) 각각을 기준 전압에 대하여 동일 크기를 가지되 서로 반전된 위상을 가지는 제 1 및 제 2 화소전압(data_V1, data_V2)으로 변환한 후 제 1 및 제 2 화소전극(103a, 103b)에 공급하여 각 화소를 구동한다.
- [0059] 이와 같은 구성을 가지는 데이터 드라이버(106)는 다수의 데이터 라인(D1~Dn)을 다수 개의 그룹으로 분할하여 구동하기 위한 다수 개의 데이터 드라이브 집적회로(integrated circuit ; IC)를 포함하여 구성된다.
- [0060] 이하, 도 5 및 도 6을 참조하여, 다수의 데이터 드라이브 집적회로가 구비된 데이터 드라이버(106)에 대하여 상세히 설명하도록 하겠다.
- [0061] 참고로, 도 5는 도 4에 구비된 데이터 드라이버(106)를 구성하는 제 1 내지 제 i 데이터 드라이브 집적회로 중에서 제 1 데이터 드라이브 집적회로(106a)를 도시한 블록도이며, 도 6은 도 4에 구비된 데이터 드라이버를 구성하는 제 1 내지 제 i 데이터 드라이브 집적회로 중에서 제 2 내지 제 [i-1] 데이터 드라이브 집적회로(106b)를 도시한 블록도이다.
- [0062] 상기 데이터 드라이버(106)를 구성하는 제 1 내지 제 i 데이터 드라이브 집적회로를 설명함에 있어서, 먼저 제 1 데이터 드라이브 집적회로(106a)에 대하여 상세히 설명한 후, 제 2 내지 제 [i-1] 데이터 드라이버(106b)와

제 i 데이터 드라이버(미도시)는 추가적으로 설명하도록 하겠다.

- [0063] 도 5를 참조하면, 상기 제 1 데이터 드라이브 집적회로(106a)는, 상기 타이밍 제어부(107)로부터의 제어신호에 응답하여 샘플링 신호를 순차적으로 출력하는 시프트 레지스터부(16ba)와, 상기 타이밍 제어부(107)로부터의 제어신호와 상기 샘플링 신호(SS)에 응답하여 스위칭부(105)로부터의 제 1 화소신호(data_S1)와 제 2 화소신호(data_S2)를 순차적으로 래치하여 동시에 출력하는 래치부(106ab)와, 상기 래치부(106ab)로부터의 제 1 화소신호(data_S1)와 제 2 화소신호(data_S2)를 기준전압에 대하여 크기는 같되 서로 위상이 반전된 아날로그 신호인 제 1 화소전압(data_V1)과 제 2 화소전압(data_V2)으로 변환하여 출력하는 디지털-아날로그 변환부(106ac)와, 상기 디지털-아날로그 변환부(106ac)로부터의 제 1 화소전압(data_V1)과 제 2 화소전압(data_V2)을 완충하여 출력하는 버퍼부(106ad)를 포함하여 구성된다.
- [0064] 또한, 상기 제 1 데이터 드라이브 집적회로(106a)는, 타이밍 제어부(107)로부터의 각종 제어신호들과 화소 데이터(data_D)가 제 1 데이터 드라이브 집적회로(106a) 내의 해당 구성 요소로 출력되게 하는 신호제어부(106ae)가 추가로 구비된다. 하지만, 설명의 편의를 위하여 본 발명의 설명에 있어서는 더이상 언급하지 않도록 하겠다.
- [0065] 상기 시프트 레지스터부(106aa)는 타이밍 제어부(107)로부터의 소스 스타트 펄스(SSP_odd, SSP_even)를 소스 샘플링 클럭 신호(SSC)에 따라 순차적으로 시프트 시켜서 상기 래치부(106ab)로 공급하는데, 이 신호가 샘플링 신호이다. 여기서, 상기 소스 스타트 펄스(SSP_odd, SSP_even), 즉 홀수 소스 스타트 펄스(SSP_odd)와 짝수 소스 스타트 펄스(SSP_even)는 타이밍 제어부(107)로부터 동일 전송라인을 통해 시프트 레지스터부(106aa)로 전송되는 신호이지만 스위칭부(105)의 동작상태에 따라 홀수 소스 스타트 펄스(SSP_odd)로 쓰이거나 짝수 스타트 펄스(SSP_even)로 쓰이는 신호이므로, 설명의 편의를 위하여 홀수 스타트 펄스(SSP_odd)와 짝수 스타트 펄스(SSP_even)를 이와 같이 개별 명칭으로 정의하여 설명하겠다.
- [0066] 상기 시프트 레지스터부(106aa)에 대하여 더욱 상세히 설명하면, 상기 시프트 레지스터부(106aa)는, 수평 화소열을 기준으로 홀수 번째 화소를 구동하는 경우는 도 8에 도시한 바와 같이 그에 해당하는 홀수 소스 스타트 펄스(SSP_odd)를 입력 받아서 소스 샘플링 클럭 신호(SSC)에 따라 순차적으로 시프트 시켜서 상기 래치부(106ab)에 샘플링 신호로서 출력하며, 수평 화소열을 기준으로 짝수 번째 화소를 구동하는 경우는 도 8에 도시한 바와 같이 그에 해당하는 짝수 소스 스타트 펄스(SSP_even)를 받아서 이전 타임과 동일한 시점에 래치부(106ab)로 먼저 한 번 출력한 후 그 다음 시점부터는 소스 샘플링 클럭 신호(SSC)에 따라 상기 짝수 소스 스타트 펄스(SSP_even)를 순차적으로 시프트 시켜서 상기 래치부(106ab)에 샘플링 신호로서 출력한다.
- [0067] 참고로, 도 8에는 하나의 수평 화소열을 구동하기 위하여 두 게이트 라인(G1~Gm)이 구동되는 주기를 수평 주기(1H)라고 하였을 시에, 홀수 소스 스타트 펄스(SSP_odd) 및 짝수 소스 스타트 펄스(SSP_even) 및 상기 짝수 소스 스타트 펄스(SSP_even)가 한 번 시프트된 신호(SSP_even') 및 스위칭신호(SS)에 대한 파형도를 도시하였다.
- [0068] 여기서, 제 1 데이터 드라이브 집적회로(106a)의 시프트 레지스터부(106aa)의 마지막 샘플링 신호는 래치부(106ab)에 공급됨과 더불어 도 6의 제 2 데이터 드라이브 집적회로(106b)에 소스 스타트 펄스(SSP_even, SSP_odd)로서 전달되는데, 이에 관한 설명은 아래에서 제 2 내지 제 [i-1] 데이터 드라이브 집적회로(106b)에 대한 설명에서 상세히 설명하도록 하겠다.
- [0069] 상기 래치부(106ab)는 도 5에 도시한 바와 같이 시프트 레지스터부(106aa)로부터의 샘플링 신호에 응답하여 제 1 화소신호(data_S1)와 제 2 화소신호(data_S2)를 일정 단위씩 순차적으로 샘플링하여 래치한다. 여기서, 제 1 화소신호(data_S1)와 제 2 화소신호(data_S2)는 상기에 언급한 바와 같이 타이밍 제어부(107)에서 출력된 화소 데이터(data_D)가 동일한 신호인 제 1 화소신호(data_S1)와 제 2 화소신호(data_S2) 두 개의 신호로 변환된 후 스위칭부(105)에 입력된 신호이다.
- [0070] 이어서, 상기 래치부(106ab)는 타이밍 제어부(107)로부터 출력된 소스 출력 이네이블 신호(SOE)에 응답하여 래치되어 있는 제 1 화소신호(data_S1)와 제 2 화소신호(data_S2)를 동시에 출력하여 상기 디지털-아날로그 변환부(106ac)에 공급한다.
- [0071] 상기 디지털-아날로그 변환부(106ac)는 래치부(106ab)로부터 출력된 디지털 제 1 화소신호(data_S1)와 제 2 화소신호(data_S2)를 감마전압 공급부(109)의 감마 기준 전압을 이용하여 아날로그 제 1 화소전압(data_V1)과 제 2 화소전압(data_V2)으로 변환한 후 버퍼부(106ad)로 출력한다. 여기서, 제 1 화소전압(data_V1)과 제 2 화소전압(data_V2)은 기준 전압에 대한 크기는 같되 위상만 반전된 신호이다.
- [0072] 도면에는 도시하지 않았지만, 이와 같은 디지털-아날로그 변환부(106ab)는 P(positive)디코딩부, N(negative)디

코딩부 멀티플렉서(MUX)부를 구비한다.

- [0073] 상기 P디코딩부(미도시)에 포함되는 $[n/i]$ 개의 P디코더들은 타이밍 제어부(107)로부터 입력되는 제 1 화소신호(data_S1) 또는 제 2 화소신호(data_S2)를 정극성 감마 기준 전압들을 이용하여 정극성 아날로그 신호인 제 1 화소전압(data_V1) 또는 제 2 화소전압(data_V2)으로 변환하게 된다. 즉, 제 1 화소신호(data_S1)가 P디코더를 통하면 정극성의 아날로그 제 1 화소전압(data_V1)으로 변환될 것이며, 제 2 화소신호(data_S2)가 P디코더를 통하면 정극성의 아날로그 제 2 화소전압(data_V2)으로 변환될 것이다.
- [0074] 그리고, 상기 N디코딩부(미도시)에 포함되는 $[n/i]$ 개의 N디코더들은 타이밍 제어부(107)로부터 입력되는 제 1 화소신호(data_S1) 또는 제 2 화소신호(data_S2)를 부극성 감마 기준 전압들을 이용하여 부극성 아날로그 화소 신호인 제 1 화소전압(data_V1) 또는 제 2 화소전압(data_V2)으로 변환하게 된다. 즉, 제 1 화소신호(data_S1)가 N디코더를 통하면 부극성의 아날로그 제 1 화소전압(data_V1)으로 변환될 것이며, 제 2 화소신호(data_S2)가 N디코더를 통하면 부극성의 아날로그 제 2 화소전압(data_V2)으로 변환될 것이다.
- [0075] 상기 멀티플렉서부(미도시)에 포함되는 $[n/i]$ 개의 멀티플렉서들은 타이밍 제어부(107)로부터의 극성제어신호(POL)에 응답하여 P디코더로부터의 제 1 화소전압(data_V1)과 N디코더로부터의 제 1 화소전압(data_V1) 중에 어느 하나를 선택하여 출력하고, P디코더로부터의 제 2 화소전압(data_V2)과 N디코더로부터의 제 2 화소전압(data_V2) 중에 어느 하나를 선택하여 버퍼부(106ad)로 출력하되, 제 1 화소전압(data_V1)과 제 2 화소전압(data_V2) 중에 어느 하나는 정극성 아날로그 신호를 선택하여 출력하고 나머지 하나는 부극성 아날로그 신호를 선택하여 출력한다.
- [0076] 즉, 상기 멀티플렉서부에서 출력되는 제 1 화소전압(data_V1)이 정극성 아날로그 신호이면 제 2 화소전압(data_V2)이 부극성 아날로그 신호이고, 제 1 화소전압(data_V1)이 부극성 아날로그 신호이면 제 2 화소전압(data_V2)은 정극성 아날로그 신호일 것이다.
- [0077] 이에 따라, 상기 멀티플렉서부에서 출력된 제 1 화소전압(data_V1)과 제 2 화소전압(data_V2)은 버퍼부(106ad)를 통해 완충되어 데이터 라인(D1~Dn)으로 출력되며, 각 화소의 양측에 형성된 데이터 라인(D1~Dn)과 연결된 제 1 화소전극(106a)과 제 2 화소전극(103b)에는 기준전압에 대하여 크기는 동일하되 위상은 반대인 제 1 화소전압(data_V1)과 제 2 화소전압(data_V2)이 각각 인가되게 된다.
- [0078] 상술한 바와 같은 구성 및 동작을 가지는 제 1 데이터 드라이브 집적회로(106a)의 후단에 배치되어, 제 1 데이터 드라이브 집적회로(106a)가 관장하는 마지막 데이터 라인 이후의 데이터 라인의 일부를 관장하는 제 2 내지 제 $[i-1]$ 데이터 드라이브 집적회로(106b)에 대하여 도 4 및 도 6을 참조하여 설명하면 다음과 같다.
- [0079] 이와 같은 제 2 내지 제 $[i-1]$ 데이터 드라이브 집적회로(106b)는, 상기 타이밍 제어부(107)로부터의 제어신호에 응답하여 샘플링 신호를 순차적으로 출력하는 시프트 레지스터부(106ba)와, 상기 타이밍 제어부(107)로부터의 제어신호와 상기 샘플링 신호에 응답하여 스위칭부(115)로부터의 제 1 화소신호(data_S1)와 제 2 화소신호(data_S2)를 순차적으로 래치하여 동시에 출력하는 래치부(106bb)와, 상기 래치부(106bb)로부터의 제 1 화소신호(data_S1)와 제 2 화소신호(data_S2)를 기준전압에 대하여 크기는 같되 서로 위상이 반전된 아날로그 신호인 제 1 화소전압(data_D1)과 제 2 화소전압(data_D2)으로 변환하여 출력하는 디지털-아날로그 변환부(106bc)와, 상기 디지털-아날로그 변환부(106bc)로부터의 제 1 화소전압(data_V1)과 제 2 화소전압(data_V2)을 완충하여 출력하는 버퍼부(106ad)를 포함하여 구성된다.
- [0080] 상기 제 2 내지 제 $[i-1]$ 데이터 드라이브 집적회로(106b)의 시프트 레지스터부(106ba)는 전단의 데이터 드라이브 집적회로로부터 전달된 소스 스타트 신호(SSP_odd, SSP_even)를 소스 샘플링 클럭 신호(SSC)에 따라 순차적으로 시프트 시켜서 상기 래치부(106bb)로 공급한다.
- [0081] 여기서, 수평 화소열을 기준으로 하여 짝수 번째 화소를 구동하는 경우에는 도 8에 도시한 바와 같이 전단의 데이터 드라이브 집적회로로부터 짝수 소스 스타트 신호(SSP_even)를 받아서 전단의 데이터 드라이브 집적회로에 공급되는 마지막 데이터 라인과 동일한 시점에 래치부(106bb)로 먼저 한 번 출력한 후 그 다음 시점 부터 상기 짝수 소스 스타트 신호(SSP_even)를 샘플링 클럭 신호(SSC)에 따라 시프트시켜 래치부(106bb)로 출력한다. 이는, 수평 화소열을 기준으로 하여 짝수 번째 화소를 구동하는 경우에 각 데이터 드라이브 집적회로의 경계에 위치하는 화소는 화소의 왼쪽에 위치하는 데이터 드라이버 집적회로가 관장하는 마지막 데이터 라인 및 화소의 오른쪽에 위치하는 데이터 드라이버 집적회로가 관장하는 첫 번째 데이터 라인을 통해 제 1 화소전압(data_V1)과 제 2 화소전압(data_V2)을 공급받아 구동되기 때문이다.
- [0082] 상기 제 2 내지 제 $[i-1]$ 데이터 드라이브 집적회로(106b)의 래치부(106bb)는 시프트 레지스터부(106ba)로부터

의 샘플링 신호에 응답하여 제 1 화소신호(data_S1)와 제 2 화소신호(data_S2)를 일정 단위씩 순차적으로 샘플링하여 래치한다. 여기서, 제 1 화소신호(data_S1)와 제 2 화소신호(data_S2)는 상기에 언급한 바와 같이 타이밍 제어부(107)에서 출력된 화소 데이터(data_D)가 동일한 신호인 제 1 화소신호(data_S1)와 제 2 화소신호(data_S2) 두 개의 신호로 변환된 후 스위칭부(115)에 입력된 신호이다.

[0083] 여기서, 상기 래치부(106bb)에서, 자신이 관장하는 첫 번째 데이터 라인에 대한 구동은, 수평 화소열을 기준으로 홀수 번째 화소를 구동할 시에는 전단의 데이터 드라이브 집적회로의 경우와 동일하며, 수평 화소열을 기준으로 짝수 번째 화소를 구동할 시에는 전단의 데이터 드라이브 집적회로에 공급되는 마지막 제 2 화소신호(data_S2)와 동일한 신호를 공급받아 자신이 관장하는 전단의 데이터 드라이브 집적회로가 관장하는 마지막 데이터 라인에 대한 구동과 동일한 시점에 이루어진다.

[0084] 이어서, 상기 래치부(106bb)는 타이밍 제어부(107)로부터 출력된 소스 출력 이네이블 신호(SOE)에 응답하여 래치되어 있는 제 1 화소신호(data_S1)와 제 2 화소신호(data_S2)를 동시에 출력하여 상기 디지털-아날로그 변환부(106bc)에 공급한다.

[0085] 그리고, 상기 디지털-아날로그 변환부(106bc)는 래치부(106bb)로부터 출력된 디지털 제 1 화소신호(data_S1)와 제 2 화소신호(data_S2)를 감마전압 공급부(109)의 감마 기준 전압을 이용하여 아날로그 제 1 화소전압(data_V1)과 제 2 화소전압(data_V2)으로 변환한 후 버퍼부(106bd)로 출력한다. 여기서, 제 1 화소전압(data_V1)과 제 2 화소전압(data_V2)은 기준 전압에 대한 크기는 같되 위상만 반전된 신호이다.

[0086] 그리고, 상기 버퍼부(106bd)는 디지털-아날로그 변환부(106bc)로부터 출력된 제 1 화소전압(data_V1)과 제 2 화소전압(data_V2)을 완충하여 데이터 라인(D1~Dn)으로 출력한다.

[0087] 상술한 바와 같은 구성 및 동작을 가지는 제 [i-1] 데이터 드라이브 집적회로(106b)의 후단에 배치된 제 i 데이터 드라이브 집적회로(미도시)는 제 [i-1] 데이터 드라이브 집적회로(106b)와 유사한 구성 및 동작을 가지지만, 후단에 더 이상의 데이터 드라이브 집적회로가 위치하지 않으므로 수평 화소열을 기준으로 짝수 번째 화소를 구동할 시에 자신이 관장하는 마지막 수직 화소열에 연결된 두 데이터 라인 모두 제 i 데이터 드라이브 집적회로 자신이 구동한다는 차이점이 있다.

[0088] 이외의 다른 구성 및 동작은 제 2 내지 제 [i-1] 데이터 드라이브 집적회로(106b)와 동일하므로 상세한 설명은 생략하겠다.

[0089] 상술한 바와 같은 구성 및 동작을 가지는 본 발명의 바람직한 실시예에 따른 액정표시장치는, 타이밍 제어부(107)에서 출력되는 화소 데이터(data_D)가 동일한 두 신호인 제 1 화소신호(data_S1)와 제 2 화소신호(data_S2)로 변환되어 래치부(106ab, 106bb)로 공급되므로 시프트 레지스터(106aa, 106ba)는 낮은 주파수의 소스 시프트 클럭(SSC)을 이용해 샘플링 신호를 출력하게 되며, 이로 인해 래치부(106ab, 106bb)는 낮은 주파수로 일정 단위의 제 1 화소신호(data_S1)과 제 2 화소신호(data_S2)를 래치하게 된다.

[0090] 따라서, 화소 데이터(data_D) 및 제 1 화소신호(data_S1), 제 2 화소신호(data_S2)의 전송 주파수가 낮아져서 전송 라인의 전자기적 간섭(EMI)이 최소화된다.

[0091] 또한, 래치부(106ab, 106bb)의 래치 주기가 길어져서 제 1 화소신호(data_S1)와 제 2 화소신호(data_S2)의 정확한 래치를 위한 타이밍 마진이 늘어나게 되므로, 제 1 화소신호(data_S1)와 제 2 화소신호(data_S2)의 래치 시점이 정확하게 되어 제 1 화소전압(data_V1)과 제 2 화소전압(data_V2)을 왜곡없이 데이터 라인(D1~Dn)에 공급하게 된다.

도면의 간단한 설명

[0092] 도 1은 종래의 일반적인 액정표시장치의 일 예를 도시한 블록도.

[0093] 도 2는 종래의 일반적인 액정표시장치의 다른 예를 도시한 블록도.

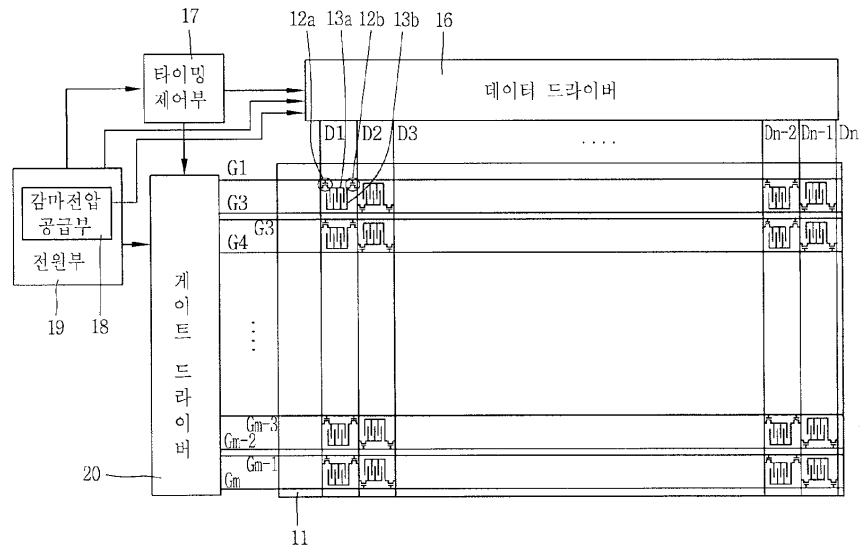
[0094] 도 3은 도 2의 액정표시장치의 데이터 드라이버를 도시한 블록도.

[0095] 도 4는 본 발명의 바람직한 실시예에 따른 액정표시장치를 도시한 블록도.

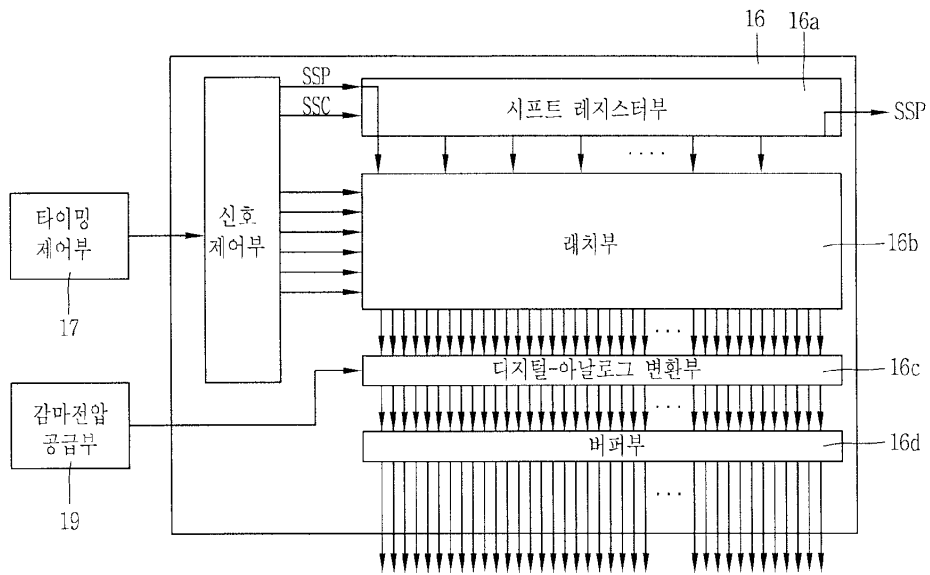
[0096] 도 5는 도 4에 구비된 데이터 드라이버를 구성하는 제 1 내지 제 n 데이터 드라이브 집적회로 중에서 제 1 데이터 드라이브 집적회로를 도시한 블록도.

[0097] 도 6은 도 4에 구비된 데이터 드라이버를 구성하는 제 1 내지 제 n 데이터 드라이브 집적회로 중에서 제 2 내지

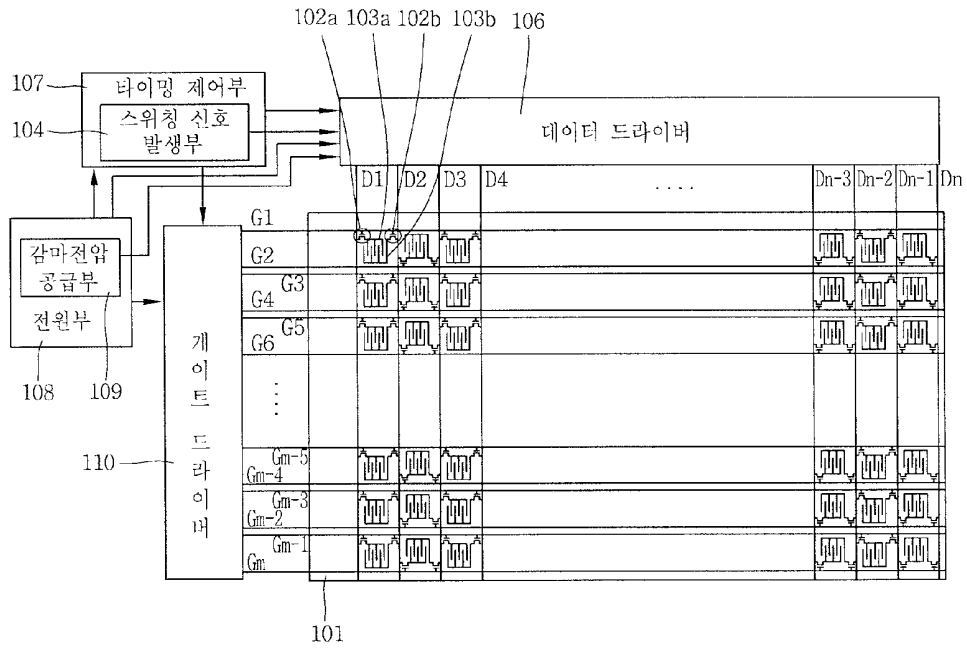
도면2



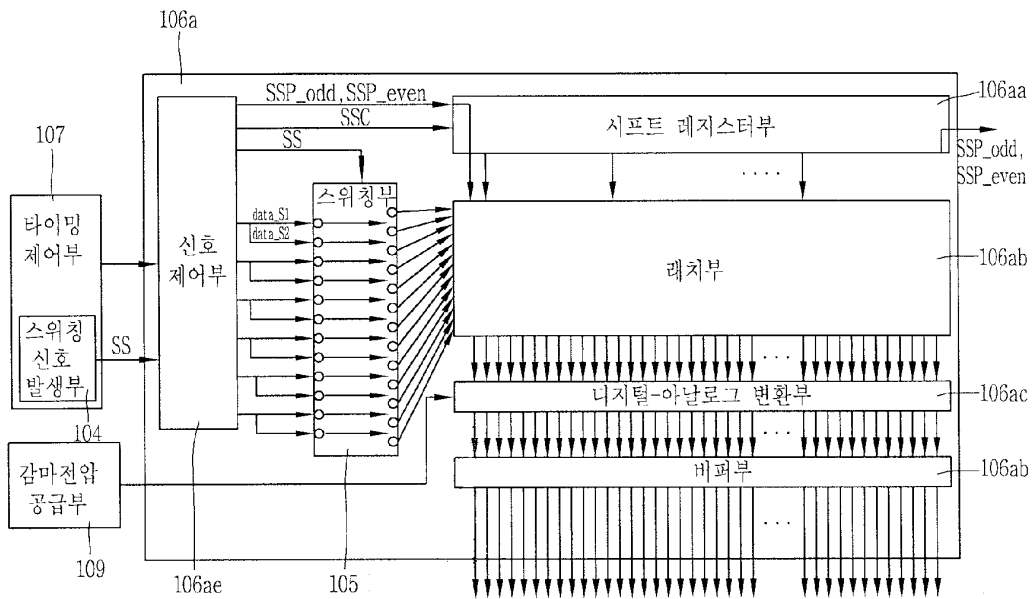
도면3



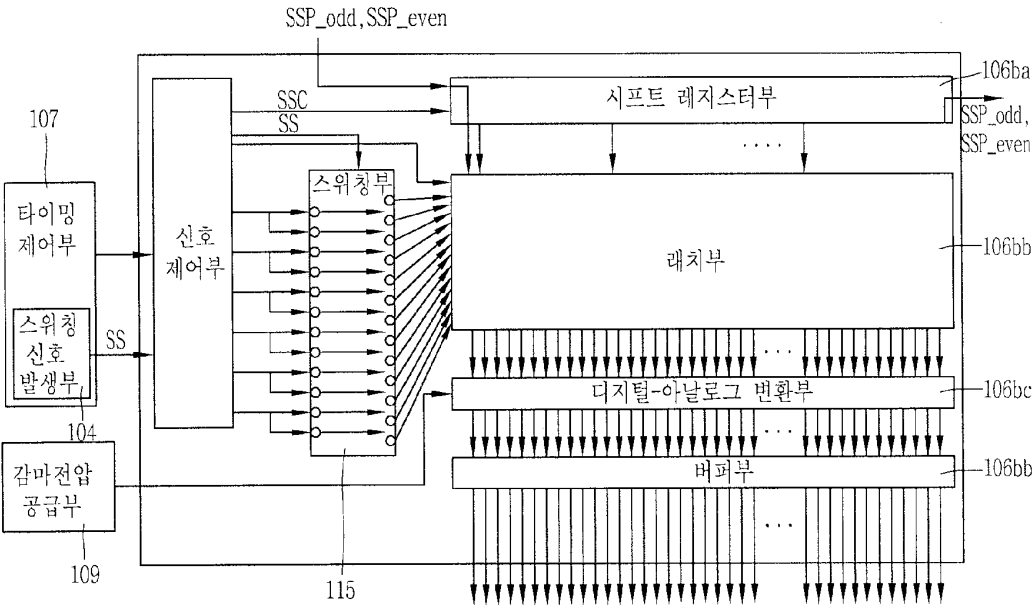
도면4



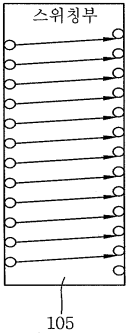
도면5



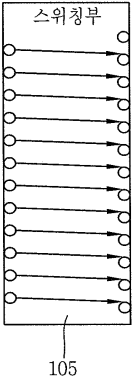
도면6



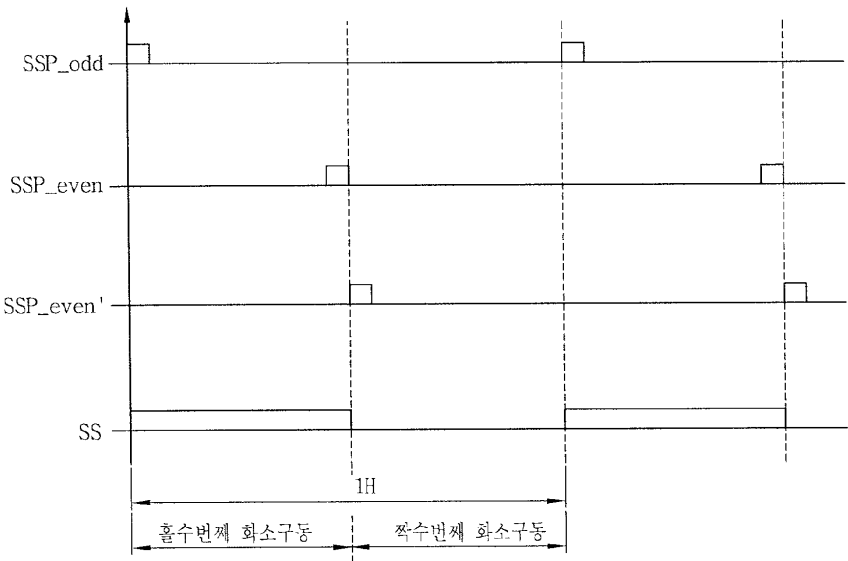
도면7a



도면7b



도면8



专利名称(译)	液晶显示器		
公开(公告)号	KR101358222B1	公开(公告)日	2014-02-06
申请号	KR1020070130428	申请日	2007-12-13
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JU YOUNG		
发明人	LEE, JU YOUNG		
IPC分类号	G09G3/20 G09G G02F1/133 G02F G09G3/36		
代理人(译)	PARK , JANG WON		
其他公开文献	KR1020090062940A		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器，尤其涉及一种液晶显示器，其中由于数据传输频率低而屏幕质量上升，并且数据驱动器的源采样频率（SSC）在每个像素处减小到两个换言之，包括像素电极和用于驱动像素的结构，包括第一像素电极和第二像素电极，并且电磁干扰（EMI）被最小化并且锁存定时裕度被充分地确保。它形成为与多个水平像素线和形成在左侧和最终垂直像素列的右侧的第一~n数据线交叉：由多个图像元素组成的数据线。形成绑定栅极线，使得两条线分别与水平像素线形成，并且连接到在连续驱动的第一至第m栅极线内的栅极线：每个像素。它被转换为奇数像素的薄膜晶体管：两个薄膜晶体管，即基于分别连接的第一和第二像素电极根据奇数像素产生切换信号的切换信号发生器：水平状态像素行和偶数编号转向像素每个起始地址：第一像素信号，其中从外部输入的像素数据是在每个像素中准备的相同信号，第二像素信号二是基于水平像素线并连接到相对的栅极线在偶数编号的转动像素之间输入。根据使用从切换信号发生器提供的切换信号和偶数编号的转向像素的基于水平像素线的奇数像素中的任何一个起始地址，通过用于驱动其首先提供的每个像素的数据驱动器来实现。第二像素电极在通过第一和第二像素电压进行转换之后，具有相位切换第二像素信号和第一像素信号的行进路径并且具有相同的参考电压大小并且是切换单元：切换的第一像素信号驱动奇数个像素时第一数据线到[n-1]数据线的传输路径，当驱动偶数个转向像素和第二个像素信号输入时，将第二个数据线中的传输路径切换到n个数据线倒置的开关单元。液晶显示器，数据驱动器和频率。

