



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년07월05일
(11) 등록번호 10-1279189
(24) 등록일자 2013년06월20일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2005-0107624

(22) 출원일자 2005년11월10일

심사청구일자 2010년11월04일

(65) 공개번호 10-2007-0050257

(43) 공개일자 2007년05월15일

(56) 선행기술조사문헌

KR1020030028971 A*

KR1020020044291 A*

US06900854 B1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

진현철

경상북도 구미시 인동43길 22-42, 309동 1306호
(구평동, 부영아파트)

박성진

대구광역시 북구 대천로 132, 부영5차 508동 170
3호 (구암동)

(74) 대리인

서교준

전체 청구항 수 : 총 6 항

심사관 : 윤성주

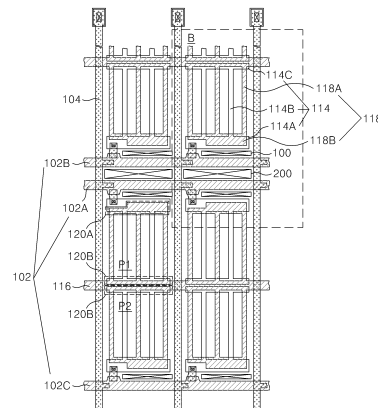
(54) 발명의 명칭 수평 전계 인가형 액정 표시장치 및 그 제조 방법

(57) 요약

본 발명은 수평 전계를 이용하는 액정 표시 장치에 관한 것으로, 특히 스토리지 캐퍼시터 용량의 증가와 더불어 액정 표시장치의 개구율을 증가시킬 수 있고, 게이트 배선 간의 쇼트 검사 공정을 삭제할 수 있는 수평 전계 인가형 액정 표시장치 및 그 제조 방법에 관한 것이다.

이 수평 전계 인가형 액정표시장치는 하부 기관상에 형성된 다수의 게이트 라인들과; 상기 게이트 라인들과 절연되게 교차하여 화소 영역을 정의하는 데이터 라인들과; 상기 다수의 게이트 라인들 중 n-1 번째 게이트 라인과 n 번째 게이트 라인 사이에 배치되는 제1 쇼트 방지홀을 구비하고, 상기 다수의 게이트 라인들 중 상기 n 번째 게이트 라인과 n+1 번째 게이트 라인 사이에는 2열의 화소 영역이 배치되는 것을 특징으로 한다.

대표도 - 도7



특허청구의 범위

청구항 1

하부 기판상에 형성된 다수의 게이트 라인들과;

상기 게이트 라인들과 절연되게 교차하여 화소 영역을 정의하는 데이터 라인들과;

상기 화소 영역에 형성되는 화소전극과;

상기 다수의 게이트 라인들 중 $n-1$ 번째 게이트 라인과 n 번째 게이트 라인 사이에 배치되는 제1 쇼트 방지홀과;

상기 화소 전극과 상기 게이트 라인 사이에 형성되는 제2 쇼트 방지홀과;

상기 다수의 게이트 라인들 중 상기 n 번째 게이트 라인과 $n+1$ 번째 게이트 라인 사이에는 2열의 화소전극을 구비하고,

상기 $n-1$ 번째 게이트 라인과 n 번째 게이트 라인 사이에는 상기 제1 쇼트 방지홀만 배치되는 것을 특징으로 하는 수평 전계 인가형 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 $n-1$ 번째 게이트 라인과 상기 n 번째 게이트 라인은 상기 제1 쇼트 방지홀을 기준으로 대칭되는 형태로 형성되는 것을 특징으로 하는 수평 전계 인가형 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 n 번째 게이트 라인과 상기 $n+1$ 번째 게이트 라인은 상기 2열의 화소 전극을 기준으로 대칭되는 형태로 형성되는 것을 특징으로 하는 수평 전계 인가형 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 2열의 화소전극은

제1 및 제2 화소전극들을 포함하고,

상기 제1 화소전극과 스토리지 캐패시터를 형성함과 아울러 상기 제2 화소전극과 스토리지 캐패시터를 형성하는 공통라인을 더 구비하는 것을 특징으로 하는 수평 전계 인가형 액정표시장치.

청구항 5

삭제

청구항 6

하부 기판상에 $n-1$ 번째, n 번째, $n+1$ 번째 게이트 라인들을 포함하는 게이트 패턴을 형성하는 단계와;

상기 게이트 패턴을 덮는 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 상에 반도체 패턴과, 그 위에 증착된 데이터 라인 및 소스 전극과 드레인 전극을 포함하는 소스/드레인 패턴을 형성하는 단계와;

상기 소스/드레인 패턴을 덮는 보호막을 형성하는 단계와;

상기 드레인 전극을 노출시키는 콘택홀과, 상기 $n-1$ 번째 게이트 라인과 n 번째 게이트 라인 사이에서 상기 게이트 절연막 및 보호막을 관통하여 게이트 패턴을 노출하는 1차 제1 쇼트 방지홀과, 후속공정에서 형성될 화소 전극과 그와 이웃하는 상기 게이트 라인들 사이에서 상기 게이트 절연막 및 상기 보호막을 관통하여 게이트 패

턴을 노출하는 1차 제2 쇼트 방지홀을 동시에 형성하는 단계와;

상기 n 번째 게이트 라인과 n+1 번째 게이트 라인 사이에서 상기 컨택홀을 통해 상기 드레인 전극과 접속되는 화소 전극들 및 상기 1차 제1 쇼트 방지홀 하부의 노출된 게이트 패턴을 식각하여 상기 하부 기판을 노출시키는 제1 쇼트 방지홀을 형성하는 단계;를 포함하고,

상기 n-1 번째 게이트 라인과 n 번째 게이트 라인 사이에는 상기 제1 쇼트 방지홀만 형성되는 것을 특징으로 하는 수평 전계 인가형 액정표시장치의 제조 방법.

청구항 7

삭제

청구항 8

제 6 항에 있어서,

상기 화소 전극들 및 제1 쇼트 방지홀을 형성하는 단계는

상기 1차 제2 쇼트 방지홀 하부의 노출된 게이트 패턴을 식각하여 상기 하부 기판을 노출시키는 제2 쇼트 방지홀을 상기 화소 전극들 및 제1 쇼트 방지홀과 동시에 형성하는 것을 특징으로 하는 수평 전계 인가형 액정표시장치의 제조 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0025] 본 발명은 수평 전계를 이용하는 액정 표시 장치에 관한 것으로, 특히 스토리지 캐패시터 용량의 증가와 더불어 액정 표시장치의 개구율을 증가시킬 수 있고, 게이트 배선 간의 쇼트 검사 공정을 삭제할 수 있는 수평 전계 인가형 액정 표시장치 및 그 제조 방법에 관한 것이다.

[0026] 액정 표시 장치는 전계를 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정 표시 장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계 인가형과 수평 전계 인가형으로 대별된다.

[0027] 수직 전계 인가형 액정 표시 장치는 상하부 기판에 대향하게 배치된 화소 전극과 공통 전극 사이에 형성되는 수직 전계에 의해 액정을 구동한다. 이러한 수직 전계 인가형 액정 표시 장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다.

[0028] 수평 전계 인가형 액정 표시 장치는 하부 기판에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 액정을 구동한다. 이 수평 전계 인가형 액정 표시 장치의 대표적인 예는 인 플레인 스위칭(In Plane Switching; 이하, IPS라 함) 모드이다. 이러한 수평 전계 인가형 액정 표시 장치는 시야각이 160도 정도로 넓은 장점을 가진다. 이하, 수평 전계 인가형 액정 표시 장치에 대하여 상세히 살펴보기로 한다.

[0029] 수평 전계 인가형 액정 표시 장치는 서로 대향하여 합착된 박막 트랜지스터 기판(하판) 및 칼러 필터 기판(상판)과, 두 기판 사이에서 셀갭을 일정하게 유지시키기 위한 스페이서와, 그 셀갭에 채워진 액정을 구비한다.

[0030] 도 1은 종래의 수평 전계 인가형 박막 트랜지스터 기판을 도시한 평면도이고, 도 2는 도 1에 도시된 박막 트랜지스터 기판을 I-I', II-II'선을 따라 절단하여 도시한 단면도이다.

[0031] 도 1 및 도 2에 도시된 박막 트랜지스터 기판은 하부 기판(45) 위에 게이트 절연막(46)을 사이에 두고 교차하게 형성된 게이트 라인(2) 및 데이터 라인(4)과, 그 교차부마다 형성된 박막 트랜지스터(6)와, 그 교차 구조로 마련된 화소 영역에 수평 전계를 형성하도록 형성된 화소 전극(14) 및 공통 전극(18)과, 공통 전극(18)과 접속된 공통 라인(16)을 구비한다. 그리고, 박막 트랜지스터 기판은 화소 전극(14)과 공통 전극 라인(16)의 중첩부에 형성된 스토리지 캐패시터(20)와, 게이트 라인(2)과 접속된 게이트 패드(24)와, 데이터 라인(4)과 접속된 데이

터 패드(30)와, 공통 라인(16)과 접속된 공통 패드(36)를 추가로 구비한다.

- [0032] 게이트 신호를 공급하는 게이트 라인(2)과 데이터 신호를 공급하는 데이터 라인(4)은 교차 구조로 형성되어 화소 영역을 정의한다.
- [0033] 액정 구동을 위한 기준 전압을 공급하는 공통 라인(16)은 화소 영역을 사이에 두고 게이트 라인(2)과 나란하게 형성된다.
- [0034] 박막 트랜지스터(6)는 게이트 라인(2)의 게이트 신호에 응답하여 데이터 라인(4)의 화소 신호가 화소 전극(14)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(6)는 게이트 라인(2)과 접속된 게이트 전극(8), 데이터 라인(4)과 접속된 소스 전극(10), 화소 전극(14)과 접속된 드레인 전극(12), 게이트 전극(8)과 게이트 절연막(46)을 사이에 두고 중첩되면서 소스 전극(10) 및 드레인 전극(12) 사이에 채널을 형성하는 활성층(48), 소스 전극(10) 및 드레인 전극(12)과 활성층(48)과의 오믹 접촉을 위한 오믹 콘택층(50)을 구비한다.
- [0035] 그리고, 활성층(48) 및 오믹 콘택층(50)은 데이터 라인(4), 데이터 패드 하부 전극(32), 그리고 스토리지 상부 전극(22)과도 중첩되게 형성된다.
- [0036] 화소 전극(14)은 보호막(52)을 관통하는 제1 콘택홀(13)을 통해 박막 트랜지스터(6)의 드레인 전극(12)과 접속되어 화소 영역에 형성된다. 이러한 화소 전극(14)은 드레인 전극(12)과 접속되고 인접한 게이트 라인(2)과 나란하게 형성된 제1 수평부(14A)와, 공통 라인(16)과 중첩되게 형성된 제2 수평부(14B)와, 제1 및 제2 수평부(14A, 14B) 사이에 나란하게 형성된 핑거부(14C)를 구비한다.
- [0037] 공통 전극(18)은 공통 라인(16)과 접속되어 화소 영역에 형성된다. 이러한 공통 전극(18)은 화소 영역(5)에서 화소 전극(14)의 핑거부(14C)와 나란하게 형성된다.
- [0038] 이에 따라, 박막 트랜지스터(6)를 통해 화소 신호가 공급된 화소 전극(14)과 공통 라인(16)을 통해 기준 전압(이하, 공통 전압)이 공급된 공통 전극(18) 사이에는 수평 전계가 형성된다. 특히, 화소 전극(14)의 핑거부(14C)와 공통 전극(18) 사이에 수평 전계가 형성된다. 이러한 수평 전계에 의해 박막 트랜지스터 기판과 칼라 필터 기판 사이에서 수평 방향으로 배열된 액정 분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.
- [0039] 스토리지 캐패시터(20)는 공통 라인(16)과, 그 공통 라인(16)과 게이트 절연막(46), 활성층(48), 오믹 콘택층(50)을 사이에 두고 중첩되고 보호막(52)에 형성된 제2 콘택홀(21)을 통해 화소 전극(14)과 접속된 스토리지 상부 전극(22)으로 구성된다. 이러한 스토리지 캐패시터(20)는 화소 전극(14)에 충전된 화소 신호가 다음 화소 신호가 충전될 때까지 안정적으로 유지되게 한다.
- [0040] 게이트 라인(2)은 게이트 패드(24)를 통해 게이트 드라이버(미도시)와 접속된다. 게이트 패드(24)는 게이트 라인(2)으로부터 연장된 게이트 패드 하부 전극(26)과, 게이트 절연막(46) 및 보호막(52)을 관통하는 제3 콘택홀(27)을 통해 게이트 패드 하부 전극(26)과 접속된 게이트 패드 상부 전극(28)으로 구성된다.
- [0041] 데이터 라인(4)은 데이터 패드(30)를 통해 데이터 드라이버(미도시)와 접속된다. 데이터 패드(30)는 데이터 라인(4)으로부터 연장된 데이터 패드 하부 전극(32)과, 보호막(52)을 관통하는 제4 콘택홀(33)을 통해 데이터 패드 하부 전극(32)과 접속된 데이터 패드 상부 전극(34)으로 구성된다.
- [0042] 공통 라인(16)은 공통 패드(36)를 통해 외부의 공통 전압원(미도시)으로부터 공통 전압을 공급받게 된다. 공통 패드(36)는 공통 라인(16)으로부터 연장된 공통 패드 하부 전극(38)과, 게이트 절연막(46) 및 보호막(52)을 관통하는 제5 콘택홀(39)을 통해 공통 패드 하부 전극(38)과 접속된 공통 패드 상부 전극(40)으로 구성된다.
- [0043] 그러나, 화소 영역에 형성된 공통 전극(18)이 불투명한 게이트 금속으로 형성됨에 따라 개구율이 낮은 문제점이 있다.
- [0044] 또한, 개구율 문제로 인하여 불투명한 금속으로 이루어진 공통 라인(16)과 스토리지 상부 전극(22)과의 중첩 면적을 증가시키는데 한계가 있으므로 스토리지 캐패시터(20) 용량이 작은 문제점이 있다.
- [0045] 한편, 종래의 수평 전계 인가형 액정표시장치의 박막 트랜지스터 기판은 다수의 마스크 공정을 통해 형성된다. 하나의 마스크 공정은 증착공정, 세정공정, 포토리소그래피 공정, 식각공정, 포토레지스트 박리공정, 검사공정 등과 같은 많은 공정을 포함하고 있어 제조 공정이 복잡하다.
- [0046]

발명이 이루고자 하는 기술적 과제

- [0047] 따라서, 본 발명의 목적은 스토리지 캐퍼시터 용량의 증가와 더불어 액정 표시장치의 개구율을 증가시킬 수 있고, 게이트 배선 간의 쇼트 검사 공정을 삭제할 수 있는 수평 전계 인가형 액정표시장치 및 그 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

- [0048] 상기 목적을 달성하기 위하여 본 발명에 따른 수평 전계 인가형 액정표시장치는 하부 기판상에 형성된 다수의 게이트 라인들과; 상기 게이트 라인들과 절연되게 교차하여 화소 영역을 정의하는 데이터 라인들과; 상기 다수의 게이트 라인들 중 $n-1$ 번째 게이트 라인과 n 번째 게이트 라인 사이에 배치되는 제1 쇼트 방지홀을 구비하고, 상기 다수의 게이트 라인들 중 상기 n 번째 게이트 라인과 $n+1$ 번째 게이트 라인 사이에는 2열의 화소 영역이 배치되는 것을 특징으로 한다.
- [0049] 상기 $n-1$ 번째 게이트 라인과 상기 n 번째 게이트 라인은 상기 제1 쇼트 방지홀을 기준으로 대칭되는 형태로 형성되는 것을 특징으로 한다.
- [0050] 상기 n 번째 게이트 라인과 상기 $n+1$ 번째 게이트 라인은 상기 2열의 화소 영역을 기준으로 대칭되는 형태로 형성된다.
- [0051] 상기 2열의 화소 영역은 제1 및 제2 화소 영역들을 포함하고, 상기 제1 화소 영역의 스토리지 캐패시터를 형성함과 아울러 상기 제2 화소 영역의 스토리지 캐패시터를 형성하는 공통라인을 더 구비한다.
- [0052] 상기 화소 영역과 상기 게이트 라인 사이에 형성되는 제2 쇼트 방지홀을 더 구비한다.
- [0053] 또한 본 발명에 따른 수평 전계 인가형 액정표시장치의 제조 방법은 하부 기판상에 $n-1$ 번째, n 번째, $n+1$ 번째 게이트 라인들을 포함하는 게이트 패턴을 형성하는 단계와;
- [0054] 상기 게이트 패턴을 덮는 게이트 절연막을 형성하는 단계와;
- [0055] 상기 게이트 절연막 상에 반도체 패턴과, 그 위에 증착된 데이터 라인 및 소스 전극과 드레인 전극을 포함하는 소스/드레인 패턴을 형성하는 단계와;
- [0056] 상기 소스/드레인 패턴을 덮는 보호막을 형성하는 단계와;
- [0057] 상기 드레인 전극을 노출시키는 콘택홀 및 상기 $n-1$ 번째 게이트 라인과 n 번째 게이트 라인 사이에서 상기 게이트 절연막 및 보호막을 관통하는 1차 제1 쇼트 방지홀을 형성하는 단계와;
- [0058] 상기 n 번째 게이트 라인과 $n+1$ 번째 사이에서 상기 콘택홀을 통해 상기 드레인 전극과 접속되는 화소 전극들 및 상기 1차 제1 쇼트 방지홀 하부의 상기 하부 기판을 노출시키는 제1 쇼트 방지홀을 형성하는 단계를 포함한다.
- [0059] 상기 콘택홀 및 1차 제1 쇼트 방지홀을 형성하는 단계는 상기 화소 전극과 그와 이웃하는 상기 게이트 라인들 사이에서 상기 게이트 절연막 및 상기 보호막을 관통하는 1차 제2 쇼트 방지홀을 상기 콘택홀 및 1차 제1 쇼트 방지홀과 동시에 형성한다.
- [0060] 상기 화소 전극들 및 제1 쇼트 방지홀을 형성하는 단계는 상기 1차 제2 쇼트 방지홀 하부의 상기 하부 기판을 노출시키는 제2 쇼트 방지홀을 상기 화소 전극들 및 제1 쇼트 방지홀과 동시에 형성한다.
- [0061] 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- [0062] 이하, 본 발명의 바람직한 실시 예들을 도 3 내지 도 15b를 참조하여 상세하게 설명하기로 한다.
- [0063] 수평 전계 인가형 액정 표시 장치는 하부 기판에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 액정을 구동한다. 이러한 수평 전계 인가형 액정 표시 장치는 시야각이 160도 정도로 넓은 장점을 가진다. 이하, 수평 전계 인가형 액정 표시 장치에 대하여 상세히 살펴보기로 한다.
- [0064] 수평 전계 인가형 액정 표시 장치는 서로 대향하여 합착된 박막 트랜지스터 기관(하판) 및 칼러 필터

기관(상판)과, 두 기관 사이에서 셀 갭을 일정하게 유지시키기 위한 스페이서와, 그 셀 갭에 채워진 액정을 구비한다.

[0065] 도 3은 본 발명의 제1 실시 예에 따른 수평 전계 인가형 박막 트랜지스터 기관을 간략하게 설명하기 위해 도시한 평면도이다.

[0066] 도 3에 도시된 박막 트랜지스터 기관은 게이트 절연막을 사이에 두고 교차하여 화소 영역을 정의하는 게이트 라인(302) 및 데이터 라인(304), 그 게이트 라인(302) 및 데이터 라인(304)과 화소 전극(318)에 접속된 박막 트랜지스터(306), 화소 영역에 수평 전계를 형성하도록 형성된 화소 전극(314) 및 공통 전극(318), 공통 전극(318)과 접속된 공통 라인(316)을 구비한다. 그리고 박막 트랜지스터 기관은 공통 전극(318)과 화소 전극(314)의 중첩부 및 공통 라인(316)과 화소 전극(314)의 중첩부에 각각 형성된 제1 및 제2 스토리지 캐패시터(320A, 320B)를 더 구비한다.

[0067] 하나의 화소 영역에 형성되는 제1 및 제2 스토리지 캐패시터(320A, 320B)는 병렬로 접속되므로 스토리지 캐패시터의 용량을 더욱 증가시킬 수 있게 된다.

[0068] 상기의 공통 전극(318) 및 공통 라인(316)은 게이트 라인(302)과 동일한 평면상에 동일한 불투명 금속으로 형성된다. 불투명 금속으로 형성되는 공통 전극(318) 및 공통 라인(316)은 화소 영역에 형성되어 본 발명의 제1 실시예에 따른 수평 전계 인가형 액정표시장치의 개구율을 떨어뜨린다.

[0069] 한편, 본 발명의 제1 실시예에서의 공통 전극(318), 공통 라인(316) 및 게이트 라인(302)은 동일 금속으로 동일 평면상에 형성됨과 아울러 포토리소그래피 공정과 식각 공정을 통해 동시에 패터닝되어 형성된다. 상기의 배선들이 동시에 패터닝 되면서 각 배선의 패터닝이 제대로 이루어지지 않아 상기 각 배선간에 쇼트가 발생할 수 있다. 이러한 쇼트 발생으로 인한 액정표시장치의 제조 수율 저하를 막기 위해 상기 배선들을 패터닝하는 과정에서 상기 배선 간의 공간을 확보하여 쇼트 발생을 미연에 방지한다. 그리고 쇼트 발생으로 인해 액정표시장치의 제조 수율 저하를 막기 위해 상기의 배선들을 패터닝 한 후 쇼트 검사를 실시하여 배선간 쇼트가 발생하지 않은 기관들에 대해서만 이 후 공정을 진행한다.

[0070] 도 4는 본 발명의 제2 실시 예에 따른 수평 전계 인가형 박막 트랜지스터 기관을 간략하게 설명하기 위해 도시한 평면도이다. 본 발명의 제2 실시 예에 대한 상세한 설명은 도 5 및 도 6에서 후술한다.

[0071] 도 4에 도시된 박막 트랜지스터 기관은 게이트 절연막을 사이에 두고 교차하여 화소 영역을 정의하는 게이트 라인(402) 및 데이터 라인(404), 그 게이트 라인(402) 및 데이터 라인(404)과 화소 전극(414)에 접속된 박막 트랜지스터(406), 화소 영역에 수평 전계를 형성하도록 형성된 화소 전극(414) 및 공통 전극(418), 공통 전극(418)과 접속된 공통 라인(416)을 구비한다. 그리고 박막 트랜지스터 기관은 공통 전극(418)과 화소 전극(414)의 중첩부 및 공통 라인(416)과 화소 전극(414)의 중첩부에 각각 형성된 제1 및 제2 스토리지 캐패시터(420A, 420B)를 더 구비한다.

[0072] 하나의 화소 영역에 형성되는 제1 및 제2 스토리지 캐패시터(420A, 420B)는 병렬로 접속되므로 스토리지 캐패시터의 용량을 더욱 증가시킬 수 있게 된다.

[0073] 본 발명의 제2 실시예에서 n (n 은 2이상의 정수)번째 게이트 라인(402A)은 $n-1$ 번째 게이트 라인(402B)과 바로 이웃하게 형성된다. 또한 n 번째 게이트 라인(402A)은 $n-1$ 번째 게이트 라인(402B)과 서로 대칭되는 형태로 형성된다.

[0074] 한편, $n+1$ 번째 게이트 라인(402C)은 n 번째 게이트 라인(402A)과 제1 및 제2 화소 영역(P1, P2)들을 포함하는 2열의 화소 영역을 사이에 두고 형성됨과 아울러 2열의 화소 영역을 기준으로 n 번째 게이트 라인(402A)과 대칭되는 형태로 형성된다.

[0075] 상기 2열의 화소 영역(P1, P2)을 사이에 두고 대칭되게 형성되는 게이트 라인들(402A, 402C) 사이에는 2열의 제2 스토리지 캐패시터(420B)가 하나의 공통 라인(416)을 공유하여 형성된다. 이 공통 라인(414)은 본 발명의 제1 실시예에서와 마찬가지로 불투명 금속으로 형성되지만, 하나의 공통 라인(414)으로 2열의 제2 스토리지 캐패시터(420B)를 형성함으로써 화소 영역에 불투명 금속으로 형성되는 수평면적을 줄일 수 있다. 화소 영역에서 불투명 금속으로 형성되는 공통 라인(414)의 면적이 줄어들에 따라 빛이 투과되는 면적이 증가 되어 본 발명의 제2 실시예에 따른 액정표시장치의 개구율을 향상시킬 수 있다.

[0076] 한편, 본 발명의 제2 실시예에서도 본 발명의 제1 실시예에서 전술한 바와 같이 공통 전극(418), 공통 라인(416) 및 게이트 라인(402)이 동일 금속으로 동일평면상에 형성됨과 아울러 포토리소그래피 공정과 식각 공정을

통해 동시에 패터닝되어 형성된다. 전술한 본 발명의 제1 실시예에서는 상기 배선들을 패터닝 한 후 쇼트 검사를 실시하여 제조 수율을 향상시켰으나 본 발명의 제2 실시예에서는 상기 배선들을 패터닝 한 후 진행하는 쇼트 검사를 실시하기 어렵다. 본 발명의 제2 실시예에서 쇼트 검사의 실시가 어려운 이유는 화소 영역을 사이에 두지 않고 바로 인접하게 형성되는 게이트 라인(402A, 402B)들이 발생하기 때문이다. 이 게이트 라인(402A, 402B)들이 화소 영역을 사이에 두지 않고 바로 인접하게 형성되는 이유는 제2 실시예에 따른 액정표시장치가 개구율을 향상시키기 위해 2열의 제2 스토리지 캐패시터(420B)가 하나의 공통 라인(416)을 공유하도록 형성되기 때문이다. 이와 같이 인접하게 형성된 게이트 라인(402A, 402B)을 포함하는 제2 실시예에서는 상기 배선 간의 쇼트 검사를 위한 외곽 배선 연결이 어렵게 된다. 상기 배선 간 쇼트 검사 실시가 어려워짐에 따라 제2 실시예에서는 쇼트 검사를 실시하지 않고 이후 공정을 진행한다. 쇼트 검사를 실시하지 않음에 따라 A영역에 도시된 바와 같이 배선간에 쇼트가 발생했을 경우에도 제조 공정이 진행되므로 액정표시장치의 제조 수율이 저하된다.

- [0077] 도 5는 도 4에 도시된 박막 트랜지스터 기관의 A영역을 확대도시하고, 각 패드부를 첨가하여 도시한 평면도이고, 도 6은 도 5에 도시된 박막 트랜지스터 기관을 VIII-VIII', IX-IX', X-X', XI-XI', XII-XII'선을 따라 절단하여 도시한 단면도이다.
- [0078] 도 5 및 도 6에 도시된 박막 트랜지스터 기관은 하부 기관(445) 위에 게이트 절연막(446)을 사이에 두고 교차하여 화소 영역을 정의하는 게이트 라인(402) 및 데이터 라인(404), 그 게이트 라인(402) 및 데이터 라인(404)과 화소 전극(414)에 접속된 박막 트랜지스터(406), 화소 영역에 수평 전계를 형성하도록 형성된 화소 전극(414) 및 공통 전극(418), 공통 전극(418)과 접속된 공통 라인(416)을 구비한다. 그리고, 박막 트랜지스터 기관은 공통 전극(418)과 화소 전극(414)의 중첩부 및 공통 라인(416)과 화소 전극(414)의 중첩부에 각각 형성된 제1 및 제2 스토리지 캐패시터(420A, 420B), 게이트 라인(402)과 접속된 게이트 패드(424), 데이터 라인(404)과 접속된 데이터 패드(432), 공통 라인(416)과 접속된 공통 패드(440)를 더 구비한다.
- [0079] 게이트 라인(402)은 게이트 드라이버(미도시)로부터의 스캔 신호를, 데이터 라인(404)은 데이터 드라이버(미도시)로부터의 비디오 신호를 공급한다. 이러한 게이트 라인(402) 및 데이터 라인(404)은 게이트 절연막(446)을 사이에 두고 교차하여 각 화소 영역을 정의한다.
- [0080] 박막 트랜지스터(406)는 게이트 라인(402)의 스캔 신호에 응답하여 데이터 라인(404) 상의 비디오 신호가 화소 전극(414)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(406)는 게이트 라인(402)에 포함된 게이트 전극, 데이터 라인(404)과 접속된 소스 전극(410), 소스 전극(410)과 마주하며 화소 전극(414)과 접속된 드레인 전극(412), 게이트 절연막(446)을 사이에 두고 게이트 라인(402)과 중첩되어 소스 전극(410)과 드레인 전극(412) 사이에 채널을 형성하는 활성층(448), 소스 전극(410) 및 드레인 전극(412)과의 오믹 접촉을 위하여 채널부를 제외한 활성층(448) 위에 형성된 오믹 콘택층(450)을 구비한다.
- [0081] 그리고, 활성층(448) 및 오믹 콘택층(450)을 포함하는 반도체 패틴은 데이터 라인(404) 및 데이터 패드 하부 전극(434)과도 중첩되도록 형성되거나 도시하진 않았으나 데이터 라인(404) 및 데이터 패드 하부 전극(434)과 중첩되지 않게 형성될 수 있다.
- [0082] 공통 라인(416) 및 공통 전극(418)은 액정 구동을 위한 기준 전압, 즉 공통 전압을 각 화소에 공급한다.
- [0083] 이를 위하여, 공통 라인(416)은 2열의 화소 영역을 사이에 두고 게이트 라인(402)과 나란하게 형성된다. 이러한 공통 라인(416)은 상기 게이트 라인(402)과 동일 금속으로 동일 평면상에 동시에 형성된다.
- [0084] 공통 전극(418)은 각 화소 영역에서 공통 라인(416)과 접속된다. 구체적으로, 공통 전극(418)은 공통 라인(418)로부터 화소 영역으로 신장된 핑거부(418A), 핑거부(418A)와 접속된 수평부(418B)를 구비한다. 이러한 공통 전극(418)은 동일 금속으로 동일 평면상에 동시에 형성된다.
- [0085] 화소 전극(414)은 박막 트랜지스터(406)의 드레인 전극(412)과 접속되며, 각 화소 영역에서 공통 전극(418)과 수평 전계를 형성하도록 형성된다. 구체적으로, 화소 전극(414)은 게이트 라인(402)과 나란하게 형성되어 제1 콘택홀(413)을 통해 노출된 드레인 전극(412)과 접속된 제1 수평부(414A), 공통 라인(416)과 중첩되게 형성된 제2 수평부(414C), 제1 및 제2 수평부(414A, 414C) 사이에 접속되어 공통 전극(418)의 핑거부(418A)와 나란하도록 형성된 핑거부(414B)를 구비한다. 이러한 화소 전극(414)에 박막 트랜지스터(406)를 통해 비디오 신호가 공급되면, 화소 전극(414)의 핑거부(414B)와 공통 라인(416)을 통해 공통 전압이 공급된 공통 전극(418)의 핑거부(418A) 사이에는 수평 전계가 형성된다. 이러한 수평 전계에 의해 박막 트랜지스터 기관과 칼라 필터 기관 사이에서 수평 방향으로 배열된 액정 분자들이 유전율 이방성에 의해 회전하게 된다. 그리고, 액정 분자들의 회

전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.

- [0086] 스토리지 캐패시터는 화소 전극(414)의 제1 수평부(414A)가 보호막(452) 및 게이트 절연막(446)을 사이에 두고 공통 전극(418)의 수평부(418B)와 중첩되어 형성된 제1 스토리지 캐패시터(420A)와, 화소 전극(414)의 제2 수평부(414C)가 보호막(452) 및 게이트 절연막(446)을 사이에 두고 공통 라인(416)과 중첩되어 형성된 제2 스토리지 캐패시터(420B)를 구비한다.
- [0087] 이러한 스토리지 캐패시터는 화소 전극(414)에 충전된 화소 신호가 다음 화소 신호가 충전될 때까지 보다 안정적으로 유지되게 한다.
- [0088] 게이트 라인(402)은 게이트 패드(424)를 통해 게이트 드라이버(미도시)와 접속된다. 게이트 패드(424)는 게이트 라인(402)으로부터 연장된 게이트 패드 하부 전극(426), 게이트 절연막(446) 및 보호막(452)을 관통하는 제2 콘택홀(427)을 통해 노출된 게이트 패드 하부 전극(426)과 접속된 게이트 패드 상부 전극(428)을 구비한다.
- [0089] 데이터 라인(404)은 데이터 패드(430)를 통해 데이터 드라이버(미도시)와 접속된다. 데이터 패드(430)는 데이터 라인(404)으로부터 그 아래의 반도체 패턴(450 및 448)과 함께 연장된 데이터 패드 하부 전극(432), 보호막(452)을 관통하는 제3 콘택홀(433)을 통해 노출된 데이터 패드 하부 전극(432)과 접속된 데이터 패드 상부 전극(434)을 구비한다. 여기서 데이터 라인(404) 하부에는 반도체 패턴(450 및 448)이 형성되지 않을 수 있고, 데이터 패드 하부 전극(432)도 반도체 패턴(450 및 448)을 포함하지 않을 수 있다.
- [0090] 공통 라인(416)은 공통 패드(436)를 통해 공통 전압원(미도시)으로부터의 기준 전압을 공급받게 된다. 공통 패드(436)는 공통 라인(416)으로부터 연장된 공통 패드 하부 전극(438), 게이트 절연막(446) 및 보호막(452)을 관통하는 제4 콘택홀(439)을 통해 노출된 공통 패드 하부 전극(438)과 접속된 공통 패드 상부 전극(440)을 구비한다.
- [0091] 이와 같이, 본 발명의 제2 실시 예에 따른 수평 전계 인가형 박막 트랜지스터 기판은 도 4에서 전술한 바와 같이 공통 전극(418), 공통 라인(416) 및 게이트 라인(402)이 동일금속으로 동일 평면상에 동시에 형성되고 이 배선들간 쇼트 검사 실시가 어려워져서 쇼트 검사를 실시하지 않고 이후 공정을 진행한다. 쇼트 검사를 실시하지 않음에 따라 도 5 및 도 6에 도시된 바와 같이 서로 인접하게 형성되는 게이트 라인(402)과 게이트 라인(402) 사이에 쇼트가 발생했을 때 뿐만 아니라, 공통 전극(418)의 수평부(418B)와 게이트 라인(402) 사이에 쇼트가 발생했을 경우에도 제조 공정이 진행되므로 액정표시장치의 제조 수율이 저하된다.
- [0092] 도 7은 본 발명의 제3 실시예에 따른 수평 전계 인가형 박막 트랜지스터 기판을 간략하게 설명하기 위해 도시한 평면도이다. 본 발명의 제3 실시 예에 대한 상세한 설명은 도 8 및 도 9에서 후술한다.
- [0093] 도 7에 도시된 박막 트랜지스터 기판은 게이트 절연막을 사이에 두고 교차하여 화소 영역을 정의하는 게이트 라인(102) 및 데이터 라인(104), 그 게이트 라인(102) 및 데이터 라인(104)과 화소 전극(114)에 접속된 박막 트랜지스터(106), 화소 영역에 수평 전계를 형성하도록 형성된 화소 전극(114) 및 공통 전극(118), 공통 전극(118)과 접속된 공통 라인(116)을 구비한다. 그리고 박막 트랜지스터 기판은 공통 전극(118)과 화소 전극(114)의 중첩부 및 공통 라인(116)과 화소 전극(114)의 중첩부에 각각 형성된 제1 및 제2 스토리지 캐패시터(120A, 120B)를 더 구비한다.
- [0094] 하나의 화소 영역에 형성되는 제1 및 제2 스토리지 캐패시터(120A, 120B)는 병렬로 접속되므로 스토리지 캐패시터의 용량을 더욱 증가시킬 수 있게 된다.
- [0095] 본 발명의 제3 실시예에서 n 번째 게이트 라인(102A)은 $n-1$ 번째 게이트 라인(102B)과 바로 이웃하게 형성됨과 아울러 제1 쇼트 방지홀(200)을 기준으로 서로 대칭되는 형태로 형성된다. 제1 쇼트 방지홀(200)은 n 번째 게이트 라인(102A)은 $n-1$ 번째 게이트 라인(102B)을 패터닝 하는 과정에서 발생할 수 있는 쇼트를 방지하기 위한 것이다.
- [0096] 상기와 같이 형성된 n 번째 게이트 라인(102A)은 $n+1$ 번째 게이트 라인(102C)과 제1 및 제2 화소영역(P1, P2)들을 포함하는 2열의 화소 영역을 사이에 두고 형성됨과 아울러 제1 및 제2 화소영역(P1, P2)을 기준으로 서로 대칭되는 형태로 형성된다.
- [0097] 상기 2열의 화소 영역(P1, P2)을 사이에 두고 대칭되게 형성되는 게이트 라인들(102A, 102C) 사이에는 2열의 제2 스토리지 캐패시터(120B)가 하나의 공통 라인(116)을 공유하여 형성된다. 이 공통 라인(114)은 본 발명의 제1 실시예에서와 마찬가지로 불투명 금속으로 형성되지만, 하나의 공통 라인(114)으로 2열의 제2 스토리지 캐패시터(120B)를 형성함으로써 화소 영역에 불투명 금속으로 형성되는 수평면적을 줄일 수 있다. 화소 영역에서

불투명 금속으로 형성되는 공통 라인(114)의 면적이 줄어들음에 따라 빛이 투과되는 면적이 증가 되어 본 발명의 제3 실시예에 따른 액정표시장치의 개구율을 향상시킬 수 있다.

[0098] 한편, 본 발명의 제3 실시예에서는 본 발명의 제2 실시예에서 전술한 바와 같이 서로 인접하게 형성되는 공통 전극(118)의 수평부(118B)와 n+1번째 게이트 라인(102C) 사이 및 서로 인접하게 형성되는 n 번째 게이트 라인(102A) n-1 번째 게이트 라인(102B) 사이에 쇼트가 발생할 수 있다. 그러나 본 발명의 제3 실시예에서는 제1 쇼트 방지홀(200) 및 제2 쇼트 방지홀(100)을 더 구비하여 상기의 배선들간에 쇼트가 발생하는 현상을 막아준다.

[0099] 제2 쇼트 방지홀(100)은 공통 전극(118)의 수평부(118B)와 n번째 게이트 라인(102A) 사이에 형성되고, 제1 쇼트 방지홀(200)은 서로 인접하게 형성되는 n번째 게이트 라인(102A)와 n-1번째 게이트 라인(102B) 사이에 형성된다.

[0100] 도 8은 도 7에 도시된 박막 트랜지스터 기관의 B영역을 확대도시하고, 각 패드부를 첨가하여 도시한 평면도이고, 도 9는 도 8에 도시된 박막 트랜지스터 기관을 III-III', IV-IV', V-V', VI-VI', VII-VII' 선을 따라 절단하여 도시한 단면도이다.

[0101] 도 8 및 도 9에 도시된 박막 트랜지스터 기관은 하부 기관(145) 위에 게이트 절연막(145)을 사이에 두고 교차하여 화소 영역을 정의하는 게이트 라인(102) 및 데이터 라인(104), 그 게이트 라인(102) 및 데이터 라인(104)과 화소 전극(114)에 접속된 박막 트랜지스터(106), 화소 영역에 수평 전계를 형성하도록 형성된 화소 전극(114) 및 공통 전극(118), 공통 전극(118)과 접속된 공통 라인(116)을 구비한다. 그리고, 박막 트랜지스터 기관은 공통 전극(118)과 화소 전극(114)의 중첩부 및 공통 라인(116)과 화소 전극(114)의 중첩부에 각각 형성된 제1 및 제2 스토리지 캐패시터(120A, 120B), 게이트 라인(102)과 접속된 게이트 패드(124), 데이터 라인(104)과 접속된 데이터 패드(132), 공통 라인(116)과 접속된 공통 패드(140)를 더 구비한다.

[0102] 게이트 라인(102)은 게이트 드라이버(미도시)로부터의 스캔 신호를, 데이터 라인(104)은 데이터 드라이버(미도시)로부터의 비디오 신호를 공급한다. 이러한 게이트 라인(102) 및 데이터 라인(104)은 게이트 절연막(146)을 사이에 두고 교차하여 각 화소 영역을 정의한다.

[0103] 박막 트랜지스터(106)는 게이트 라인(102)의 스캔 신호에 응답하여 데이터 라인(104) 상의 비디오 신호가 화소 전극(114)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(106)는 게이트 라인(102)에 포함된 게이트 전극, 데이터 라인(104)과 접속된 소스 전극(110), 소스 전극(110)과 마주하며 화소 전극(114)과 접속된 드레인 전극(112), 게이트 절연막(146)을 사이에 두고 게이트 라인(102)과 중첩되어 소스 전극(110)과 드레인 전극(112) 사이에 채널을 형성하는 활성층(148), 소스 전극(110) 및 드레인 전극(112)과의 오믹 접촉을 위하여 채널부를 제외한 활성층(148) 위에 형성된 오믹 콘택층(150)을 구비한다.

[0104] 그리고, 활성층(148) 및 오믹 콘택층(150)을 포함하는 반도체 패턴은 데이터 라인(104) 및 데이터 패드 하부 전극(134)과도 중첩되도록 형성되거나 도시하진 않았으나 데이터 라인(104) 및 데이터 패드 하부 전극(134)과 중첩되지 않게 형성될 수 있다.

[0105] 공통 라인(116) 및 공통 전극(118)은 액정 구동을 위한 기준 전압, 즉 공통 전압을 각 화소에 공급한다.

[0106] 이를 위하여, 공통 라인(116)은 2열의 화소 영역을 사이에 두고 게이트 라인(102)과 나란하게 형성된다. 이러한 공통 라인(116)은 상기 게이트 라인(102)과 동일 금속으로 동일 평면상에 동시에 형성된다.

[0107] 공통 전극(118)은 각 화소 영역에서 공통 라인(116)과 접속된다. 구체적으로, 공통 전극(118)은 공통 라인(118)로부터 화소 영역으로 신장된 핑거부(118A), 핑거부(118A)와 접속된 수평부(118B)를 구비한다. 이러한 공통 전극(118)은 동일 금속으로 동일 평면상에 동시에 형성된다.

[0108] 화소 전극(114)은 박막 트랜지스터(106)의 드레인 전극(112)과 접속되며, 각 화소 영역에서 공통 전극(118)과 수평 전계를 형성하도록 형성된다. 구체적으로, 화소 전극(114)은 게이트 라인(102)과 나란하게 형성되어 제1 콘택홀(113)을 통해 노출된 드레인 전극(112)과 접속된 제1 수평부(114A), 공통 라인(116)과 중첩되게 형성된 제2 수평부(114C), 제1 및 제2 수평부(114A, 114C) 사이에 접속되어 공통 전극(118)의 핑거부(118A)와 나란하도록 형성된 핑거부(114B)를 구비한다. 이러한 화소 전극(114)에 박막 트랜지스터(106)를 통해 비디오 신호가 공급되면, 화소 전극(114)의 핑거부(114B)와 공통 라인(116)을 통해 공통 전압이 공급된 공통 전극(118)의 핑거부(118A) 사이에는 수평 전계가 형성된다. 이러한 수평 전계에 의해 박막 트랜지스터 기관과 칼라 필터 기관 사이에서 수평 방향으로 배열된 액정 분자들이 유전율 이방성에 의해 회전하게 된다. 그리고, 액정 분자들의 회

전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.

- [0109] 스토리지 캐패시터는 화소 전극(114)의 제1 수평부(114A)가 보호막(152) 및 게이트 절연막(146)을 사이에 두고 공통 전극(118)의 수평부(118B)와 중첩되어 형성된 제1 스토리지 캐패시터(120A)와, 화소 전극(114)의 제2 수평부(114C)가 보호막(152) 및 게이트 절연막(146)을 사이에 두고 공통 라인(116)과 중첩되어 형성된 제2 스토리지 캐패시터(120B)를 구비한다.
- [0110] 이러한 이러한 스토리지 캐패시터는 화소 전극(114)에 충전된 화소 신호가 다음 화소 신호가 충전될 때까지 보다 안정적으로 유지되게 한다.
- [0111] 게이트 라인(102)은 게이트 패드(124)를 통해 게이트 드라이버(미도시)와 접속된다. 게이트 패드(124)는 게이트 라인(102)으로부터 연장된 게이트 패드 하부 전극(126), 게이트 절연막(146) 및 보호막(152)을 관통하는 제2 콘택홀(127)을 통해 노출된 게이트 패드 하부 전극(126)과 접속된 게이트 패드 상부 전극(128)을 구비한다.
- [0112] 데이터 라인(104)은 데이터 패드(130)를 통해 데이터 드라이버(미도시)와 접속된다. 데이터 패드(130)는 데이터 라인(104)으로부터 그 아래의 반도체 패턴(150 및 148)과 함께 연장된 데이터 패드 하부 전극(132), 보호막(152)을 관통하는 제3 콘택홀(133)을 통해 노출된 데이터 패드 하부 전극(132)과 접속된 데이터 패드 상부 전극(134)을 구비한다. 여기서 데이터 라인(104) 하부에는 반도체 패턴(150 및 148)이 형성되지 않을 수 있고, 데이터 패드 하부 전극(132)도 반도체 패턴(150 및 148)을 포함하지 않을 수 있다.
- [0113] 공통 라인(116)은 공통 패드(136)를 통해 공통 전압원(미도시)으로부터의 기준 전압을 공급받게 된다. 공통 패드(136)는 공통 라인(116)으로부터 연장된 공통 패드 하부 전극(138), 게이트 절연막(146) 및 보호막(152)을 관통하는 제4 콘택홀(139)을 통해 노출된 공통 패드 하부 전극(138)과 접속된 공통 패드 상부 전극(140)을 구비한다.
- [0114] 또한 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판은 가장 인접하게 형성되는 공통 전극(118)의 수평부(118B)와 게이트 라인(102) 사이에 제2 쇼트 방지홀(100) 및 가장 인접하게 형성되는 게이트 라인(102)들 사이에 제1 쇼트 방지홀(200)을 더 구비한다.
- [0115] 제1 쇼트 방지홀(200) 및 제2 쇼트 방지홀(100)은 공정 진행 중에 상기의 배선들간에 쇼트가 발생하는 현상을 막아준다.
- [0116] 이러한 장점을 갖는 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판은 다음과 같이 4마스크 공정으로 형성된다.
- [0117] 도 10a 내지 도 13b는 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판의 제조공정을 단계적으로 설명하기 위한 단면도들이다.
- [0118] 도 10a 및 도 10b는 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도이다.
- [0119] 제1 마스크 공정으로 하부 기판(145) 상에 게이트 라인(102), 게이트 전극(108) 및 게이트 패드 하부 전극(126)을 포함하는 게이트 패턴과; 공통 라인(116), 공통 전극(118), 공통 패드 하부 전극(138)을 포함하는 공통 패턴이 형성된다.
- [0120] 제1 마스크 공정을 구체적으로 설명하면, 하부 기판(145) 상에 스퍼터링 방법 등의 증착 방법을 통해 제1 도전층이 적층되고, 그 위에 포토레지스트가 형성된다. 제1 도전층으로는 Mo, Ti, Cu, AlNd, Al, Cr, MoW계 등의 금속 물질이 이용된다. 그 다음, 마스크를 이용한 포토리소그래피 공정으로 포토레지스트를 노광 및 현상함으로써 포토레지스트 패턴이 형성된다.
- [0121] 이어서, 포토레지스트 패턴을 이용한 식각 공정으로 제1 도전층을 패터닝함으로써 게이트 패턴과 공통패턴이 형성된다.
- [0122] 그리고, 스트립 공정으로 게이트 패턴 및 공통 패턴 위에 잔존하던 포토레지스트 패턴이 제거됨으로써 게이트 및 공통 패턴이 완성된다.
- [0123] 도 11a 및 도 11b는 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판 제조 방법 중 제2 마스크 공정을 설명하기 위한 평면도 및 단면도이다.
- [0124] 게이트 패턴 및 공통 패턴이 형성된 하부 기판(145) 상에 게이트 절연막(146)이 형성되고, 그 위에 제2 마스크

공정으로 데이터 라인(104), 소스 전극(110), 드레인 전극(112), 데이터 패드 하부 전극(132)을 포함하는 소스/드레인 패턴과, 소스/드레인 패턴의 배면을 따라 증착된 활성층(148) 및 오믹 콘택층(150)을 포함하는 반도체 패턴이 형성된다. 이러한 반도체 패턴과 소스/드레인 패턴은 회절 노광 마스크 또는 하프 톤 마스크를 이용한 하나의 마스크 공정으로 형성된다.

[0125] 제2 마스크 공정을 구체적으로 설명하면, 게이트 패턴 및 공통 패턴이 형성된 하부 기판(145) 상에 게이트 절연막(146), 비정질 실리콘층, 불순물(n+ 또는 p+)이 도핑된 비정질 실리콘층, 소스/드레인 금속층이 순차적으로 형성된다. 예를 들면, 게이트 절연막(146), 비정질 실리콘층, 불순물이 도핑된 비정질 실리콘층은 PECVD 방법으로, 소스/드레인 금속층은 스퍼터링 방법으로 형성된다. 게이트 절연막(146)으로는 SiO_x, SiN_x 등과 같은 무기 절연 물질이, 소스/드레인 금속층으로는 Cr, Mo, MoW, Al/Cr, Cu, Al(Nd), Al/Mo, Al(Nd)/Al, Al(Nd)/Cr, Mo/Al(Nd)/Mo, Cu/Mo, Ti/Al(Nd)/Ti 등이 이용된다. 그리고, 소스/드레인 금속층 위에 포토레지스트가 도포된 다음, 회절 노광 마스크를 이용한 포토리소그래피 공정으로 포토레지스트를 노광 및 현상함으로써 단차를 갖는 포토레지스트 패턴이 형성된다.

[0126] 회절 노광 마스크는 투명한 석영 기판과, 그 위에 Cr 등과 같은 금속층으로 형성된 차단층 및 회절 노광용 슬릿을 구비한다. 차단층은 반도체 패턴 및 소스/드레인 패턴이 형성되어질 영역에 위치하여 자외선을 차단함으로써 현상 후 제1 포토레지스트 패턴이 남게 한다. 회절 노광용 슬릿은 박막 트랜지스터의 채널이 형성될 영역에 위치하여 자외선을 회절시킴으로써 현상 후 제1 포토레지스트 패턴보다 얇은 제2 포토레지스트 패턴이 남게 한다.

[0127] 이어서, 단차를 갖는 포토레지스트 패턴을 이용한 식각 공정으로 소스/드레인 금속층이 패터닝됨으로써 소스/드레인 패턴과, 그 아래의 반도체 패턴이 형성된다. 이 경우, 소스/드레인 패턴 중 소스 전극(110)과 드레인 전극(112)은 일체화된 구조를 갖는다.

[0128] 그 다음, 산소(O₂) 플라즈마를 이용한 애싱 공정으로 포토레지스트 패턴을 애싱함으로써 제1 포토레지스트 패턴은 얇아지게 되고, 제2 포토레지스트 패턴은 제거된다. 그리고, 애싱된 제1 포토레지스트 패턴을 이용한 식각 공정으로 제2 포토레지스트 패턴의 제거로 노출된 소스/드레인 패턴과, 그 아래의 오믹 콘택층(150)이 제거됨으로써 소스 전극(110)과 드레인 전극(112)은 분리되고 활성층(148)이 노출된다. 이에 따라, 소스 전극(110)과 드레인 전극(112) 사이에는 활성층(148)으로 이루어진 채널이 형성된다. 이때, 애싱된 제1 포토레지스트 패턴을 따라 소스/드레인 패턴의 양측부가 한번 더 식각됨으로써 소스/드레인 패턴과 반도체 패턴은 계단 형태로 일정한 단차를 갖게 된다.

[0129] 그리고, 스트립 공정으로 소스/드레인 패턴 위에 잔존하던 제1 포토레지스트 패턴이 제거됨으로써 반도체 패턴 및 소스/드레인 패턴이 완성된다.

[0130] 도 12a 및 도 12b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판 제조 방법 중 제3 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

[0131] 제3 마스크 공정으로 반도체 패턴 및 소스/드레인 패턴이 형성된 게이트 절연막(146) 상에 제1 내지 제4 콘택홀(113, 127, 133, 139)과 1차 제1 쇼트 방지홀(200') 및 1차 제2 쇼트 방지 홀(100')을 갖는 보호막(152)이 형성된다.

[0132] 구체적으로, 반도체 패턴 및 소스/드레인 패턴이 형성된 게이트 절연막(146) 상에 PECVD, 스핀 코팅(Spin Coating), 스핀리스 코팅(Spinless Coating) 등의 방법으로 보호막(152)이 형성된다. 보호막(152)으로는 게이트 절연막(146)과 같은 무기 절연 물질, 또는 유기 절연 물질이 이용된다. 그리고, 보호막(152) 위에 제3 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 보호막(152) 및 게이트 절연막(146)이 패터닝됨으로써 제1 내지 제4 콘택홀(113, 127, 133, 139)과 제1 및 제2 쇼트 방지홀(200, 100)이 형성된다. 여기서, 제1 및 제3 콘택홀(113, 133) 각각은 보호막(152)을 관통하여 드레인 전극(112)과 데이터 패드 하부 전극(132) 각각을, 제2 및 제4 콘택홀(127, 138) 각각은 보호막(152) 및 게이트 절연막(146)을 관통하여 게이트 패드 하부 전극(126) 및 공통 패드 하부 전극(138) 각각을 노출시킨다. 또한 1차 제1 및 제2 쇼트 방지홀(200', 100') 각각은 보호막(152) 및 게이트 절연막(146)을 관통하여 하부 기판(145)을 노출시킨다.

[0133] 한편, 제1 마스크 공정에서 도 14a 및 도 14b와 같이 서로 인접하게 형성되는 공통 전극(118)의 수평부(118B)와 게이트 라인(102) 사이 및 서로 인접하게 형성되는 게이트 라인(102)과 게이트 라인(102) 사이가 제대로 패터닝이 되지 않고 쇼트되었을 경우 제3 마스크 공정으로 형성되는 1차 제1 및 제2 쇼트 방지홀(200', 100') 각각은

보호막(152) 및 게이트 절연막(146)을 관통하여 게이트 금속층을 노출시킨다.

- [0134] 도 13a 및 도 13b는 본 발명의 실시 예에 따른 박막 트랜지스터 기관 제조 방법 중 제4 마스크 공정을 설명하기 위한 평면도 및 단면도이다.
- [0135] 제4 마스크 공정으로 보호막(152) 상에 화소 전극(118), 게이트 패드 상부 전극(128), 데이터 패드 상부 전극(134), 공통 패드 상부 전극(140)을 포함하는 투명 도전 패턴이 형성되고, 제1 및 제2 쇼트 방지홀(200, 100)이 형성된다.
- [0136] 제4 마스크 공정을 구체적으로 설명하면, 보호막(152) 상에 투명 도전층이 스퍼터링 등과 같은 증착 방법으로 형성된다. 투명 도전층으로는 ITO, TO, IZO 등이 이용된다. 그 다음, 제4 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 투명 도전층이 패터닝됨으로써 화소 전극(118), 게이트 패드 상부 전극(128), 데이터 패드 상부 전극(134), 공통 패드 상부 전극(140)을 포함하는 투명 도전 패턴이 형성된다. 이에 따라, 화소 전극(118), 게이트 패드 상부 전극(128), 데이터 패드 상부 전극(134), 공통 패드 상부 전극(140) 각각은 제1 내지 제4 컨택홀(113, 127, 133, 139) 각각을 통해 노출된 드레인 전극(112), 게이트 패드 하부 전극(126), 데이터 패드 하부 전극(132), 공통 패드 하부 전극(138) 각각과 접속된다. 예를 들면, 화소 전극(118), 게이트 패드 상부 전극(128), 데이터 패드 상부 전극(134), 공통 패드 상부 전극(140) 각각은 드레인 전극(112), 게이트 패드 하부 전극(126), 데이터 패드 하부 전극(132), 공통 패드 하부 전극(138) 각각의 표면과 접촉하게 된다.
- [0137] 한편, 도 15a 및 도 15b를 참조하면 도 14a 및 도 14b에서와 같이 쇼트된 배1차 제1 및 제2 쇼트 방지홀(200', 100')을 통해 노출된 쇼트된 배선들 사이의 게이트 금속층은 제4 마스크 공정 중 투명 도전층을 식각하는 과정에서 투명 도전층과 함께 동시에 식각된다. 식각 공정을 통해 쇼트된 배선들 사이에 제1 쇼트 방지홀(200) 및 제2 쇼트 방지홀(100)이 완성되며, 이들에 의해 쇼트된 배선들 사이가 전기적으로 단절된다.
- [0138] 이와 같이 제1 쇼트 방지홀(200) 및 제2 쇼트 방지홀(100)에 의해 쇼트된 배선들 사이가 전기적으로 단절됨에 따라 별도의 쇼트 검사를 진행하지 않고도 액정 표시장치의 제조 수율을 향상시킬 수 있게 된다.

발명의 효과

- [0139] 상술한 바와 같이 본 발명에 따른 수평 전계형 액정표시장치 및 그 제조 방법은 하나의 화소 영역에 병렬로 형성되는 제1 및 제2 스토리지 캐패시터를 통해 스토리지 캐패시터의 용량을 더욱 증가시킬 수 있게 된다.
- [0140] 또한 본 발명은 2열의 단위 화소 영역을 사이에 두고 대칭되게 형태로 형성되는 게이트 라인들 사이에 2열의 제2 스토리지 캐패시터가 하나의 공통 라인을 공유하여 형성됨으로써 화소 영역에 불투명 금속으로 형성되는 면적을 줄일 수 있다. 화소 영역에서 불투명 금속으로 형성되는 공통 라인의 면적이 줄어들어 따라 빛이 투과되는 면적이 증가 되어 본 발명에 따른 액정표시장치의 개구율을 향상시킬 수 있다.
- [0141] 그리고 제1 쇼트 방지홀 및 제2 쇼트 방지홀에 의해 쇼트된 배선들 사이가 전기적으로 단절됨에 따라 별도의 쇼트 검사를 진행하지 않고도 액정 표시장치의 제조 수율을 향상시킬 수 있게 된다.
- [0142] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

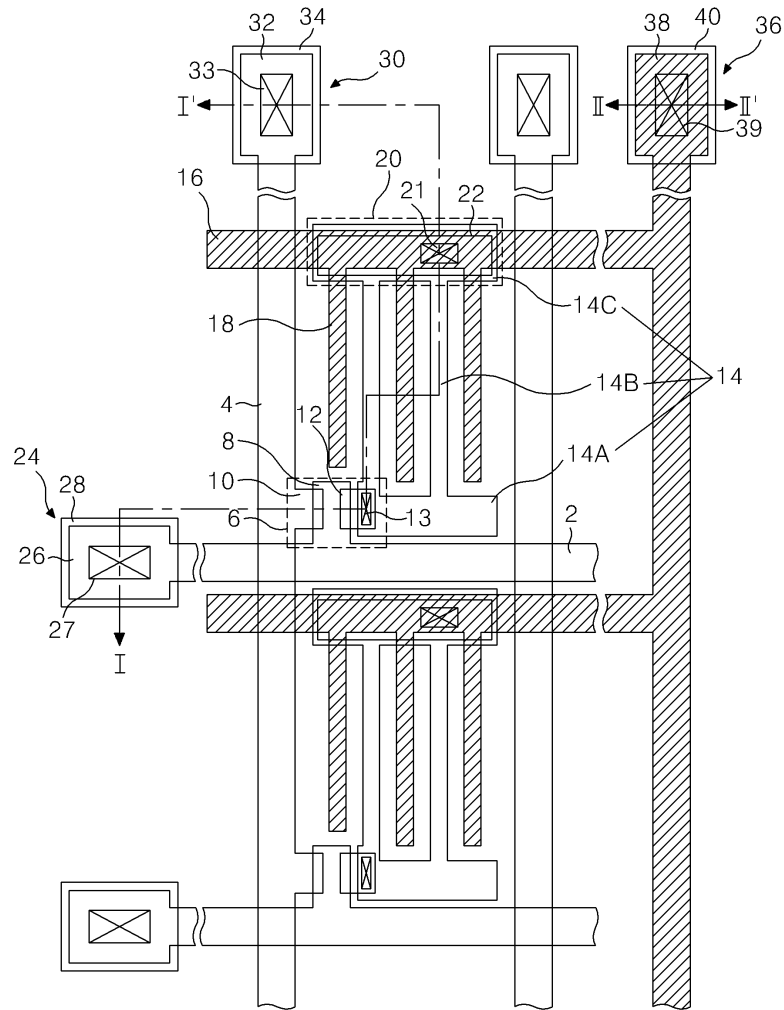
도면의 간단한 설명

- [0001] 도 1은 종래의 수평 전계 인가형 박막 트랜지스터 기관을 도시한 평면도.
- [0002] 도 2는 도 1에 도시된 박막 트랜지스터 기관을 I-I', II-II'선을 따라 절단하여 도시한 단면도.
- [0003] 도 3은 본 발명의 제1 실시 예에 따른 수평 전계 인가형 박막 트랜지스터 기관을 도시한 평면도.
- [0004] 도 4은 본 발명의 제2 실시 예에 따른 수평 전계 인가형 박막 트랜지스터 기관을 도시한 평면도.
- [0005] 도 5는 도 4에 도시된 박막 트랜지스터 기관의 A영역을 확대 도시하고, 각 패드부를 첨가하여 도시한 단면도.
- [0006] 도 6는 도 5에 도시된 박막 트랜지스터 기관을 VIII-VIII', IX-IX', X-X',
- [0007] X I-X I', X II-X II'선을 따라 절단하여 도시한 단면도.

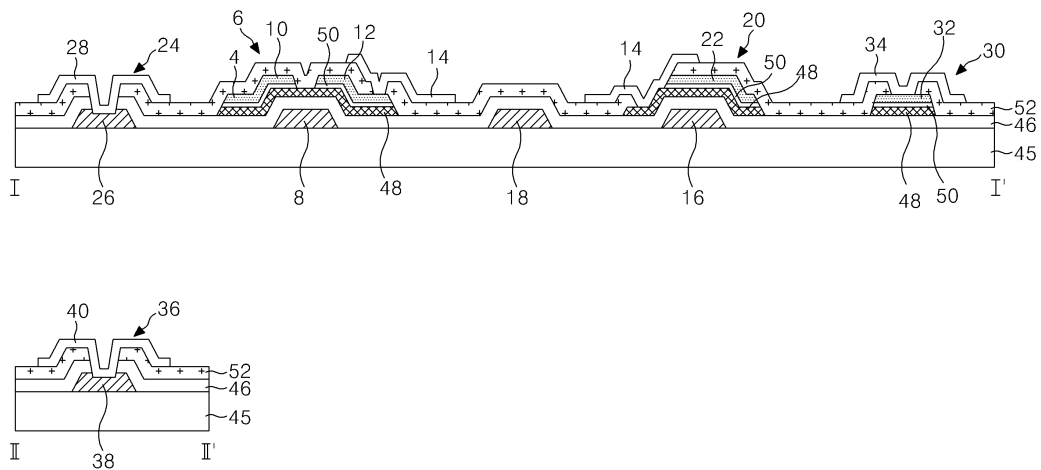
- | | | |
|--------|---|-----------------------------|
| [0008] | 도 7은 본 발명의 제3 실시 예에 따른 수평 전계 인가형 박막 트랜지스터 기관을 도시한 평면도. | |
| [0009] | 도 8은 도 7에 도시된 박막 트랜지스터 기관의 B영역을 확대 도시하고, 각 패드부를 첨가하여 도시한 단면도. | |
| [0010] | 도 9은 도 8에 도시된 박막 트랜지스터 기관을 III-III', IV-IV', V-V', VI-VI'선을 따라 절단하여 도시한 단면도. | |
| [0011] | 도 10a 및 도 10b는 본 발명의 제3 실시 예에 따른 박막 트랜지스터 기관의 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도. | |
| [0012] | 도 11a 및 도 11b는 본 발명의 제3 실시 예에 따른 박막 트랜지스터 기관의 제조 방법 중 제2 마스크 공정을 설명하기 위한 평면도 및 단면도. | |
| [0013] | 도 12a 및 도 12b는 본 발명의 제3 실시 예에 따른 박막 트랜지스터 기관의 제조 방법 중 제3 마스크 공정을 설명하기 위한 평면도 및 단면도. | |
| [0014] | 도 13a 및 도 13b는 본 발명의 제3 실시 예에 따른 박막 트랜지스터 기관의 제조 방법 중 제4 마스크 공정을 설명하기 위한 평면도 및 단면도. | |
| [0015] | 도 14a 및 도 14b는 본 발명의 제3 실시 예에 따른 수평 전계 인가형 박막 트랜지스터 기관의 효과를 설명하기 위한 평면도 및 단면도. | |
| [0016] | 도 15a 및 도 15b는 본 발명의 제3 실시 예에 따른 수평 전계 인가형 박막 트랜지스터 기관의 효과를 설명하기 위한 평면도 및 단면도. | |
| [0017] | < 도면의 주요 부분에 대한 부호의 설명 > | |
| [0018] | 45, 445, 145 : 하부 기관 | 2, 302, 402, 102 : 게이트 라인 |
| [0019] | 46, 446, 146 : 게이트 절연막 | 4, 304, 404, 104 : 데이터 라인 |
| [0020] | 14, 314, 414, 114 : 화소 전극 | 6, 306, 406, 106 : 박막 트랜지스터 |
| [0021] | 18, 318, 418, 118 : 공통 전극 | 16, 316, 416, 116 : 공통 라인 |
| [0022] | P1, P2 : 화소 영역 | |
| [0023] | 20, 320A, 320B, 420A, 420B, 120A, 120B : 스토리지 캐패시터 | |
| [0024] | 200, 100 : 쇼트 방지홀 | |

도면

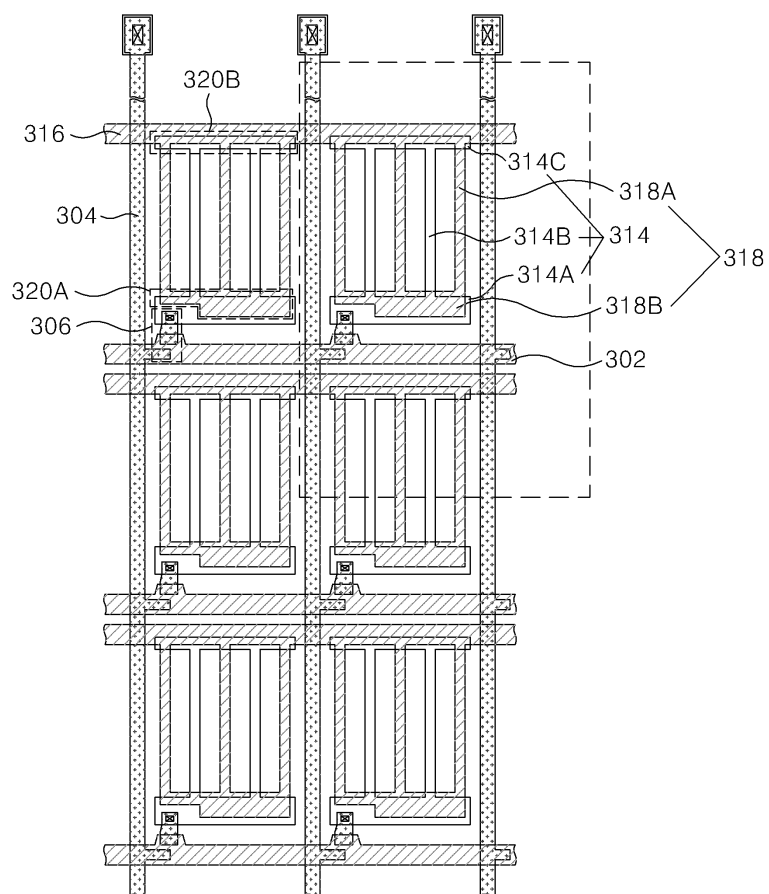
도면1



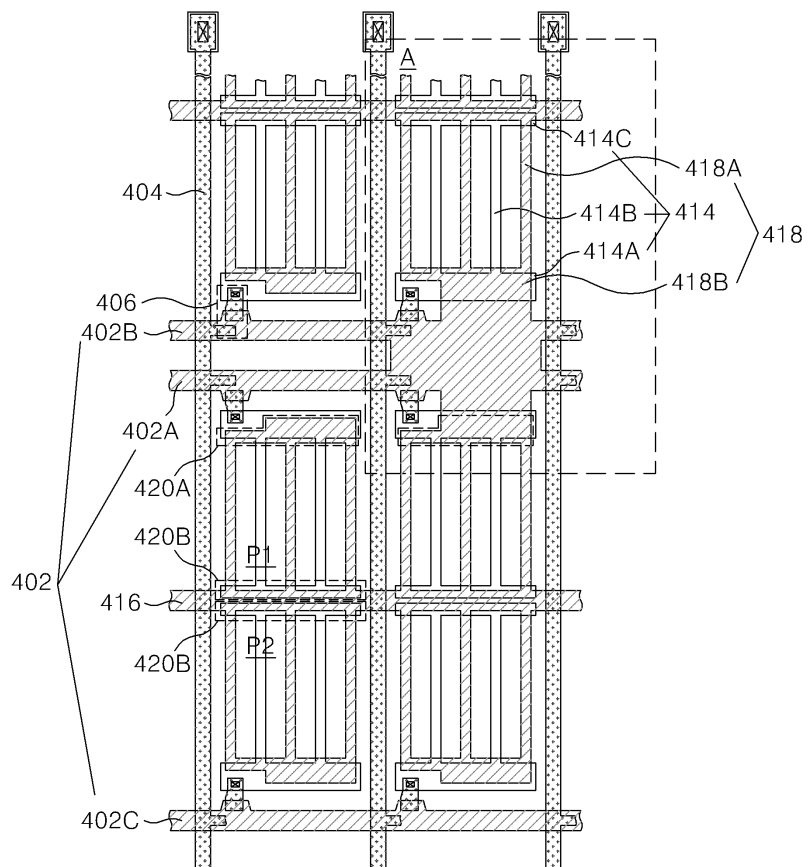
도면2



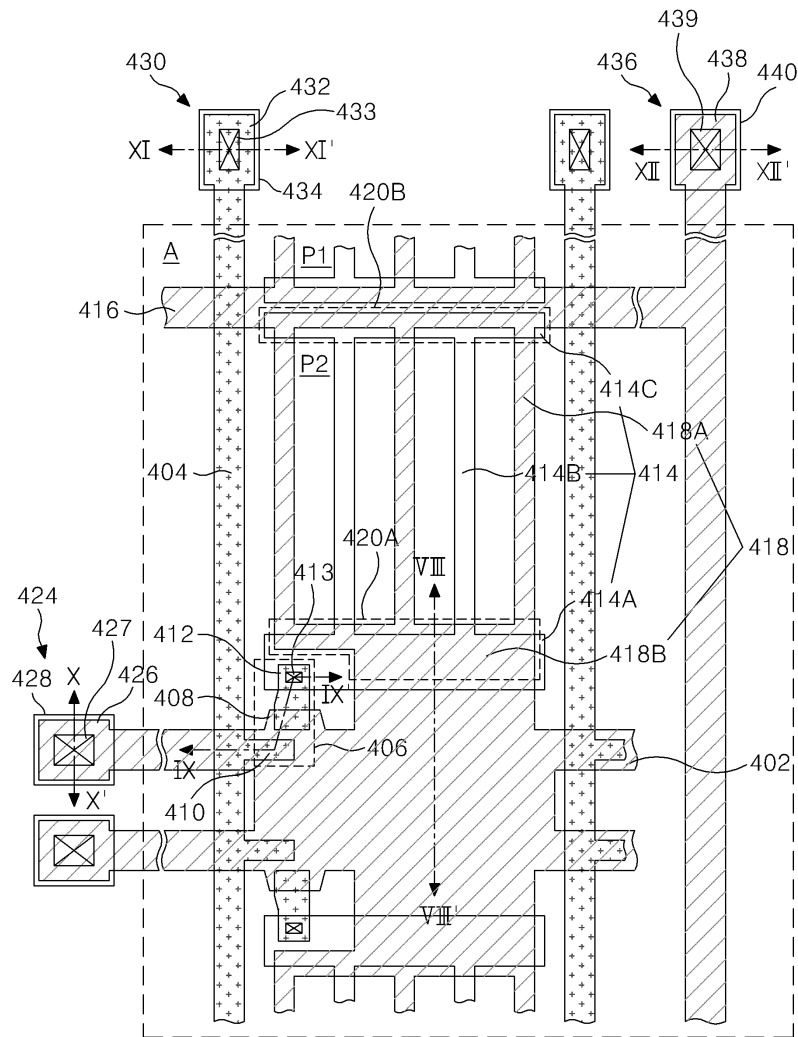
도면3



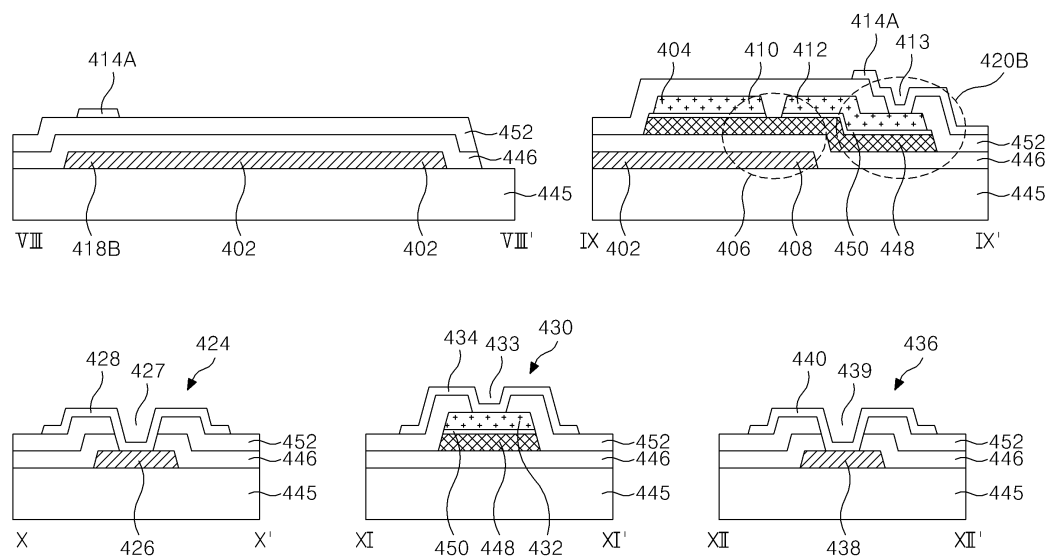
도면4



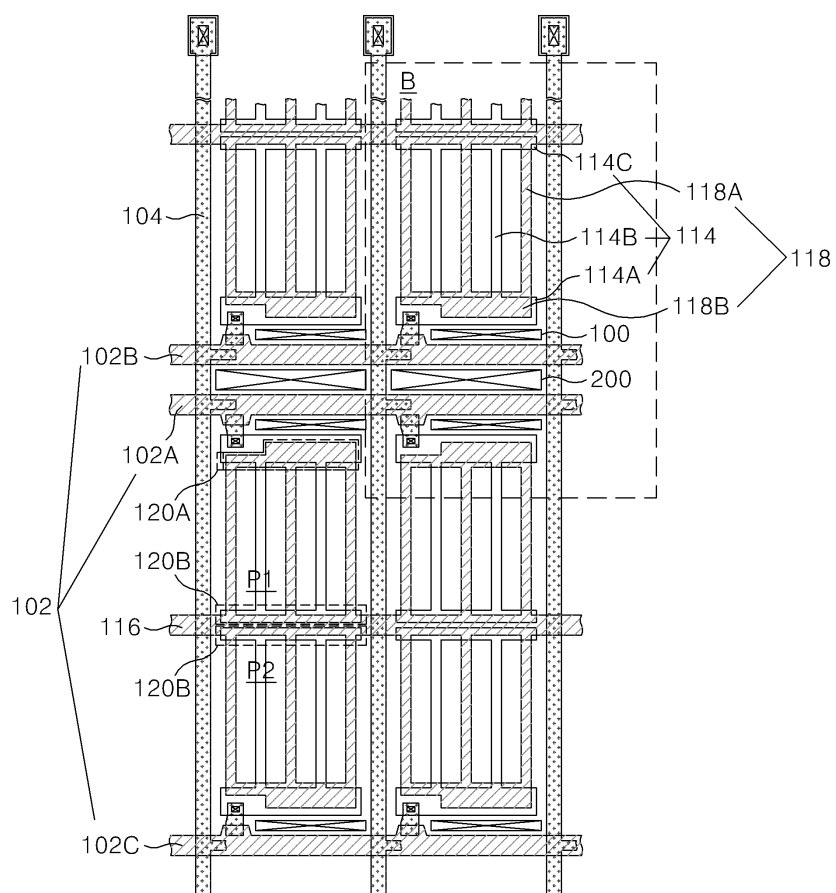
도면5



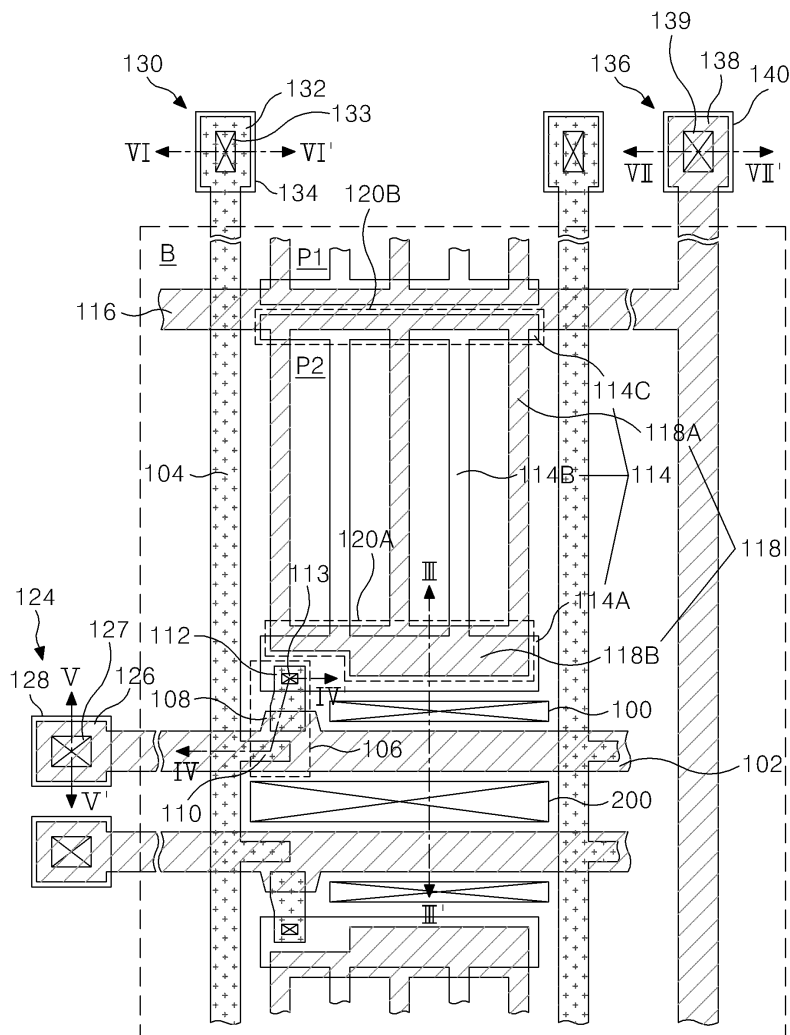
도면6



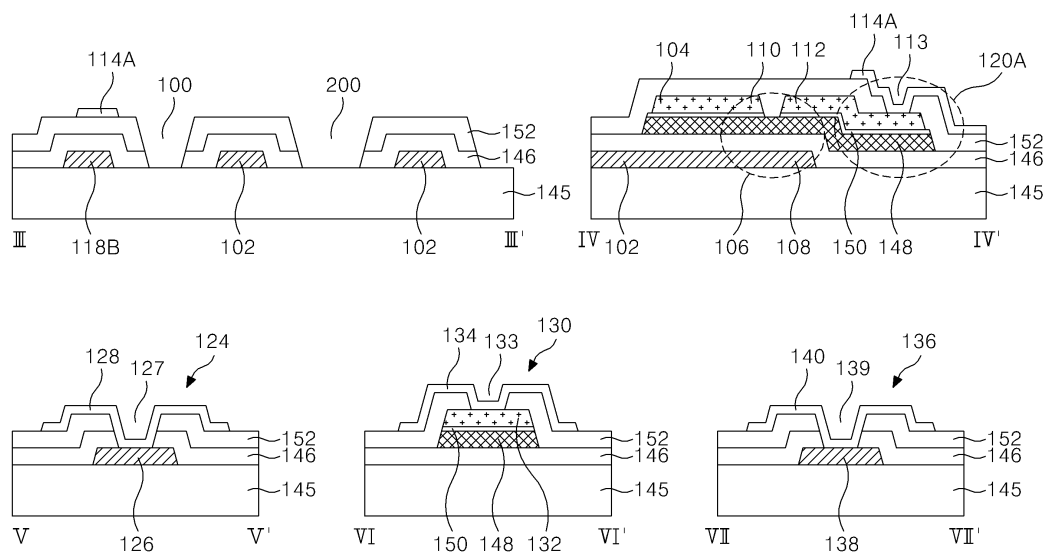
도면7



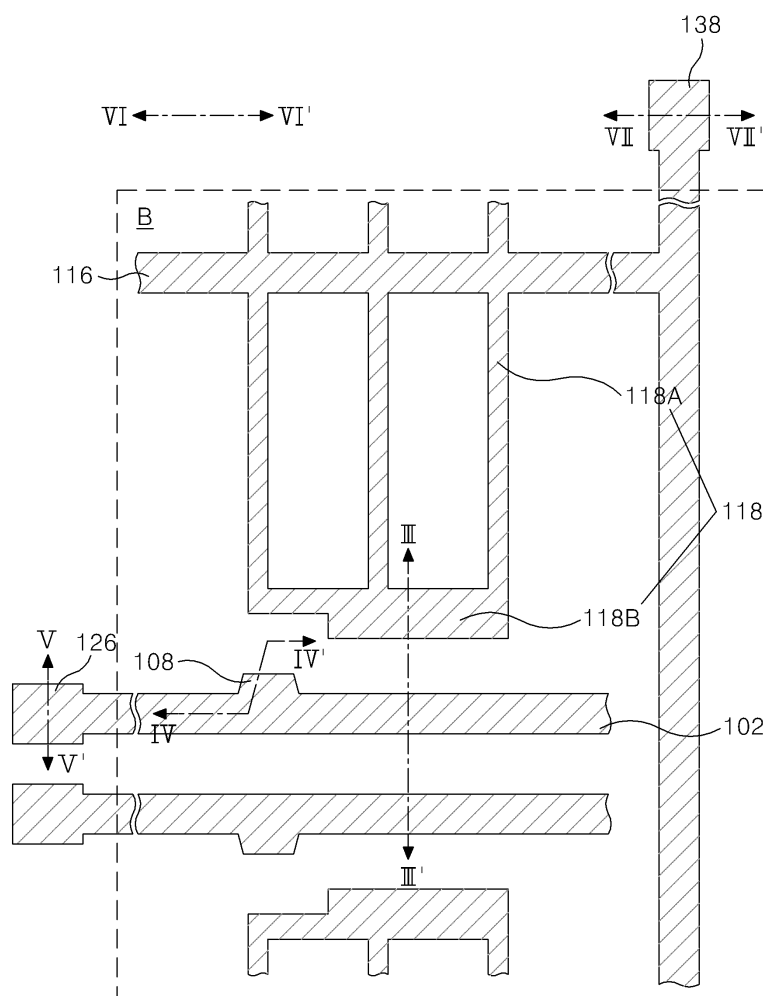
도면8



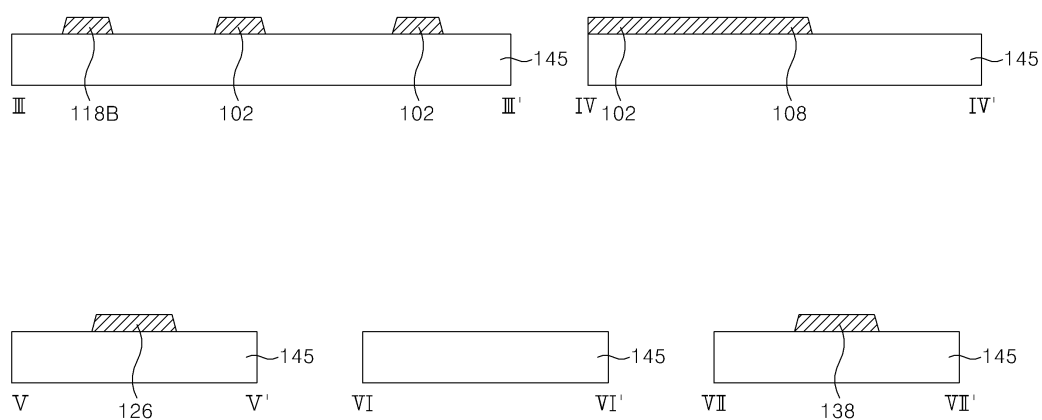
도면9



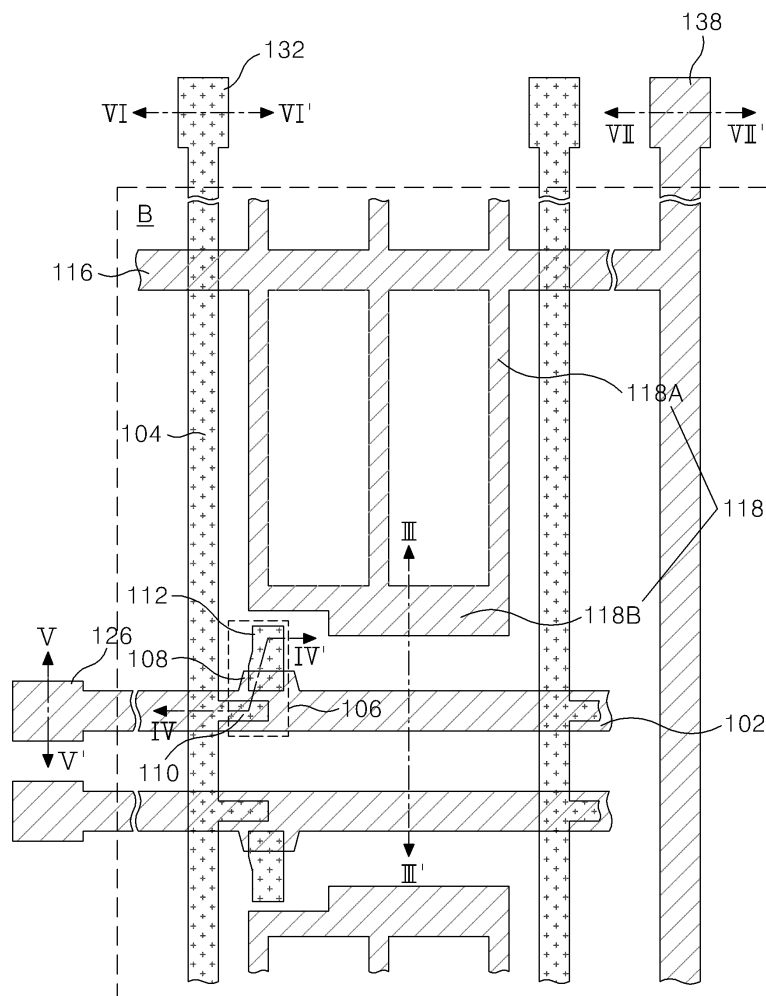
도면10a



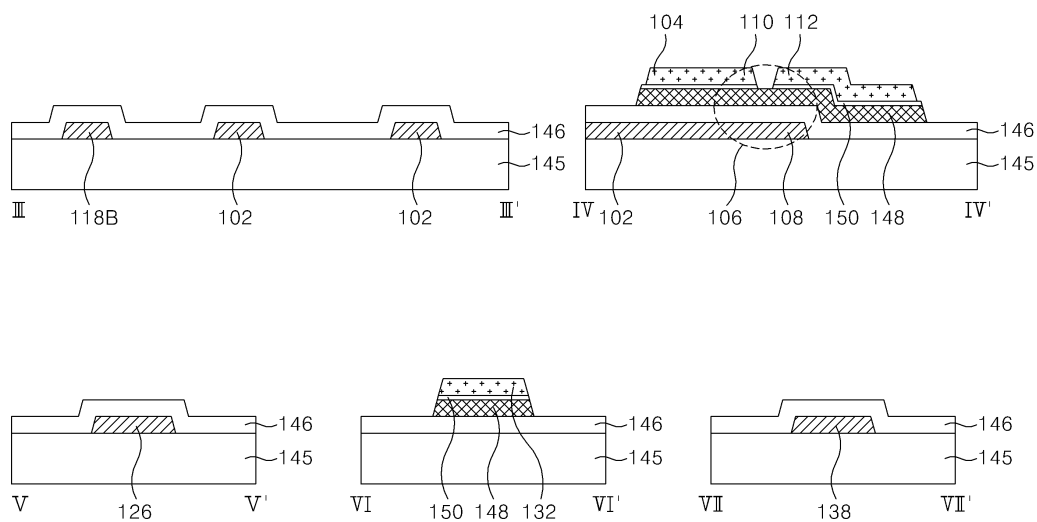
도면10b



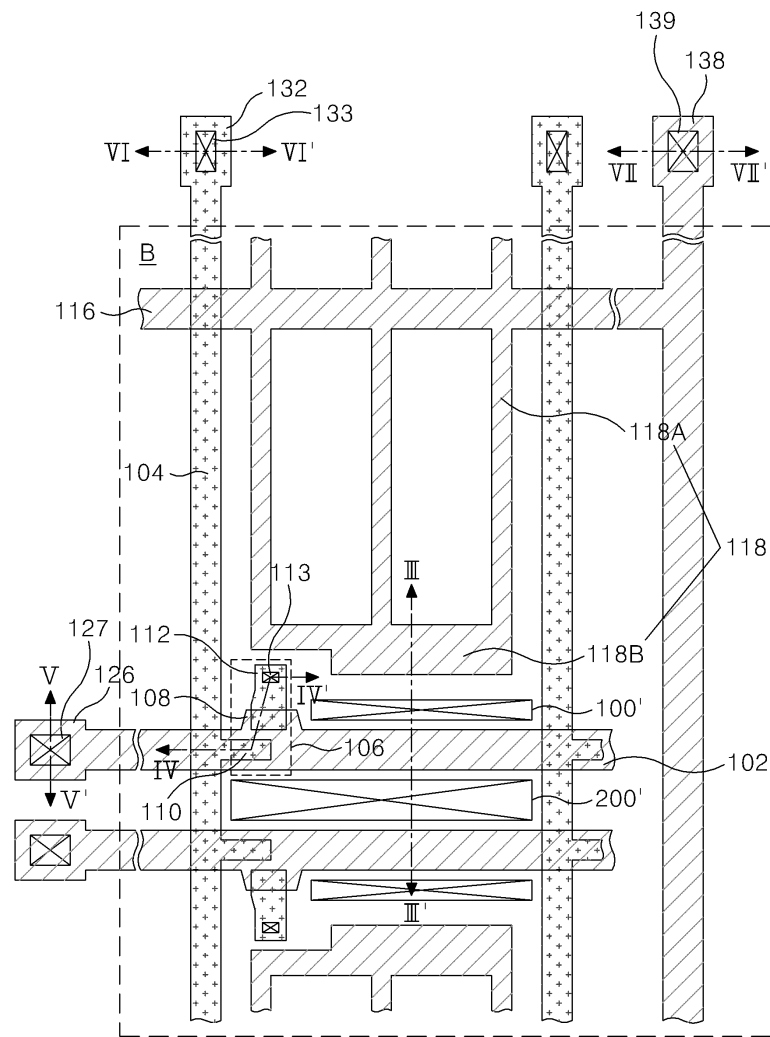
도면11a



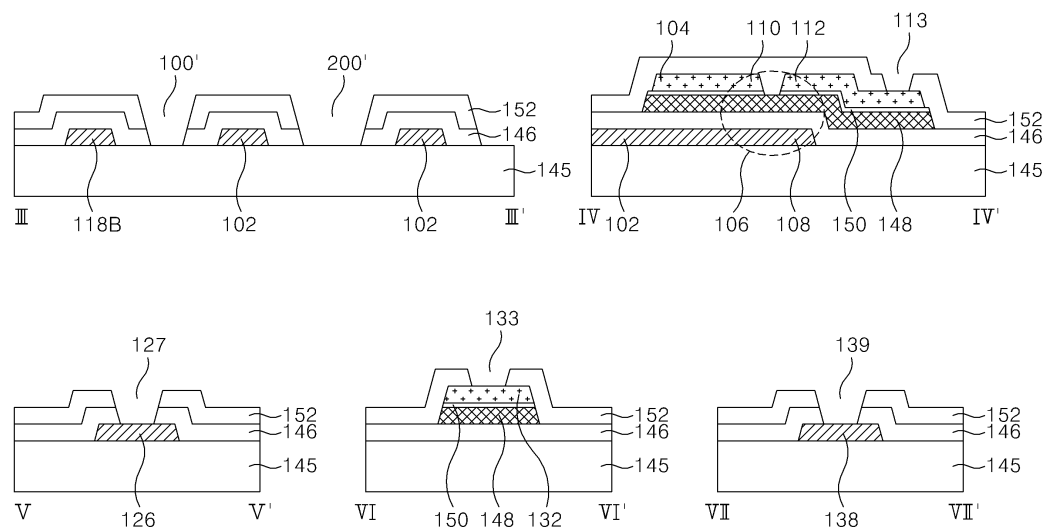
도면11b



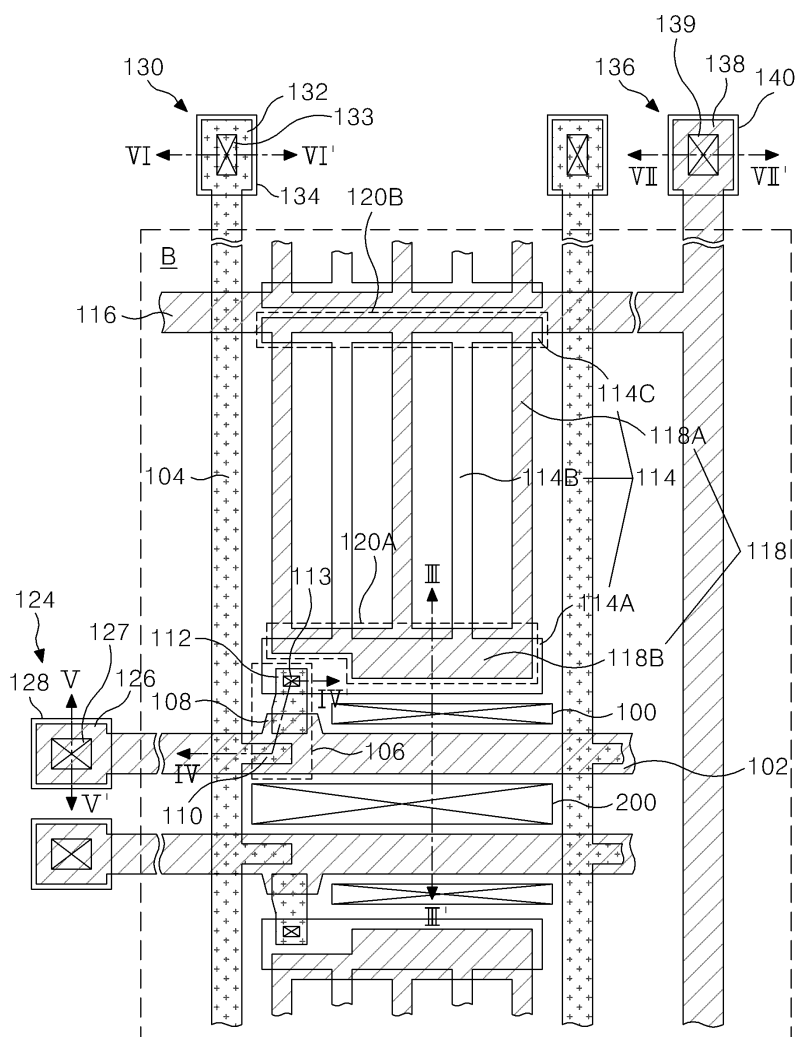
도면12a



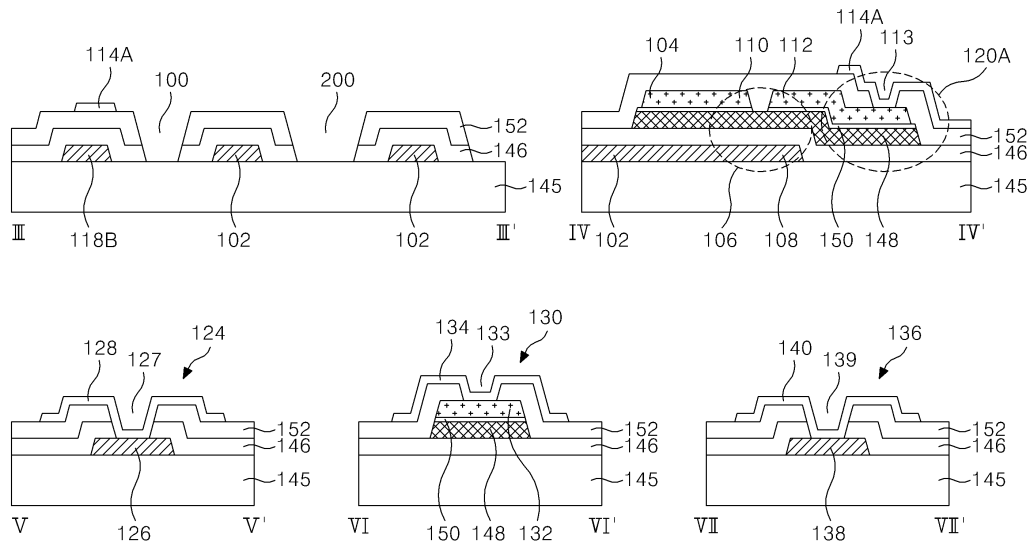
도면12b



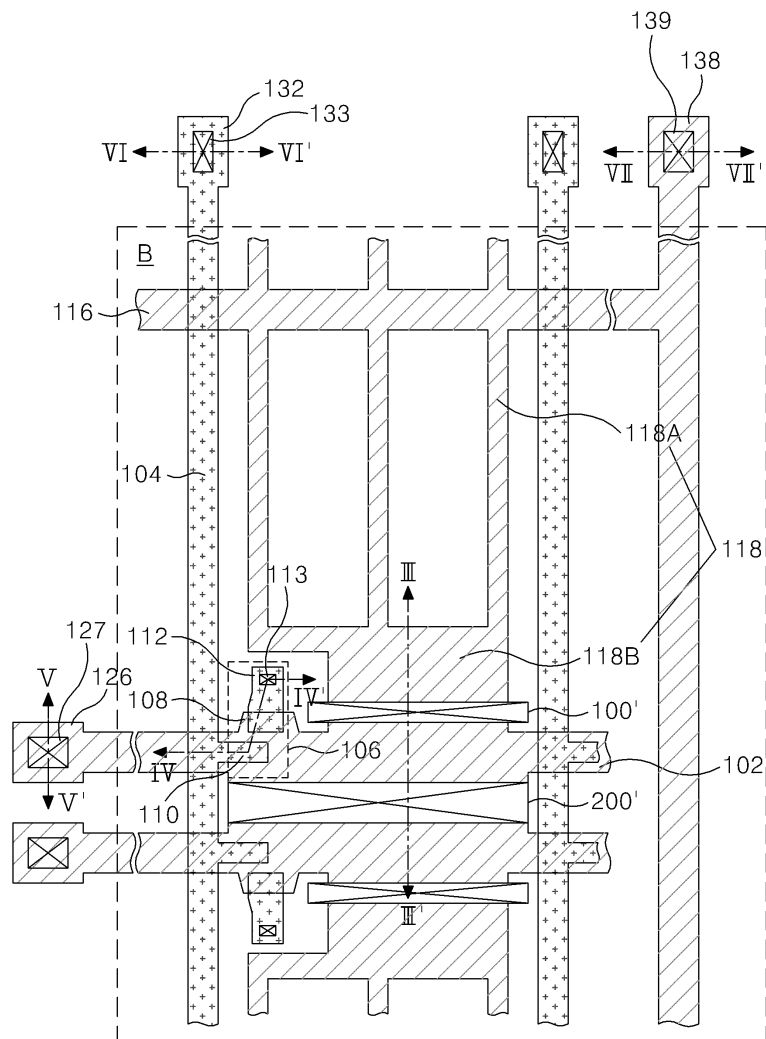
도면13a



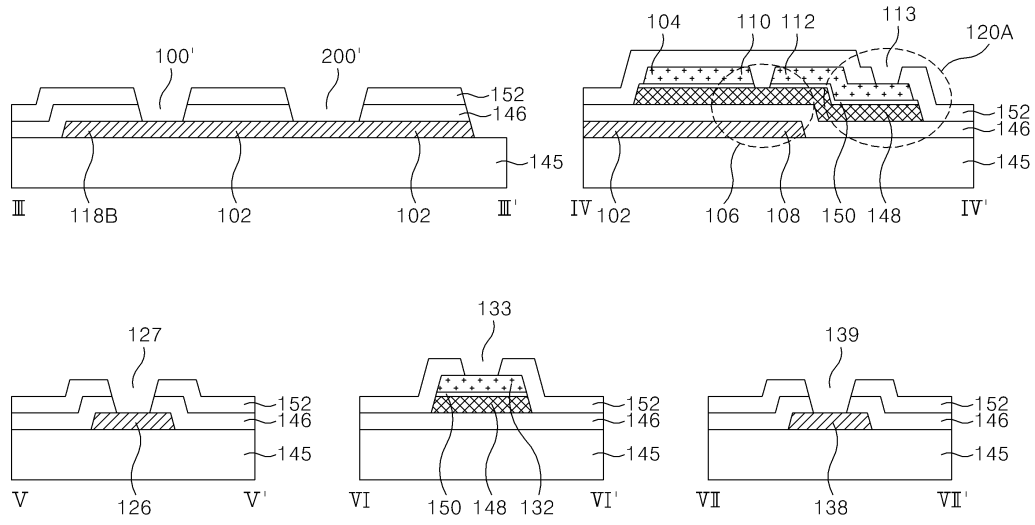
도면13b



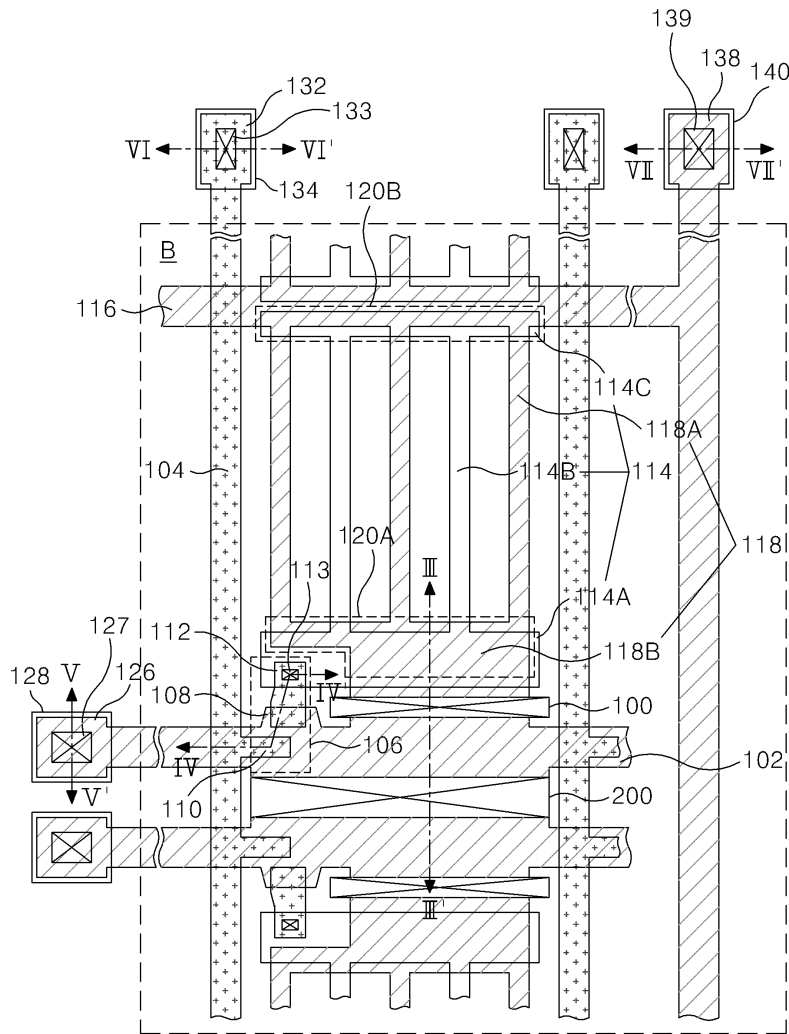
도면14a



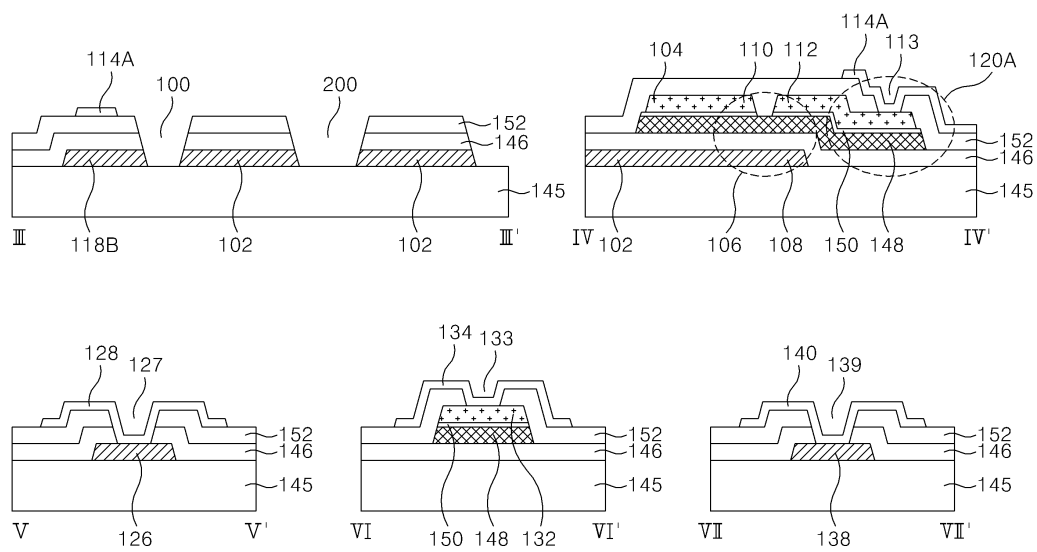
도면14b



도면15a



도면15b



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 제6항, 11째줄

【변경전】

노출하는 는 1차

【변경후】

노출하는 1차

专利名称(译)	标题：水平场施加液晶显示装置及其制造方法		
公开(公告)号	KR101279189B1	公开(公告)日	2013-07-05
申请号	KR1020050107624	申请日	2005-11-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JIN HYUN CHEOL 진현철 PARK SEOUNG JIN 박성진		
发明人	진현철 박성진		
IPC分类号	G02F1/1343 G02F		
CPC分类号	G02F1/136213 G02F1/136204 G02F1/134363		
其他公开文献	KR1020070050257A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种利用横向电场的液晶显示器，特别是一种增加开口率的水平电子场应用型液晶显示装置，并删除了栅极布线之间的击穿测试过程及其制造方法的液晶显示器随着存储电容器电容的增加。该水平电子场施加型液晶显示装置包括形成在下板上的多条栅极线，数据线和第一弹丸保护孔。2热的像素区域布置在第n栅极线和栅极线的n + 1之间的多条栅极线之间。数据线相交以与栅极线绝缘并限定像素区域。第一弹丸保护孔布置在多条栅极线中的栅极线 and 第n栅极线的n-1之间。

