



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년04월19일
(11) 등록번호 10-1256665
(24) 등록일자 2013년04월15일

(51) 국제특허분류(Int. Cl.)

G02F 1/133 (2006.01)

(21) 출원번호 10-2005-0134661

(22) 출원일자 2005년12월30일

심사청구일자 2010년12월24일

(65) 공개번호 10-2007-0071322

(43) 공개일자 2007년07월04일

(56) 선행기술조사문헌

JP06313876 A*

KR1020030043672 A

KR1020050063585 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

신형범

대구광역시 북구 구암로16길 7, 현대1차아파트
102동 1103호 (태전동)

김홍식

서울특별시 마포구 대흥로30길 6-6 (대흥동)

(74) 대리인

서교준

전체 청구항 수 : 총 9 항

심사관 : 김홍섭

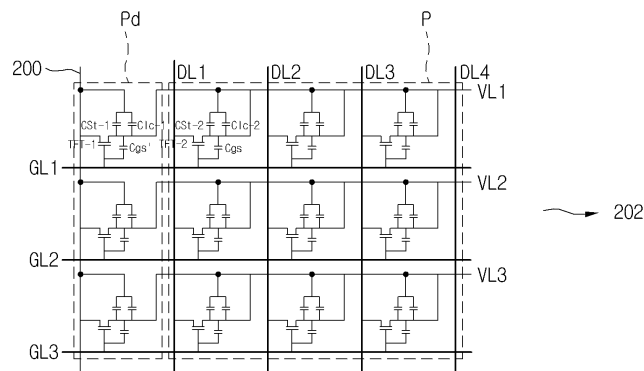
(54) 발명의 명칭 액정패널

(57) 요약

킥백전압(ΔV_p)을 감소시켜 화질을 향상시킬 수 있는 액정패널이 개시된다.

본 발명에 따른 액정패널은 복수의 화소영역을 정의하는 복수의 게이트라인과 복수의 데이터라인과, 상기 복수의 게이트라인과 평행하게 배열된 복수의 공통전압라인과, 상기 복수의 데이터라인과 평행하게 배열되며 상기 복수의 데이터라인의 좌측면에 형성되어 상기 복수의 게이트라인과 함께 복수의 더미 화소영역을 정의하는 더미 공통전압라인과, 상기 복수의 화소영역상에 형성된 제 1 박막트랜지스터 및 상기 복수의 더미 화소영역 상에 형성된 제 2 박막트랜지스터를 포함한다.

대표도 - 도6



특허청구의 범위

청구항 1

복수의 화소영역을 정의하는 복수의 게이트라인과 복수의 데이터라인;

상기 복수의 게이트라인과 평행하게 배열된 복수의 공통전압라인;

상기 복수의 데이터라인과 평행하게 배열되며 상기 복수의 데이터라인의 좌측면에 형성되어 상기 복수의 게이트라인과 함께 복수의 더미 화소영역을 정의하는 더미 공통전압라인;

상기 복수의 더미 화소영역상에 형성된 제 1 박막트랜지스터; 및

상기 복수의 화소영역 상에 형성된 제 2 박막트랜지스터를 포함하고,

상기 제1 및 제2 박막트랜지스터는 각각 화소전극과 전기적으로 연결되는 것을 특징으로 하는 액정패널.

청구항 2

제 1항에 있어서,

상기 더미 화소영역은 상기 복수의 화소영역의 좌측면에 형성되는 것을 특징으로 하는 액정패널.

청구항 3

제 1항에 있어서,

상기 더미 공통전압라인은 상기 복수의 데이터라인과 동일 공정을 통해 형성되는 것을 특징으로 하는 액정패널.

청구항 4

제 1항에 있어서,

상기 복수의 공통전압라인은 상기 복수의 게이트라인과 동일 공정을 통해 형성되는 것을 특징으로 하는 액정패널.

청구항 5

삭제

청구항 6

제 1항에 있어서,

상기 제 2 박막트랜지스터와 연결된 화소전극은 상기 화소영역상의 복수의 공통전압라인과 전기적으로 연결되는 것을 특징으로 하는 액정패널.

청구항 7

제 1항에 있어서,

상기 제 1 및 제 2 박막트랜지스터는 상기 복수의 게이트라인과 연결되어 상기 복수의 게이트라인으로 공급되는 게이트 하이 전압에 의해 동시에 턴-온되고, 상기 복수의 게이트라인으로 게이트 로우 전압이 공급되면 턴-오프되는 것을 특징으로 하는 액정패널.

청구항 8

제 1항에 있어서,

상기 제 1 및 제 2 박막트랜지스터는 서로 동일한 것을 특징으로 하는 액정패널.

청구항 9

제 7항에 있어서,

상기 제 1 및 제 2 박막트랜지스터로 상기 게이트 하이 전압이 공급되면 상기 더미 공통전압라인과 상기 복수의 공통전압라인에는 서로 동일한 전압이 공급되는 것을 특징으로 하는 액정패널.

청구항 10

제 7항에 있어서,

상기 제 1 및 제 2 박막트랜지스터로 상기 게이트 로우 전압이 공급되면 상기 더미 공통전압라인과 상기 복수의 공통전압라인에는 서로 상이한 전압이 공급되는 것을 특징으로 하는 액정패널.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0007] 본 발명은 액정표시장치에 관한 것으로 특히, 킥백전압(ΔV_p)을 감소시켜 화질을 향상시킬 수 있는 액정패널에 관한 것이다.
- [0008] 정보화 사회가 발전함에 따라 표시장치에 대한 요구도 다양한 형태로 점증하고 있다. 이에 부응하여 근래에는 LCD(Liquid Crystal Display device), PDP(Plasma Display Panel), ELD(Electro Luminescent Display) 등 여러가지 평판표시장치가 연구되어 왔고 일부는 이미 여러장비에서 표시장치로 활용되고 있다.
- [0009] 그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력 등의 장점으로 인하여 이동형 화상 표시장치의 용도로 브라운관(CRT)을 대체하면서 LCD(이하, '액정표시장치'라 함)가 가장 널리 사용되고 있으며, 액정표시장치는 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 텔레비전 모니터 등으로 다양하게 개발되고 있다.
- [0010] 액정표시장치는 액정의 광학적 이방성과 분극성질을 이용하여 화상을 표시한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.
- [0011] 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자 배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛의 편광상태를 변화시켜 화상정보를 표현할 수 있다.
- [0012] 도 1은 종래의 액정표시장치를 나타낸 도면이다.
- [0013] 도 1에 도시된 바와 같이, 종래의 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널(2)과, 상기 액정패널(2)의 복수개의 게이트라인($GL_0 \sim GL_n$)을 구동하기 위한 게이트 드라이버(4)와, 상기 액정패널(2)의 데이터라인($DL_1 \sim DL_m$)을 구동하기 위한 데이터 드라이버(6)와, 상기 게이트 드라이버(4)와 데이터 드라이버(6)를 제어하기 위한 타이밍 컨트롤러(8)를 구비한다.
- [0014] 상기 액정패널(2)에는 복수의 게이트라인($GL_0 \sim GL_n$)과 데이터라인($DL_1 \sim DL_m$)이 배열되고 그 교차부에는 박막트랜지스터(TFT)와 상기 박막트랜지스터(TFT)와 연결된 화소전극(미도시)이 형성된다. 상기 화소전극은 상기 복수의 게이트라인($GL_1 \sim GL_n$)과 평행하게 배열된 공통전압라인($VL_1, VL_2, \dots$)과 오버랩되어 스토리지 캐패시터(C_{st})를 형성한다.
- [0015] 상기 게이트 드라이버(4)는 상기 타이밍 컨트롤러(8)로부터 생성된 게이트 제어신호에 따라 상기 복수의 게이트라인($GL_1 \sim GL_n$)으로 스캔신호를 공급한다. 상기 데이터 드라이버(6)는 상기 타이밍 컨트롤러(8)로부터 생성된 데이터 제어신호에 따라 상기 복수의 데이터라인($DL_1 \sim DL_m$)으로 데이터 전압을 공급한다.
- [0016] 상기 타이밍 컨트롤러(8)는 도시되지 않은 시스템으로부터 공급된 수직/수평동기신호(V_{sync}/H_{sync})와 데이터 이네이블(DE) 신호 및 소정의 클럭신호를 이용해서 상기 게이트 드라이버(4) 및 데이터 드라이버(6)를 제어하는 소정의 제어신호를 생성한다.
- [0017] 이와 같은 방식으로 구동되는 액정표시장치에 있어서, 상기 복수의 게이트라인($GL_0 \sim GL_n$)에는 게이트 하이 전압(V_{GH})과 게이트 로우 전압(V_{GL})이 공급된다. 여기서, 상기 게이트라인($GL_0 \sim GL_n$)에 해당하는 수평기간동안

(1H) 게이트 하이 전압(VGH)을 공급하고, 나머지 기간에는 게이트 로우 전압(VGL)을 인가한다.

[0018] 이때, 상기 게이트 하이 전압(VGH)은 상기 박막트랜지스터(TFT)를 턴-온(turn-on) 시키며 상기 박막트랜지스터(TFT)가 턴-온(turn-on) 되는 기간동안 상기 데이터 드라이버(6)로부터 공급된 데이터 전압이 상기 화소전극에 충전된다.

[0019] 상기 게이트라인(GL0 ~ GLn)에 공급된 게이트 하이 전압(VGH)이 게이트 로우 전압(VGL)으로 바뀌면서 상기 박막트랜지스터(TFT)는 턴-오프(turn-off) 상태로 바뀌게 되고 그순간 상기 화소전극에 충전된 데이터 전압(Vd)은 도 2에 도시된 바와 같이, 상기 박막트랜지스터(TFT)의 기생 용량(Cgs)에 의해 킥백전압(ΔV_p) 만큼 전압강하가 발생한다.

[0020] 상기 킥백전압(ΔV_p)은 하기 수학적 식 1으로 표현된다.

수학적 식 1

$$\Delta V_p = \frac{C_{gs}}{C_{gs} + C_{st} + C_{lc}} (V_{GH} - V_{GL})$$

[0021]

[0022] 여기서, ΔV_p 는 킥백전압(ΔV_p)이고 C_{gs} 는 박막트랜지스터(TFT)의 게이트 전극(G)과 소스전극(C) 사이의 캐패시터이다. 또한, C_{st} 는 스토리지 캐패시터이고, C_{lc} 는 액정셀의 캐패시터이며, V_{GH} 는 게이트 하이 전압이고, V_{GL} 은 게이트 로우 전압을 나타낸다.

[0023] 상기 킥백전압(ΔV_p)으로 인해 상기 액정패널(2) 상에 표시되는 화상에는 플리커 및 잔상이 발생되어 화질이 저하되는 문제점을 초래하게 된다. 따라서, 상기 킥백전압(ΔV_p)이 감소되는 구조를 갖는 액정패널에 대한 연구가 행해지고 있다.

발명이 이루고자 하는 기술적 과제

[0024] 본 발명은 킥백전압(ΔV_p)을 감소시켜 화질을 향상시킬 수 있는 구조를 갖는 액정패널을 제공함에 그 목적이 있다.

발명의 구성 및 작용

[0025] 상기 목적을 달성하기 위한 본 발명에 따른 액정패널은 복수의 화소영역을 정의하는 복수의 게이트라인과 복수의 데이터라인과, 상기 복수의 게이트라인과 평행하게 배열된 복수의 공통전압라인과, 상기 복수의 데이터라인과 평행하게 배열되며 상기 복수의 데이터라인의 좌측면에 형성되어 상기 복수의 게이트라인과 함께 복수의 더미 화소영역을 정의하는 더미 공통전압라인과, 상기 복수의 화소영역상에 형성된 제 1 박막트랜지스터 및 상기 복수의 더미 화소영역 상에 형성된 제 2 박막트랜지스터를 포함한다.

[0026] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시예를 설명한다.

[0027] 도 3은 본 발명의 제 1 실시예에 따른 액정표시장치를 나타낸 도면이다.

[0028] 도 3에 도시된 바와같이, 본 발명에 따른 액정표시장치는 복수의 화소영역을 정의하는 복수의 게이트라인(GL0 ~ GLn)과 복수의 데이터라인(DL1 ~ DLm)이 배열되어 소정의 화상을 표시하는 액정패널(102)과, 상기 복수의 게이트라인(GL0 ~ GLn)을 구동하는 게이트 드라이버(104)와, 상기 복수의 데이터라인(DL1 ~ DLm)을 구동하는 데이터 드라이버(106)와, 상기 게이트 드라이버(104) 및 데이터 드라이버(106)를 제어하는 타이밍 컨트롤러(108)를 포함한다.

[0029] 상기 액정표시장치에 관한 자세한 설명 중 위에서 언급한 바와 동일한 설명은 생략하기로 한다.

[0030] 상기 액정패널(102)에는 복수의 게이트라인(GL0 ~ GLn)과 데이터라인(DL1 ~ DLm)이 배열되어 화소영역을 정의하고, 상기 게이트라인(GL0 ~ GLn)과 평행하게 공통전압라인(VL1, VL2, ...)이 배열되어 있다. 상기 복수의 게이트라

인(GL0 ~ GLn)과 데이터라인(DL1 ~ DLm)이 배열된 그 교차부에는 스위칭 소자인 제 1 및 제 2 박막트랜지스터(TFT-1, TFT-2)와 상기 제 1 박막트랜지스터(TFT-1)와 연결된 화소전극(미도시)이 형성되어 있다.

- [0031] 상기 화소전극은 상기 복수의 공통전압라인(VL1, VL2,,)과 오버랩되어 스토리지 캐패시터(Cst)를 형성한다.
- [0032] 상기 제 1 및 제 2 박막트랜지스터(TFT-1, TFT-2)는 상기 복수의 게이트라인(GL1 ~ GLn)과 연결되어 있고 상기 복수의 게이트라인(GL1 ~ GLn)으로 공급되는 스캔신호 즉, 게이트 하이 전압(VGH)에 의해 턴-온(turn-on)되고, 게이트 로우 전압(VGL)에 의해 턴-오프(turn-off)된다.
- [0033] 상기 제 1 박막트랜지스터(TFT-1)는 상기 화소전극과 연결되어 있는데 상기 화소전극은 상기 공통전압라인(VL1, VL2,,)과 오버랩되어 스토리지 캐패시터(Cst)를 형성한다.
- [0034] 또한, 상기 액정패널(102)은 제 1 및 제 2 기판과 상기 제 1 및 제 2 기판 사이에 주입된 액정으로 이루어져 있다.
- [0035] 도 4는 도 3의 액정패널을 상세히 나타낸 도면이다.
- [0036] 도 3 및 도 4에 도시된 바와 같이, 상기 액정패널(102) 상에는 복수의 화소영역을 정의하는 제 1 내지 제 4 게이트라인(GL1 ~ GL4)과 제 1 내지 제 4 데이터라인(DL1 ~ DL4)이 배열되어 있고 상기 제 1 내지 제 4 게이트라인(GL1 ~ GL4)과 평행하게 제 1 내지 제 3 공통전압라인(VL1 ~ VL3)이 배열되어 있다.
- [0037] 상기 화소영역에는 제 1 및 제 2 박막트랜지스터(TFT-1, TFT-2)가 형성되어 있고 상기 제 1 박막트랜지스터(TFT-1)는 도시되지 않은 화소전극과 연결되어 있다. 상기 화소전극은 상기 제 1 내지 제 3 공통전압라인(VL1 ~ VL3)과 오버랩되어 스토리지 캐패시터(Cst)를 형성한다.
- [0038] 상기 제 1 내지 제 3 공통전압라인(VL1 ~ VL3)에는 상기 액정에 기준전압이 되는 공통전압(Vcom)이 공급된다.
- [0039] 상기 제 1 및 제 2 박막트랜지스터(TFT-1, TFT-2)는 상기 제 2 내지 제 4 게이트라인(GL2 ~ GL4)과 전기적으로 연결되어 있고 상기 제 2 내지 제 4 게이트라인(GL2 ~ GL4)으로 게이트 하이 전압(VGH)이 공급되면 상기 제 1 및 제 2 박막트랜지스터(TFT-1, TFT-2)는 턴-온(turn-on)된다.
- [0040] 상기 제 1 박막트랜지스터(TFT-1)가 턴-온(turn-on) 되면, 상기 제 1 내지 제 4 데이터라인(DL1 ~ DL4)을 통해 데이터 신호가 상기 제 1 박막트랜지스터(TFT-1)의 소스 및 드레인 단자를 통해 상기 화소전극으로 공급된다.
- [0041] 또한, 상기 제 2 박막트랜지스터(TFT-2)가 동시에 턴-온(turn-on) 되면, 상기 제 1 내지 제 3 공통전압라인(VL1 ~ VL3)을 통해 상기 제 2 박막트랜지스터(TFT-2)의 소스 및 드레인 단자로 공통전압(Vcom)이 공급된다.
- [0042] 이어 상기 제 1 내지 제 4 게이트라인(GL1 ~ GL4)으로 게이트 로우 전압(VGL)이 공급되는데, 상기 제 1 내지 제 4 게이트라인(GL1 ~ GL4)으로 공급된 게이트 로우 전압(VGL)은 상기 제 1 및 제 2 박막트랜지스터(TFT-1, TFT-2)로 공급된다.
- [0043] 상기 제 1 및 제 2 박막트랜지스터(TFT-1, TFT-2)의 게이트 단자로 상기 게이트 로우 전압(VGL)이 공급되면 상기 제 1 및 제 2 박막트랜지스터(TFT-1, TFT-2)는 턴-오프(turn-off) 된다. 상기 제 1 박막트랜지스터(TFT-1)가 턴-오프(turn-off) 되면 상기 화소전극으로 공급된 데이터 신호는 킥백전압(ΔV_p) 만큼의 전압강하가 발생하게 된다.
- [0044] 또한, 상기 제 2 박막트랜지스터(TFT-2)의 소스 및 드레인 단자로 공급된 공통전압(Vcom)도 도 5에 도시된 바와 같이, 상기 킥백전압(ΔV_p) 만큼의 전압강하(ΔV_{com})가 발생하게 된다.
- [0045] 결국, 상기 화소전극에 공급된 데이터 신호에서 발생한 킥백전압(ΔV_p)과 상기 제 2 박막트랜지스터(TFT-2)로 공급된 공통전압(Vcom)에서 발생한 전압강하(ΔV_{com})가 서로 동일해지므로 상기 킥백전압(ΔV_p)이 상쇄된다.
- [0046] 이로인해, 상기 화소전극으로 공급된 데이터 신호는 상기 복수의 게이트라인(GL1 ~ GLn)으로 공급된 게이트 하이 전압(VGH)이 게이트 로우 전압(VGL)으로 변경되는 순간에 발생하는 킥백전압(ΔV_p)이 상쇄되어 종래의 액정패널에서 발생한 플리커와 같은 화질저하가 발생하지 않는다.
- [0047] 본 발명에 따른 액정패널(102)은 화소영역 각각에 제 1 및 제 2 박막트랜지스터(TFT-1, TFT-2)를 구비함으로써 킥백전압(ΔV_p)을 방지하여 플리커를 방지할 수 있는 한편, 상기 화소영역 각각에 상기 제 1 및 제 2 박막트랜지스터(TFT-1, TFT-2)를 구비함에 따라 개구율이 감소하게 되는 문제점이 발생하게 되었다.
- [0048] 따라서, 상기 화소영역의 개구율을 감소시키지 않으면서 상기 킥백전압(ΔV_p)을 방지할 수 있는 액정표시장치에

대한 연구가 초래된다.

- [0049] 도 6은 본 발명의 제 2 실시예에 따른 액정패널을 상세히 나타낸 도면이다.
- [0050] 도 6에 도시된 바와 같이, 본 발명의 제 2 실시예에 따른 액정패널(202)은 제 1 내지 제 3 게이트라인(GL1 ~ GL3)과 상기 제 1 내지 제 3 게이트라인(GL1 ~ GL3)과 교차로 배열된 제 1 내지 제 4 데이터라인(DL1 ~ DL4)과, 상기 제 1 내지 제 3 게이트라인(GL1 ~ GL3)과 평행하게 배열된 제 1 내지 제 3 공통전압라인(VL1 ~ VL3)을 포함한다. 또한, 상기 액정패널(202)에는 상기 제 1 내지 제 4 데이터라인(DL1 ~ DL4)과 평행한 더미 공통전압라인(200)이 배열된다.
- [0051] 상기 제 1 내지 제 3 공통전압라인(VL1 ~ VL3)은 일예로, 상기 제 1 내지 제 3 게이트라인(GL1 ~ GL3)과 동일 공정을 통해 형성되고, 상기 더미 공통전압라인(200)은 상기 제 1 내지 제 4 데이터라인(DL1 ~ DL4)과 동일 공정을 통해 형성된다.
- [0052] 상기 액정패널(202)은 제 1 및 제 2 기관과, 상기 제 1 및 제 2 기관 사이에 주입된 액정으로 이루어져있다.
- [0053] 상기 더미 공통전압라인(200)은 상기 제 1 데이터라인(DL1)의 좌측에 위치하며 상기 제 1 내지 제 3 게이트라인(GL1 ~ GL3)과 교차로 배열되어 더미 화소영역(Pd)을 정의한다.
- [0054] 즉, 상기 제 1 내지 제 3 게이트라인(GL1 ~ GL3)과 상기 제 1 내지 제 4 데이터라인(DL1 ~ DL4)은 복수의 화소영역(P)을 정의하고 상기 더미 공통전압라인(200)과 상기 제 1 내지 제 3 게이트라인(GL1 ~ GL3)은 복수의 더미 화소영역(Pd)을 정의한다.
- [0055] 상기 제 1 내지 제 3 게이트라인(GL1 ~ GL3)과 상기 더미 공통전압라인(200)으로 정의되는 복수의 더미 화소영역(Pd)에는 상기 제 1 내지 제 3 게이트라인(GL1 ~ GL3)과 상기 더미 공통전압라인(200)의 교차부에 제 1 박막 트랜지스터(TFT-1)와 상기 제 1 박막트랜지스터(TFT-1)와 전기적으로 연결되어 있는 화소전극(미도시)이 형성된다. 또한, 상기 더미 화소영역(Pd)에는 제 1 스토리지 캐패시터(Cst-1)가 형성된다.
- [0056] 상기 제 1 내지 제 3 게이트라인(GL1 ~ GL3)과 상기 제 1 내지 제 4 데이터라인(DL1 ~ DL4)으로 정의되는 복수의 화소영역(P)에는 상기 제 1 내지 제 3 게이트라인(GL1 ~ GL3)과 상기 제 1 내지 제 4 데이터라인(DL1 ~ DL4)의 교차부에 제 2 박막트랜지스터(TFT-2)와 상기 제 2 박막트랜지스터(TFT-2)와 전기적으로 연결되어 있는 화소전극이 형성된다. 또한, 상기 화소영역(P)에는 제 2 스토리지 캐패시터(Cst-2)가 형성된다.
- [0057] 상기 더미 화소영역(Pd) 상에 형성된 화소전극(미도시)은 상기 제 1 내지 제 3 공통전압라인(VL1 ~ VL3)과 전기적으로 연결되어 있다. 이를 상세히 하면, 상기 더미 화소영역(Pd) 상에 형성된 화소전극으로 공급되는 전압은 상기 화소영역(P) 상에 형성된 제 1 내지 제 3 공통전압라인(VL1 ~ VL3)으로 공급된다.
- [0058] 이때, 상기 더미 공통전압라인(200) 및 상기 제 1 내지 제 3 공통전압라인(VL1 ~ VL3)에는 공통전압(Vcom)이 공급된다.
- [0059] 상기 제 1 및 제 2 박막트랜지스터(TFT-1, TFT-2)는 상기 제 1 내지 제 3 게이트라인(GL1 ~ GL3)으로 공급되는 게이트 하이 전압(VGH) 및 게이트 로우 전압(VGL)에 의해 동시에 턴-온/오프(turn-on/off) 된다.
- [0060] 상기 제 1 내지 제 3 게이트라인(GL1 ~ GL3)으로 게이트 하이 전압(VGH)이 공급되면 상기 더미 화소영역(Pd)에 형성된 제 1 박막트랜지스터(TFT-1)가 턴-온(turn-on)되고 상기 더미 공통전압라인(200)으로 공급된 공통전압(Vcom)은 상기 제 1 박막트랜지스터(TFT-1)로 공급된다.
- [0061] 동시에 상기 제 1 내지 제 3 게이트라인(GL1 ~ GL3)으로 게이트 하이 전압(VGH)이 공급되면 상기 화소영역(P)에 형성된 제 2 박막트랜지스터(TFT-2)가 턴-온(turn-on)되고 상기 제 1 내지 제 4 데이터라인(DL1 ~ DL4)을 통해 데이터 신호가 상기 제 2 박막트랜지스터(TFT-2)로 공급된다.
- [0062] 이때, 상기 제 1 내지 제 3 공통전압라인(VL1 ~ VL3)과 상기 더미 공통전압라인(200)에는 서로 동일한 공통전압(Vcom)이 공급된다.
- [0063] 이어, 상기 제 1 내지 제 3 게이트라인(GL1 ~ GL3)으로 게이트 로우 전압(VGL)이 공급되면 상기 더미 화소영역(Pd)에 형성된 제 1 박막트랜지스터(TFT-1)가 턴-오프(turn-off)되고 상기 제 1 박막트랜지스터(TFT-1)로 공급된 공통전압(Vcom)은 상기 제 1 스토리지 캐패시터(Cst-1)로 공급되어 충전된다.
- [0064] 이때, 상기 제 1 박막트랜지스터(TFT-1)는 상기 게이트 하이 전압(VGH)에서 게이트 로우 전압(VGL)으로 바뀌는 순간에 소정의 전압강하가 발생하게 되는데 이는 상기 제 1 스토리지 캐패시터(Cst-1)에 충전된 공통전압(Vco

m)에 영향을 미친다.

- [0065] 즉, 상기 제 1 스토리지 캐패시터(Cst-1)에 충전된 공통전압(Vcom)은 상기 게이트 하이 전압(VGH)에서 게이트 로우 전압(VGL)으로 바뀌는 순간에 전압강하(ΔV_{com})가 발생하게 된다. 상기 공통전압(Vcom)의 전압강하된 전압(ΔV_{com})은 상기 제 1 박막트랜지스터(TFT-1)와 전기적으로 연결된 화소전극으로 공급된다.
- [0066] 이때, 상기 화소전극은 상기 화소영역(P) 상에 배열된 제 1 내지 제 3 공통전압라인(VL1 ~ VL3)과 전기적으로 연결되어 있기 때문에 상기 화소전극으로 공급된 상기 공통전압(Vcom)의 전압강하된 전압(ΔV_{com})은 상기 제 1 내지 제 3 공통전압라인(VL1 ~ VL3)으로 공급된다.
- [0067] 상기 공통전압(Vcom)의 전압강하된 전압(ΔV_{com})으로 인해 상기 제 1 내지 제 3 공통전압라인(VL1 ~ VL3)에는 상기 공통전압(Vcom)과 상기 공통전압(Vcom)의 전압강하된 전압(ΔV_{com})의 차이값이 공급된다.
- [0068] 이와 동시에, 상기 제 1 내지 제 3 게이트라인(GL1 ~ GL3)으로 게이트 로우 전압(VGL)이 공급되면 상기 화소영역(P)에 형성된 제 2 박막트랜지스터(TFT-2) 역시 턴-오프(turn-off)된다.
- [0069] 상기 제 1 내지 제 4 데이터라인(DL1 ~ DL4)을 통해 상기 제 2 박막트랜지스터(TFT-2)로 공급된 상기 데이터 신호는 상기 제 2 스토리지 캐패시터(Cst-2)로 공급되고 한 프레임 동안 충전된다.
- [0070] 이때, 상기 제 2 박막트랜지스터(TFT-2) 역시 상기 게이트 하이 전압(VGH)에서 게이트 로우 전압(VGL)으로 바뀌는 순간에 소정의 전압강하가 발생하게 되는데 이는 상기 제 2 스토리지 캐패시터(Cst-2)에 충전된 데이터 신호에 영향을 미친다.
- [0071] 즉, 상기 제 2 스토리지 캐패시터(Cst-2)에 충전된 데이터 신호는 상기 게이트 하이 전압(VGH)에서 게이트 로우 전압(VGL)으로 바뀌는 순간에 전압강하(ΔV_p)가 발생하게 된다. 상기 데이터 신호의 전압강하를 킥백전압(ΔV_p)이라고 한다.
- [0072] 상기 제 2 스토리지 캐패시터(Cst-2)에 공급된 데이터 신호는 상기 킥백전압(ΔV_p)만큼의 전압강하가 발생하며 상기 제 2 스토리지 캐패시터(Cst-2)에는 상기 데이터 신호와 상기 킥백전압(ΔV_p)의 차이값이 한 프레임 동안 충전된다.
- [0073] 상기 제 1 및 제 2 박막트랜지스터(TFT-1, TFT-2)로 게이트 로우 전압(VGL)이 공급되면 상기 제 1 내지 제 3 공통전압라인(VL1 ~ VL3)과 상기 더미 공통전압라인(200)에는 위에서 언급한 바와 같이, 서로 상이한 전압이 공급된다.
- [0074] 즉, 상기 제 1 및 제 2 박막트랜지스터(TFT-1, TFT-2)로 게이트 로우 전압(VGL)이 공급되면, 상기 더미 공통전압라인(200)에는 공통전압(Vcom)이 공급되고 상기 제 1 내지 제 3 공통전압라인(VL1 ~ VL3)에는 상기 공통전압(Vcom)과 상기 공통전압(Vcom)의 전압강하된 전압(ΔV_{com})이 공급된다.
- [0075] 이때, 상기 제 2 스토리지 캐패시터(Cst-2)는 상기 제 1 내지 제 3 공통전압라인(VL1 ~ VL3)과 상기 화소영역(P)에 형성된 화소전극이 오버랩되어 형성된 것이다. 따라서, 상기 제 2 스토리지 캐패시터(Cst-2)는 상기 제 1 내지 제 3 공통전압라인(VL1 ~ VL3)으로 공급된 전압값에 영향을 받는다.
- [0076] 결국, 상기 더미 화소영역(Pd)에서 발생한 공통전압(Vcom)의 전압강하된 전압(ΔV_{com})은 상기 화소영역(P)에서 발생한 킥백전압(ΔV_p)과 서로 상쇄되어 종래의 액정패널에서 발생한 플리커와 같은 화질저하를 방지시킬 수 있다.
- [0077] 이를 위해, 상기 더미 화소영역(Pd)에서 발생한 공통전압(Vcom)의 전압강하된 전압(ΔV_{com})은 상기 화소영역(P)에서 발생한 킥백전압(ΔV_p)과 서로 동일하도록 설정해야 한다.
- [0078] 상기 공통전압(Vcom)의 전압강하된 전압(ΔV_{com})과 상기 킥백전압(ΔV_p)이 동일하여 서로 상쇄되도록 하기 위해서는 일례로, 상기 제 1 박막트랜지스터(TFT-1)의 기생용량(Cgs')과 상기 제 2 박막트랜지스터(TFT-2)의 기생용량(Cgs)의 크기에 따라 결정될 수 있다.
- [0079] 상기 제 1 박막트랜지스터(TFT-1)의 기생용량(Cgs')의 크기는 상기 제 2 박막트랜지스터(TFT-2)의 기생용량(Cgs)와 데이터라인 수의 곱에 의해 결정된다.
- [0080] 이와 같이 상기 제 1 및 제 2 박막트랜지스터(TFT-1, TFT-2)의 기생용량(Cgs', Cgs)의 크기를 결정함에 따라 상기 공통전압(Vcom)의 전압강하된 전압(ΔV_{com})과 상기 킥백전압(ΔV_p)이 동일해질 수 있다.
- [0081] 상기 더미 화소영역(Pd)과 상기 화소영역(P) 상에 형성된 기생용량(Cgs')의 크기를 조정하여 상기 공통전압의

전압강하된 전압(ΔV_{com})과 상기 킥백전압(ΔV_p)을 동일하게 설정할 수 있다.

- [0082] 결국, 상기 제 1 및 제 2 박막트랜지스터(TFT-1, TFT-2)는 상기 제 1 내지 제 3 게이트라인(GL1 ~ GL3)으로 공급된 게이트 하이 전압(VGH)이 게이트 로우 전압(VGL)으로 바뀌는 순간 각각 영향을 받게된다.
- [0083] 이로인해, 상기 제 1 스토리지 캐패시터(Cst-1)에 충전된 공통전압(Vcom)은 소정의 전압강하가 발생하게 되고 상기 공통전압의 전압강하된 전압(ΔV_{com})은 상기 화소영역(P)의 제 1 내지 제 3 공통전압라인(VL1 ~ VL3)으로 공급된다.
- [0084] 상기 화소영역(P)의 제 1 내지 제 3 공통전압라인(VL1 ~ VL3)으로 공급된 공통전압(Vcom)의 전압강하된 전압(ΔV_{com})으로 인해 상기 제 1 내지 제 3 공통전압라인(VL1 ~ VL3)에는 상기 공통전압(Vcom)과 상기 공통전압(Vcom)의 전압강하된 전압(ΔV_{com})의 차이값이 공급된다.
- [0085] 또한, 상기 제 2 스토리지 캐패시터(Cst-2)에 충전된 데이터 신호는 상기 킥백전압(ΔV_p)만큼의 전압강하가 발생하게 된다. 상기 제 2 스토리지 캐패시터(Cst-2)에 충전된 데이터 신호는 상기 킥백전압(ΔV_p)을 뺀 차이값이다.
- [0086] 상기 킥백전압(ΔV_p)과 상기 공통전압의 전압강하된 전압(ΔV_{com})은 서로 동일하여 상쇄된다.
- [0087] 따라서, 본 발명에 따른 액정패널은 종래의 액정패널에서 발생한 플리커와 같은 화질저하를 개선하고 화질을 향상시킬 수 있게된다. 또한, 화소영역 내부에 하나의 박막트랜지스터가 존재하므로 개구율이 향상될 수 있다.

발명의 효과

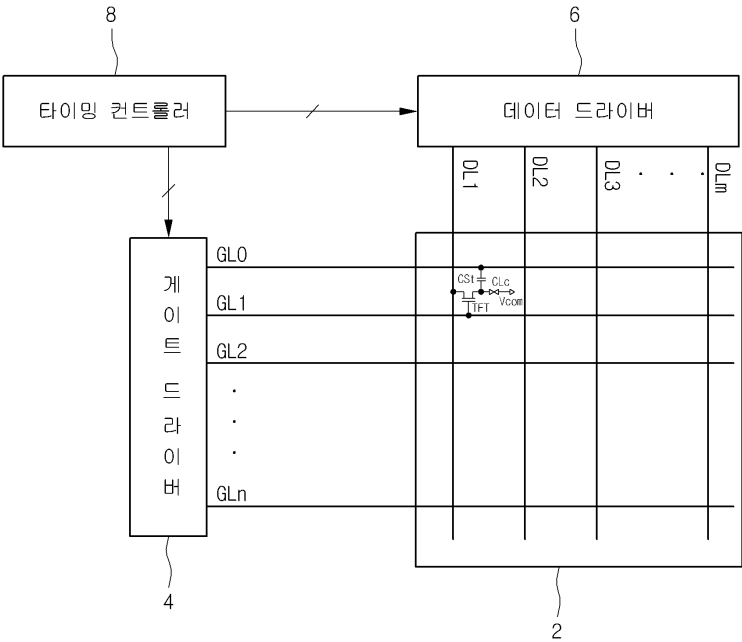
- [0088] 이상에서 살펴본 바와 같이, 본 발명에 따른 액정패널은 화소영역 이외에 더미 화소영역을 정의하고 상기 더미 화소영역 및 화소영역 내부에 하나의 박막트랜지스터를 구비하여 상기 더미 화소영역 상에서 발생한 공통전압(Vcom)의 전압강하된 전압(ΔV_{com})을 이용해서 상기 화소영역 상에서 발생한 킥백전압(ΔV_p)을 상쇄하여 종래의 액정패널에서 발생한 플리커를 방지하여 화질을 향상시키고 상기 화소영역 내부에 하나의 박막트랜지스터를 구비함으로써, 개구율을 향상시킬 수 있다.

도면의 간단한 설명

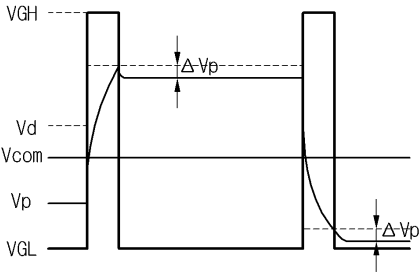
- [0001] 도 1은 종래의 액정표시장치를 나타낸 도면.
- [0002] 도 2는 도 1의 액정패널에 인가되는 전압을 나타낸 파형도.
- [0003] 도 3은 본 발명의 제 1 실시예에 따른 액정패널을 구비한 액정표시장치를 나타낸 도면.
- [0004] 도 4는 도 3의 액정패널을 상세히 나타낸 도면.
- [0005] 도 5는 도 3의 액정패널에 인가되는 전압을 나타낸 파형도.
- [0006] 도 6은 본 발명의 제 2 실시예에 따른 액정패널을 상세히 나타낸 도면.

도면

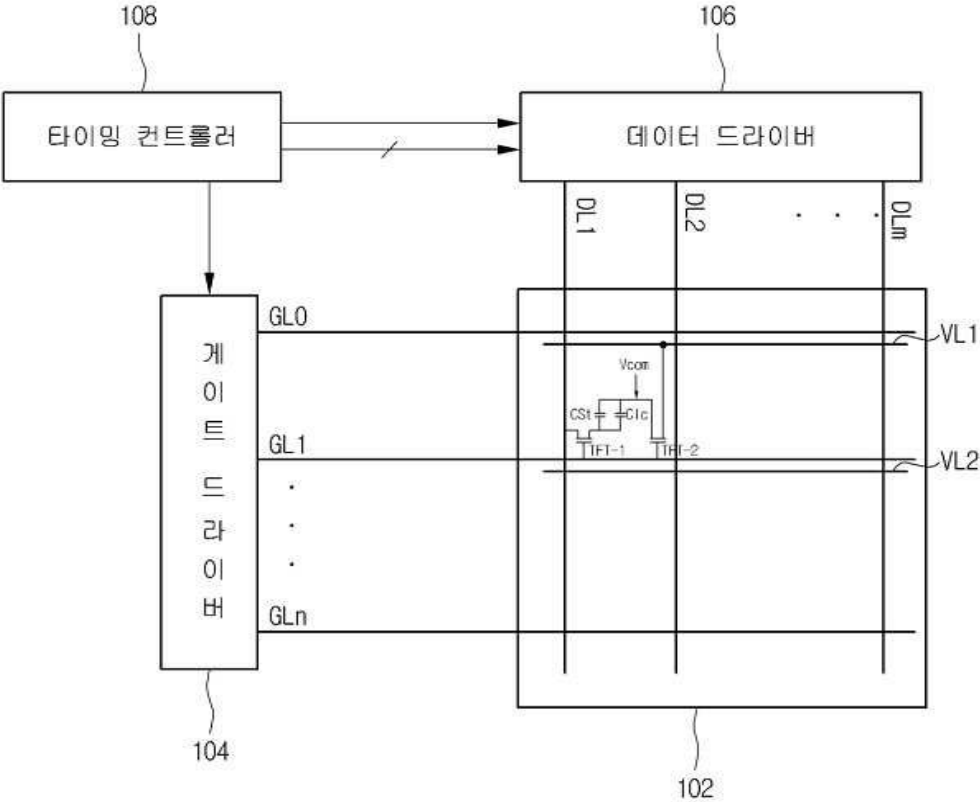
도면1



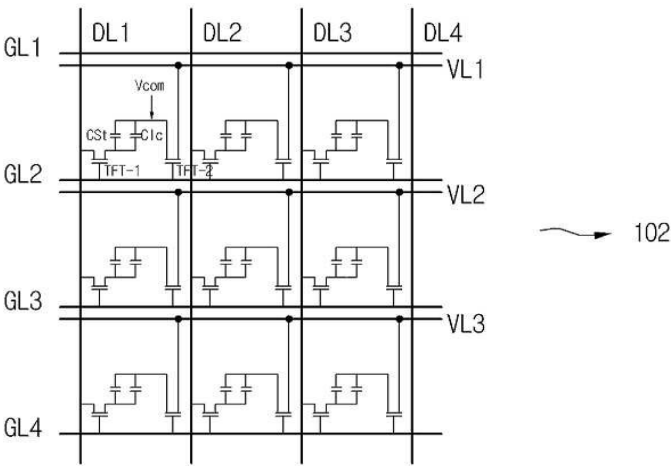
도면2



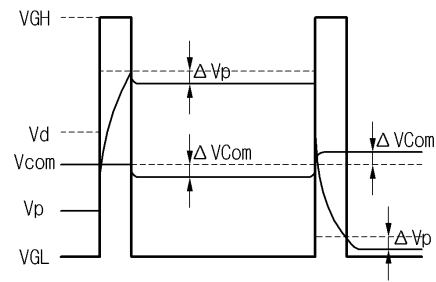
도면3



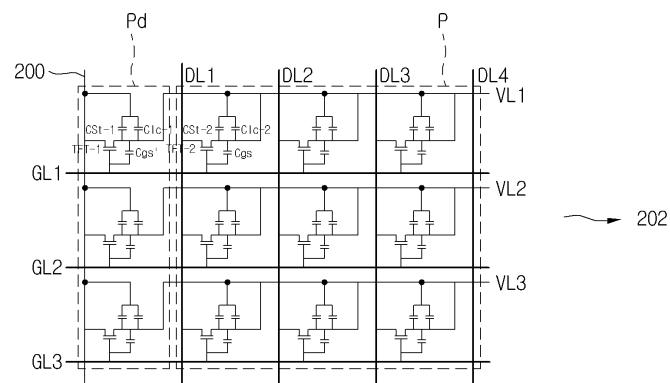
도면4



도면5



도면6



专利名称(译)	标题：液晶面板		
公开(公告)号	KR101256665B1	公开(公告)日	2013-04-19
申请号	KR1020050134661	申请日	2005-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SHIN HYUNG BEOM 신형범 KIM HONG SIK 김홍식		
发明人	신형범 김홍식		
IPC分类号	G02F1/133 G02F		
CPC分类号	G09G2320/0247 G09G2300/0842 G09G2300/0814 G09G3/3648 G09G2320/0219 G09G2300/0819 G09G3/3655		
其他公开文献	KR1020070071322A		
外部链接	Espacenet		

摘要(译)

液晶显示装置分为显示区域和非显示区域。在显示区域的每个像素区域中形成第一薄膜晶体管，并且在非显示区域中形成第二薄膜晶体管。第一薄膜晶体管是用于控制向像素区域提供数据电压的开关，第二薄膜晶体管是用于控制向像素区域提供公共电压的开关。第一薄膜晶体管具有与第二薄膜晶体管相同的寄生电容。因此，可以防止闪烁或图像残留。而且，可以改善每个像素区域的孔径比。

