

특허청구의 범위

청구항 1

기관 상부로 형성된 포토레지스트 패턴을 이용하여 패턴을 형성하기 위한 리프트 오프(lift-off)를 이용한 패턴 형성 방법에 있어서,

상기 포토레지스트 패턴 위로 상기 기관 전면에 패턴 형성을 위한 물질층 형성하는 단계와;

상기 물질층이 형성된 기관을 핫 플레이트(hot plate) 또는 경화로에 위치시킨 후, 100℃ 내지 300℃의 온도에서 60초 내지 150초 동안 열처리하는 단계와;

상기 열처리를 진행한 기관을 스트립액에 노출시킴으로써 상기 포토레지스트 패턴과 그 상부의 물질층을 제거하는 단계

를 포함하는 리프트 오프(lift-off)를 이용한 패턴 형성 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 열처리를 진행한 기관의 스트립액에 노출은 4분 이내로 진행하는 것이 특징인 리프트 오프(lift-off)를 이용한 패턴 형성 방법.

청구항 5

제 1 항에 있어서,

상기 열처리하는 단계는

상기 포토레지스트 패턴에 열이 가해짐으로 그 부피가 팽창되어 그 상부의 물질층에 크랙이 발생하고, 상기 크랙 부분이 이격함으로써 상기 포토레지스트 패턴을 노출시키는 다수의 틈이 발생하는 것이 특징인 패턴 형성 방법.

청구항 6

게이트 배선과 데이터 배선이 교차하여 정의되는 화소영역과, 상기 화소영역 내에 박막트랜지스터가 형성되는 스위칭 영역이 정의된 기관상에 제 1 금속층을 형성하고 제 1 마스크 공정을 진행하여 상기 제 1 금속층을 패턴링함으로써 상기 게이트 배선을 형성하고, 상기 스위칭 영역에 상기 게이트 배선에서 분기한 게이트 전극을 형성하는 단계와;

상기 게이트 배선 및 게이트 전극 위로 게이트 절연막과, 순수 비정질 실리콘층과, 불순물 비정질 실리콘층과, 제 2 금속층을 순차적으로 형성하고, 제 2 마스크 공정을 진행하여, 상기 스위칭 영역에 게이트 절연막 위로 액티브층과 서로 이격한 오믹콘택층과, 소스 및 드레인 전극을 형성하고, 상기 소스 전극과 연결되는 상기 데이터 배선을 형성하고, 상기 화소영역에는 기관을 노출시키는 단계와;

상기 소스 및 드레인 전극과 데이터 배선 위로 전면에 무기절연층을 형성하고, 상기 무기절연층 위로 상기 스위칭 영역과 게이트 배선 및 데이터 배선에 대응하여 포토레지스트 패턴을 형성하는 단계와;

상기 포토레지스트 패턴 외부로 노출된 무기절연층 식각함으로써 상기 스위칭 영역과 게이트 및 데이터 배선 상부에 보호층을 형성하고, 상기 드레인 전극 일부를 포함하여 화소영역 내에 기관면을 노출시키는 단계와;

상기 포토레지스트 패턴 및 노출된 기관 위로 전면에 투명 도전성 물질층을 형성하는 단계와;

상기 투명 도전성 물질층이 형성된 기판을 핫 플레이트(hot plate) 또는 경화로를 이용하여 100℃ 내지 300℃의 온도에서 60초 내지 150초 동안 열처리하는 단계와;

상기 열처리된 기판을 스트립액에 노출시켜 상기 포토레지스트 패턴 및 그 상부의 투명 도전성 물질층을 제거함으로써 상기 드레인 전극과 접촉하며, 기판면과 접촉하는 화소전극을 형성하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 7

삭제

청구항 8

삭제

청구항 9

제 6 항에 있어서,

상기 제 2 마스크 공정을 진행하여 소스 및 드레인 전극과 데이터 배선을 형성하는 단계는 상기 화소영역의 게이트 배선에 대응하여 스토리지 전극을 형성하는 단계를 더욱 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 10

제 9 항에 있어서,

상기 화소전극은 그 일끝이 상기 스토리지 전극과 접촉하도록 형성되는 액정표시장치용 어레이 기판의 제조 방법.

청구항 11

제 6 항에 있어서,

상기 무기절연층의 식각은 과식각(over etching)을 진행하여 상기 무기절연층이 패터닝되어 형성된 보호층의 끝단이 상기 포토레지스트 패턴 내측에 위치한 언더 컷 형태가 되도록 하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 12

제 6 항에 있어서,

상기 열처리된 기판의 스트립액에 노출은 4분 이내로 진행하는 것이 특징인 액정표시장치용 어레이 기판의 제조 방법.

청구항 13

제 6 항에 있어서,

상기 열처리하는 단계는

상기 포토레지스트 패턴에 열이 가해짐으로 그 부피가 팽창되어 그 상부의 투명 도전성 물질층에 크랙이 발생하고, 상기 크랙 부분이 이격함으로써 상기 포토레지스트 패턴을 노출시키는 다수의 틈이 발생하는 것이 특징인 액정표시장치용 어레이 기판의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <16> 본 발명은 액정표시장치에 관한 것이며, 특히 리프트 오프법을 이용한 액정표시장치용 어레이 기판의 제조방법에 관한 것이다.
- <17> 최근에 액정표시장치는 소비전력이 낮고, 휴대성이 양호한 기술 집약적이며, 부가가치가 높은 차세대 첨단 디스플레이(display)소자로 각광받고 있다.
- <18> 이러한 액정표시장치 중에서도 각 화소(pixel)별로 전압의 온(on),오프(off)를 조절할 수 있는 스위칭 소자인 박막트랜지스터가 구비된 액티브 매트릭스형 액정표시장치가 해상도 및 동영상 구현능력이 뛰어나 가장 주목받고 있다.
- <19> 일반적으로, 액정표시장치는 박막트랜지스터 및 화소전극을 형성하는 어레이 기판 제조 공정과 컬러필터 및 공통 전극을 형성하는 컬러필터 기판 제조 공정을 통해 각각 어레이 기판 및 컬러필터 기판을 형성하고, 이들 두 기판 사이에 액정을 개재하는 셀 공정을 거쳐 완성된다.
- <20> 좀 더 자세히, 일반적인 액정표시장치의 분해사시도인 도 1을 참조하여 설명하면, 도시한 바와 같이, 액정층(30)을 사이에 두고 어레이 기판(10)과 컬러필터 기판(20)이 대면 합착된 구성을 갖는데, 이중 하부의 어레이 기판(10)은 투명한 기판(12)의 상면으로 중형 교차 배열되어 다수의 화소영역(P)을 정의하는 복수개의 게이트 배선(14)과 데이터 배선(16)을 포함하며, 이들 두 배선(14, 16)의 교차지점에는 박막 트랜지스터(T)가 구비되어 각 화소영역(P)에 마련된 화소전극(18)과 일대일 대응 접속되어 있다.
- <21> 또한, 상기 어레이 기판과 마주보는 상부의 컬러필터 기판(20)은 투명기판(22)의 배면으로 상기 게이트 배선(14)과 데이터 배선(16) 그리고 박막 트랜지스터(T) 등의 비표시영역을 가리도록 각 화소영역(P)을 테두리하는 격자 형상의 블랙매트릭스(25)가 형성되어 있으며, 이들 격자 내부에서 각 화소영역(P)에 대응되게 순차적으로 반복 배열된 적, 녹, 청색 컬러필터층(26)이 형성되어 있으며, 상기 블랙매트릭스(25)와 적, 녹, 청색 컬러필터층(26)의 전면에 걸쳐 투명한 공통전극(28)이 구비되어 있다.
- <22> 그리고, 도면상에 도시되지는 않았지만, 이들 두 기판(10, 20)은 그 사이로 개재된 액정층(30)의 누설을 방지하기 위하여 가장자리 따라 실링제(sealant) 등으로 봉합(封函)된 상태에서 각 기판(10, 20)과 액정층(30)의 경계 부분에는 액정의 분자배열 방향에 신뢰성을 부여하는 상, 하부 배향막이 개재되며, 각 기판(10, 20)의 적어도 하나의 외측면에는 편광판이 구비되어 있다.
- <23> 또한, 어레이 기판의 외측면으로는 백라이트(back-light)가 구비되어 빛을 공급하는 바, 게이트 배선(14)으로 박막트랜지스터(T)의 온(on)/오프(off) 신호가 순차적으로 스캔 인가되어 선택된 화소영역(P)의 화소전극(18)에 데이터배선(16)의 화상신호가 전달되면 이들 사이의 수직전계에 의해 그 사이의 액정분자가 구동되고, 이에 따른 빛의 투과율 변화로 여러 가지 화상을 표시할 수 있다.
- <24> 도 2는 전술한 액정표시장치의 어레이 기판 내의 하나의 화소부를 박막트랜지스터를 포함하여 절단한 단면을 도시한 것이다.
- <25> 도면에 나타나지 않았지만, 기판(40) 상에서 다수의 게이트 배선(미도시)과 데이터 배선(미도시)이 교차하여 정의되는 다수의 화소영역(P) 내에는 게이트 전극(42)이 형성되어 있으며, 상기 게이트 전극(42) 상부로 전면에 게이트 절연막(45)이 형성되어 있으며, 그 위에 순차적으로 섬형태의 액티브층(48a)과 서로 이격한 오믹콘택층(48b)으로 구성된 반도체층(48)이 형성되어 있다.
- <26> 상기 이격한 각 오믹콘택층(48b) 위로는 소스 전극(50)과, 게이트 전극(42)을 중심으로 상기 소스 전극(50)으로부터 소정간격 이격하여 마주 대하고 있는 드레인 전극(52)이 형성되어 있다.
- <27> 또한, 상기 소스 및 드레인 전극(50, 52)과 노출된 액티브층(48a) 위로 전면에 상기 드레인 전극(52)을 노출시키는 드레인 콘택홀(57)을 포함하는 보호층(55)이 형성되어 있으며, 상기 보호층(55) 상부에는 각 화소영역(P)별로 독립되며, 상기 드레인 콘택홀(57)을 통해 상기 드레인 전극(52)과 접촉하는 화소전극(59)이 형성되어 있다.
- <28> 전술한 단면 구조를 갖는 액정표시장치용 어레이 기판의 제조 공정에 대해 설명하면, 기판(40) 상에 제 1 금속 물질을 증착한 후, 제 1 마스크 공정에 의해 게이트 전극(42)과 게이트 배선(미도시)을 형성하고, 다음, 제 1

절연물질, 순수 비정질 실리콘(a-Si), 불순물 비정질 실리콘(n+ a-Si)을 연속적으로 증착한 후, 제 1 절연물질은 게이트 절연막(45)으로 이용하고, 순수 비정질 실리콘층, 불순물 비정질 실리콘층은 제 2 마스크 공정에 의해 게이트 전극(42)을 덮는 위치에 액티브층(48a), 오믹 콘택층(48b)으로 각각 형성하여 반도체층(48)을 구성한다.

- <29> 다음, 제 2 금속물질을 증착한 후, 제 3 마스크 공정에 의해 데이터 배선(미도시)과 상기 반도체층(48) 상부에서 서로 일정간격 이격되는 소스 및 드레인 전극(50, 52)을 형성한다. 이 단계에서는, 소스 및 드레인 전극(50, 52)을 마스크로 하여, 이격된 구간의 오믹콘택층(48b)을 제거하고, 그 하부층인 액티브층(48a)을 노출시켜 채널을 형성한다. 상기 게이트 전극(42), 반도체층(48), 소스 및 드레인 전극(50, 52)은 박막트랜지스터를 이룬다.
- <30> 다음, 제 2 절연물질을 증착한 후, 제 4 마스크 공정에 의해 드레인 전극(52)의 일부를 노출시키는 드레인 콘택홀(57)을 가지는 보호층(55)을 형성한 후, 상기 보호층(55) 위로 투명 도전성 물질을 증착하고, 제 5 마스크 공정에 의해 패터닝함으로써 화소전극(59)을 형성한다.
- <31> 이와 같이, 기존의 액정표시장치용 어레이 공정에서는 통상 5 마스크 공정에 의해 어레이 기판을 제작하고 있다.
- <32> 하지만, 마스크 공정에서는 증착, 노광, 현상, 식각 공정별로 장비들이 필요하고, 물리적, 화학적 공정이 반복됨에 따라 마스크 공정이 많을수록 공정시간이 많이 걸리고 이에 의해 생산성이 저하되며, 제조 비용도 상승된다.
- <33> 따라서, 최근에는 액정표시장치용 어레이 기판을 되도록 저마스크 공정을 진행하여 제조하는 방법이 제안되고 있다.
- <34> 이러한 마스크 수를 저감시키는 방법은 회절노광 또는 하프톤 노광등의 방법도 있으며, 최근에는 리프트 오프(lift-off)법이 많이 이용되고 있다.
- <35> 리프트 오프(lift-off)법이란, 어떠한 패턴을 형성하기 위해 식각 마스크로 이용하기 위해 형성한 포토레지스트 패턴을 애싱하여 제거하지 않고, 상기 포토레지스트 패턴을 포함하여 전면에 물질층을 형성한 후, 상기 포토레지스트 패턴을 기판으로부터 제거함으로써 상기 포토레지스트 패턴 상부에 형성된 물질층이 함께 제거되어 소정의 패턴을 형성하는 방법을 의미한다.
- <36> 도 3a 내지 도 3b는 리프트 오프(lift-off)법을 이용하여 화소전극을 형성하는 것을 단계별로 도시한 단면도이다. 소스 및 드레인 전극과 그 상부의 보호층을 형성하기까지는 도 2를 참조하여 5마스크 공정에 의한 어레이 기판의 제조 방법과 동일하게 진행되는 바, 설명은 생략한다.
- <37> 우선, 도 3a에 도시한 바와 같이, 기판(61)상의 박막트랜지스터(Tr)가 형성된 스위칭 영역(TrA)을 포함하여 전면에 무기절연층(미도시)을 형성하고, 상기 무기절연층(미도시)을 패터닝하기 위해 상기 무기절연층(미도시) 위로 포토레지스트층(미도시)을 형성하고, 마스크를 이용하여 노광하고 현상함으로써 스위칭 영역(TrA)과 도면에 나타나지 않았지만 게이트 및 데이터 배선(미도시)에 대응하여 포토레지스트 패턴(91)을 형성하고, 상기 포토레지스트 패턴(91)을 식각 마스크로 하여 상기 포토레지스트 패턴(91) 외부로 노출된 무기절연층(미도시)을 식각함으로써 스위칭 영역(TrA)과 게이트 및 데이터 배선(미도시)에 대응하여 보호층(77)을 형성한다. 이때, 상기 보호층(77)은 과식각(over etch)되어 그 끝단이 상기 포토레지스트 패턴(91)의 끝단보다는 내측으로 형성됨으로써 즉, 언더 컷(under cut)이 발생되도록 형성하며, 이때, 상기 보호층(77) 외측으로 상기 드레인 전극(72) 일부가 노출되도록 형성하는 것이 특징이다.
- <38> 다음, 화소영역(P) 내에 있어, 전술한 식각에 의해 상기 무기절연층(미도시)이 제거됨으로써 노출된 게이트 절연막(65)을 더욱 식각 제거하여 기판면을 노출시키고, 상기 노출된 기판면과 상기 포토레지스트 패턴(91) 상부로 전면에 투명 도전성 물질층(80)을 형성한다.
- <39> 이때, 상기 투명 도전성 물질층(80)은 상기 포토레지스트 패턴(91)과 그 하부의 보호층(77)의 언더 컷 형태에 의해 기판면과 상기 포토레지스트 패턴(91)상에 형성된 투명 도전성 물질층(80)은 끊김(CA)이 발생하고, 상기 보호층(77) 외측으로 노출된 포토레지스트 패턴(91)의 끝단의 하측면에는 상기 투명 도전성 물질층(80)이 형성되지 않음으로써 상기 포토레지스트 패턴(91)을 녹이는 스트립액이 상기 포토레지스트 패턴(91)과 보호층(77)의 계면으로 침투 가능하도록 형성되는 것이 특징이다.
- <40> 다음, 도 3b에 도시한 바와 같이, 상기 투명 도전성 물질층(80)이 형성된 기판(61)을 스트립액에 노출시키면 상기 투명 도전성 물질층(80)이 형성되지 않은 언더 컷 발생 부분을 통해 상기 보호층(77)과 상기 포토레지스트

패턴(91)간의 계면으로 상기 스트립액이 침투함으로써 최종적으로 상기 포토레지스트 패턴(91)과 그 상부의 투명 도전성 물질층(80)이 함께 제거됨으로써 기판면과 접촉하며 형성된 투명 도전성 물질층만이 남게되며, 이것이 화소전극(82)을 형성하게 된다.

<41> 하지만, 전술한 종래의 리프트 오프(lift-off)법에 의해서는 포토레지스트 패턴과 스트립액이 접촉하는 부분 즉, 보호층이 포토레지스트 패턴에 대해 언더 컷 구조가 됨으로써 스트립액이 침투할 수 있는 영역(이하 스트립액 침투 영역이라 함)이 너무 작아서 매우 많은 시간(통상적으로 8분 이상)을 필요로 하는 바, 생산성이 저하되는 문제가 있으며, 더욱이, 너무 과도한 시간동안 스트립액에 기판을 노출시키거나 또는 스트립 진행 속도를 높이고자 스트립액의 온도를 높이게 되면, 상기 포토레지스트 패턴뿐만 아니라, 상기 화소전극과 접촉하기 위해 노출된 소스 및 드레인 금속층이 식각되거나 손상됨으로써 상기 화소전극과 접촉이 이루어지지 않아 불량을 초래하는 문제가 있다.

발명이 이루고자 하는 기술적 과제

<42> 상기 문제점을 해결하기 위해서, 본 발명에서는 마스크 공정 단축을 위한 리프트 오프(lift-off) 공정이 빠른 시간내에 원활히 진행되도록 하는 어레이 기판의 제조 방법을 제공하는데 그 목적이 있다.

<43> 또한, 공정 시간 단축 및 생산성 향상을 통해 어레이 기판의 제조 비용을 절감하는 것을 그 목적으로 한다.

발명의 구성 및 작용

<44> 상기 목적을 달성하기 위한 본 발명에 따른 리프트 오프(lift-off)를 이용한 패턴 형성 방법은, 기판 상부로 형성된 포토레지스트 패턴을 이용하여 패턴을 형성하기 위한 리프트 오프(lift-off)를 이용한 패턴 형성 방법에서, 상기 포토레지스트 패턴 위로 상기 기판 전면에서 패턴 형성을 위한 물질층 형성하는 단계와; 상기 물질층이 형성된 기판을 핫 플레이트(hot plate) 또는 경화로에 위치시킨 후, 100℃ 내지 300℃의 온도에서 60초 내지 150초 동안 열처리하는 단계와; 상기 열처리를 진행한 기판을 스트립액에 노출시킴으로써 상기 포토레지스트 패턴과 그 상부의 물질층을 제거하는 단계를 포함한다.

<45> 삭제

<46> 삭제

<47> 또한, 상기 열처리를 진행한 기판의 스트립액에 노출은 4분 이내로 진행하는 것이 특징이다.

<48> 또한, 상기 열처리하는 단계는 상기 포토레지스트 패턴에 열이 가해짐으로 그 부피가 팽창되어 그 상부의 물질층에 크랙이 발생하고, 상기 크랙 부분이 이격함으로서 상기 포토레지스트 패턴을 노출시키는 다수의 틈이 발생하는 것이 특징이다.

<49> 본 발명에 따른 액정표시장치용 어레이 기판의 제조 방법은 게이트 배선과 데이터 배선이 교차하여 정의되는 화소영역과, 상기 화소영역 내에 박막트랜지스터가 형성되는 스위칭 영역이 정의된 기판상에 제 1 금속층을 형성하고 제 1 마스크 공정을 진행하여 상기 제 1 금속층을 패터닝함으로써 상기 게이트 배선을 형성하고, 상기 스위칭 영역에 상기 게이트 배선에서 분기한 게이트 전극을 형성하는 단계와; 상기 게이트 배선 및 게이트 전극 위로 게이트 절연막과, 순수 비정질 실리콘층과, 불순물 비정질 실리콘층과, 제 2 금속층을 순차적으로 형성하고, 제 2 마스크 공정을 진행하여, 상기 스위칭 영역에 게이트 절연막 위로 액티브층과 서로 이격한 오믹콘택층과, 소스 및 드레인 전극을 형성하고, 상기 소스 전극과 연결되는 상기 데이터 배선을 형성하고, 상기 화소영역에는 기판을 노출시키는 단계와; 상기 소스 및 드레인 전극과 데이터 배선 위로 전면에서 무기절연층을 형성하고, 상기 무기절연층 위로 상기 스위칭 영역과 게이트 배선 및 데이터 배선에 대응하여 포토레지스트 패턴을 형성하는 단계와; 상기 포토레지스트 패턴 외부로 노출된 무기절연층 식각함으로써 상기 스위칭 영역과 게이트 및 데이터 배선 상부에 보호층을 형성하고, 상기 드레인 전극 일부를 포함하여 화소영역 내에 기판면을 노출시키는 단계와; 상기 포토레지스트 패턴 및 노출된 기판 위로 전면에서 투명 도전성 물질층을 형성하는 단계와; 상기 투명 도전성 물질층이 형성된 기판을 핫 플레이트(hot plate) 또는 경화로를 이용하여 100℃ 내지 300℃의 온도에서 60초 내지 150초 동안 열처리하는 단계와; 상기 열처리된 기판을 스트립액에 노출시켜 상기 포토레지스트 패턴 및 그 상부의 투명 도전성 물질층을 제거함으로써 상기 드레인 전극과 접촉하며, 기판면과 접촉하는 화소전

극을 형성하는 단계를 포함한다.

<50>

삭제

<51>

삭제

<52>

또한, 상기 제 2 마스크 공정을 진행하여 소스 및 드레인 전극과 데이터 배선을 형성하는 단계는 상기 화소영역의 게이트 배선에 대응하여 스토리지 전극을 형성하는 단계를 더욱 포함하며, 이때, 상기 화소전극은 그 일끝이 상기 스토리지 전극과 접촉하도록 형성되는 것이 특징이다.

<53>

또한, 상기 무기절연층의 식각은 과식각(over etching)을 진행하여 상기 무기절연층이 패터닝되어 형성된 보호층의 끝단이 상기 포토레지스트 패턴 내측에 위치한 언더 컷 형태가 되도록 하는 것이 바람직하다.

<54>

또한, 상기 열처리된 기관의 스트립액에 노출은 4분 이내로 진행하는 것이 특징이다.

<55>

또한, 상기 열처리하는 단계는 상기 포토레지스트 패턴에 열이 가해짐으로 그 부피가 팽창되어 그 상부의 투명도전성 물질층에 크랙이 발생하고, 상기 크랙 부분이 이격함으로써 상기 포토레지스트 패턴을 노출시키는 다수의 틈이 발생하는 것이 특징이다.

<56>

이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 설명한다.

<57>

본 발명에 따른 리프트 오프(lift-off)법은 포토레지스트 패턴 상부에 소정의 물질층을 형성한 후, 상기 포토레지스트 패턴을 제거하기 위한 스트립 공정 전에, 소정의 온도에서 소정 시간 열처리 하는 공정을 더욱 진행하는 것을 특징으로 한다.

<58>

포토레지스트는 소정 온도의 열을 받으면 그 부피가 팽창하며, 퍼지는 특성을 갖는다. 이때, 상기 포토레지스트 패턴 상부에 형성된 물질층은 상기 포토레지스트 패턴의 부피팽창 및 퍼짐에 의해 결합력을 잃게되어 크랙이 발생하고, 더욱 부피가 팽창함에 따라 상기 크랙이 발생한 부분이 이격하게 되어 상기 포토레지스트 패턴을 노출시키게 되며, 더욱이 언더컷 발생 부분이 더욱 넓어지게 되며, 이러한 진행이 완료된 기관을 스트립액에 노출시킴으로써 상기 스트립액이 상기 포토레지스트 패턴과 반응하는 부분을 크게 함으로써 상기 포토레지스트의 스트립공정이 원활히 그리고 빠르게 진행되도록 한 것이 특징이다.

<59>

이하, 도면을 참조하여 어레이 기관을 제조 하는 방법과 더불어 본 발명에 따른 리프트 오프(lift-off) 공정을 더욱 상세히 설명한다.

<60>

도 4a 내지 도 4h는 본 발명에 따른 리프트 오프(lift-off)법을 이용하여 3마스크 공정에 의해 어레이 기관을 제조 하는 것을 도시한 제조 공정 단면도로서, 하나의 화소영역(P)에 대한 제조 단계별 단면도이다. 설명의 편의를 위해 박막트랜지스터(Tr)가 형성되는 영역을 스위칭 영역(TrA), 스토리지 커패시터(StgC)가 형성되는 영역을 스토리지 영역(StgA)이라 정의한다.

<61>

우선, 도 4a에 도시한 바와 같이, 기관(110)상에 금속물질층을 증착하여 전면에 제 1 금속층(미도시)을 형성한 후, 상기 제 1 금속층 위로 포토레지스트를 도포하여 포토레지스트층을 형성하고, 빛의 투과영역과 차단영역을 갖는 마스크(미도시)를 이용하여 상기 포토레지스트층을 노광하고, 상기 노광된 포토레지스트층을 현상함으로써 포토레지스트 패턴을 형성하고, 상기 포토레지스트 패턴 사이로 노출된 금속층(미도시)을 식각하는 일련의 공정을 포함하는 제 1 마스크 공정을 진행하여 화소영역(P)을 정의하는 게이트 배선(113)과 상기 게이트 배선(113)에서 각 화소영역(P) 내의 스위칭 영역(TrA)으로 분기한 게이트 전극(115)을 형성한다.

<62>

다음, 도 4b에 도시한 바와 같이, 상기 게이트 배선(113)과 게이트 전극(115) 위로 전면에 무기절연물질인 산화실리콘(SiO_2) 또는 질화실리콘(SiN_x)을 증착하여 게이트 절연막(120)을 형성하고, 연속하여 상기 게이트 절연막(120) 위로 순수 비정질 실리콘과, 불순물 비정질 실리콘과 금속물질을 증착함으로써 순수 비정질 실리콘층(122a)과 불순물 비정질 실리콘층(122b)과 제 2 금속층(128)을 형성한다.

<63>

이후, 상기 제 2 금속층(128) 위로 포토레지스트를 도포하여 제 2 포토레지스트층을 형성하고, 이를 빛의 투과영역과, 차단영역과, 빛의 투과량이 0% 내지 100% 내에서 선택되는 반투과영역을 갖는 마스크(미도시)를 이용하여 노광하고, 상기 포토레지스트층을 현상함으로써 상기 스위칭 영역(TrA)에 있어서 상기 게이트 전극(115)과 대응해서는 얇은 제 1 두께를 갖는 제 1 포토레지스트 패턴(183a)을, 상기 게이트 전극(115)과 대응되는 영역을

제외한 스위칭 영역(TrA) 즉, 추후 소스 및 드레인 전극이 형성될 영역과 스토리지 영역(StgA)에 대응해서는 상기 제 1 두께보다 두꺼운 제 2 두께의 제 2 포토레지스트 패턴(183b)을 형성한다.

<64> 다음, 도 4c에 도시한 바와 같이, 상기 제 1, 2 포토레지스트 패턴(183a, 183b) 외부로 노출된 제 2 금속층(도 4b의 128) 및 그 하부의 불순물 실리콘층(도 4b의 122b)과 순수 비정질 실리콘층(도 4b의 122a)과 게이트 절연막(120)을 순차적으로 식각함으로써 스위칭 영역(TrA)에 있어서는 연결된 상태인 소스 드레인 패턴(129)과 그 하부로 연결된 상태의 오믹콘택층(125b)과, 액티브층(125a)을 형성하고, 스토리지 영역(StgA)에 있어서는 제 2 스토리지 전극(139)과 그 하부로 반도체 패턴(123)을 형성하며, 동시에 하부의 게이트 배선(113)과 교차하여 화소영역(P)을 정의하며, 상기 연결된 상태의 소스 드레인 패턴(129)과 연결된 데이터 배선(130)을 형성한다. 이때, 상기 스토리지 영역(StrA) 및 스위칭 영역(TrA)을 제외한 화소영역(P)은 상기 제 2 금속층(도 4b의 128)과 불순물 비정질 실리콘층(도 4b의 122b)과 순수 비정질 실리콘층(도 4b의 122a)과 게이트 절연막(120)이 모두 제거됨으로써 기판면을 노출시키게 되는 것이 특징이다.

<65> 다음, 도 4d에 도시한 바와 같이, 상기 연결된 상태의 소스 드레인 패턴(도 4c의 129)과 데이터 배선(130)과, 제 2 스토리지 전극(139)이 형성된 기판(110)을 애싱(ashing) 또는 드라이 에칭(dry etching)을 진행하여 상기 얇은 제 1 두께를 갖는 제 1 포토레지스트 패턴(도 4d의 183a)을 제거함으로써 상기 소스 드레인 패턴(도 4c의 129)의 일부를 노출시킨다. 이때, 상기 두꺼운 제 2 두께의 제 2 포토레지스트 패턴(183b)은 그 두께가 줄어들었지만 여전히 기판(110)상에 남아있게 된다.

<66> 이후, 상기 제 2 포토레지스트 패턴(183b)을 식각 마스크로하여 상기 제 2 포토레지스트 패턴(183b) 외부로 노출된 상기 소스 드레인 패턴(도 4c의 129)을 식각하여 제거함으로써 이격된 소스 및 드레인 전극(133, 136)을 형성하며 동시에 상기 연결된 상태의 오믹콘택층(도 4c의 125b)을 노출시킨다.

<67> 다음, 연속하여 상기 소스 및 드레인 전극(133, 136) 사이로 노출된 연결된 상태의 오믹콘택층(도 4c의 125b)을 식각함으로써 이격된 상태의 오믹콘택층(125b)을 형성하며, 동시에 상기 오믹콘택층(125b)의 이격된 사이로 액티브층(125a)을 노출시킨다.

<68> 다음, 도 4e에 도시한 바와 같이, 상기 기판 상에 남아있는 제 2 포토레지스트 패턴(도 4d의 183b)을 애싱(ashing) 또는 스트립(strip)하여 제거하고, 상기 소스 및 드레인 전극(133, 136)과 데이터 배선(130)과 제 2 스토리지 전극(139) 및 노출된 기판면 위로 전면으로 무기절연물질인 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)을 증착하여 무기절연층을 형성하고, 상기 무기절연층 위로 포토레지스트를 도포하여 제 3 포토레지스트층을 형성한다.

<69> 이후, 상기 제 3 포토레지스트층 위로 투과영역과 차단영역을 갖는 마스크를 위치시키고 상기 마스크를 통한 노광을 실시한 후, 현상함으로써 상기 스위칭 영역(TrA)과 스토리지 영역(StgA) 및 게이트 배선(113)과 데이터 배선(130)과 중첩하는 영역의 무기절연층 위로 포토레지스트 패턴(185)을 형성하고, 상기 포토레지스트 패턴(185) 외부로 노출된 무기절연층을 식각함으로써 상기 스위칭 영역(TrA)에 있어서는 상기 드레인 전극(136) 일부를 노출시키고, 화소영역(P) 내에서는 기판면을 노출시키며, 상기 스토리지 영역(StgA)에 있어서는 상기 제 2 스토리지 전극(139) 일부를 노출시키는 보호층(145)을 형성한다. 이때, 과식각(over etch)을 진행하여 상기 패터닝된 보호층(145)이 상기 포토레지스트 패턴(185)에 대해 언더 컷(under cut) 형태로 형성되도록 하는 것이 특징적인 면이 된다.

<70> 다음, 도 4f에 도시한 바와 같이, 상기 포토레지스트 패턴 및 노출된 기판위로 전면으로 투명 도전성 물질 예를들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)를 증착함으로써 투명 도전성 물질층(150)을 형성한다. 이때, 상기 투명 도전성 물질층(150)은 상기 포토레지스트 패턴(185)과 보호층(145)간의 언더 컷 형태의 구조 특성으로 인해 상기 포토레지스트 패턴(185) 끝단부 하부 및 상기 보호층(145)의 측면에는 거의 증착되지 않아 상기 부분에서는 뚫림이 발생하며, 상기 보호층(145) 외측으로 노출된 상기 제 2 스토리지 전극(139)과 드레인 전극(136)과 접촉하며 형성되는 것이 특징이다.

<71> 다음, 도 4g에 도시한 바와 같이, 상기 포토레지스트 패턴(185) 위로 투명 도전성 물질층(150)이 형성된 기판(110)을 100℃ 내지 300℃로 가열된 핫 플레이트(hot plate) 상에서 또는 상기 온도의 분위기를 갖는 경화로(191)에서 60초 내지 150초간 열을 가하는 열처리 공정을 진행한다.

<72> 상기 열처리 공정에 의해 상기 포토레지스트 패턴(185)은 서서히 그 부피가 팽창하게 되며, 퍼지게 되며, 이러한 포토레지스트 패턴(185)의 변화에 의해 그 상부에 형성된 투명 도전성 물질층(150)이 결합력을 잃고 그 결합이 약해져 부분적으로 다수의 크랙(creek)이 발생하고, 고온 분위기에서 소정의 시간이 지남에 따라 상기 포토

레지스트 패턴(185)이 더욱 부피팽창을 하며 퍼짐에 따라 투명 도전성 물질층(150) 상의 상기 다수의 크랙(creek)이 발생한 부분이 이격하여 상기 포토레지스트 패턴(185)을 노출시키는 틈(153)이 다수개 발생하며, 상기 언더 컷(under) 형태로서 상기 보호층(145) 외측으로 돌출 형성된 포토레지스트 패턴(185)의 끝단도 부피팽창 및 퍼짐에 의해 더욱 늘어나게 됨으로써 스트립액이 상기 포토레지스트 패턴(185)과 보호층(145)과의 계면으로 침투가 더욱 용이한 구조가 된다.

<73> 다음, 도 4h에 도시한 바와 같이, 상기 열처리에 의해 그 부피가 팽창하며 퍼진 형태의 포토레지스트 패턴(도 4g의 185)과 그 상부로 다수의 틈을 갖게 된 투명 도전성 물질층(도 4g의 150)이 형성된 기판(110)을 스트립액에 노출시킴으로써 상기 리프트 오프(lift-off)에 의해 상기 포토레지스트 패턴(도 4g의 185)과 그 상부의 투명 도전성 물질층(도 4g의 150)을 제거한다. 이때, 기판면과 접촉하여 남아있는 투명 도전성 물질층은 그 일끝이 상기 드레인 전극(136) 및 제 2 스토리지 전극(139)과 접촉하는 화소전극(160)을 형성하게 된다.

<74> 이때, 상기 열처리 공정을 진행한 포토레지스트 패턴(도 4g의 185)과 그 상부로 투명 도전성 물질층(도 4g의 150)을 형성한 기판(110)을 스트립액에 노출시키는 시간은 2분 내지 4분정도로 진행하는 것이 바람직하며, 본 발명의 경우 전술한 2분 내지 4분정도의 시간동안 스트립 공정을 진행하더라도 충분히 포토레지스트 패턴(도 4g의 185) 및 그 상부에 형성된 투명 도전성 물질층(도 4g의 150)을 제거할 수 있게 된다. 이는 열처리에 의해 상기 포토레지스트 패턴(도 4g의 185) 상부의 상기 투명 도전성 물질층(도 4g의 150)이 상기 포토레지스트 패턴(도 4g의 185)의 부피팽창에 의해 깨짐으로써 마치 서로 이격한 패턴 형태로 형성되어 상기 이격한 틈으로 스트립액에 상기 포토레지스트 패턴(도 4g의 185)이 노출되는 구조가 되기 때문이다.

<75> 따라서, 본 발명에 따른 리프트 오프(lift-off)법에 의해서는 열처리 시간을 60초 내지 150초간 진행하고, 스트립액에 노출시간을 4분 이내로 진행함으로써 최대로 계산한다하여도 총 6분30초 이내로 리프트 오프(lift-off) 공정을 진행하는 반면, 종래의 열처리 공정없는 리프트 오프(lift-off) 공정은 스트립액에 기판을 노출시키는 시간을 8분 이상으로 진행하고 있는 바, 생산성 측면에서 본 발명에 따른 리프트 오프(lift-off) 공정이 우수함을 알 수 있다.

<76> 또한, 스트립액에 노출되는 시간이 줄어들므로 해서 상기 스트립액에 노출된 드레인 전극 등의 금속층이 손상이 발생한 가능성 또한 줄어들게 된다.

<77> 도 5와 도 6은 포토레지스트 패턴과 그 상부로 투명 도전성 물질층이 형성된 기판의 열처리를 진행전과 진행 후의 상기 포토레지스트 패턴 끝단에서의 SEM 사진이다. 이때 알아보기 쉽게 하기 위해 포토레지스트 패턴은 보라색으로 투명 도전성 물질층은 노란색을 표현하였다.

<78> 사진에 나타난 바와같이, 열처리 공정 이전(도 5 참조)에는 스트립액이 침투할 수 있는 영역은 언더컷이 발생한 부분뿐임을 알 수 있는 반면, 열처리를 실시한 후의 사진(도 6참조)을 보면 상기 포토레지스트 패턴이 부피팽창하여 퍼짐으로 해서 그 끝단부가 언더컷이 발생한 부분 외측으로 흘러내림으로써 투명 도전성 물질층 외부로 노출된 부분이 증가하였음을 알 수 있다. 따라서, 스트립액에 노출시킬 경우, 상기 스트립액과 반응하는 영역이 증가되었음을 알 수 있으며, 이로 인해 상기 포토레지스트 패턴은 훨씬 빨리 스트립액과 반응하게 됨을 알 수 있다.

발명의 효과

<79> 이와 같이, 어레이 기판의 제조에 있어서 리프트 오프(lift-off) 공정 이전에 소정의 온도에서 소정시간 열처리 공정을 진행하여 포토레지스트 패턴을 부피팽창 시킨 후, 리프트 오프(lift-off) 공정을 진행함으로 공정시간을 단축하여 생산성을 향상시키는 효과가 있다.

<80> 또한, 스트립액에 노출되는 포토레지스트 패턴의 영역을 증가시킴으로써 반응면적이 넓어짐으로 인해 리프트 오프(lift-off) 실패에 의한 불량률을 저감시키는 효과가 있다.

<81> 또한, 3 마스크의 액정표시장치용 어레이 기판 제조방법에 의해 공정에 사용되는 마스크 수를 줄임으로써, 공정 효율을 높일 있고, 공정 단순화로 인하여 액정표시장치용 어레이 기판의 제조 비용을 절감하는 효과가 있다.

도면의 간단한 설명

<1> 도 1은 일반적인 액정표시장치의 분해사시도.

<2> 도 2는 일반적인 액정표시장치의 어레이 기판 내의 하나의 화소영역을 박막트랜지스터를 포함하여 절단한 단면

도.

- <3> 도 3a 내지 도 3b는 종래의 리프트 오프법을 이용하여 마스크 공정없이 화소전극을 형성하는 것을 단계별로 도시한 단면도.

<4> 도 4a 내지 도 4h는 본 발명에 따른 리프트 오프법을 이용하여 3마스크 공정에 의해 어레이 기판을 제조 하는 것을 도시한 제조 공정 단면도.

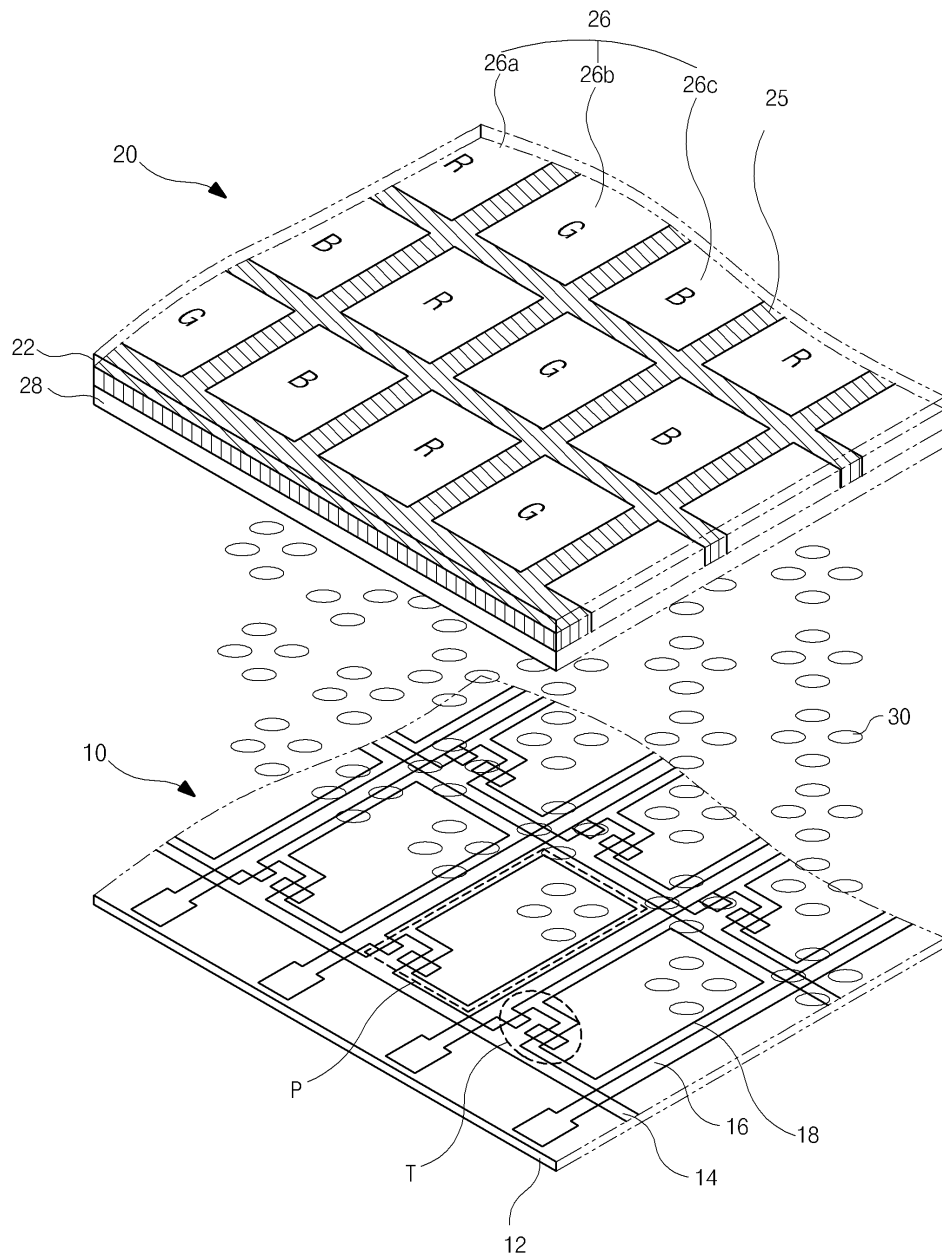
<5> 도 5와 도 6은 포토레지스트 패턴과 그 상부로 투명 도전성 물질층이 형성된 기판의 열처리를 진행전과 진행 후의 상기 포토레지스트 패턴 끝단에서의 SEM 사진.

<6> < 도면의 주요 부분에 대한 부호의 설명 >

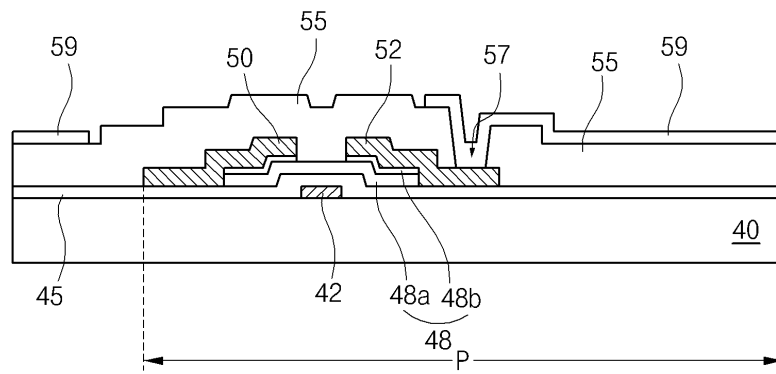
<7> 110 : 어레이 기판	113 : 게이트 절연막
<8> 115 : 게이트 전극	120 : 게이트 절연막
<9> 123 : 반도체 패턴	125 : 반도체층
<10> 130 : 데이터 배선	133 : 소스 전극
<11> 136 : 드레인 전극	139 : 제 2 스토리지 전극
<12> 145 : 제 1 보호층	150 : 투명 도전성 물질층
<13> 185 : 포토레지스트 패턴	191 : 경화로
<14> P : 화소영역	TrA : 스위칭 영역
<15>	

도면

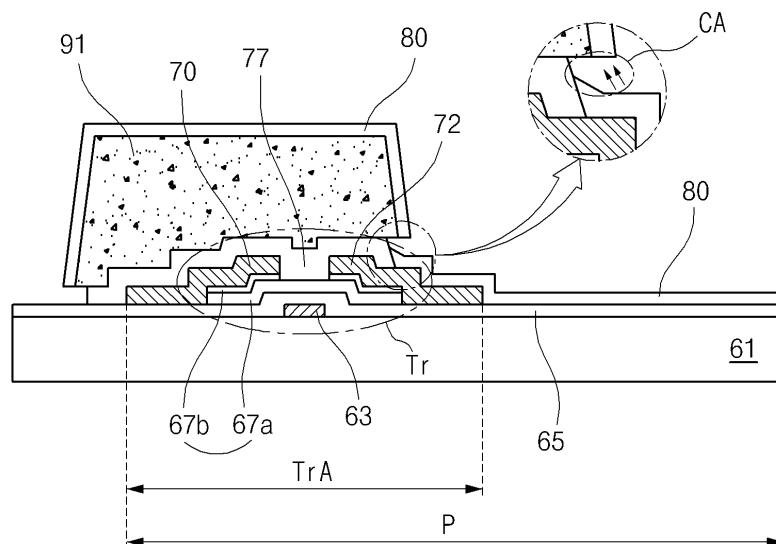
도면1



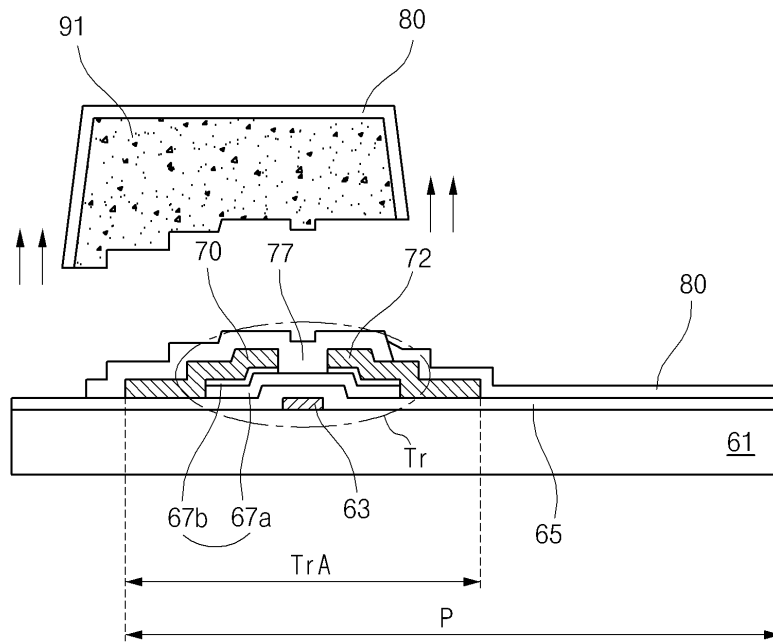
도면2



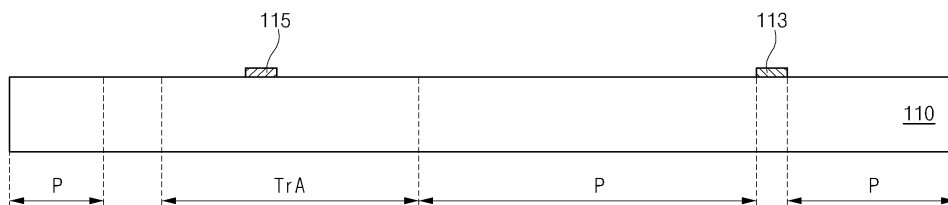
도면3a



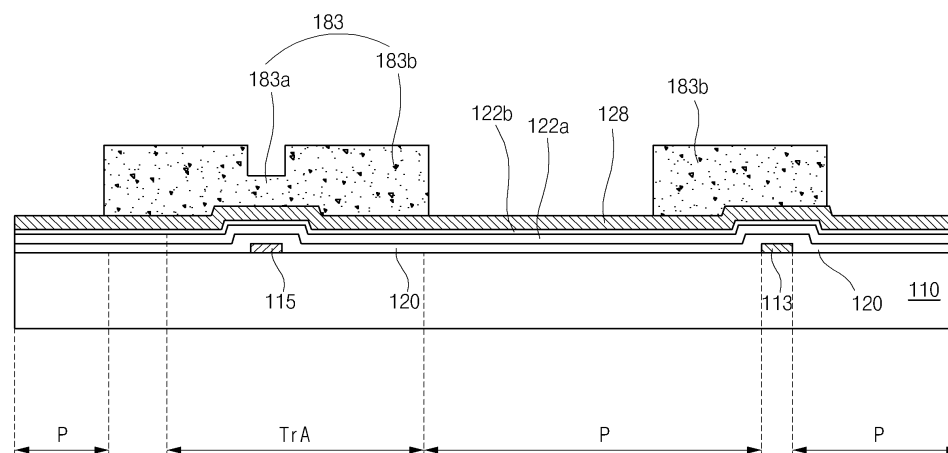
도면3b



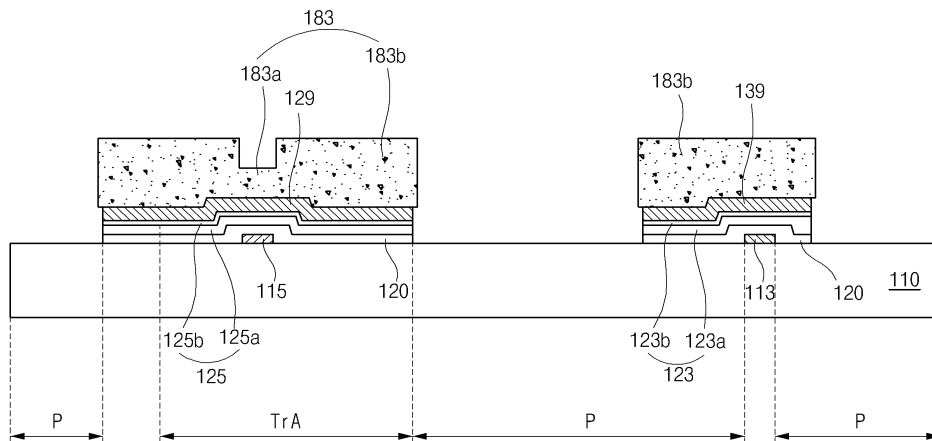
도면4a



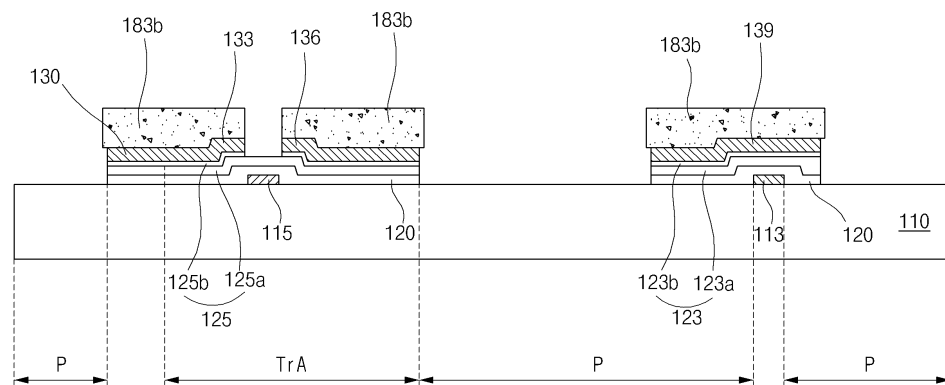
도면4b



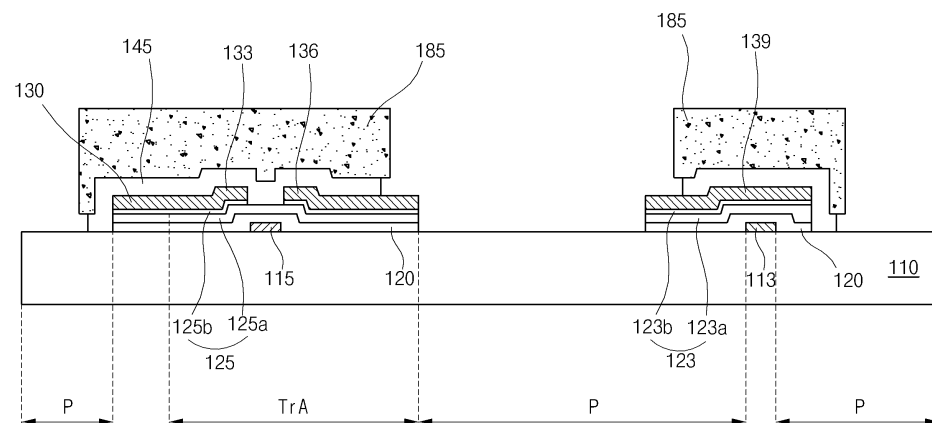
도면4c



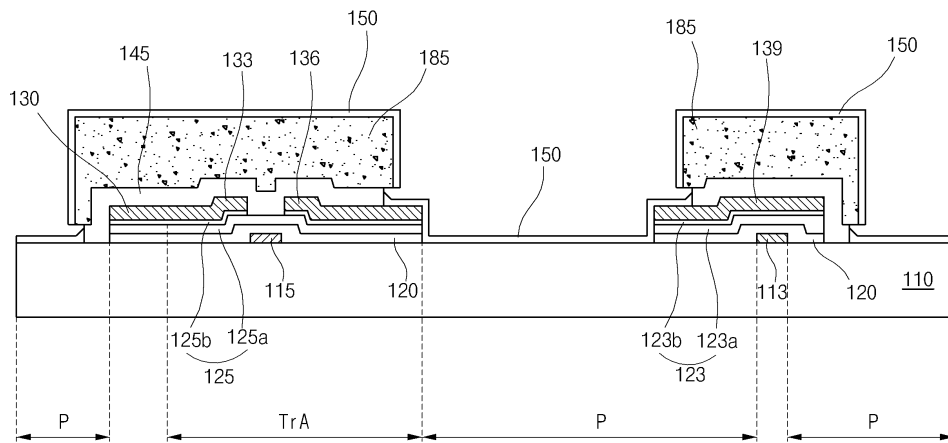
도면4d



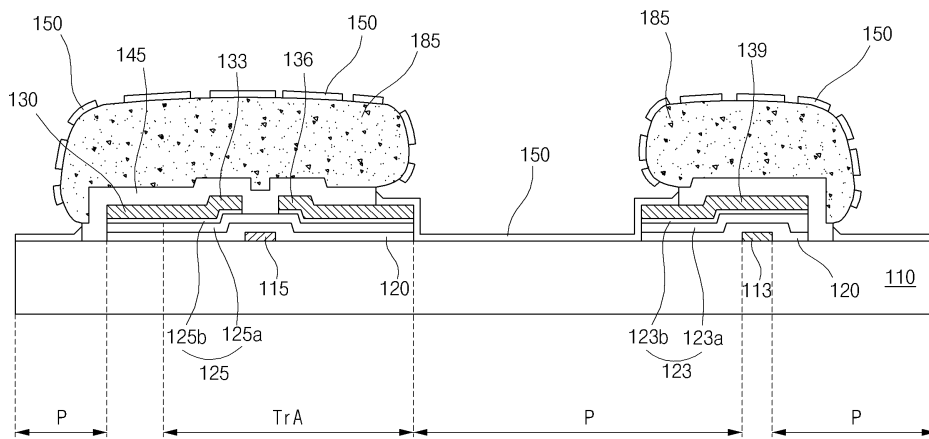
도면4e



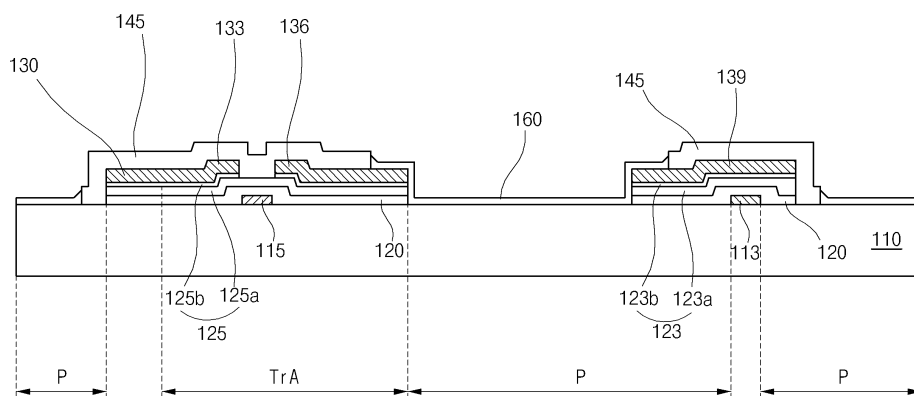
도면4f



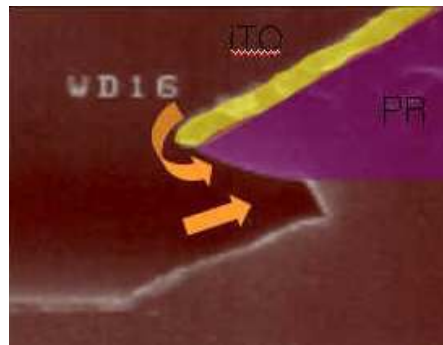
도면4g



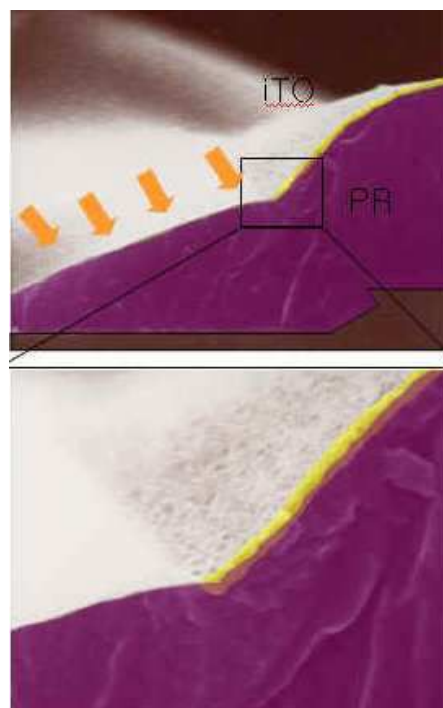
도면4h



도면5



도면6



专利名称(译)	使用剥离的图案形成方法和使用该方法的液晶显示装置的阵列基板的制造方法		
公开(公告)号	KR100919636B1	公开(公告)日	2009-09-30
申请号	KR1020050057899	申请日	2005-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LIM JONG JOO		
发明人	LIM,JONG JOO		
IPC分类号	G02F1/136		
CPC分类号	H01L27/1288 G02F1/1362 H01L27/1214		
其他公开文献	KR1020070002388A		
外部链接	Espacenet		

摘要(译)

本发明的特征在于，在光刻胶图案上的光刻胶图案上形成透明导电材料层的基板在预定的温度气氛中进行预定时间的热处理，一种通过增加暴露于带状液体的光致抗蚀剂图案区域来缩短剥离时间以提高生产率的图案形成方法，以及通过应用这种图案形成方法通过三掩模工艺制造用于液晶显示器的阵列基板的方法它提供。

