



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년04월30일
(11) 등록번호 10-0895016
(24) 등록일자 2009년04월20일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2002-0060735

(22) 출원일자 2002년10월04일

심사청구일자 2007년10월04일

(65) 공개번호 10-2004-0031338

(43) 공개일자 2004년04월13일

(56) 선행기술조사문헌

KR1019990003530 A*

KR1020010063296 A*

KR1020020041327 A*

KR1019980083766 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

홍형기

서울특별시마포구신공덕동삼성아파트104동1002호

정진열

서울특별시은평구불광동16-109

(74) 대리인

박장원

전체 청구항 수 : 총 14 항

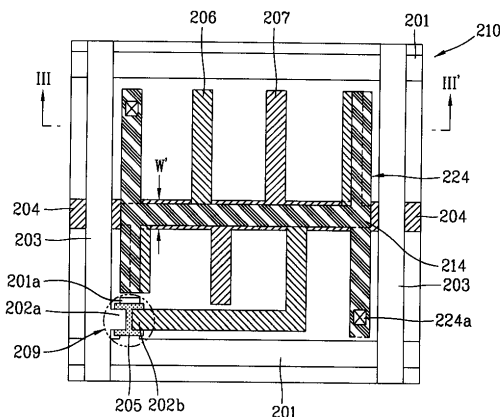
심사관 : 윤성주

(54) 횡전계방식 액정 표시 소자 및 그 제조방법

(57) 요약

본 발명은 횡전계방식 액정 표시 장치에 관한 것으로, 제 1기판에 중첩으로 배열되어 화소를 정의하는 게이트 라인 및 데이터 라인과; 상기 게이트 라인 및 데이터 라인의 교차점에 형성된 스위칭 소자와; 상기 화소 내에 게이트 라인과 평행하게 배치되고, 제 1중첩 영역을 형성하는 제 1공통 전극 라인 및 화소 전극 라인과; 상기 제 1공통 전극 라인과 화소 전극 라인에 각각 접속하고, 데이터 라인과 평행하게 배열되어 횡전계를 발생시키며, 상기 제 1공통 전극 라인을 중심으로 데이터 라인에 인접하는 그 상부와 하부에 각각 제 2중첩 영역을 형성하는 제 1공통 전극 및 화소 전극과; 상기 제 1 및 제 2 중첩 영역과 데이터 라인에 인접하는 제 1공통 전극 상에 배치되며, 상기 제 1공통 전극과 접속하는 제 2공통 전극으로 이루어지며, 상기 제 2공통 전극은 화소 전극에 미치는 데이터 전압을 영향을 차단함과 아울러, 상기 축적용량을 증가시켜 회질의 신뢰도를 향상키는 역할을 한다.

대표도 - 도3a



특허청구의 범위

청구항 1

제 1기관 및 제 2기관과;

상기 제 1기관에 중첩으로 배열되어 화소를 정의하는 게이트 라인 및 데이터 라인과;

상기 게이트 라인 및 데이터 라인의 교차점에 형성된 박막트랜지스터와;

상기 화소 내에 게이트 라인과 평행하게 배치되고, 제 1중첩 영역을 형성하는 공통 전극 라인 및 화소 전극 라인과;

상기 공통 전극 라인과 화소 전극 라인에 각각 접속하고, 데이터 라인과 평행하게 배열되어 횡전계를 발생시키며, 상기 공통 전극 라인을 중심으로 데이터 라인에 인접하는 그 상부와 하부에 각각 제 2중첩 영역을 형성하는 제 1공통 전극 및 화소 전극과;

상기 제 1 및 2 중첩 영역과 데이터 라인에 인접하는 제 1공통 전극 상에 배치되며, 상기 제 1공통 전극과 접속하는 제 2공통 전극과;

상기 제 1기관과 제 2기관 사이에 형성된 액정층을 포함하여 이루어지는 것을 특징으로 하는 횡전계방식 액정 표시 소자.

청구항 2

제 1항에 있어서, 상기 제 1중첩 영역을 중심으로 그 상부와 하부에 각각 홀수 블록의 광투과 영역을 가지는 것을 특징으로 하는 횡전계방식 액정 표시 소자.

청구항 3

제 1항에 있어서, 상기 제 1중첩 영역을 중심으로 그 상부와 하부에 각각 3블록의 광투과 영역을 가지는 것을 특징으로 하는 횡전계방식 액정 표시 소자.

청구항 4

제 1항에 있어서, 상기 데이터 라인에 인접하는 제 1공통 전극과 화소전극 사이에는 절연막이 개재되어 있고 상기 데이터라인에 인접하는 제2공통전극과 화소전극 사이에는 보호막이 개재되어 있는 것을 특징으로 하는 횡전계방식 액정 표시 소자.

청구항 5

삭제

청구항 6

제 1항에 있어서, 상기 공통 전극 라인 및 제 1공통 전극은 불투명한 금속 물질로 형성되어 있는 것을 특징으로 하는 횡전계 방식 액정 표시 소자.

청구항 7

제 6항에 있어서, 상기 불투명한 금속 물질은 Cu, Ti, Cr, Mo, Ta, Al, Al 합금으로 이루어진 일군으로부터 선택된 것을 특징으로 하는 횡전계방식 액정 표시 소자.

청구항 8

제 1항에 있어서, 상기 화소 전극 라인 및 화소 전극은 불투명한 금속 물질로 형성되어 있는 것을 특징으로 하는 횡전계 방식 액정 표시 소자.

청구항 9

제 8항에 있어서, 상기 불투명한 금속 물질은 Cu, Mo, Cr, Ti, Al, Al 합금으로 이루어진 일군으로부터 선택된

것을 특징으로 하는 횡전계방식 액정 표시 소자.

청구항 10

제 1항에 있어서, 상기 제 2공통 전극은 투명한 물질로 이루어져 있는 것을 특징으로 하는 횡전계방식 액정 표시 소자.

청구항 11

제 10항에 있어서, 상기 투명한 물질은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)인 것을 특징으로 하는 횡전계방식 액정 표시 소자.

청구항 12

제 1항에 있어서, 상기 제 2공통 전극은 'H' 형상인 것을 특징으로 하는 횡전계방식 액정 표시 소자.

청구항 13

제 1항에 있어서, 상기 제 2중첩 영역에서 형성되는 축적 용량은 절연막을 사이에 두고 제 1공통 전극과 화소 전극에서 발생하는 제 1축적 용량과 보호막을 사이에 두고 화소 전극과 제 2공통 전극에서 발생하는 제 2축적 용량의 합으로 이루어지는 것을 특징으로 하는 횡전계방식 액정 표시 소자.

청구항 14

제 1항에 있어서, 상기 박막트랜지스터는 상기 게이트 라인으로부터 인출된 게이트 전극과;

상기 게이트 전극 위에 형성된 게이트 절연막과;

상기 게이트 절연막 위에 형성된 반도체층과;

상기 반도체층 위에 형성된 오믹접촉층과;

상기 오믹접촉층 위에 형성되어, 상기 데이터 라인으로부터 인출된 소스 전극 및 드레인 전극으로 구성되어 있는 것을 특징으로 하는 횡전계방식 액정 표시소자.

청구항 15

제 1 및 제 2기판과;

상기 제 1기판에 중첩으로 배열되어 화소를 정의하는 게이트 라인 및 데이터 라인과;

상기 게이트 라인 및 데이터 라인의 교차점에 형성되며, 상기 게이트 라인으로부터 인출된 게이트 전극과 상기 게이트 전극 상에 형성된 반도체층과 상기 반도체층상에 형성되며 데이터 라인으로부터 인출된 소스 전극과 상기 소스 전극과 대향하는 드레인 전극으로 구성된 박막트랜지스터와;

상기 화소 내에 게이트 라인과 평행하게 배치되고, 제 1중첩 영역을 형성하는 공통 전극 라인 및 화소 전극 라인과;

상기 공통 전극 라인과 화소 전극 라인에 각각 접속하고, 데이터 라인과 평행하게 배열되어 횡전계를 발생시키며, 상기 공통 전극 라인을 중심으로 데이터 라인에 인접하는 그 상부와 하부에 각각 제 2중첩 영역을 형성하는 제 1공통 전극 및 화소 전극과;

상기 제 1공통 전극 및 화소 전극을 포함하는 기판 전면에서 형성되며, 상기 제 1공통 전극의 일부를 노출시키는 콘택홀이 형성된 보호막과;

상기 보호막 상에 형성되고, 콘택홀을 통하여 제 1공통 전극과 접속하고 제 1 및 제 2 중첩 영역과 데이터 라인에 인접하는 제 1공통 전극과 중첩하며 'H' 형상을 가지는 제 2공통 전극과;

상기 제 1기판과 제 2기판 사이에 형성된 액정층을 포함하여 이루어지는 것을 특징으로 하는 횡전계방식 액정 표시 소자.

청구항 16

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <10> 본 발명은 액정 표시 소자에 관한 것으로, 특히 개구율 향상 및 화질의 신뢰성을 확보할 수 있는 횡전계방식 액정 표시 소자 및 그 제조 방법에 관한 것이다.
- <11> 최근, 고화질, 저전력의 평판 표시 소자(flat panel display device)로서 주로 사용되는 트위스트 네마틱 모드(twisted nematic mode) 액정 표시 소자(liquid crystal display device)는 시야각이 좁다는 단점이 있다. 이것은 액정분자의 굴절을 이방성(refractive anisotropy)에 기인하는 것으로, 기판과 수평하게 배향된 액정분자가 액정패널(liquid crystal display panel)에 전압이 인가될 때 기판과 거의 수직방향으로 배향되기 때문이다.
- <12> 따라서, 액정분자를 기판과 거의 수평한 방향으로 배향하여 시야각 문제를 해결하는 횡전계방식 액정 표시 소자(In Plane Switching mode LCD)가 최근에 활발하게 연구되고 있다.
- <13> 도 1은 일반적인 횡전계방식 액정 표시 소자의 단위 화소를 개략적으로 도시한 것으로, 도 1a는 평면도이고, 도 1b는 도 1a의 I-I'선의 단면도이다.
- <14> 도 1a에 도시한 바와 같이, 투명한 제 1기판(10) 상에 게이트 라인(1) 및 데이터 라인(3)이 종횡으로 배열되어 화소 영역을 정의한다. 실제의 액정 표시 소자에서는 n개의 게이트 라인(1)과 m개의 데이터 라인(3)이 교차하여 n×m개의 화소가 존재하지만, 도면에는 설명을 간단하게 하기 위해 단지 한 화소만을 나타내었다.
- <15> 상기 화소 영역 내에는 상기 게이트 라인(1)과 데이터 라인(3)의 교차점에는 게이트 전극(1a), 반도체층(5) 및 소스/드레인 전극(2a/2b)으로 구성된 박막트랜지스터(thin film transistor;9)가 배치되어 있으며, 상기 게이트 전극(1a) 및 소스/드레인 전극(2a/2b)은 각각 게이트 라인(1) 및 데이터 라인(3)에 접속된다. 또한, 게이트 절연막(12)은 기판 전체에 걸쳐서 적층되어 있다.
- <16> 화소 영역 내에는 상기 게이트 라인(1)과 평행하게 공통 전극 라인(4)이 배열되고, 액정분자를 스위칭 시키는 적어도 한쌍의 전극 즉, 공통 전극(6)과 화소 전극(7)이 서로 평행하게 배열되어 있다. 상기 공통 전극(6)은 게이트 전극(1a)과 동시에 형성되어 공통 전극 라인(4)에 접속되며, 화소 전극(7)은 소스/드레인 전극(2a/2b)과 동시에 형성되어 박막트랜지스터(9)의 드레인 전극(2b)과 접속된다. 그리고, 상기 소스/드레인 전극(2a/2b)을 포함하는 기판 전체에 걸쳐서 보호막(11) 및 제 1배향막(12a)이 도포되어 있다. 또한, 상기 공통 전극(6)은 화소 영역 외곽에 형성된 화소 전극(7)과 데이터 라인(3) 사이에 발생하는 횡전계를 차폐시키기 위하여 화소영역의 외곽에 형성하는 것이 바람직하다. 또한, 상기 공통 전극 라인(4)과 중첩되어 형성된 화소 전극 라인(14)은 그 사이에 개재된 절연막(8)을 사이에 두고 축적 용량을 형성하게 되며, 설정된 축적 용량을 확보하기 위하여 상기 공통 전극 라인(4)의 폭(w)이 확보되어야 한다.
- <17> 제 2기판(20)에는 박막트랜지스터(9), 게이트 라인(1) 및 데이터 라인(3)으로 빛이 새는 것을 방지하는 블랙매트릭스(21)와 칼라필터(23)가 형성되어 있으며, 그 위에는 제 2배향막(12b)이 도포되어 있다. 또한, 상기 제 1 및 제 2기판(10,20) 사이에는 액정층(13)이 형성된다.
- <18> 상기와 같은 구조를 가지는 횡전계방식 액정 표시 소자에서 전압이 인가되지 않는 경우에는 액정층(13) 내에 액정 분자가 제 1배향막(12a) 및 제 2배향막(12b)의 배향 방향에 따라 배향 되지만, 공통 전극(6)과 화소 전극(7)에 사이에 전압이 인가되면 기판과 평행하게 스위칭되어, 상기 공통 전극(6) 및 데이터 라인(3)의 연장 방향과 수직 방향으로 배향된다. 상기한 바와 같이, 액정층(13)내의 액정 분자가 항상 동일한 평면(plane) 상에서 스위칭되기 때문에, 상하 방향 및 좌우 방향의 시야각 방향에서 계조 표시(grey level)의 반전이 일어나지 않는다.
- <19> 그러나, 상기와 같은 횡전계방식 액정 표시 소자에서는 화소 영역 내에 불투명한 금속으로 이루어진 공통 전극(6) 및 화소 전극(7)이 함께 형성되고, 공통 전극(6)이 화소의 외곽에 형성되어야 하기 때문에 짝수개의 광투과 영역을 가지게 된다. 따라서, 개구율 감소 및 개구율을 향상시키는데 한계가 있었다.

<20> 또한, 화소 영역의 외곽에 공통 전극을 형성한다 하더라도, 구동중 화소 전극에 미치는 데이터 전압의 영향을 차폐시키는데 한계가 있었다.

발명이 이루고자 하는 기술적 과제

<21> 따라서, 본 발명은 상기한 바와 같은 종래의 문제점을 해결하기 위하여 이루어진 것으로, 공통 전극 라인을 중심으로 그 상부 영역과 하부 영역에서 공통 전극 및 화소 전극 각각이 서로 엇갈리도록 배치하고, 화소 영역의 외곽에 공통 전극 및 화소 전극을 중첩시켜 형성함으로써 홀수개의 광투과 영역(3블럭, 5블럭)을 가지도록 하여 종래 짝수개의 블럭을 가지는 종래 액정 표시 소자에 비하여 개구율을 향상시키는데 그 목적이 있다.

<22> 본 발명의 다른 목적은 화소 영역의 외곽에 형성된 공통 전극 상에 별도로 공통 전극을 형성하여 화소 전극에 미치는 데이터 전압의 영향을 효율적으로 차폐시키고, 아울러 축적 용량을 향상시켜 화질의 신뢰도를 향상시키는데 있다.

<23> 기타 본 발명의 목적 및 특징은 이하의 발명의 구성 및 특허청구범위에서 상세히 기술될 것이다.

발명의 구성 및 작용

<24> 상기한 목적을 달성하기 위한 본 발명의 횡전계방식 액정 표시 소자는 제 1 및 제 2기판과; 상기 제 1기판 위에 종횡으로 배열되어 화소 영역을 정의하는 게이트 라인 및 데이터 라인과; 상기 게이트 라인과 데이터 라인의 교차부에 형성된 박막트랜지스터와; 상기 게이트 라인에 평행하게 배치된 공통 전극 라인과; 상기 공통 전극 라인에 접속하는 공통 전극과; 화소 영역의 외곽에 배치된 공통 전극과 상하 방향으로 중첩하고, 상기 공통 전극과 교차되도록 배치된 화소 전극과; 상기 제 1기판과 제 2기판 사이에 형성된 액정층을 포함하여 이루어진다. 이때, 상기 공통 전극 라인을 중심으로 화소의 상부 영역과 하부 영역에 배치되는 화소 전극은 이들간의 균일한 간격을 유지하기 위하여 서로 어긋나도록 형성되어 있으며, 데이터 라인에 인접하는 화소 전극은 공통 전극과 중첩되어 배치된다.

<25> 상기와 같이 상기 공통 전극 라인을 중심으로 화소의 상부 영역과 하부 영역에 배치되는 공통 전극 및 화소 전극을 각각 어긋나도록 형성하고, 데이터 라인에 인접하는 화소 전극은 공통 전극과 중첩되도록 배치함으로써, 홀수 블록(3블럭, 5블럭)의 광 투과영역을 갖도록 할 수 있다. 동일한 화소 영역 안에 화소 전극과 공통 전극에 의해서 나누어지는 광 투과 영역이 짝수 블록으로 형성된 종래의 액정 표시 소자에 비하여 홀수 블록으로 형성되었을 때, 광투과 영역을 더욱 확보하여 개구율을 향상시킬 수가 있다.

<26> 또한, 본 발명의 다른 목적을 달성하기 위한 횡전계방식 액정 표시 소자는 제 1기판 및 제 2기판과; 상기 제 1기판 위에 종횡으로 배열되어 화소 영역을 정의하는 게이트 라인 및 데이터 라인과; 상기 게이트 라인과 데이터 라인의 교차부에 형성된 박막트랜지스터와; 상기 게이트 라인에 평행하게 배치된 공통 전극 라인과; 상기 공통 전극 라인에 접속하는 제 1공통 전극과; 화소 영역의 외곽에 배치된 공통 전극과 상하 방향으로 중첩(overlap)하고, 상기 공통 전극과 나란하게 배치된 화소 전극과; 화소 영역의 외곽에 형성된 제 1공통 전극 및 공통 전극 라인에 중첩되어 형성된 제 2공통 전극과; 상기 제 1기판과 제 2기판 사이에 형성된 액정층을 포함하여 이루어진다. 이때, 상기 공통 전극 라인을 중심으로 화소의 상부 영역과 하부 영역에 배치되는 화소 전극은 서로 어긋나도록 형성되어 있으며, 화소 전극과 제 1 및 2 공통 전극이 중첩되는 영역에서 축적 용량이 형성된다.

<27> 상기와 같이, 화소 영역의 외곽에 형성된 제 1공통 전극 상에 제 2공통 전극을 추가로 형성함으로써, 화소 전극에 미치는 데이터 전압을 영향을 더욱 효과적으로 차폐할 수 있다. 아울러, 상기 제 1공통 전극과 화소 전극의 중첩 영역에서 발생하는 커패시터 이외에도 제 2공통 전극에 의한 새로운 커패시터가 발생되기 때문에 커패시터의 용량을 증가시켜 화질을 더욱 향상시킬 수가 있다.

<28> 이하, 참조한 도면을 통하여 상기와 같은 본 발명의 횡전계방식 액정 표시 소자에 대하여 상세히 설명한다.

<29> 도 2는 본 발명에 따른 제 1실시예를 도시한 것으로, 도 2a는 3블럭 액정 표시 소자의 단위 화소를 도시한 평면도이고, 도 2b는 도 2a에 있어서 II-II'의 수직 단면도이다.

<30> 먼저, 도 2a에 도시한 바와 같이, 게이트 라인(101)과 데이터 라인(103)의 교차부에 박막트랜지스터(109)가 형성되어 있다. 박막트랜지스터(109)는 게이트 라인(101)으로부터 인출된 게이트 전극(107)과, 상기 게이트 전극(101a) 위에 형성된 반도체층(105)과, 상기 데이터 라인(103)으로부터 인출되어 반도체층(105) 상에 형성된 소스/드레인 전극(102a, 102b)으로 구성된다.

- <31> 한편, 화소 내에는 내에 상기 게이트 라인(101)과 평행하게 공통 전극 라인(104) 및 화소 전극 라인(114)이 배치되어 제 1중첩 영역(120)을 형성하고 있으며, 상기 공통 전극 라인(114)과 접속되는 공통 전극(106)과 화소 전극 라인(114)에 접속되는 화소 전극(107)이 나란하게 형성되어 있다. 이때, 상기 화소 전극(107)은 박막트랜지스터(109)의 드레인 전극(102b)과 접속되고, 상기 공통 전극(106) 및 화소 전극(107)은 상기 제 1중첩 영역(120)을 중심으로 하여 화소의 상부 영역과 하부 영역에 대하여 각각 엇갈린 구조를 가진다. 또한, 화소 영역의 외곽에 배치된 공통 전극(106) 및 화소 전극(107)이 소정 간격 중첩되어 제 2중첩 영역(130)을 형성하고, 상기 제 1 및 제 2중첩 영역(120,130)은 축적 용량(storage capacitor)을 형성하게 된다.
- <32> 도 2b에 도시한 바와 같이, 상기 공통 전극(106)은 유리와 같은 투명한 물질로 이루어진 제 1기판(110) 상에 형성되어 있으며, 상기 화소 전극(107) 및 데이터 라인(103)은 제 1기판(110)에 형성된 게이트 절연막(108) 상에 형성되어 있다. 아울러, 상기 화소 전극(107) 및 데이터 라인(103)을 포함하는 제 1기판(110)의 전면에 걸쳐서 보호막(111)이 형성되어 있다. 이때, 데이터 라인(103)에 인접하는 공통 전극(106) 및 화소 전극(107)은 게이트 절연막(108)을 사이에 두고 서로 중첩하여 커패시터를 형성한다. 또한, 제 1기판(110)과 대향하는 제 2기판(120)에는 빛샘 방지를 위한 블랙매트릭스(black matrix; 121)와 칼라필터(123)가 형성되어 있으며, 상기 제 1기판(110)과 제 2기판(120) 사이에는 액정층(113)이 형성되어 있다.
- <33> 상기한 바와 같이, 데이터 라인(103)에 인접하는 영역에 형성된 공통 전극(106) 및 화소 전극(107)을 중첩시켜 형성함으로써, 종래 액정 표시 소자에 비하여 중첩된 영역만큼 개구율을 향상시킬 수가 있다. 이때, 화소 전극(107)과 중첩되어 있는 공통 전극(106)은 데이터 라인(103)의 신호가 화소 전극(107)에 미치는 영향을 차폐시키는 역할을 한다.
- <34> 그러나, 상기 데이터 라인(103)에 인접하는 화소의 외곽에 공통 전극(107)을 배치시킨다 하더라도, 상기 공통 전극(106)과 중첩하는 화소 전극(107)과 데이터 라인(103) 사이에 발생하는 전계를 완전히 차단시키는 것이 불가능하다. 따라서, 구동시 상기 데이터 라인(103)이 화소 전극(107)에 미치는 전계의 영향으로 인하여 수직 크로스 토크(cross talk)가 발생되어 화질의 신뢰성이 저하되는 문제가 발생된다.
- <35> 도 3은 본 발명의 다른 실시예를 도시한 것으로, 상기와 같은 크로스 토크 문제를 해결하기 위해서 고안된 것이다. 도 3a는 제 2실시예에 따른 개략적인 평면도이고, 도 3b는 도 3a에 있어서 II-II'의 수직 단면도이다.
- <36> 도면에 도시한 바와 같이, 본 발명의 제 2실시예에 따른 횡전계방식 액정 표시 소자는 게이트 라인(201)과 데이터 라인(203)의 교차부에 박막트랜지스터(209)가 형성되어 있다. 박막트랜지스터(209)는 게이트 라인(201)으로부터 인출된 게이트 전극(201a)과, 상기 게이트 전극(201a) 위에 형성된 반도체층(205)과, 상기 데이터 라인(203)으로부터 인출되어 반도체층(205) 상에 형성된 소스/드레인 전극(202a/202b)으로 구성된다.
- <37> 한편, 화소 내에는 내에 상기 게이트 라인(201)과 평행하게 공통 전극 라인(204) 및 화소 전극 라인(214)이 배치되어 있으며, 상기 공통 전극 라인(204)과 접속되는 제 1공통 전극(206)과 화소 전극 라인(214)에 접속되는 화소 전극(207)이 나란하게 형성되어 있다. 여기서, 공통 전극 라인(204)의 폭(w')은 약 10~15 μ m로 설계되어 있으며, 화소 전극(207)은 드레인 전극(202b)과 연결되어 있다. 또한, 상기 제 1공통 전극(206) 및 화소 전극(207)은 상기 공통 전극 라인(204) 및 화소 전극 라인(214)을 중심으로 하여 각각 서로 엇갈린 구조를 가지며, 데이터 라인(203) 근방에 배치된 제 1공통 전극(206) 및 화소 전극(207)은 중첩되어 있다. 아울러, 제 1공통 전극 라인(204) 및 데이터 라인(203)에 인접하는 제 1공통 전극(206)과 콘택홀(224a)을 통하여 접속하며, 'H' 형상을 가지는 제 2공통 전극(224)이 형성되어 있다. 상기 제 2공통 전극(224)은 데이터 전압이 데이터 라인(203)에 인접하는 화소 전극(207)에 미치는 유효 영역을 줄여 데이터 라인(203)으로부터 화소 전극(207)에 미치는 전계의 영향을 최대한 차단할 수 있도록 한다.
- <38> 또한, 게이트 라인(201)과 나란하게 배치되는 공통 전극 라인(204)과 화소 전극 라인(214) 그리고 제 2공통 전극(224)이 중첩되는 제 1중첩 영역(220)과, 제 1공통 전극(206)과 화소 전극(207) 그리고 제 2공통 전극(224)이 중첩되는 제 2중첩 영역(230)에서 축적 용량(Cst)이 형성된다.
- <39> 도 3b에 도시한 바와 같이, 제 1공통 전극(206)은 유리와 같은 투명한 물질로 이루어진 제 1기판(210) 상에 형성되어 있으며, 화소 전극(207)은 제 1기판(210)에 형성된 게이트 절연막(208) 상에 데이터 라인(203)과 함께 형성되어 있다. 또한, 도면에 도시하지는 않았지만, 상기 제 1기판(210) 위에는 박막트랜지스터(209)의 게이트 전극(201a)이 형성되어 있고 게이트 절연막(208) 상에는 반도체층(205)이 형성되어 있으며, 상기 반도체층(205) 위에는 소스 및 드레인 전극(202a,202b)이 형성되어 있다. 또한, 제 2공통 전극(224)은 상기 소스/드레인 전극(202a/202b)과 제 1공통 전극(206) 및 화소 전극(207)을 포함하는 제 1기판(210) 전체에 걸쳐서 형성된 보호막

(211) 상에 형성되어 있으며, 상기 게이트 절연막(208) 및 보호막(211)을 사이에 두고, 서로 중첩하는 제 1 및 제 2공통 전극(204,224)과 화소 전극(214)이 중첩되어 있다. 이때, 화소 전극(207)이 제 1 및 제 2공통 전극(204,224)과 중첩되는 폭(d)은 약 $3\sim 5\mu\text{m}$ 이며, 횡전계를 발생시키는 제 1공통 전극(206)과 화소 전극(207) 간의 이격 거리(d')는 약 $16\sim 20\mu\text{m}$ 이다. 여기서, d와 d'의 수치값은 3블럭 액정 표시 소자에서만 적용되는 것으로, 5블럭 또는 7블럭 액정 표시 소자를 설계할 경우 변경된다.

<40> 또한, 상기 제 1기관(210)과 대향하는 제 2기관(220)에는 빔샘 방지를 위한 블랙매트릭스(black matrix;221)와 칼라를 구현하기 위한 칼라필터(223)가 형성되어 있으며, 상기 제 1기관(210)과 제 2기관(220) 사이에는 액정층(213)이 형성되어 있다.

<41> 상기와 같은 구조를 가지는 본 발명의 제 2실시예는 데이터 라인(203)과 인접하는 제 1공통 전극(206) 상에 제 2공통 전극(224)을 추가로 형성함에 따라, 화소 전극(207)에 미치는 데이터 전압의 영향을 최대한 차폐시킬 수 있다. 즉, 도 2b에 도시된 제 1실시예와 비교해볼 때, 데이터 라인(203)에 인접하는 화소 전극(207)의 하부에만 공통 전극이 형성된 구조보다 도 3b와 같이 화소 전극(207)을 사이에 두고 그 하부 및 상부에 공통 전극(206,224)이 동시에 형성된 구조가 데이터 라인(203)에 노출되는 화소 전극(207)의 유효 영역이 작다. 따라서, 데이터 라인(203)과 화소 전극(207) 사이에 발생될 수 있는 전계를 더욱 효과적으로 차단할 수가 있다.

<42> 또한, 상기와 같은 구조를 가지는 본 발명의 제 2실시예는 도 2a에 도시된 제 1실시예의 액정 표시 소자와 동일한 면적의 광투과 영역 즉, 개구율을 가지면서 축적 용량의 용량을 더욱 향상시킬 수가 있다. 도 3b의 확대 도면 A에 도시한 바와 같이, 축적 용량(Cst)은 화소 전극(207)을 중심으로 그 하부에 형성된 게이트 절연막(208) 및 제 1공통 전극(206)에 의해서 형성된 제 1축적 용량(Cst1)과 화소 전극(207)의 상부에 형성된 보호막(211)및 제 2공통 전극(224)에 의해서 형성된 제 2축적 용량(Cst2)의 합으로 이루어진다. 다시 말해, 상기 제 1 및 제 2공통 전극(206,224)은 콘택홀(224a)을 통하여 접속되어 있기 때문에 총 축적 용량(Ctot)은 Cst1+Cst2 이 된다. 반면에 제 1실시예에서 형성되는 축적 용량은 제 1공통 전극(206)과 화소 전극(207)에 의해서만 형성되므로 C1의 용량을 가진다. 따라서, 제 1실시예와 동일한 개구율을 가지면서, 축적 용량을 증가시킬 수가 있다.

<43> 한편, 스토리지 커패시터는 게이트 신호가 인가되는 동안 게이트 전압을 충전한 후, 다음 게이트 라인의 구동시 화소 전극에 데이터 전압이 공급되는 기간동안 충전된 전압을 유지시켜 화소 전극의 전압 변동을 방지하는 역할을 한다. 따라서, 축적 용량이 증가함에 따라, 화소 전극의 전압 변동에 의한 플리커(flicker)를 더욱 효과적으로 방지 할 수 있다.

<44> 또한, 종래에는 공통 라인과 화소 전극 라인의 중첩에 의해서만 축적 용량이 형성되기 때문에, 설정된 축적 용량을 형성하기 위해서는 공통 라인과 화소 전극 라인을 일정 폭 이상으로 설계해야 한다. 그러나, 본 발명에서는 공통 라인과 화소 전극 라인의 중첩 영역 이외에도 화소 전극과 공통 전극의 중첩에 의한 축적 용량을 확보할 수 있기 때문에 공통 라인과 화소 전극 라인의 폭을 종래 보다 줄일 수 있으며, 줄어든 폭에 해당하는 만큼 개구율을 향상시킬 수가 있다. 실제로, 공통 전극 라인의 폭을 $15\mu\text{m}$ 에서 $10\mu\text{m}$ 으로 변경하여 설계하였을 때, 약 2% 이상의 휘도가 향상된다.

<45> 상기와 같은 구조의 액정 표시 소자의 제조 방법은 기관에 게이트 전극 및 게이트 라인과 함께 제 1공통 전극을 형성하는 단계와; 상기 게이트 전극 상에 반도체층을 형성하는 단계와; 상기 반도체층 상에 소스/드레인 전극 및 데이터 라인과 함께 화소 전극을 형성하는 단계와; 상기 데이터 라인 및 화소 전극이 형성된 기관 전면면에 보호막을 형성한 후, 상기 제 1공통 전극의 일부를 노출시키는 콘택홀을 형성하는 단계와; 상기 데이터 라인에 인접하는 제 1공통 전극에 대응하는 보호막 상에 제 1공통 전극과 접속하는 제 2공통 전극을 형성하는 단계를 포함하여 이루어진다. 이때, 상기 콘택홀 및 제 2공통 전극을 형성하는 단계에서는 게이트/데이터 패드부와 게이트/데이터 드라이버 직접회로를 연결하는 공정이 함께 형성된다. 따라서, 본 발명의 제 2실시예에서 제 2공통 전극을 형성하기 위한 별도의 추가 공정이 이루어지지 않는다.

<46> 이하, 도 4a내지 도 4g의 공정 수순도를 참조하여 본 발명의 제 2실시예에 따른 횡전계방식 액정 표시 소자의 제조 방법에 대하여 상세히 설명한다.

<47> 먼저, 도 4a에 도시한 바와 같이, 유리와 같은 투명한 절연 기관(210)을 준비한 다음, 그 위에 Cu, Ti, Cr, Al, Mo, Ta, Al 합금과 같은 금속을 스퍼터링 방법을 통하여 증착한 후, 패터닝하여 게이트 라인(201), 게이트 전극(201a), 공통 전극 라인(204) 및 제 1공통 전극(206)을 형성한다.

<48> 이어서, 도 4b에 도시한 바와 같이, 상기 기관 전면면에 걸쳐서 SiNx 또는 SiOx 등을 플라즈마 CVD 방법으로 증착하여 게이트 절연막(미도시)을 형성한 다음, 그 상부에 비정질 실리콘, n+ 비정질 실리콘을 적층하고 패터닝하

여 반도체층(205)을 형성한다. 이때, 데이터 라인이 형성될 영역에도 반도체층(205)을 형성한다. 이것은 데이터 라인 형성시 공정상의 불량으로 인하여 데이터 라인의 단락(open) 발생시 반도체층(205)을 통하여 데이터 신호가 끊기지 않고 공급될 수 있도록 형성한 것이다.

<49> 그 다음, 도 4c에 도시한 바와 같이, Cu, Mo, Ta, Al, Cr, Ti, Al 합금과 같은 금속을 스퍼터링 방법을 통하여 증착한 다음 패터닝하여 상기 반도체층(205) 상에 데이터 라인, 소스/드레인 전극(202a/202b), 상기 드레인 전극(202b)과 연결된 화소 전극(207) 및 화소 전극 라인(214)을 형성한다. 이때, 상기 소스 전극(202a)과 드레인 전극(202b) 사이에 비정질 실리콘의 반도체층이 노출되도록 형성한다.

<50> 그 다음, 도 4d에 도시한 바와 같이, 상기 반도체층(205)을 포함한 소스/드레인 전극(202a/202b) 및 화소 전극(207)이 형성된 화소 영역의 게이트 절연막(미도시) 상부 전면에 걸쳐서 SiO_x나 SiN_x와 같은 무기물 또는 BCB나 아크릴과 같은 유기물을 적층하여 보호막(미도시)을 형성한 후, 상기 게이트 절연막 및 보호막의 일부를 식각하여 데이터 라인에 인접하는 제 1공통 전극(206)의 일부를 노출시키는 콘택홀(224a)을 형성한다.

<51> 그리고 나서, 도 4e에 도시한 바와 같이, 보호막(211) 상부에 ITO나 IZO와 같은 투명한 물질을 스퍼터링 방법으로 증착한 후, 패터닝하여 상기 콘택홀(224a)을 통하여 제 1공통 전극(206)과 접속하고, 데이터 라인(203)에 인접하는 제 1공통 전극(206) 및 화소 전극(207)과 중첩하는 'H' 형상의 제 2공통 전극(224)을 형성한다. 이때, 도면에 도시하진 않았지만, 게이트/데이터 패드부 및 게이트/데이터 드라이버 직접회로와의 접속(contact) 공정이 함께 이루어진다. 여기에서, 상기 제 2공통 전극(224)은 전술한 제 2실시예의 설명에서 상술한 바와 같이, 데이터 전압으로부터 화소 전극에 미치는 영향을 효율적으로 차폐함과 아울러, 축적 용량을 더욱 증가시킴으로써, 화질의 신뢰성을 더욱 향상시키기 위한 목적으로 형성된 것으로, 제조 방법에서 설명했듯이 제 2공통 전극을 형성하기 위한 별도의 추가 공정이 필요 없다.

발명의 효과

<52> 상술한 바와 같이, 본 발명은 화소 영역의 외곽에 형성된 공통 전극과 화소 전극을 중첩시켜 형성함으로써 종래 액정 표시 소자에 비하여 개구율을 더욱 향상시킬 수 있다.

<53> 또한, 별도의 추가 공정 없이 화소 영역의 외곽에 형성된 공통 전극 상에 공통 전극을 하나 더 형성함으로써, 화소 전극에 미치는 데이터 전압의 영향을 효율적으로 차폐시키고, 축적 용량을 향상시켜 화질의 신뢰도를 향상시킬 수 있다.

도면의 간단한 설명

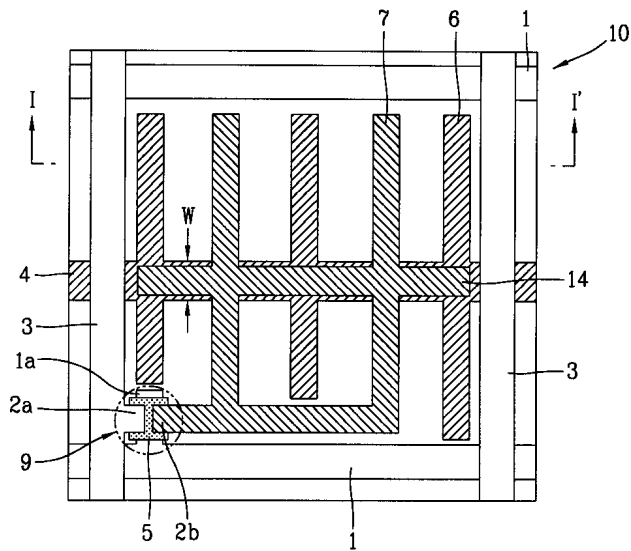
<1> 도 1a 내지 도 1b는 일반적인 횡전계방식 액정 표시 소자의 구조를 도시한 도면.
 <2> 도 2a 내지 도 2b는 본 발명의 제 1실시예에 따른 횡전계방식 액정 표시 소자를 도시한 도면.
 <3> 도 3a 내지 도 3b는 본 발명의 제 2실시예에 따른 횡전계방식 액정 표시 소자를 도시한 도면.
 <4> 도 4a내지 도 4e는 본 발명의 제 2실시예에 따른 횡전계방식 액정 표시 소자 제조 방법을 설명하기 위한 공정 수순도.

<5> ***도면의 주요부분에 대한 부호의 설명***

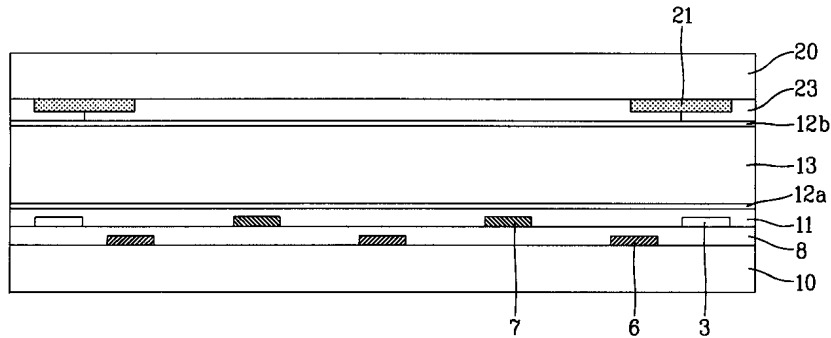
<6>	201: 게이트 라인	203: 데이터 라인
<7>	204: 공통 전극 라인	205: 반도체층
<8>	206: 제 1공통 전극	207: 화소 전극
<9>	214: 화소 전극 라인	224: 제 2공통 전극

도면

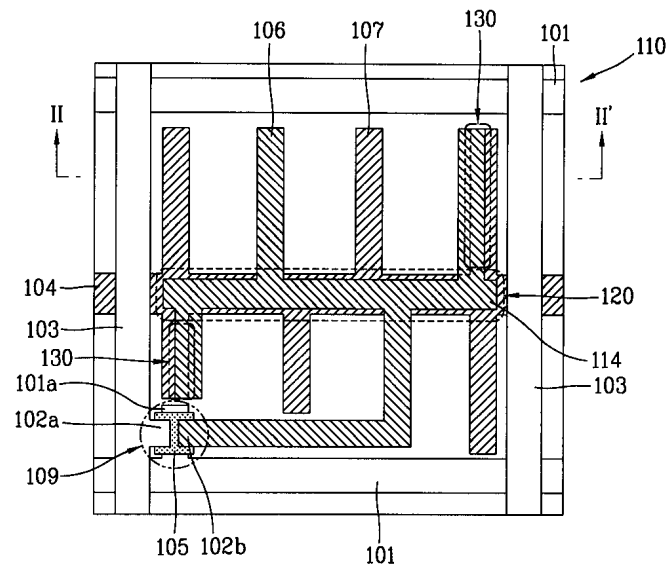
도면1a



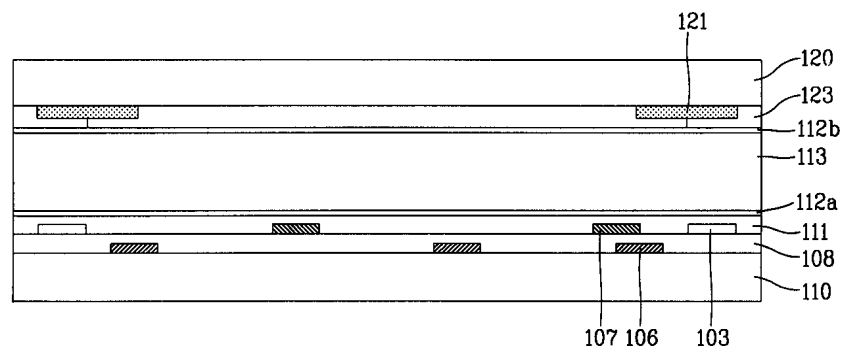
도면1b



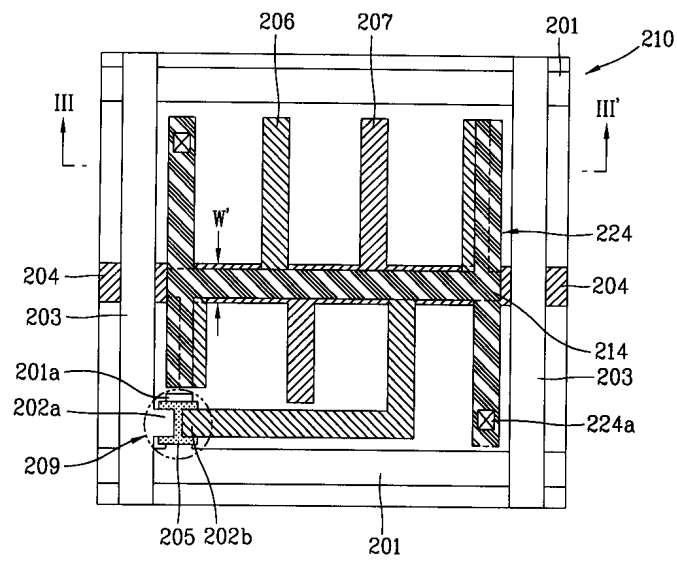
도면2a



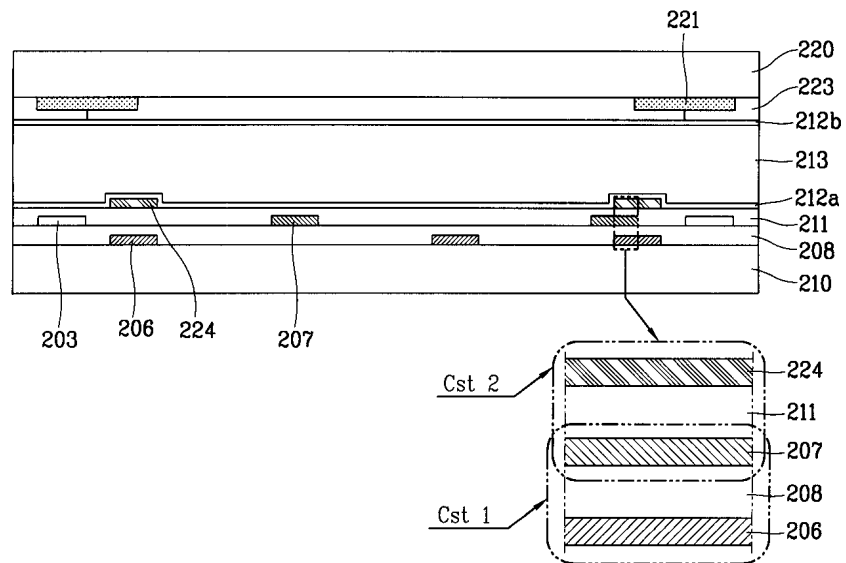
도면2b



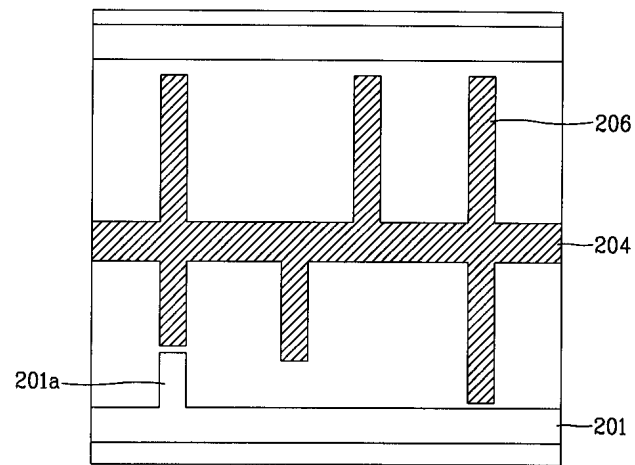
도면3a



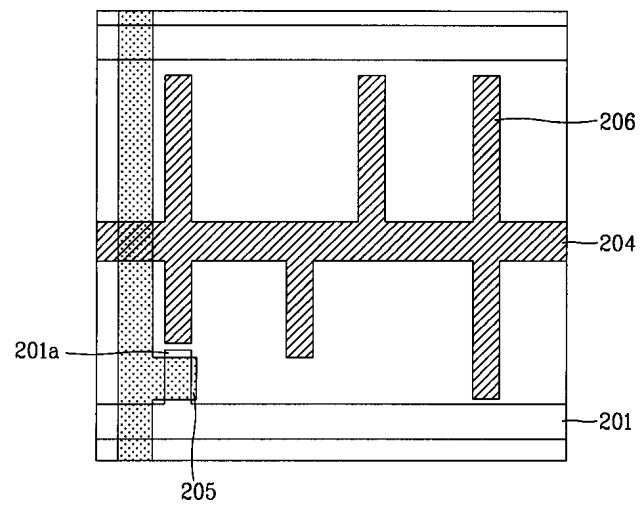
도면3b



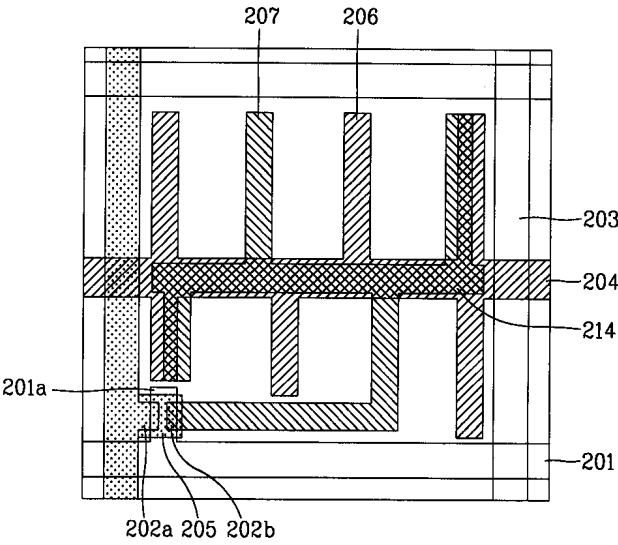
도면4a



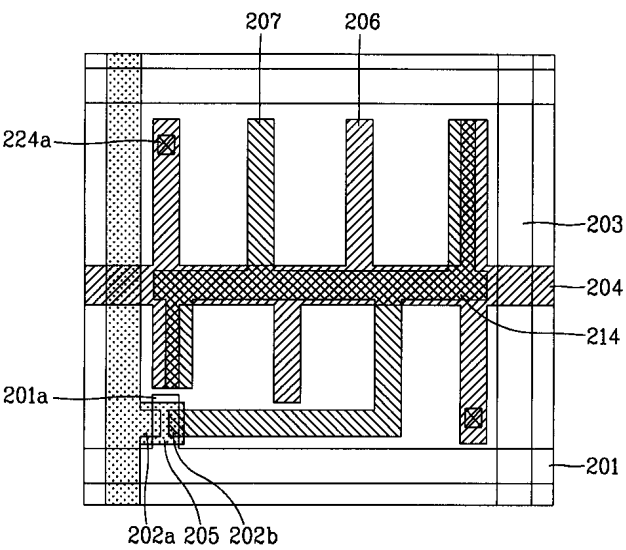
도면4b



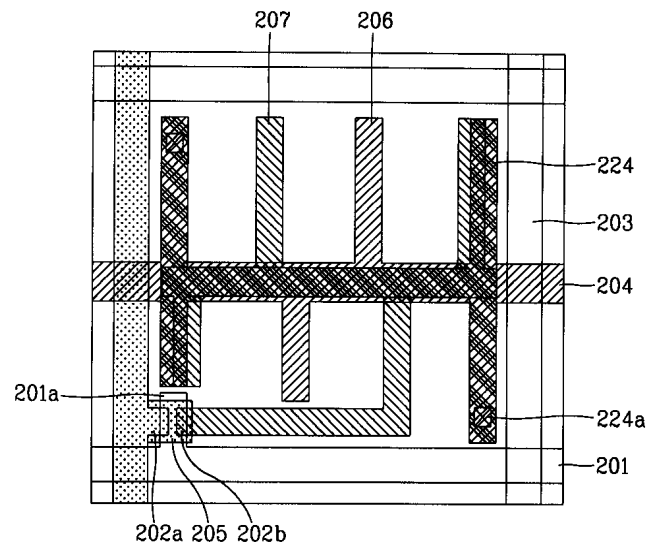
도면4c



도면4d



도면4e



专利名称(译)	横向电场型液晶显示元件及其制造方法		
公开(公告)号	KR100895016B1	公开(公告)日	2009-04-30
申请号	KR1020020060735	申请日	2002-10-04
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HONG HYUNGKI 홍형기 CHUNG JINYOUL 정진열		
发明人	홍형기 정진열		
IPC分类号	G02F1/1343 G02F1/1362		
CPC分类号	G02F1/136213 G02F2001/136218 G02F1/134363		
代理人(译)	PARK , JANG WON		
其他公开文献	KR1020040031338A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种横向电场型的液晶显示装置，它被安排成行和列在所述第一基板的栅极线和数据线限定的像素和/或开关元件形成在栅极线和数据线的交叉处；第一公共电极线和像素电极线，与像素中的栅极线平行布置并形成第一重叠区域；第二公共电极线连接到第一公共电极线和像素电极线并与数据线平行布置以产生横向电场，第一公共电极和像素电极形成重叠区域；第二公共电极，设置在第一公共电极上，与第一和第二重叠区域和数据线相邻，并连接到第一公共电极，并且还通过增加存储容量来提高组件的可靠性。

