



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년08월25일
(11) 등록번호 10-0853772
(24) 등록일자 2008년08월18일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2002-0021795
(22) 출원일자 2002년04월20일
심사청구일자 2007년04월20일
(65) 공개번호 10-2003-0083313
(43) 공개일자 2003년10월30일
(56) 선행기술조사문헌
US6266038B
US6236388B
US6160535B

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

이재우

울산광역시남구야음1동401-36번지

윤상창

경상북도구미시임수동LG동락원기숙사B동610호

박준호

경상북도구미시임수동LG동락원기숙사B동615호

(74) 대리인

김용인, 박영복

전체 청구항 수 : 총 12 항

심사관 : 김범수

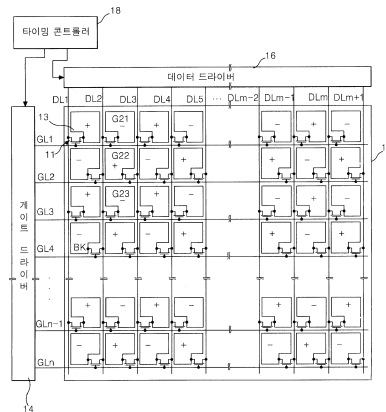
(54) 액정표시장치의 구동방법 및 장치

(57) 요약

본 발명은 표시품질을 높임과 아울러 소비전력을 줄이도록 한 액정표시장치의 구동방법 및 장치에 관한 것이다.

본 발명에 따른 액정표시장치의 구동방법 및 장치는 입력 데이터들 중 어느 하나를 복사하여 더미 데이터를 발생하고, 데이터라인들과 게이트라인들이 교차되며 인접한 두 개의 데이터라인들 사이에서 박막트랜지스터들이 지그재그로 배열되는 액정패널의 게이트라인들에 스캔펄스를 공급함과 동시에 입력 데이터들과 더미 데이터를 액정패널의 데이터라인들에 공급하게 된다.

대표도 - 도6



특허청구의 범위

청구항 1

입력 데이터들 중 어느 하나를 복사하여 더미 데이터를 발생하는 단계와;

데이터라인들과 게이트라인들이 교차되며 인접한 두 개의 상기 데이터라인들 사이에서 박막트랜지스터들이 지그재그로 배열되는 액정패널의 게이트라인들에 스캔펄스를 공급하는 단계와;

상기 스캔펄스에 동기하여 상기 입력 데이터들과 상기 더미 데이터를 상기 액정패널의 데이터라인들에 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 2

제 1 항에 있어서,

상기 더미 데이터를 발생하는 단계는,

제1 데이터기간 내에 포함된 상기 입력 데이터들 중에 첫번째 또는 마지막 데이터를 검출하는 단계와;

상기 제1 데이터기간 내에 포함된 상기 입력 데이터들 중에 검출된 상기 첫번째 또는 마지막 데이터를 이용하여 제1 더미 데이터를 발생하는 단계와;

상기 제1 데이터기간 내에 포함된 입력 데이터들과 상기 제1 더미 데이터를 지정된 출력 데이터 버스를 통하여 출력하는 단계와;

제2 데이터기간 내에 포함된 상기 입력 데이터들 중에 첫 번째 또는 마지막 데이터를 검출하는 단계와;

상기 제2 데이터기간 내에 포함된 상기 입력 데이터들 중에 검출된 상기 첫 번째 또는 마지막 데이터를 이용하여 제2 더미 데이터를 발생하는 단계와;

상기 제2 데이터기간 내에 포함된 상기 입력 데이터들 중에 특정 입력 데이터버스를 통하여 입력되는 데이터들을 지연시키는 단계와;

상기 입력 데이터들에 지정된 출력 데이터버스를 하나씩 쉬프트시키고, 상기 지연된 입력 데이터들을 제외한 상기 제2 데이터기간 내의 입력 데이터들을 상기 쉬프트된 출력 데이터버스를 통하여 출력시킴과 동시에 상기 지연된 입력 데이터들과 상기 제2 더미 데이터를 특정의 출력 데이터 버스를 통하여 출력하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 더미 데이터를 발생하는 단계는,

제1 데이터기간 내에 포함된 상기 입력 데이터들 중에 첫번째 또는 마지막 데이터를 검출하는 단계와;

상기 제1 데이터기간 내에 포함된 상기 입력 데이터들 중에 검출된 첫번째 또는 마지막 데이터를 1 수평기간만큼 지연시켜 제1 더미 데이터를 발생하는 단계와;

상기 제1 데이터기간에 이어지는 제2 데이터기간 내에 포함된 입력 데이터들과 상기 제1 더미 데이터를 지정된 출력 데이터 버스를 통하여 출력하는 단계와;

상기 제2 데이터기간 내에 포함된 상기 입력 데이터들 중에 첫 번째 또는 마지막 데이터를 검출하는 단계와;

상기 제2 데이터기간 내에 포함된 상기 입력 데이터들 중에 검출된 상기 첫 번째 또는 마지막 데이터를 1 수평기간만큼 지연시켜 제2 더미 데이터를 발생하는 단계와;

상기 제2 데이터기간에 이어지는 제3 데이터기간 내에 포함된 상기 입력 데이터들 중에 특정 입력 데이터버스를

통하여 입력되는 데이터들을 지연시키는 단계와;

상기 입력 데이터들에 지정된 출력 데이터버스를 하나씩 쉬프트시키고, 상기 지연된 입력 데이터들을 제외한 상기 제3 데이터기간 내의 입력 데이터들을 상기 쉬프트된 출력 데이터버스를 통하여 출력시킴과 동시에 상기 지연된 입력 데이터들과 상기 제2 더미 데이터를 특정의 출력 데이터 버스를 통하여 출력하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 5

삭제

청구항 6

제 2 항에 있어서,

상기 입력 데이터들과 상기 더미 데이터를 상기 액정패널의 데이터라인들에 공급하는 단계는,

상기 제1 더미 데이터를 상기 액정패널의 최우측 또는 최좌측 데이터라인에 공급함과 동시에 상기 제1 더미 데이터가 공급되는 최우측 또는 최좌측 데이터라인을 제외한 다른 데이터라인들에 상기 제1 데이터기간 내에 포함된 입력 데이터들을 공급하는 단계와;

상기 제2 더미 데이터를 상기 액정패널의 최좌측 또는 최우측 데이터라인에 공급함과 동시에 상기 제2 더미 데이터가 공급되는 최좌측 또는 최우측 데이터라인을 제외한 다른 데이터라인들에 상기 제2 데이터기간 내에 포함된 상기 입력 데이터들을 공급하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 7

삭제

청구항 8

제 4 항에 있어서,

상기 입력 데이터들과 상기 더미 데이터를 상기 액정패널의 데이터라인들에 공급하는 단계는,

상기 제1 더미 데이터를 상기 액정패널의 최좌측 또는 최우측 데이터라인에 공급함과 동시에 상기 제1 더미 데이터가 공급되는 최좌측 또는 최우측 데이터라인을 제외한 다른 데이터라인들에 상기 제2 데이터기간 내에 포함된 입력 데이터들을 공급하는 단계와;

상기 제2 더미 데이터를 상기 액정패널의 최우측 또는 최좌측 데이터라인에 공급함과 동시에 상기 제2 더미 데이터가 공급되는 최우측 또는 최좌측 데이터라인을 제외한 다른 데이터라인들에 상기 제3 데이터기간 내의 입력 데이터들을 공급하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

입력 데이터들 중 어느 하나를 복사하여 더미 데이터를 발생시키는 더미 데이터 발생부와;

데이터라인들과 게이트라인들이 교차되며 인접한 두 개의 상기 데이터라인들 사이에서 박막트랜지스터들이 지그재그로 배열되는 액정패널과;

상기 액정패널의 게이트라인들에 스캔펄스를 공급하는 게이트 구동부와;

상기 스캔펄스에 동기하여 상기 입력 데이터들과 상기 더미 데이터를 상기 액정패널의 데이터라인들에 공급하는 데이터 구동부를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 14

제 13 항에 있어서,

상기 더미 데이터 발생부는,

제1 데이터기간 내에 포함된 상기 입력 데이터들 중에 마지막 또는 첫번째 데이터를 이용하여 발생된 제1 더미 데이터를 상기 제1 데이터기간 내에 포함된 입력 데이터들과 함께 지정된 출력 데이터 버스를 통하여 출력하고;

제2 데이터기간 내에 포함된 상기 입력 데이터들 중에 특정 입력 데이터버스를 통하여 입력되는 데이터들을 지연시키고 상기 제2 데이터기간 내에 포함된 첫 번째 또는 마지막 데이터를 이용하여 발생된 제2 더미 데이터와 상기 지연된 데이터를 특정 출력 데이터버스를 통하여 출력함과 아울러 상기 지연된 데이터 이외의 입력 데이터의 출력 데이터 버스를 쉬프트시키는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 15

삭제

청구항 16

제 14 항에 있어서,

상기 더미 데이터 발생부는,

상기 입력 데이터를 지연시켜 상기 제1 및 제2 더미 데이터를 발생하는 래치와;

상기 래치로부터 출력되는 데이터와 상기 특정 입력 데이터버스를 통하여 입력되는 데이터를 일시 저장하는 레지스터와;

입력라인으로부터의 상기 입력 데이터와 상기 레지스터의 데이터를 선택하는 선택기와;

상기 선택기를 수평기간 단위로 제어하는 제어기를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 17

제 13 항에 있어서,

상기 더미 데이터 발생부는,

제1 데이터기간 내에 포함된 상기 입력 데이터들 중에 마지막 또는 첫번째 데이터를 1 수평기간만큼 지연시켜 발생된 제1 더미 데이터와 상기 제1 데이터기간에 이어지는 제2 데이터기간 내에 포함된 입력 데이터들을 지정된 출력 데이터 버스를 통하여 출력하고;

상기 제2 데이터기간에 이어지는 제3 데이터기간 내에 포함된 상기 입력 데이터들 중에 특정 입력 데이터버스를 통하여 입력되는 데이터들을 지연시키고, 상기 제2 데이터기간 내에 포함된 상기 입력 데이터들 중에 첫 번째 또는 마지막 데이터를 1 수평기간만큼 지연시켜 발생된 제2 더미 데이터와 상기 지연된 데이터를 특정 출력 데이터버스를 통하여 출력함과 아울러, 상기 지연된 데이터 이외의 상기 제3 데이터기간 내에 포함된 입력 데이터의 출력 데이터버스를 쉬프트시키는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 18

삭제

청구항 19

제 17 항에 있어서,

상기 더미 데이터 발생부는,

상기 입력 데이터를 1 수평기간만큼 지연시켜 상기 제1 및 제2 더미 데이터를 발생하는 라인메모리와;

상기 라인메모리로부터 출력되는 데이터와 상기 특정 입력 데이터버스를 통하여 입력되는 데이터를 일시 저장하는 레지스터와;

입력라인으로부터의 상기 입력 데이터와 상기 레지스터의 데이터를 선택하는 선택기와;

상기 선택기를 수평기간 단위로 제어하는 제어기를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 20

제 14 항에 있어서,

상기 데이터 구동부는,

상기 제1 더미 데이터를 상기 액정패널의 최우측 또는 최좌측 데이터라인에 공급함과 동시에 상기 최우측 또는 최좌측 데이터라인을 제외한 다른 데이터라인들에 상기 제1 데이터기간 내에 포함된 입력 데이터들을 공급하고;

상기 제2 더미 데이터를 상기 액정패널의 최좌측 또는 최우측 데이터라인에 공급함과 동시에 상기 최좌측 또는 최우측 데이터라인을 제외한 다른 데이터라인들에 상기 제2 데이터기간 내에 포함된 상기 입력 데이터들을 공급하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 21

삭제

청구항 22

제 17 항에 있어서,

상기 데이터 구동부는,

상기 제1 더미 데이터를 상기 액정패널의 최좌측 또는 최우측 데이터라인에 공급함과 동시에 상기 최좌측 또는 최우측 데이터라인을 제외한 다른 데이터라인들에 상기 제2 데이터기간 내에 포함된 입력 데이터들을 공급하고;

상기 제2 더미 데이터를 상기 액정패널의 최우측 또는 최좌측 데이터라인에 공급함과 동시에 상기 최우측 또는 최좌측 데이터라인을 제외한 다른 데이터라인들에 상기 제3 데이터기간 내의 입력 데이터들을 공급하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <40> 본 발명은 액정표시장치에 관한 것으로, 특히 표시품질을 높임과 아울러 소비전력을 줄이도록 한 액정표시장치의 구동방법 및 장치에 관한 것이다.
- <41> 액정표시장치는 비디오신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시하게 된다. 박막트랜지스터(Thin Film Transistor; 이하 "TFT"라 함)가 각각의 액정셀마다 형성된 액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 패시브 매트릭스(Passive Matrix) 타입의 액정표시장치에 비하여 동영상을 표시할 때 더 선명한 화질로 영상을 표시할 수 있다.
- <42> 도 1을 참조하면, 액정표시장치는 액티브 매트릭스 타입의 액정패널(2)과, 액정패널(2)의 데이터라인들(DL1 내지 DLm)에 데이터를 공급하기 위한 데이터 드라이버(6)와, 액정패널(2)의 게이트라인(GL1 내지 GLn)에 스캔펄스를 공급하기 위한 게이트 드라이버(4)를 구비한다.
- <43> 액정패널(2)의 상부유리기판과 하부유리기판 사이에는 액정이 주입된다. 이 액정패널(2)에는 $m \times n$ 개의 액정셀(C1c)이 매트릭스 타입으로 배치된다. 또한, 액정패널(2)에는 m 개의 데이터라인들(DL1 내지 DLm)과 n 개의 게이트라인들(GL1 내지 GLn)이 교차되며 그 교차부마다 액정셀(C1c)을 구동하기 위한 TFT가 형성된다. TFT는 스캔펄스에 응답하여 턴-온함으로써 데이터라인들(DL1 내지 DLm) 상의 데이터를 액정셀(C1c)에 공급하게 된다. TFT의 게이트전극은 매 수평라인마다 동일한 게이트라인(GL1 내지 GLm)에 접속된다. TFT의 소스전극은 매 수직라인마다 동일한 데이터라인(DL1 내지 DLm)에 접속된다. 그리고 TFT의 드레인전극은 각각의 액정셀(C1c)마다 액정셀(C1c)의 화소전극에 접속된다.
- <44> 게이트 드라이버(4)는 도시하지 않은 타이밍 콘트롤러의 제어 하에 스캔펄스를 발생하고 그 스캔펄스를 게이트라인들(GL1 내지 GLn)에 순차적으로 공급하게 된다. 이 게이트 드라이버(4)는 스캔펄스를 순차적으로 발생하는 쉬프트 레지스터와, 스캔펄스의 전압의 스윙폭을 액정셀(C1c)의 구동에 적합하게 쉬프트 시키기 위한 레벨 쉬프터를 포함한다. TFT는 게이트 드라이버(4)로부터의 스캔펄스에 응답하여 턴-온된다. TFT의 턴-온시 데이터라인(DL1 내지 DLm) 상의 비디오 데이터는 액정셀(C1c)의 화소전극에 공급된다.
- <45> 데이터 드라이버(6)는 도시하지 않은 타이밍 콘트롤러로부터 입력되는 비디오 데이터를 샘플링하고 래치한 후에, 래치된 데이터를 미리 설정된 감마보상전압으로 변환한 이 화소데이터전압으로 데이터라인들(DL1 내지 DLm)에 동시에 공급하게 된다. 여기서, 데이터 드라이버(6)에 의해 변환된 데이터는 매 스캔펄스가 발생할 때마다 각 스캔펄스에 동기되어 1 수평기간 동안에 1 수평라인분씩 데이터라인들(DL1 내지 DLm)에 공급된다.
- <46> 이와 같은 액정표시장치는 액정의 열화를 줄이고 화질을 높이기 위하여 데이터전압의 극성을 시간적, 공간적으로 반전시켜 액정패널에 인가하고 있는 추세에 있다. 이러한 구동방식은 소위 "인버전방식(Inversion System)"이라 한다.
- <47> 액정표시장치의 인버전방식에는 데이터전압의 극성 반전 형태에 따라 프레임 인버전 방식(Frame Inversion System), 라인 인버전 방식(Line Inversion System), 칼럼 인버전 방식(Column Inversion System) 및 도트 인버전 방식(Dot Inversion System)으로 나뉘어진다.
- <48> 프레임 인버전 방식은 도 2a와 같이 기수(odd) 프레임동안 모든 액정셀들에 정극성의 데이터전압을 공급하고, 도 2b와 같이 우수(even) 프레임 동안 모든 액정셀들에 부극성의 데이터전압을 인가한다. 이 프레임 인버전 방식은 프레임 간에 액정셀에 충전되는 전압의 변동이 크기 때문에 플리커(flicker)가 심하게 발생된다. 이 때문에 최근에는 액정표시장치에 프레임 인버전이 거의 적용되지 않고 있다.
- <49> 라인 인버전 방식은 도 3a와 같이 기수 프레임에서 기수 수평라인의 액정셀들에 정극성의 데이터전압을 공급함과 동시에 우수 수평라인의 액정셀들에 부극성의 데이터전압을 공급한다. 기수 프레임에 이어지는 우수 프레임 기간 동안 라인 인버전 방식은 도 3b와 같이 이전과 반대로 데이터전압의 극성을 반전시킨다. 즉, 우수 프레임 기간 동안 라인 인버전 방식은 기수 수평라인의 액정셀들에 부극성의 데이터전압을 공급함과 동시에 우수 수평라인의 액정셀들에 정극성의 데이터전압을 공급한다. 이 라인 인버전 방식은 수평라인들 간에 액정셀들에 충전되는 전압의 극성이 상반되기 때문에 수평라인들 간에 크로스토크(Crosstalk)가 발생하여 수평라인들간에 줄무늬 패턴과 같은 플리커가 발생한다.
- <50> 컬럼 인버전 방식은 도 4a와 같이 기수 프레임에서 기수 수직라인의 액정셀들에 정극성의 데이터전압을 공급함

과 동시에 우수 수직라인의 액정셀들에 부극성의 데이터전압을 공급한다. 기수 프레임에 이어지는 우수 프레임 기간 동안 컬럼 인버전 방식은 도 4b와 같이 이전과 반대로 데이터전압의 극성을 반전시킨다. 즉, 우수 프레임 기간 동안 컬럼 인버전 방식은 기수 수직라인의 액정셀들에 부극성의 데이터전압을 공급함과 동시에 우수 수직라인의 액정셀들에 정극성의 데이터전압을 공급한다. 이 컬럼 인버전 방식은 수직라인들 간에 액정셀들에 충전되는 전압의 극성이 상반되기 때문에 수직라인들 간에 크로스토크가 발생하여 수평라인들간에 줄무늬 패턴과 같은 플리커가 발생한다.

<51> 도트 인버전 방식은 도 5a와 같이 기수 프레임에서 기수 수직라인과 기수 수평라인의 교점에 위치하는 액정셀들과 우수 수직라인과 우수 수평라인의 교점에 위치하는 액정셀들에 정극성의 데이터전압을 공급함과 동시에 기수 수직라인과 우수 수평라인의 교점에 위치하는 액정셀들과 우수 수직라인과 기수 수평라인의 교점에 위치하는 액정셀들에 부극성의 데이터전압을 공급한다. 기수 프레임에 이어지는 우수 프레임 기간 동안 도트 인버전 방식은 도 5b와 같이 이전과 반대로 데이터전압의 극성을 반전시킨다. 즉, 우수 프레임 기간 동안 도트 인버전 방식은 기수 수직라인과 기수 수평라인의 교점에 위치하는 액정셀들과 우수 수직라인과 우수 수평라인의 교점에 위치하는 액정셀들에 부극성의 데이터전압을 공급함과 동시에 기수 수직라인과 우수 수평라인의 교점에 위치하는 액정셀들과 우수 수직라인과 기수 수평라인의 교점에 위치하는 액정셀들에 정극성의 데이터전압을 공급한다. 도트 인버전 방식은 매 프레임마다 데이터전압의 극성이 반전됨과 아울러 한 프레임 기간 내에서 수직방향과 수평방향 각각에서 인접한 화소셀들 간의 데이터전압의 극성이 상반되므로 플리커가 작게 되므로 화질이 다른 인버전 방식에 비하여 우수하다. 그러나 도트 인버전 구동방식에서는 데이터전압의 극성을 매 수평방향으로 인접한 액정셀들 간에 극성을 반전시키고 아울러 매 수평기간마다 데이터전압의 극성을 반전시켜야 하기 때문에 다른 인버전 방식들에 비하여 데이터 드라이버(6)의 구동 주파수가 높아져서 소비전력이 높아지는 단점이 있다.

발명이 이루고자 하는 기술적 과제

<52> 따라서, 본 발명의 목적은 표시품질을 높임과 아울러 소비전력을 줄이도록 한 액정표시장치의 구동방법 및 장치를 제공하는 것이다.

발명의 구성 및 작용

<53> 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치의 구동방법은 입력 데이터들 중 어느 하나를 복사하여 더미 데이터를 발생하는 단계와; 데이터라인들과 게이트라인들이 교차되며 인접한 두 개의 데이터라인들 사이에서 박막트랜지스터들이 지그재그로 배열되는 액정패널의 게이트라인들에 스캔펄스를 공급하는 단계와; 스캔펄스에 동기하여 입력 데이터들과 더미 데이터를 액정패널의 데이터라인들에 공급하는 단계를 포함한다.

<54> 본 발명의 실시예에 따른 액정표시장치의 구동방법에 있어서, 상기 더미 데이터를 발생하는 단계는 제1 데이터 기간 내에 포함된 입력 데이터들 중에 마지막 데이터를 검출하는 단계와; 마지막 데이터를 이용하여 제1 더미 데이터를 발생하는 단계와; 제1 데이터기간 내에 포함된 입력 데이터들과 제1 더미 데이터를 지정된 출력 데이터 버스를 통하여 출력하는 단계와; 제2 데이터기간 내에 포함된 입력 데이터들 중에 첫 번째 데이터를 검출하는 단계와; 첫 번째 데이터를 이용하여 제2 더미 데이터를 발생하는 단계와; 제2 데이터기간 내에 포함된 입력 데이터들 중에 특정 입력 데이터버스를 통하여 입력되는 데이터들을 지연시키는 단계와; 입력 데이터들에 지정된 출력 데이터버스를 하나씩 쉬프트시키고, 지연된 입력 데이터들을 제외한 제2 데이터기간 내의 입력 데이터들을 쉬프트된 출력 데이터버스를 통하여 출력시킴과 동시에 지연된 입력 데이터들과 제2 더미 데이터를 특정 출력 데이터 버스를 통하여 출력하는 단계를 더 포함한다.

<55> 본 발명의 실시예에 따른 액정표시장치의 구동방법에 있어서, 상기 더미 데이터를 발생하는 단계는 제1 데이터 기간 내에 포함된 입력 데이터들 중에 첫 번째 데이터를 검출하는 단계와; 첫 번째 데이터를 이용하여 제1 더미 데이터를 발생하는 단계와, 제1 데이터기간 내에 포함된 입력 데이터들과 제1 더미 데이터를 지정된 출력 데이터 버스를 통하여 출력하는 단계와, 제2 데이터기간 내에 포함된 상기 입력 데이터들 중에 마지막 데이터를 검출하는 단계와; 마지막 데이터를 이용하여 제2 더미 데이터를 발생하는 단계와; 제2 데이터기간 내에 포함된 입력 데이터들 중에 특정 입력 데이터버스를 통하여 입력되는 데이터들을 지연시키는 단계와; 입력 데이터들에 지정된 출력 데이터버스를 하나씩 쉬프트시키고, 지연된 입력 데이터들을 제외한 상기 제2 데이터기간 내의 입력 데이터들을 상기 쉬프트된 출력 데이터버스를 통하여 출력시킴과 동시에 지연된 입력 데이터들과 제2 더미 데이

터를 특정의 출력 데이터 버스를 통하여 출력하는 단계를 더 포함한다.

- <56> 본 발명의 실시예에 따른 액정표시장치의 구동방법에 있어서, 상기 더미 데이터를 발생하는 단계는 제1 데이터 기간 내에 포함된 입력 데이터들 중에 마지막 데이터를 검출하는 단계와; 마지막 데이터를 1 수평기간만큼 지연시켜 제1 더미 데이터를 발생하는 단계와; 제1 데이터기간에 이어지는 제2 데이터기간 내에 포함된 입력 데이터들과 제1 더미 데이터를 지정된 출력 데이터 버스를 통하여 출력하는 단계와; 제2 데이터기간 내에 포함된 상기 입력 데이터들 중에 첫 번째 데이터를 검출하는 단계와; 첫 번째 데이터를 1 수평기간만큼 지연시켜 제2 더미 데이터를 발생하는 단계와; 제2 데이터기간에 이어지는 제3 데이터기간 내에 포함된 입력 데이터들 중에 특정 입력 데이터버스를 통하여 입력되는 데이터들을 지연시키는 단계와; 입력 데이터들에 지정된 출력 데이터버스를 하나씩 쉬프트시키고, 지연된 입력 데이터들을 제외한 제3 데이터기간 내의 입력 데이터들을 쉬프트된 출력 데이터버스를 통하여 출력시킴과 동시에 지연된 입력 데이터들과 제2 더미 데이터를 특정의 출력 데이터 버스를 통하여 출력하는 단계를 더 포함한다.
- <57> 본 발명의 실시예에 따른 액정표시장치의 구동방법에 있어서, 상기 더미 데이터를 발생하는 단계는 제1 데이터 기간 내에 포함된 입력 데이터들 중에 첫 번째 데이터를 검출하는 단계와; 첫 번째 데이터를 1 수평기간만큼 지연시켜 제1 더미 데이터를 발생하는 단계와; 제1 데이터기간에 이어지는 제2 데이터기간 내에 포함된 입력 데이터들과 제1 더미 데이터를 지정된 출력 데이터 버스를 통하여 출력하는 단계와; 제2 데이터기간 내에 포함된 입력 데이터들 중에 마지막 데이터를 검출하는 단계와; 마지막 데이터를 1 수평기간만큼 지연시켜 제2 더미 데이터를 발생하는 단계와; 제2 데이터기간에 이어지는 제3 데이터기간 내에 포함된 입력 데이터들 중에 특정 입력 데이터버스를 통하여 입력되는 데이터들을 지연시키는 단계와; 입력 데이터들에 지정된 출력 데이터버스를 하나씩 쉬프트시키고, 지연된 입력 데이터들을 제외한 제3 데이터기간 내의 입력 데이터들을 쉬프트된 출력 데이터 버스를 통하여 출력시킴과 동시에 지연된 입력 데이터들과 상기 제2 더미 데이터를 특정의 출력 데이터 버스를 통하여 출력하는 단계를 더 포함한다.
- <58> 본 발명의 실시예에 따른 액정표시장치의 구동방법에 있어서, 상기 입력 데이터들과 더미 데이터를 액정패널의 데이터라인들에 공급하는 단계는 제1 더미 데이터를 액정패널의 최우측 데이터라인에 공급함과 동시에 최우측 데이터라인을 제외한 다른 데이터라인들에 제1 데이터기간 내에 포함된 입력 데이터들을 공급하는 단계와; 제2 더미 데이터를 액정패널의 최좌측 데이터라인에 공급함과 동시에 최좌측 데이터라인을 제외한 다른 데이터라인들에 제2 데이터기간 내에 포함된 입력 데이터들을 공급하는 단계를 더 포함한다.
- <59> 본 발명의 실시예에 따른 액정표시장치의 구동방법에 있어서, 상기 입력 데이터들과 더미 데이터를 액정패널의 데이터라인들에 공급하는 단계는 제1 더미 데이터를 액정패널의 최좌측 데이터라인에 공급함과 동시에 최좌측 데이터라인을 제외한 다른 데이터라인들에 제1 데이터기간 내에 포함된 입력 데이터들을 공급하는 단계와; 제2 더미 데이터를 액정패널의 최우측 데이터라인에 공급함과 동시에 상기 최우측 데이터라인을 제외한 다른 데이터라인들에 제2 데이터기간 내에 포함된 상기 입력 데이터들을 공급하는 단계를 더 포함한다.
- <60> 본 발명의 실시예에 따른 액정표시장치의 구동방법에 있어서, 상기 입력 데이터들과 더미 데이터를 액정패널의 데이터라인들에 공급하는 단계는 제1 더미 데이터를 액정패널의 최좌측 데이터라인에 공급함과 동시에 최좌측 데이터라인을 제외한 다른 데이터라인들에 제2 데이터기간 내에 포함된 입력 데이터들을 공급하는 단계와; 제2 더미 데이터를 액정패널의 최우측 데이터라인에 공급함과 동시에 최우측 데이터라인을 제외한 다른 데이터라인들에 제3 데이터기간 내의 입력 데이터들을 공급하는 단계를 더 포함한다.
- <61> 본 발명의 실시예에 따른 액정표시장치의 구동방법에 있어서, 상기 입력 데이터들과 더미 데이터를 액정패널의 데이터라인들에 공급하는 단계는 제1 더미 데이터를 액정패널의 최우측 데이터라인에 공급함과 동시에 최우측 데이터라인을 제외한 다른 데이터라인들에 제2 데이터기간 내에 포함된 입력 데이터들을 공급하는 단계와; 제2 더미 데이터를 액정패널의 최좌측 데이터라인에 공급함과 동시에 최좌측 데이터라인을 제외한 다른 데이터라인들에 제3 데이터기간 내의 입력 데이터들을 공급하는 단계를 더 포함한다.
- <62> 본 발명의 실시예에 따른 액정표시장치의 구동장치는 입력 데이터들 중 어느 하나를 복사하여 더미 데이터를 발생하는 더미 데이터 발생부와; 데이터라인들과 게이트라인들이 교차되며 인접한 두 개의 데이터라인들 사이에서 박막트랜지스터들이 지그재그로 배열되는 액정패널과; 액정패널의 게이트라인들에 스캔펄스를 공급하는 게이트 구동부와; 스캔펄스에 동기하여 입력 데이터들과 더미 데이터를 액정패널의 데이터라인들에 공급하는 데이터 구동부를 구비한다.
- <63> 본 발명의 실시예에 따른 액정표시장치의 구동장치에 있어서, 상기 더미 데이터 발생부는 제1 데이터기간 내에

포함된 입력 데이터들 중에 마지막 데이터를 이용하여 발생된 제1 더미 데이터를 제1 데이터기간 내에 포함된 입력 데이터들과 함께 지정된 출력 데이터 버스를 통하여 출력하고; 제2 데이터기간 내에 포함된 입력 데이터들 중에 특정 입력 데이터버스를 통하여 입력되는 데이터들을 지연시키고 제2 데이터기간 내에 포함된 첫 번째 데이터를 이용하여 발생된 제2 더미 데이터와 지연된 데이터를 특정 출력 데이터버스를 통하여 출력함과 아울러 지연된 데이터 이외의 입력 데이터의 출력 데이터 버스를 쉬프트시키는 것을 특징으로 한다.

<64> 본 발명의 실시예에 따른 액정표시장치의 구동장치에 있어서, 더미 데이터 발생부는 제1 데이터기간 내에 포함된 입력 데이터들 중에 첫 번째 데이터를 이용하여 발생된 제1 더미 데이터를 제1 데이터기간 내에 포함된 입력 데이터들과 함께 지정된 출력 데이터 버스를 통하여 출력하고; 제2 데이터기간 내에 포함된 입력 데이터들 중에 특정 입력 데이터버스를 통하여 입력되는 데이터들을 지연시키고 제2 데이터기간 내에 포함된 마지막 데이터를 이용하여 발생된 제2 더미 데이터와 지연된 데이터를 특정 출력 데이터버스를 통하여 출력함과 아울러 지연된 데이터 이외의 입력 데이터의 출력 데이터버스를 쉬프트시키는 것을 특징으로 한다.

<65> 본 발명의 실시예에 따른 액정표시장치의 구동장치에 있어서, 상기 더미 데이터 발생부는 입력 데이터를 지연시켜 제1 및 제2 더미 데이터를 발생하는 래치와; 래치로부터 출력되는 데이터와 특정 입력 데이터버스를 통하여 입력되는 데이터를 일시 저장하는 레지스터와; 입력라인으로부터의 입력 데이터와 레지스터의 데이터를 선택하는 선택기와; 선택기를 수평기간 단위로 제어하는 제어기를 구비한다.

<66> 본 발명의 실시예에 따른 액정표시장치의 구동장치에 있어서, 상기 더미 데이터 발생부는 제1 데이터기간 내에 포함된 입력 데이터들 중에 마지막 데이터를 1 수평기간만큼 지연시켜 발생된 제1 더미 데이터와 제1 데이터기간에 이어지는 제2 데이터기간 내에 포함된 입력 데이터들을 지정된 출력 데이터 버스를 통하여 출력하고; 제2 데이터기간에 이어지는 제3 데이터기간 내에 포함된 입력 데이터들 중에 특정 입력 데이터버스를 통하여 입력되는 데이터들을 지연시키고, 제2 데이터기간 내에 포함된 입력 데이터들 중에 첫 번째 데이터를 1 수평기간만큼 지연시켜 발생된 제2 더미 데이터와 지연된 데이터를 특정 출력 데이터버스를 통하여 출력함과 아울러, 지연된 데이터 이외의 제3 데이터기간 내에 포함된 입력 데이터의 출력 데이터버스를 쉬프트시키는 것을 특징으로 한다.

<67> 본 발명의 실시예에 따른 액정표시장치의 구동장치에 있어서, 상기 더미 데이터 발생부는 제1 데이터기간 내에 포함된 상기 입력 데이터들 중에 첫 번째 데이터를 1 수평기간만큼 지연시켜 발생된 제1 더미 데이터와 제1 데이터기간에 이어지는 제2 데이터기간 내에 포함된 입력 데이터들을 지정된 출력 데이터 버스를 통하여 출력하고; 제2 데이터기간에 이어지는 제3 데이터기간 내에 포함된 입력 데이터들 중에 특정 입력 데이터버스를 통하여 입력되는 데이터들을 지연시키고, 제2 데이터기간 내에 포함된 입력 데이터들 중에 마지막 번째 데이터를 1 수평기간만큼 지연시켜 발생된 제2 더미 데이터와 지연된 데이터를 특정 출력 데이터버스를 통하여 출력함과 아울러, 지연된 데이터 이외의 제3 데이터기간 내에 포함된 입력 데이터의 출력 데이터버스를 쉬프트시키는 것을 특징으로 한다.

<68> 본 발명의 실시예에 따른 액정표시장치의 구동장치에 있어서, 상기 더미 데이터 발생부는 입력 데이터를 1 수평기간만큼 지연시켜 제1 및 제2 더미 데이터를 발생하는 라인메모리와, 라인메모리로부터 출력되는 데이터와 특정 입력 데이터버스를 통하여 입력되는 데이터를 일시 저장하는 레지스터와, 입력라인으로부터의 입력 데이터와 레지스터의 데이터를 선택하는 선택기와; 선택기를 수평기간 단위로 제어하는 제어기를 구비한다.

<69> 본 발명의 실시예에 따른 액정표시장치의 구동장치에 있어서, 상기 데이터 구동부는 제1 더미 데이터를 액정패널의 최우측 데이터라인에 공급함과 동시에 최우측 데이터라인을 제외한 다른 데이터라인들에 제1 데이터기간 내에 포함된 입력 데이터들을 공급하고; 제2 더미 데이터를 액정패널의 최좌측 데이터라인에 공급함과 동시에 최좌측 데이터라인을 제외한 다른 데이터라인들에 제2 데이터기간 내에 포함된 입력 데이터들을 공급하는 것을 특징으로 한다.

<70> 본 발명의 실시예에 따른 액정표시장치의 구동장치에 있어서, 상기 데이터 구동부는 제1 더미 데이터를 액정패널의 최좌측 데이터라인에 공급함과 동시에 최좌측 데이터라인을 제외한 다른 데이터라인들에 제1 데이터기간 내에 포함된 입력 데이터들을 공급하고; 제2 더미 데이터를 액정패널의 최우측 데이터라인에 공급함과 동시에 최우측 데이터라인을 제외한 다른 데이터라인들에 제2 데이터기간 내에 포함된 입력 데이터들을 공급하는 것을 특징으로 한다.

<71> 본 발명의 실시예에 따른 액정표시장치의 구동장치에 있어서, 상기 데이터 구동부는 제1 더미 데이터를 액정패널의 최좌측 데이터라인에 공급함과 동시에 최좌측 데이터라인을 제외한 다른 데이터라인들에 상기 제2 데이터

기간 내에 포함된 입력 데이터들을 공급하고; 제2 더미 데이터를 액정패널의 최우측 데이터라인에 공급함과 동시에 최우측 데이터라인을 제외한 다른 데이터라인들에 제3 데이터기간 내의 입력 데이터들을 공급하는 것을 특징으로 한다.

- <72> 본 발명의 실시예에 따른 액정표시장치의 구동장치에 있어서, 상기 데이터 구동부는 제1 더미 데이터를 액정패널의 최우측 데이터라인에 공급함과 동시에 최우측 데이터라인을 제외한 다른 데이터라인들에 제2 데이터기간 내에 포함된 입력 데이터들을 공급하고; 제2 더미 데이터를 액정패널의 최좌측 데이터라인에 공급함과 동시에 최좌측 데이터라인을 제외한 다른 데이터라인들에 제3 데이터기간 내의 입력 데이터들을 공급하는 것을 특징으로 한다.
- <73> 본 발명의 실시예에 따른 액정표시장치의 구동방법 및 장치에 있어서, 데이터라인들의 전압은 인접한 데이터라인 간에 극성이 반전되는 것을 특징으로 한다.
- <74> 본 발명의 실시예에 따른 액정표시장치의 구동방법 및 장치에 있어서, 데이터라인들에 공급되는 전압의 극성은 한 프레임 동안 동일한 것을 특징으로 한다.
- <75> 본 발명의 실시예에 따른 액정표시장치의 구동방법 및 장치에 있어서, 데이터라인들에 공급되는 전압의 극성은 프레임 간 극성이 반전되는 것을 특징으로 한다.
- <76> 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면을 참조한 실시 예에 대한 상세한 설명을 통하여 명백하게 드러나게 될 것이다.
- <77> 이하, 본 발명의 바람직한 실시예들을 첨부한 도 6 내지 도 27b를 참조하여 상세하게 설명하기로 한다.
- <78> 도 6은 본 발명의 제1 실시 예에 따른 액정표시장치를 나타낸다.
- <79> 도 6을 참조하면, 본 발명의 제1 실시예에 따른 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널(12)과, 액정패널(12)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(14)와, 액정패널(12)의 데이터라인들(DL1 내지 DLm+1)을 구동하기 위한 데이터 드라이버(16)와, 게이트 드라이버(14) 및 데이터 드라이버(16)를 제어하기 위한 타이밍 컨트롤러(18)를 구비한다.
- <80> 액정패널(12)의 상부유리기판과 하부유리기판 사이에는 액정이 주입된다. 이 액정패널(12)에는 $m \times n$ 개의 액정셀(C1c)이 매트릭스 타입으로 배치된다. 또한, 액정패널(12)에는 $m+1$ 개의 데이터라인들(DL1 내지 DLm+1)과 n 개의 게이트라인들(GL1 내지 GLn)이 교차되며 그 교차부마다 액정셀(C1c)을 구동하기 위한 TFT들(11)이 형성된다. TFT들(11)은 스캔펄스에 응답하여 턴-온함으로써 데이터라인들(DL1 내지 DLm+1) 상의 데이터를 액정셀(C1c)에 공급하게 된다. 기수 수평라인의 TFT들(11)은 액정셀의 좌측 데이터라인(DL1 내지 DLm)과 기수 게이트라인들(GL1, GL3, GL5...GLn-1)의 교차부에 위치하며, 우수 수평라인에서 TFT들(11)은 액정셀의 우측 데이터라인(DL2 내지 DLm+1)과 우수 게이트라인들(GL2, GL4, GL6, ..., GLn)의 교차부에 위치한다. TFT들(11)의 게이트전극은 게이트라인들(GL1 내지 GLn)에 접속된다. 기수 수평라인에 위치한 TFT들(11)의 소스전극들은 제1 내지 제m 데이터라인(DL1 내지 DLm)에 접속되고, 우수 수평라인에 위치한 TFT들(11)의 소스전극들은 제2 내지 제m+1 데이터라인(DL2 내지 DLm+1)에 접속된다. 그리고 기수 수평라인에 위치한 TFT들(11)의 드레인전극들은 자신을 기준으로 우측에 인접하는 액정셀들(C1c)의 화소전극들(13)에 접속되고, 우수 수평라인에 위치한 TFT들(11)의 드레인전극들은 자신을 기준으로 좌측에 인접하는 액정셀들(C1c)의 화소전극들(13)에 접속된다. 따라서, 기수 수평라인에 위치하는 액정셀들(C1c)은 자신을 기준으로 좌측에 인접하는 데이터라인들(DL1 내지 DLm)로부터 공급되는 데이터를 충전하게 되고, 우수 수평라인에 위치하는 액정셀들(C1c)은 자신을 기준으로 우측에 인접하는 데이터라인들(DL2 내지 DLm+1)로부터 공급되는 데이터를 충전하게 된다.
- <81> 결과적으로, 동일한 수직라인에 포함된 TFT들(11)은 두 개의 데이터라인 사이에서 지그재그(Zig-zag)로 배열된다. 지그재그로 배열된 TFT(11)를 통하여 액정셀들(C1c)은 좌우로 인접한 두 개의 데이터라인들 중 어느 하나를 통하여 정극성 또는 부극성 전압을 충전하게 된다.
- <82> 타이밍 컨트롤러(18)는 도시하지 않은 디지털 비디오 카드로부터 공급되는 디지털 비디오 데이터를 데이터 드라이버(16)에 공급하게 된다. 또한, 타이밍 컨트롤러(18)는 자신에게 입력되는 수평/수직 동기신호(H,V)를 이용하여 데이터 드라이버(16)와 게이트 드라이버(14)에 필요한 타이밍 제어신호를 발생한다. 여기서, 데이터 드라이버(16)에 필요한 타이밍 제어신호로는 소스스위프트클럭(SSC), 소스스타트펄스(SSP), 극성제어신호(POL) 및 소스출력인에이블신호(SOE) 등이 있다. 게이트 드라이버(14)에 필요한 타이밍 제어신호로는 게이트스타트펄스(GSP), 게이트스위프트클럭(GSC) 및 게이트출력인에이블(GOE) 등이 있다.

- <83> 게이트 드라이버(14)는 타이밍 콘트롤러(18)로부터의 게이트스타트펄스(GSP), 게이트슈프트클럭(GSC) 및 게이트 출력인에이블(GOE)를 이용하여 게이트라인들(GL1 내지 GLn)에 순차적으로 스캔펄스를 공급하게 된다. 스캔펄스는 각 수평라인의 TFT(11)를 수평라인 단위로 순차적으로 턴-온시킴으로써 데이터가 공급되는 스캔라인을 선택하게 된다. 이 게이트 드라이버(14)는 스캔펄스를 순차적으로 발생하는 쉬프트 레지스터와, 스캔펄스의 전압의 스윙폭을 액정셀(C1c)의 구동에 적합하게 쉬프트 시키기 위한 레벨 쉬프터를 포함한다.
- <84> 데이터 드라이버(16)는 타이밍 콘트롤러(18)로부터의 소스쉬프트클럭(SSC), 소스스타트펄스(SSP), 극성제어신호(POL) 및 소스출력인에이블신호(SOE)를 이용하여 타이밍 콘트롤러(18)로부터 입력되는 m 개의 디지털 비디오 데이터를 기수 수평기간에 그대로 출력하고 우수 수평기간에 우측으로 한 채널씩 쉬프트시킨다. 그리고 데이터 드라이버(16)는 수평기간 단위로 쉬프트되는 m 개의 디지털 비디오 데이터와 블랭크 데이터를 정극성 감마보상 전압 또는 부극성 감마보상전압으로 변환함으로써 디지털 비디오 데이터와 블랭크 데이터를 아날로그 화소전압으로 변환한다. 여기서, 블랭크 데이터는 디지털 비디오 데이터가 존재하는 데이터 인에이블구간 사이에 존재하는 블랭크 데이터로써 타이밍 콘트롤러(18)에 의해 샘플링된 다음에 디지털 비디오 데이터와 함께 데이터 드라이버(16)에 공급된다. 감마보상전압에 의해 아날로그 형태로 변환된 화소전압은 정극성 감마보상전압과 부극성 감마전압이 수직라인간 교번됨으로써 컬럼 인버전 방식과 같이 수평으로 인접한 데이터들 간에 극성이 상반되게 된다.
- <85> 데이터 드라이버(16)에 의해 컬럼 인버전 방식으로 극성이 반전된 m+1 개의 화소전압은 스캔펄스에 동기되어 매 수평기간마다 m+1 개의 데이터라인들(DL1 내지 DLm+1)에 순차적으로 공급된다. 여기서, m+1 개의 화소전압에는 전술한 바와 같이 m 개의 적색, 녹색 및 청색의 디지털 비디오 데이터들(RGB)을 포함하며 1 개의 블랭크 데이터를 포함한다. 화소전압 중에 m 개의 비디오 데이터전압은 우수 수평기간에 우측으로 쉬프트된다. 이렇게 비디오 데이터전압이 우수 수평기간마다 쉬프트된 후에 극성이 반전되기 때문에 액정패널(12)은 컬럼 인버전 방식으로 극성이 변환되어 공급되는 데이터를 도트 인버전 방식으로 표시할 수 있게 된다.
- <86> 이렇게 동일한 색의 데이터전압이 매 수평기간마다 1 채널씩 반대로 쉬프트된 후에 극성이 반전되기 때문에 액정패널(12)에 공급되는 데이터전압은 매 수평기간마다 인접한 두 개의 데이터라인들 사이에 교대로 공급된다. 예컨대, 도 6에서 좌측에서 두 번째 수직라인에 배열된 액정셀에 공급되는 녹색 데이터는 매 수평기간마다 극성이 반전됨과 아울러 제2 데이터라인(DL2)과 제3 데이터라인(DL3)에 교대로 공급된다. 이 녹색 데이터는 n 번째 프레임의 첫 번째 수평기간에 제2 데이터라인(DL2)을 통하여 최상단의 액정셀(G21)에 부극성전압으로 공급된다. n 번째 프레임의 두 번째 수평기간에 녹색 데이터는 데이터 드라이버(16)에 의해 우측으로 한 채널 쉬프트된 상태에서 극성이 반전되어 제3 데이터라인(DL3)을 통하여 두 번째 액정셀(G22)에 정극성전압으로 공급된다. n 번째 프레임의 세 번째 수평기간에 녹색 데이터는 데이터 드라이버(16)에 의해 좌측으로 한 채널 쉬프트된 상태에서 극성이 다시 반전되어 제2 데이터라인(DL2)을 통하여 세 번째 액정셀(G23)에 부극성전압으로 공급된다.
- <87> 이러한 화소데이터전압의 극성은 다음 프레임에서 반전된다. 즉, 좌측에서 두 번째 수직라인에 배열된 액정셀에 공급되는 녹색 데이터는 (n+1) 번째 프레임의 첫 번째 수평기간에 제2 데이터라인(DL2)을 통하여 최상단의 액정셀(G21)에 정극성전압으로 공급된다. (n+1) 번째 프레임의 두 번째 수평기간에 녹색 데이터는 데이터 드라이버(16)에 의해 우측으로 한 채널 쉬프트된 상태에서 극성이 반전되어 제3 데이터라인(DL3)을 통하여 두 번째 액정셀(G22)에 부극성전압으로 공급된다. (n+1) 번째 프레임의 세 번째 수평기간에 녹색 데이터는 데이터 드라이버(16)에 의해 좌측으로 한 채널 쉬프트된 상태에서 극성이 다시 반전되어 제2 데이터라인(DL2)을 통하여 세 번째 액정셀(G23)에 정극성전압으로 공급된다.
- <88> 이상에서 알 수 있는 바, n 번째 프레임 기간 동안 액정패널(12)의 기수 데이터라인(DL1, DL3, DL5...)에는 정극성의 데이터전압이 공급됨과 동시에, 우수 데이터라인(DL2, DL4, DL6...)에는 부극성의 데이터전압이 공급된다. (n+1) 번째 프레임 기간 동안에는 액정패널(12)의 기수 데이터라인(DL1, DL3, DL5...)에 부극성의 데이터전압이 공급됨과 동시에, 우수 데이터라인(DL2, DL4, DL6...)에는 정극성의 데이터전압이 공급된다.
- <89> 한편, 블랭크 데이터(BK)는 m 개의 비디오 데이터가 매 수평기간마다 1 채널씩 반대방향으로 쉬프트되기 때문에 매 최좌측의 제1 데이터라인(DL1)이나 최우측의 제m+1 데이터라인(DLm+1)에 공급된다. 이 블랭크 데이터(BK)는 n 번째 프레임 기간동안에 기수 수평기간에서 비디오 데이터가 공급되지 않는 제m+1 데이터라인(DLm+1)에 공급되고, 우수 수평기간에서 비디오 데이터가 공급되지 않는 제1 데이터라인(DL1)에 공급된다. (n+1) 번째 프레임 기간동안에, 블랭크 데이터(BK)는 기수 수평기간에서 비디오 데이터가 공급되지 않는 제1 데이터라인(DL1)에 공급되고, 우수 수평기간에서 비디오 데이터가 공급되지 않는 제m+1 데이터라인(DLm+1)에 공급된다. 이 블랭크 데이터는 타이밍 콘트롤러(18)에 의해 샘플링되어 디지털 비디오 데이터와 함께 데이터 드라이버(16)에 공급된

다.

- <90> 도 7은 타이밍 컨트롤러를 상세히 나타낸다.
- <91> 도 7을 참조하면, 타이밍 컨트롤러(18)는 수직/수평 동기신호(H,V)가 입력되는 제어신호 발생부(71)와, 디지털 비디오 데이터가 입력되는 화소데이터 정렬부(72)와, 화소데이터 정렬부(72)의 출력단에 공통으로 접속된 레지스터(73) 및 멀티플렉서(이하, "MUX"라 한다)(74)를 구비한다.
- <92> 제어신호 발생부(71)는 수직/수평 동기신호(V,H)와 메인클럭(MCLK)을 이용하여 게이트 드라이버(14)를 제어하기 위한 게이트스타트펄스(GSP), 게이트쉬프트클럭(GSC) 및 게이트출력인에이블(GOE) 등의 게이트 제어신호를 발생함과 아울러 데이터 드라이버(16)를 제어하기 위한 데이터 인에이블신호(DE), 소스쉬프트클럭(SSC), 소스스타트펄스(SSP), 극성제어신호(POL) 및 소스출력인에이블신호(SOE) 등의 데이터 제어신호를 발생한다. 또한, 제어신호 발생부(71)는 화소데이터 정렬부(72)에 필요한 클럭신호와 MUX(74)를 제어하기 위한 제어신호를 발생하게 된다.
- <93> 화소데이터 정렬부(72)는 디지털 비디오 데이터를 입력받아 제어신호 발생부(71)로부터의 클럭에 따라 디지털 비디오 데이터를 출력한다. 3 개의 데이터 버스 또는 6 개의 데이터 버스를 통하여 출력하게 된다. 이 화소데이터 정렬부(72)는 3 개의 데이터버스를 통해 데이터를 출력할 수 있으며 기수 화소데이터와 우수 화소데이터를 동시에 출력할 수 있도록 6 개의 데이터버스를 통해 샘플링된 데이터를 출력할 수도 있다. 출력 데이터버스들 중에, 마지막 출력 데이터버스를 제외한 다른 출력 데이터버스들을 통하여 출력되는 데이터들은 MUX(74)에 공급되고, 마지막 출력 데이터버스를 통하여 출력되는 데이터는 MUX(74)와 레지스터(73)에 공통으로 공급된다. 또한, 화소데이터 정렬부(72)는 데이터 인에이블(DE) 구간들 사이에 존재하는 블랭크 구간의 블랭크 데이터(BK)를 샘플링하거나 데이터 인에이블(DE) 구간들 사이에 블랭크 데이터(BK)를 삽입하여 블랭크 데이터(BK)를 출력하게 된다. 화소데이터 정렬부(72)의 출력을 지시하는 클럭의 개수는 m 개의 적색, 녹색 및 청색의 디지털 비디오 데이터(R,G,B)와 한 개의 블랭크 데이터(BK)를 출력할 수 있도록 $\lceil m/(\text{출력 데이터 버스의 수}) \rceil + 1$ 개로 결정된다.
- <94> 레지스터(73)는 화소데이터 정렬부(72)의 3 개 또는 6 개의 출력 데이터 버스 중 마지막 데이터 버스로부터 입력되는 데이터를 일시 저장한 다음에 우수 수평기간에 저장된 데이터를 출력하게 된다.
- <95> MUX(74)는 기수 수평기간 동안에 제어신호 발생부(71)로부터의 기수/우수 수평기간 지시신호에 따라 화소데이터 정렬부(72)로부터 입력되는 m 개의 디지털 비디오 데이터와 1 개의 블랭크 데이터를 그대로 출력한다. 우수 수평기간 동안, MUX(74)는 화소데이터 정렬부(72)로부터 입력되는 m 개의 디지털 비디오 데이터를 각각 다음 출력 데이터버스로 쉬프트시켜 출력시킴과 동시에 첫 번째 출력 데이터버스를 통하여 레지스터(73)에 의해 지연된 마지막 버스 데이터를 출력시킨다. 마지막 버스 데이터에는 블랭크 데이터(BK)가 포함된다.
- <96> 도 8a 및 도 8b는 3 개의 출력 데이터버스를 통하여 데이터 드라이버(16)에 공급되는 디지털 비디오 데이터와 블랭크 데이터를 나타낸다.
- <97> 도 8a를 참조하면, 기수 수평기간 동안, 타이밍 컨트롤러(18)는 제1 출력 데이터버스(DOB1)를 통하여 m/3 개의 적색 디지털 비디오 데이터(R1,R2,R3,...,Rm/3)를 데이터 드라이버(16)에 공급함과 동시에 제2 출력 데이터버스(DOB2)를 통하여 m/3 개의 녹색 디지털 비디오 데이터(G1,G2,G3,...,Gm/3)를 데이터 드라이버(16)에 공급하게 된다. 이와 동시에, 타이밍 컨트롤러(18)는 제3 출력 데이터버스(DOB3)를 통하여 m/3 개의 청색 디지털 비디오 데이터(B1,B2,B3,...,Bm/3)를 데이터 드라이버(16)에 공급하게 된다. 이렇게 m 개의 디지털 비디오 데이터가 제1 내지 제3 출력 데이터버스(DOB1,DOB2,DOB3)를 통하여 데이터 드라이버(16)에 공급된 다음, 타이밍 컨트롤러(18)는 제1 출력 데이터버스(DOB1)를 통하여 하나의 블랭크 데이터(BK)를 데이터 드라이버(16)에 공급하게 된다. 그러면, 데이터 드라이버(16)에는 데이터 인에이블기간(DE) 동안, 제1 내지 제3 출력 데이터버스(DOB1,DOB2,DOB3)를 통하여 m 개의 적색, 녹색 및 청색의 디지털 비디오 데이터(R1,R2,R3,...,Rm/3, G1,G2,G3,...,Gm/3, B1,B2,B3,...,Bm/3)가 입력된 다음, 제1 출력 데이터버스(DOB1)를 통하여 하나의 블랭크 데이터(BK)가 입력된다.
- <98> 우수 수평기간 동안, 타이밍 컨트롤러(18)는 도 8b와 같이 디지털 비디오 데이터가 출력되는 데이터버스를 그 다음 출력 데이터버스로 하나씩 쉬프트시키고, 데이터버스의 쉬프트에 의해 비어진 제1 출력 데이터버스(DOB1)를 통하여 레지스터(73)에 의해 지연된 데이터를 출력하게 된다.
- <99> 도 8b를 참조하면, 우수 수평기간 동안에 타이밍 컨트롤러(18)는 제1 출력 데이터버스(DOB1)를 통하여 레지스터(73)에 의해 지연된 블랭크 데이터(BK)를 데이터 드라이버(16)에 공급한 다음에 레지스터(73)에 의해 지연된

m/3 개의 청색 디지털 비디오 데이터(B1,B2,B3,...,Bm/3)를 데이터 드라이버(16)에 공급한다. 이와 동시에 타이밍 콘트롤러(18)는 제2 출력 데이터버스(DOB2)를 통하여 m/3 개의 적색 디지털 비디오 데이터들(R1,R2,R3,...,Rm/3)을 데이터 드라이버(16)에 공급하고, 제3 출력 데이터버스(DOB3)를 통하여 m/3 개의 녹색 디지털 비디오 데이터들(G1,G2,G3,...,Gm/3)을 데이터 드라이버(16)에 공급하게 된다. 그러면, 데이터 드라이버(16)에는 데이터 인에이블기간(DE) 동안, 제1 출력 데이터버스(DOB1)를 통하여 레지스터(73)에 의해 한 수평 주기만큼 지연된 블랭크 데이터(BK)가 입력됨과 동시에 제2 및 제3 출력 데이터버스(DOB2,DOB3)를 통하여 각각 첫 번째 적색 디지털 비디오 데이터(R1)와 녹색 디지털 비디오 데이터(G1)가 입력된다. 이어서, 데이터 드라이버(16)에는 제1 출력 데이터버스(DOB1)를 통하여 레지스터(73)에 의해 한 수평기간 만큼 지연된 m/3 개의 청색 디지털 비디오 데이터(B1,B2,B3,...,Bm/3)가 입력됨과 동시에 제2 및 제3 출력 데이터버스(DOB2,DOB3)를 통하여 적색 및 녹색의 디지털 비디오 데이터(R2,R3,...,Rm/3, G2,G3,...,Gm/3)가 입력된다.

<100> 한편, 타이밍 콘트롤러(18)는 3 개의 출력 데이터버스를 통하여 기수 데이터를 출력함과 동시에 다른 3 개의 출력 데이터버스를 통하여 우수 데이터를 출력하여 데이터 드라이버(16)에 공급되는 데이터와 데이터 드라이버(16)의 타이밍 제어신호의 주파수를 1/2로 줄일 수도 있다.

<101> 도 9a 및 도 9b는 6 개의 출력 데이터버스를 통하여 데이터 드라이버(16)에 공급되는 디지털 비디오 데이터와 블랭크 데이터를 나타낸다.

<102> 도 9a를 참조하면, 기수 수평기간 동안, 타이밍 콘트롤러(18)는 제1 기수 출력 데이터버스(ODOB1)를 통하여 m/6 개의 적색 기수 디지털 비디오 데이터(OR1,OR2,OR3,...,ORm/6)를 데이터 드라이버(16)에 공급함과 동시에 제2 기수 출력 데이터버스(ODOB2)를 통하여 m/6 개의 녹색 기수 디지털 비디오 데이터(OG1,OG2,OG3,...,OGm/6)를 데이터 드라이버(16)에 공급하게 된다. 이와 동시에, 타이밍 콘트롤러(18)는 제3 기수 출력 데이터버스(ODOB3)를 통하여 m/6 개의 청색 기수 디지털 비디오 데이터(OB1,OB2,OB3,...,OBm/6)를 데이터 드라이버(16)에 공급하게 된다. 또한, 기수 수평기간 동안, 타이밍 콘트롤러(18)는 제1 우수 출력 데이터버스(EDOB1)를 통하여 m/6 개의 적색 우수 디지털 비디오 데이터(ER1,ER2,ER3,...,ERm/6)를 데이터 드라이버(16)에 공급함과 동시에 제2 우수 출력 데이터버스(EDOB2)를 통하여 m/6 개의 녹색 우수 디지털 비디오 데이터(EG1,EG2,EG3,...,EGm/6)를 데이터 드라이버(16)에 공급하게 된다. 이와 동시에, 타이밍 콘트롤러(18)는 제3 우수 출력 데이터버스(EDOB3)를 통하여 m/6 개의 청색 우수 디지털 비디오 데이터(EB1,EB2,EB3,...,EBm/6)를 데이터 드라이버(16)에 공급하게 된다. 이렇게 m/2 개의 기수 디지털 비디오 데이터와 m/2 개의 우수 디지털 비디오 데이터가 제1 내지 제3 기수 출력 데이터버스(ODOB1,ODOB2,ODOB3)와 제1 내지 제3 우수 출력 데이터버스(EDOB1,EDOB2,EDOB3)를 통하여 데이터 드라이버(16)에 공급된 다음, 타이밍 콘트롤러(18)는 제1 기수 출력 데이터버스(ODOB1)를 통하여 하나의 블랭크 데이터(BK)를 데이터 드라이버(16)에 공급하게 된다. 그러면 데이터 드라이버(16)에는 데이터 인에이블(DE) 기간 동안, m 개의 적색, 녹색 및 청색의 디지털 비디오 데이터(OR1,OR2,OR3,...,ORm/6, OG1,OG2,OG3,...,OGm/6, OB1,OB2,OB3,...,OBm/6, ER1,ER2,ER3,...,ERm/6, EG1,EG2,EG3,...,EGm/6, EB1,EB2,EB3,...,EBm/6,)가 입력된 다음, 하나의 블랭크 데이터(BK)가 입력된다.

<103> 우수 수평기간 동안, 타이밍 콘트롤러(18)는 도 9b와 같이 디지털 비디오 데이터가 출력되는 데이터버스를 그 다음 출력 데이터버스로 하나씩 쉬프트시키고, 데이터버스의 쉬프트에 의해 비어진 제1 기수 출력 데이터버스(ODOB1)를 통하여 레지스터(73)에 의해 지연된 데이터를 출력하게 된다.

<104> 도 9b를 참조하면, 우수 수평기간 동안에 타이밍 콘트롤러(18)는 제1 기수 출력 데이터버스(ODOB1)를 통하여 레지스터(73)에 의해 지연된 블랭크 데이터(BK)를 데이터 드라이버(16)에 공급한 다음에 레지스터(73)에 의해 지연된 m/6 개의 청색 우수 디지털 비디오 데이터(EB1,EB2,EB3,...,EBm/6)를 데이터 드라이버(16)에 공급한다. 이와 동시에 타이밍 콘트롤러(18)는 제2 기수 출력 데이터버스(ODOB2)를 통하여 m/6 개의 적색 기수 디지털 비디오 데이터(OR1,OR2,OR3,...,ORm/6)를 데이터 드라이버(16)에 공급하고, 제3 기수 출력 데이터버스(ODOB3)를 통하여 m/6 개의 녹색 기수 디지털 비디오 데이터(OG1,OG2,OG3,...,OGm/6)를 데이터 드라이버(16)에 공급하게 된다. 또한, 우수 수평기간 동안에 타이밍 콘트롤러(18)는 제1 우수 출력 데이터버스(EDOB1)를 통하여 m/6 개의 청색 기수 디지털 비디오 데이터(OB1,OB2,OB3,...,OBm/6)를 데이터 드라이버(16)에 공급한다. 이와 동시에, 타이밍 콘트롤러(18)는 제2 우수 출력 데이터버스(EDOB2)를 통하여 m/6 개의 적색 우수 디지털 비디오 데이터(ER1,ER2,ER3,...,ERm/6)를 데이터 드라이버(16)에 공급하고, 제3 우수 출력 데이터버스(EDOB3)를 통하여 m/6 개의 녹색 기수 디지털 비디오 데이터(EG1,EG2,EG3,...,EGm/6)를 데이터 드라이버(16)에 공급하게 된다. 그러면 데이터 드라이버(16)에는 데이터 인에이블기간 동안, 제1 기수 출력 데이터버스(ODOB1)를 통하여 레지스터(73)에 의해 한 수평기간 만큼 지연된 블랭크 데이터(BK)가 입력됨과 동시에 제2 및 제3 기수 출력 데이터버스(ODOB2,ODOB3)를 통하여 각각 첫 번째 적색 및 녹색의 기수 디지털 비디오 데이터(OR1,OG1)가 입력되고, 제1 내

지 제3 우수 출력 데이터버스(EDOB1,EDOB2,EDOB3)를 통하여 첫 번째 청색 기수 디지털 비디오 데이터(OB1)와 적색 및 녹색의 첫 번째 우수 디지털 비디오 데이터(ER1,EG1)가 입력된다. 이어서, 데이터 드라이버(16)에는 제1 기수 출력 데이터버스(ODOB1)를 통하여 레지스터(73)에 의해 지연된 $m/6$ 개의 청색 우수 디지털 비디오 데이터(EB1,EB2,EB3,...,EB $m/6$)가 입력됨과 동시에, 제2 및 제3 기수 출력 데이터버스(ODOB2,ODOB3)와 제1 내지 제3 우수 출력 데이터버스(EDOB1,EDOB2,EDOB3)를 통하여 적색, 녹색 및 청색의 기수 디지털 비디오 데이터(OR2,OR3,...,OR $m/6$,OG2,OG3,...,OG $m/6$,OB2,OB3,...,OB $m/6$)와 적색 및 녹색의 우수 디지털 비디오 데이터(ER2,ER3,...,ER $m/6$,EG2,EG3,...,EG $m/6$)가 입력된다.

- <105> 도 8a 내지 도 9b에 있어서 데이터 드라이버(16)에 공급되는 데이터는 각각의 출력 데이터버스별로 6 비트 또는 8 비트로 구성된다.
- <106> 도 10은 도 6에 도시된 데이터 드라이버(16)를 상세히 나타낸다.
- <107> 도 10을 참조하면, 데이터 드라이버(16)는 쉬프트 레지스터 어레이(101)와 데이터라인들(DL1 내지 DL $m+1$) 사이에 종속적으로 접속된 래치 어레이(102), MUX 어레이(103), 디지털/아날로그 변환기 어레이(이하, "DAC 어레이"라 한다)(104) 및 버퍼 어레이(105)를 구비한다.
- <108> 쉬프트 레지스터 어레이(101)는 타이밍 콘트롤러(18)로부터의 소스스타트펄스(SSP)를 소스쉬프트클럭(SSC)에 따라 순차적으로 쉬프트시켜 샘플링클럭을 발생한다.
- <109> 래치 어레이(102)는 쉬프트 레지스터 어레이(101)로부터의 샘플링클럭에 응답하여 타이밍 콘트롤러(18)로부터 입력되는 디지털 비디오 데이터(R,G,B)와 디지털 블랭크 데이터(BK)를 샘플링한 후에 샘플링된 1 수평라인 분의 데이터를 래치한다. 그리고 래치 어레이(102)는 타이밍 콘트롤러(18)로부터의 소스출력인에이블신호(SOE)에 응답하여 래치된 1 수평라인분의 데이터를 동시에 출력한다.
- <110> MUX 어레이(103)는 래치 어레이(102)로부터 공급되는 데이터를 수평기간 단위로 그대로 출력하거나 출력라인을 하나씩 오른쪽으로 쉬프트시켜 출력하게 된다. 래치 어레이(102)로부터의 데이터가 기수 수평기간의 데이터인 경우에, MUX 어레이(103)는 래치 어레이(102)로부터 입력되는 1 수평라인분의 데이터를 그대로 출력하게 된다. 이와 달리, 래치 어레이(102)로부터의 데이터가 우수 수평기간의 데이터이면, MUX 어레이(103)는 래치 어레이(102)로부터 입력되는 1 수평라인분의 데이터를 우측의 출력라인으로 하나씩 쉬프트시켜 출력하게 된다.
- <111> DAC 어레이(104)는 MUX 어레이(103)로부터 입력되는 디지털 비디오 데이터와 디지털 블랭크 데이터를 아날로그 값으로 디코딩하고, 디코딩된 아날로그값을 타이밍 콘트롤러(18)로부터의 극성제어신호(POL)에 응답하여 정극성 감마보상전압(GH)이나 부극성 감마보상전압(GL)을 선택하게 된다. 다시 말하여, DAC 어레이(104)는 MUX 어레이(103)로부터의 디지털 데이터를 정극성 감마보상전압(GH)이나 부극성 감마보상전압(GL)으로 변환한 다음, MUX 어레이(103)에 의해 출력라인이 쉬프트된 디지털 데이터를 부극성 감마보상전압(GL)이나 정극성 감마보상전압(GH)으로 변환하게 된다.
- <112> MUX 어레이(103)와 DAC 어레이(104)에 의해 매 수평기간마다 출력라인이 쉬프트되고 극성이 반전되는 데이터는 버퍼 어레이(105)를 통하여 각 데이터라인들(DL1 내지 DL $m+1$)에 공급된다.
- <113> 데이터 드라이버(16)로부터 출력되는 데이터에 의해, 기수 데이터라인들(DL1,DL3,DL5,...,DL $m-1$,DL $m+1$)에는 n 번째 프레임 기간 동안에 항상 정극성 전압이 인가되며, $(n+1)$ 번째 프레임 기간 동안에 항상 부극성 전압이 인가된다. 그리고 우수 데이터라인들(DL2,DL4,DL6,...,DL m)에는 n 번째 프레임 기간 동안에 항상 부극성 전압이 인가되며, $(n+1)$ 번째 프레임 기간 동안에 항상 정극성 전압이 인가된다. 결과적으로, 액정패널(12)에는 컬럼 인버전 형태로 극성이 제어된 데이터들이 공급되지만 액정패널(12)은 TFT가 수직라인 방향에서 지그재그로 배치되어 있기 때문에 컬럼 인버전 형태의 데이터를 도트 인버전 형태로 변환하여 화상을 표시하게 된다.
- <114> 도 11a 및 도 11b는 n 번째 프레임과 $(n+1)$ 번째 프레임 기간 동안, 도 6에 도시된 액정패널의 데이터라인들(DL1 내지 DL $m+1$)에 공급되는 데이터를 나타낸다.
- <115> 도 11a를 참조하면, n 번째 프레임의 기수 번째 수평기간(1H,3H,...,($n-1$)H)에 적색, 녹색 및 청색의 화소전압은 제1 내지 제 m 데이터라인들(DL1 내지 DL m)에 공급됨과 동시에, 블랭크 데이터(BK)의 화소전압은 제 $m+1$ 데이터라인(DL $m+1$)에 공급된다. n 번째 프레임의 우수 번째 수평기간(2H,4H,...,nH)에 적색, 녹색 및 청색의 화소전압은 제2 내지 제 $m+1$ 데이터라인들(DL2 내지 DL $m+1$)에 공급됨과 동시에, 블랭크 데이터(BK)의 화소전압은 제1 데이터라인(DL1)에 공급된다. n 번째 프레임 기간 동안, 기수 데이터라인들(DL1,DL3,DL5,...,DL $m-1$,DL $m+1$)에는 항상 정극성의 화소전압이 인가되며, 우수 데이터라인들(DL2,DL4,DL6,...,DL $m-2$,DL m)에는 항상 부극성의 화소전압이

인가된다.

- <116> (n+1) 번째 프레임에는 도 11b와 같이 데이터라인들(DL1 내지 DLm+1) 각각에 공급되는 화소전압의 극성이 반전된다.
- <117> 도 11b를 참조하면, (n+1) 번째 프레임의 기수 번째 수평기간(1H, 3H, ..., (n-1)H)에는 n 번째 프레임의 기수 번째 수평기간(1H, 3H, ..., (n-1)H)과 동일하게 적색, 녹색 및 청색의 화소전압이 제1 내지 제m 데이터라인들(DL1 내지 DLm)에 공급됨과 동시에, 블랭크 데이터(BK)의 화소전압이 제m+1 데이터라인(DLm+1)에 공급된다. (n+1) 번째 프레임의 우수 번째 수평기간(2H, 4H, ..., nH)에는 n 번째 프레임의 우수 번째 수평기간(2H, 4H, ..., nH)과 동일하게 적색, 녹색 및 청색의 화소전압이 제2 내지 제m+1 데이터라인들(DL2 내지 DLm+1)에 공급됨과 동시에, 블랭크 데이터(BK)의 화소전압이 제1 데이터라인(DL1)에 공급된다. (n+1) 번째 프레임 기간 동안, 기수 데이터라인들(DL1, DL3, DL5, ..., DLm-1, DLm+1)에는 항상 부극성의 화소전압이 인가되며, 우수 데이터라인들(DL2, DL4, DL6, ..., DLm-2, DLm)에는 항상 정극성의 화소전압이 인가된다.
- <118> 도 12는 본 발명의 제2 실시 예에 따른 액정표시장치를 나타낸다.
- <119> 도 12를 참조하면, 본 발명의 제2 실시예에 따른 액정표시장치는 기수 수평라인의 TFT들(111)이 제2 내지 제m+1 데이터라인들(DL2 내지 DLm+1)로부터의 데이터를 액정셀에 공급하고 우수 수평라인의 TFT들(111)이 제1 내지 제m 데이터라인들(DL1 내지 DLm)로부터의 데이터를 액정셀에 공급하도록 TFT들이 수직라인방향에서 지그재그로 배치되는 액정패널(112)과, 액정패널(112)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(114)와, 액정패널(112)의 데이터라인들(DL1 내지 DLm+1)을 구동하기 위한 데이터 드라이버(116)와, 게이트 드라이버(114) 및 데이터 드라이버(116)를 제어하기 위한 타이밍 컨트롤러(118)를 구비한다.
- <120> 액정패널(112)에는 m+1 개의 데이터라인들(DL1 내지 DLm+1)과 n 개의 게이트라인들(GL1 내지 GLn)이 교차되며 그 교차부마다 액정셀(C1c)을 구동하기 위한 TFT들(111)이 형성된다. 기수 수평라인의 TFT들(111)은 액정셀의 우측 데이터라인들(DL2 내지 DLm+1)과 기수 게이트라인들(GL1, GL3, GL5, ..., GLn-1)의 교차부에 위치하며, 우수 수평라인의 TFT들(111)은 액정셀의 좌측 데이터라인(DL1 내지 DLm)과 우수 게이트라인들(GL2, GL4, GL6, ..., GLn)의 교차부에 위치한다. TFT들(111)의 게이트전극은 게이트라인(GL1 내지 GLm)에 접속된다. 기수 수평라인에 위치한 TFT들(111)의 소스전극들은 제2 내지 제m+1 데이터라인들(DL2 내지 DLm+1)에 접속되고, 우수 수평라인에 위치한 TFT들(111)의 소스전극들은 제1 내지 제m 데이터라인(DL1 내지 DLm)에 접속된다. 그리고 기수 수평라인에 위치한 TFT들(111)의 드레인전극들은 자신을 기준으로 좌측에 인접하는 화소전극들(113)에 접속되고, 우수 수평라인에 위치한 TFT들(111)의 드레인전극들은 자신을 기준으로 우측에 인접하는 화소전극들(113)에 접속된다. 따라서, 기수 수평라인에 위치하는 액정셀들(C1c)은 자신을 기준으로 우측에 인접하는 데이터라인들(DL2 내지 DLm+1)로부터 공급되는 데이터를 충전하게 되고, 우수 수평라인에 위치하는 액정셀들(C1c)은 자신을 기준으로 좌측에 인접하는 데이터라인들(DL1 내지 DLm)로부터 공급되는 데이터를 충전하게 된다.
- <121> 결과적으로, 동일한 수직라인에 포함된 TFT들(111)은 인접한 두 개의 데이터라인들 사이에서 지그재그로 배열된다. 지그재그로 배열된 TFT(111)를 통하여 액정셀들(C1c)은 좌우로 인접한 두 개의 데이터라인들 중 어느 하나를 통하여 정극성 또는 부극성 전압을 충전하게 된다.
- <122> 타이밍 컨트롤러(118)는 제어신호 발생부(121), 화소데이터정렬부(122), 레지스터(123) 및 MUX(124)로 구성되어 도시하지 않은 디지털 비디오 카드로부터 공급되는 디지털 비디오 데이터를 데이터 드라이버(116)에 공급함과 아울러, 자신에게 입력되는 수평/수직 동기신호(H,V)와 메인클럭(MCLK)을 이용하여 데이터 드라이버(116)와 게이트 드라이버(114)에 필요한 타이밍 제어신호를 발생한다.
- <123> 타이밍 컨트롤러(118)의 제어신호 발생부(121)는 수직/수평 동기신호(V,H)와 메인클럭(MCLK)을 이용하여 게이트 드라이버(114)를 제어하기 위한 게이트스타트펄스(GSP), 게이트스윙프클럭(GSC) 및 게이트출력인에이블(GOE) 등의 게이트 제어신호(GDC)를 발생함과 아울러 데이터 드라이버(116)를 제어하기 위한 데이터 인에이블신호(DE), 소스스윙프클럭(SSC), 소스스타트펄스(SSP), 극성제어신호(POL) 및 소스출력인에이블신호(SOE) 등의 데이터 제어신호(DDC)를 발생한다. 또한, 제어신호 발생부(121)는 화소데이터 정렬부(122)에 필요한 클럭신호와 MUX(124)를 제어하기 위한 기수/우수 수평기간 지시신호(OESW)를 발생하게 된다.
- <124> 타이밍 컨트롤러(118)의 화소데이터 정렬부(122)는 입력 디지털 비디오 데이터들(RGB)을 제어신호 발생부(121)로부터의 클럭에 따라 출력한다. 또한, 화소데이터 정렬부(122)는 블랭크 구간에 블랭크 데이터(BK)를 검출하거나 내부에서 블랭크 데이터(BK)를 생성하고, 그 블랭크 데이터(BK)를 디지털 비디오 데이터들(RGB)과 함께 출력한다. 이 화소데이터 정렬부(122)는 도 8a 및 도 8b와 같이 3 개의 출력 데이터버스를 통해 샘플링된 데이터

를 출력할 수 있으며 기수 화소데이터와 우수 화소데이터를 동시에 출력할 수 있도록 도 9a 및 도 9b와 같이 6 개의 데이터버스를 통해 샘플링된 데이터를 출력할 수도 있다. 출력 데이터버스들 중에, 마지막 출력 데이터버스를 제외한 다른 출력 데이터버스들을 통하여 출력되는 데이터들은 MUX(124)에 공급되고, 마지막 출력 데이터버스를 통하여 출력되는 데이터는 MUX(124)와 레지스터(123)에 공통으로 공급된다.

<125> MUX(124)는 기수 수평기간 동안 화소데이터 정렬부(122)로부터 입력되는 m 개의 디지털 비디오 데이터들(RGB)을 각각 다음 출력 데이터버스로 쉬프트시켜 출력시킴과 동시에 첫 번째 출력 데이터버스를 통하여 레지스터(123)에 의해 지연된 데이터를 출력시킨다. 그리고 MUX(124)는 우수 수평기간 동안에 제어신호 발생부(121)로부터의 기수/우수 수평기간 지시신호(OESW)에 따라 화소데이터 정렬부(122)로부터 입력되는 m 개의 디지털 비디오 데이터들(RGB)과 1 개의 블랭크 데이터를 그대로 출력한다.

<126> 이러한 타이밍 콘트롤러(118)는 3 개의 출력 데이터버스(DOB1, DOB2, DOB3)를 통하여 데이터를 기수 수평기간에 출력하는 경우에, 도 8b와 같이 m 개의 디지털 비디오 데이터들(RGB)이 다음 출력 데이터버스로 쉬프트되고 남은 첫 번째 출력 데이터버스(DOB1)를 통하여 레지스터(123)에 의해 지연된 블랭크 데이터(BK)와 청색 디지털 비디오 데이터(B1, B2, ..., B_{m/3})를 출력한다. 그리고 타이밍 콘트롤러(118)는 3 개의 출력 데이터버스(DOB1, DOB2, DOB3)를 통하여 데이터를 우수 수평기간에 출력하는 경우에, 도 8a와 같이 m 개의 디지털 비디오 데이터를 해당 출력 데이터버스를 통하여 그대로 출력한다. 즉, 우수 수평기간 동안, 적색 디지털 비디오 데이터(R)는 제1 출력 데이터버스(DOB1), 녹색 디지털 데이터(G)는 제2 출력 데이터버스(DOB2) 그리고 청색 디지털 데이터(B)는 제3 출력 데이터버스(DOB3) 각각을 통하여 출력된다. 그리고 블랭크 데이터(BK)는 우수 수평기간의 마지막에 제1 출력 데이터버스(DOB1)를 통하여 출력된다.

<127> 6 개의 출력 데이터버스(ODOB1, ODOB2, ODOB3, EDOB1, EDOB2, EDOB3)를 통하여 데이터가 기수 수평기간에 출력되는 경우에, 타이밍 콘트롤러(118)는 도 9b와 같이 m 개의 디지털 비디오 데이터들(RGB)이 다음 출력 데이터버스로 쉬프트되고 남은 제1 기수 출력 데이터버스(ODOB1)를 통하여 레지스터(123)에 의해 지연된 블랭크 데이터(BK)와 기수 청색 디지털 비디오 데이터(EB1, EB2, ..., EB_{m/6})를 출력한다. 그리고 타이밍 콘트롤러(118)는 6 개의 출력 데이터버스(ODOB1, ODOB2, ODOB3, EDOB1, EDOB2, EDOB3)를 통하여 데이터를 우수 수평기간에 출력하는 경우에, 도 9a와 같이 m 개의 디지털 비디오 데이터(RGB)를 해당 출력 데이터버스를 통하여 그대로 출력한 다음에, 블랭크 데이터(BK)를 제1 기수 출력 데이터버스(ODOB1)를 통하여 우수 수평기간의 마지막에 출력하게 된다.

<128> 게이트 드라이버(114)는 타이밍 콘트롤러(118)로부터의 게이트스타트펄스(GSP), 게이트쉬프트클럭(GSC) 및 게이트출력엔에이블(GOE)를 이용하여 게이트라인들(GL1 내지 GL_n)에 순차적으로 스캔펄스를 공급하게 된다. 스캔펄스는 각 수평라인의 TFT(111)를 수평라인 단위로 순차적으로 턴-온시킴으로써 데이터가 공급되는 스캔라인을 선택하게 된다. 이 게이트 드라이버(114)는 스캔펄스를 순차적으로 발생하는 쉬프트 레지스터와, 스캔펄스의 전압의 스윙폭을 액정셀(C1c)의 구동에 적합하게 쉬프트 시키기 위한 레벨 쉬프트를 포함한다.

<129> 데이터 드라이버(116)는 도 10과 같이 쉬프트 레지스터 어레이, 래치 어레이, MUX 어레이, DAC 어레이 및 버퍼 어레이 등으로 구성된다. 이 데이터 드라이버(116)는 타이밍 콘트롤러(118)로부터의 소스쉬프트클럭(SSC), 소스스타트펄스(SSP), 극성제어신호(POL) 및 소스출력엔에이블신호(SOE)를 이용하여 타이밍 콘트롤러(118)로부터 입력되는 m 개의 디지털 비디오 데이터를 기수 수평기간에 그대로 출력하고 우수 수평기간에 좌측으로 한 채널씩 쉬프트시킨다. 그리고 데이터 드라이버(116)는 수평기간 단위로 쉬프트되는 m 개의 디지털 비디오 데이터들(RGB)과 블랭크 데이터(BK)를 정극성 감마보상전압 또는 부극성 감마보상전압으로 변환함으로써 디지털 비디오 데이터와 블랭크 데이터를 아날로그 화소전압으로 변환한다. 감마보상전압에 의해 아날로그 형태로 변환된 화소전압은 정극성 감마보상전압과 부극성 감마전압이 수직라인간 교번됨으로써 컬럼 인버전 방식과 같이 수평으로 인접한 데이터들 간에 극성이 상반되게 된다.

<130> 데이터 드라이버(116)에 의해 컬럼 인버전 방식으로 극성이 반전된 $m+1$ 개의 화소전압은 스캔펄스에 동기되어 매 수평기간마다 $m+1$ 개의 데이터라인들(DL1 내지 DL_{m+1})에 순차적으로 공급된다.

<131> 도 13a 및 도 13b는 n 번째 프레임과 $(n+1)$ 번째 프레임 기간 동안, 도 12에 도시된 액정패널의 데이터라인들(DL1 내지 DL_{m+1})에 공급되는 데이터를 나타낸다.

<132> 도 13a를 참조하면, n 번째 프레임의 기수 번째 수평기간(1H, 3H, ..., $(n-1)H$)에 적색, 녹색 및 청색의 화소전압은 제2 내지 제 $m+1$ 데이터라인들(DL2 내지 DL_{m+1})에 공급됨과 동시에, 블랭크 데이터(BK)의 화소전압은 제1 데이터라인(DL1)에 공급된다. n 번째 프레임의 우수 번째 수평기간(2H, 4H, ..., nH)에 적색, 녹색 및 청색의 화소전압은 제1 내지 제 m 데이터라인들(DL1 내지 DL_m)에 공급됨과 동시에, 블랭크 데이터(BK)의 화소전압은 제 $m+1$ 데이터라

인(DL1)에 공급된다. n 번째 프레임 기간 동안, 기수 데이터라인들(DL1, DL3, DL5, ..., DL $m-1$, DL $m+1$)에는 항상 정극성의 화소전압이 인가되며, 우수 데이터라인들(DL2, DL4, DL6, ..., DL $m-2$, DL m)에는 항상 부극성의 화소전압이 인가된다.

<133> $(n+1)$ 번째 프레임에는 도 13b와 같이 데이터라인들(DL1 내지 DL $m+1$) 각각에 공급되는 화소전압의 극성이 반전된다.

<134> 도 13b를 참조하면, $(n+1)$ 번째 프레임의 기수 번째 수평기간(1H, 3H, ..., $(n-1)H$)에는 n 번째 프레임의 기수 번째 수평기간(1H, 3H, ..., $(n-1)H$)과 동일하게 적색, 녹색 및 청색의 화소전압이 제2 내지 제 $m+1$ 데이터라인들(DL2 내지 DL $m+1$)에 공급됨과 동시에, 블랭크 데이터(BK)의 화소전압이 제1 데이터라인(DL1)에 공급된다. $(n+1)$ 번째 프레임의 우수 번째 수평기간(2H, 4H, ..., nH)에는 n 번째 프레임의 우수 번째 수평기간(2H, 4H, ..., nH)과 동일하게 적색, 녹색 및 청색의 화소전압이 제1 내지 제 m 데이터라인들(DL1 내지 DL m)에 공급됨과 동시에, 블랭크 데이터(BK)의 화소전압이 제 $m+1$ 데이터라인(DL $m+1$)에 공급된다. $(n+1)$ 번째 프레임 기간 동안, 기수 데이터라인들(DL1, DL3, DL5, ..., DL $m-1$, DL $m+1$)에는 항상 부극성의 화소전압이 인가되며, 우수 데이터라인들(DL2, DL4, DL6, ..., DL $m-2$, DL m)에는 항상 정극성의 화소전압이 인가된다.

<135> 전술한 블랭크 데이터(BK)는 데이터 인에이블 구간 사이의 블랙 데이터 구간에서 검출되는 전압으로써 디지털 값으로 표현되면 '000000' 또는 '00000000'으로 표현된다. 이 블랭크 데이터(BK)는 데이터 드라이버(16, 116)에 의해 감마보상전압으로 변환되면 도시하지 않은 공통전극에 인가되는 공통전압(Vcom)과 가장 전위차가 큰 전압으로 변환된다. 따라서, 블랭크 데이터(BK)는 액정셀(C1c)에서 전압이 인가되지 않을 때 최대의 광량으로 광을 투과하고 액정셀(C1c)에 인가되는 전압레벨이 작아질수록 투과 광량이 작아지는 노멀리 화이트모드(Normally white)에서 블랙 계조(Black gray scale)에 해당하는 전압이다. 또한, 블랭크 데이터(BK)는 액정셀(C1c)에서 전압이 인가되지 않을 때 빛을 차단하고 액정셀(C1c)에 인가되는 전압레벨이 높아질수록 투과 광량이 커지는 노멀리 블랙모드(Normally white)에서 화이트 계조(White gray scale)에 해당하는 전압이다.

<136> 따라서, 액정셀(C1c)에 인가되는 최대전압으로 블랭크 데이터(BK)가 첫 번째 또는 마지막 데이터라인(DL1, DL $m+1$)에 인가되면, 해당 데이터라인들(DL1, DL $m+1$)에 인가되는 전압의 스윙폭(Swing width)이 커지게 된다. 이렇게 데이터라인들(DL1, DL $m+1$)에 인가되는 전압의 스윙폭이 커지게 되면 액정패널(12, 112)의 부하변동이 심하게 되기 때문에 소비전력이 그 만큼 커지게 된다.

<137> 도 14는 본 발명의 제3 실시 예에 따른 액정표시장치를 나타낸다.

<138> 도 14를 참조하면, 본 발명의 제3 실시예에 따른 액정표시장치는 기수 수평라인의 TFT들(131)이 제1 내지 제 m 데이터라인들(DL1 내지 DL m)로부터의 데이터를 액정셀에 공급하고 우수 수평라인의 TFT들(131)이 제2 내지 제 $m+1$ 데이터라인들(DL2 내지 DL $m+1$)로부터의 데이터를 액정셀에 공급하도록 TFT들(131)이 수직라인방향에서 지그재그로 배치되는 액정패널(132)과, 액정패널(132)의 게이트라인들(GL1 내지 GL n)을 구동하기 위한 게이트 드라이버(134)와, 액정패널(132)의 데이터라인들(DL1 내지 DL $m+1$)을 구동하기 위한 데이터 드라이버(136)와, 게이트 드라이버(134) 및 데이터 드라이버(136)를 제어하기 위한 타이밍 컨트롤러(138)를 구비한다.

<139> 액정패널(132)에는 $m+1$ 개의 데이터라인들(DL1 내지 DL $m+1$)과 n 개의 게이트라인들(GL1 내지 GL n)이 교차되며 그 교차부마다 액정셀(C1c)을 구동하기 위한 TFT들(131)이 형성된다. 기수 수평라인의 TFT들(131)은 액정셀의 좌측 데이터라인들(DL1 내지 DL m)과 기수 게이트라인들(GL1, GL3, GL5, ..., GL $n-1$)의 교차부에 위치하며, 우수 수평라인의 TFT들(131)은 액정셀의 우측 데이터라인(DL2 내지 DL $m+1$)과 우수 게이트라인들(GL2, GL4, GL6, ..., GL n)의 교차부에 위치한다. TFT들(131)의 게이트전극은 게이트라인(GL1 내지 GL n)에 접속된다. 기수 수평라인에 위치한 TFT들(131)의 소스전극들은 제1 내지 제 m 데이터라인들(DL1 내지 DL m)에 접속되고, 우수 수평라인에 위치한 TFT들(131)의 소스전극들은 제2 내지 제 $m+1$ 데이터라인(DL2 내지 DL $m+1$)에 접속된다. 그리고 기수 수평라인에 위치한 TFT들(131)의 드레인전극들은 자신을 기준으로 우측에 인접하는 화소전극들(133)에 접속되고, 우수 수평라인에 위치한 TFT들(131)의 드레인전극들은 자신을 기준으로 좌측에 인접하는 화소전극들(133)에 접속된다. 따라서, 기수 수평라인에 위치하는 액정셀들(C1c)은 자신을 기준으로 좌측에 인접하는 데이터라인들(DL1 내지 DL m)로부터 공급되는 데이터를 충전하게 되고, 우수 수평라인에 위치하는 액정셀들(C1c)은 자신을 기준으로 우측에 인접하는 데이터라인들(DL2 내지 DL $m+1$)로부터 공급되는 데이터를 충전하게 된다.

<140> 타이밍 컨트롤러(138)는 입력 디지털 비디오 데이터(RGB)를 데이터 드라이버(116)에 공급함과 아울러, 자신에게 입력되는 수평/수직 동기신호(H, V)와 메인클럭(MCLK)을 이용하여 데이터 드라이버(136)와 게이트 드라이버(134)에 필요한 타이밍 제어신호(DDC, GDC)를 발생한다. 또한, 타이밍 컨트롤러(138)는 디지털 비디오 데이터들

(RGB) 중 어느 하나를 복사하여 더미 데이터(DD1, DD2)를 발생하고, 그 더미 데이터(DD1, DD2)를 전송한 실시예에서 블랭크 데이터(BK)가 삽입되는 위치에 삽입하게 된다.

- <141> 이 타이밍 컨트롤러(138)는 타이밍 제어신호를 발생하는 제어신호 발생부(141)와, 디지털 비디오 데이터가 입력되는 화소데이터 정렬부(142)와, 입력 데이터를 카운트하기 위한 카운터(145)와, 화소데이터 정렬부(142)의 출력단에 공통으로 접속된 래치(146), 레지스터(143) 및 MUX(144)를 구비한다.
- <142> 제어신호 발생부(141)는 수직/수평 동기신호(V,H)와 메인클럭(MCLK)을 이용하여 게이트 드라이버(134)를 제어하기 위한 게이트스타트펄스(GSP), 게이트쉬프트클럭(GSC) 및 게이트출력인에이블(GOE) 등의 게이트 제어신호(GDC)를 발생함과 아울러 데이터 드라이버(136)를 제어하기 위한 데이터 인에이블신호(DE), 소스쉬프트클럭(SSC), 소스스타트펄스(SSP), 극성제어신호(POL) 및 소스출력인에이블신호(SOE) 등의 데이터 제어신호(DDC)를 발생한다. 또한, 제어신호 발생부(141)는 화소데이터 정렬부(142)에 필요한 클럭신호와 MUX(144)를 제어하기 위한 기수/우수 수평기간 지시신호(OESW)를 발생하게 된다.
- <143> 화소데이터 정렬부(142)는 입력 디지털 비디오 데이터들(RGB)을 제어신호 발생부(141)로부터의 클럭에 따라 출력한다. 화소데이터 정렬부(142)로부터 출력되는 디지털 비디오 데이터들(RGB) 중에, 마지막 출력 데이터 버스를 통하여 출력되는 데이터들은 레지스터(143)와 MUX(144)에 공통으로 공급되고, 그 이외의 출력 데이터 버스를 통하여 출력되는 데이터들은 MUX(144)에 공급된다. 그리고 화소데이터 정렬부(142)는 카운터(145)로부터의 계수신호에 따라 입력 디지털 비디오 데이터(RGB)를 계수하고, m 번째 디지털 비디오 데이터가 검출되면 그 m 번째 디지털 비디오 데이터를 기수 수평기간에 래치(146)에 공급한다. 우수 수평기간에, 화소데이터 정렬부(142)는 소스스타트펄스(SSP)를 이용하여 첫 번째 디지털 비디오 데이터를 검출하고 그 첫 번째 디지털 비디오 데이터를 래치(146)에 공급한다.
- <144> 래치(146)는 기수 수평기간에 화소데이터 정렬부(142)로부터 입력되는 m 번째 비디오 데이터를 일시 저장한 후에 출력함으로써 제1 더미 데이터(DD1)를 발생하고 그 제1 더미 데이터(DD1)를 MUX(144)에 공급한다. 또한, 래치(146)는 우수 수평기간에 화소데이터 정렬부(142)로부터 입력되는 첫 번째 비디오 데이터를 일시 저장한 후에 출력함으로써 제2 더미 데이터(DD2)를 발생하고 그 제2 더미 데이터(DD2)를 레지스터(143)에 공급한다.
- <145> 레지스터(143)는 화소데이터 정렬부(142)의 출력 데이터 버스들 중에 마지막 데이터 버스로부터 입력되는 데이터를 일시 저장한 다음에 우수 수평기간에 저장된 데이터를 출력하게 된다. 또한, 레지스터(143)는 래치(146)로부터 입력되는 제2 더미 데이터(DD2)를 일시 저장한 다음에 우수 수평기간에 저장된 제2 더미 데이터(DD2)를 출력하게 된다.
- <146> MUX(144)는 기수 수평기간 동안에 제어신호 발생부(141)로부터의 기수/우수 수평기간 지시신호에 따라 화소데이터 정렬부(142)로부터 입력되는 m 개의 디지털 비디오 데이터와 래치(146)로부터 입력되는 제1 더미 데이터(DD1)를 그대로 출력한다. 이 기수 수평기간 동안 MUX(144)로부터 출력되는 데이터는 도 15a 및 도 16a와 같다. 우수 수평기간 동안, MUX(144)는 화소데이터 정렬부(142)로부터 입력되는 m 개의 디지털 비디오 데이터를 각각 다음 출력 데이터버스로 쉬프트시켜 출력시킴과 동시에 첫 번째 출력 데이터버스를 통하여 레지스터(143)에 의해 지연된 마지막 버스 데이터와 제2 더미 데이터(DD2)를 출력시킨다. 우수 수평기간 동안 MUX(144)로부터 출력되는 데이터는 도 15b 및 도 16b와 같다.
- <147> 게이트 드라이버(134)는 타이밍 컨트롤러(138)로부터의 게이트스타트펄스(GSP), 게이트쉬프트클럭(GSC) 및 게이트출력인에이블(GOE)를 이용하여 게이트라인들(GL1 내지 GLn)에 순차적으로 스캔펄스를 공급하게 된다. 스캔펄스는 각 수평라인의 TFT(131)를 수평라인 단위로 순차적으로 턴-온시킴으로써 데이터가 공급되는 스캔라인을 선택하게 된다. 이 게이트 드라이버(134)는 스캔펄스를 순차적으로 발생하는 쉬프트 레지스터와, 스캔펄스의 전압의 스윙폭을 액정셀(C1c)의 구동에 적합하게 쉬프트 시키기 위한 레벨 쉬프터를 포함한다.
- <148> 데이터 드라이버(136)는 도 10에 도시된 데이터 드라이버와 실질적으로 동일한 구성을 갖는다. 데이터 드라이버(136)는 기수 수평기간 동안, 타이밍 컨트롤러(138)로부터의 데이터 제어신호(DDC)를 이용하여 타이밍 컨트롤러(138)로부터 입력되는 m 개의 디지털 비디오 데이터(RGB)를 제1 및 제m 데이터라인들(DL1 내지 DLm)에 공급함과 동시에, 제1 더미데이터(DD1)를 제m+1 데이터라인(DLm+1)에 공급한다. 데이터 드라이버(136)는 우수 수평기간 동안, 타이밍 컨트롤러(138)로부터 입력되는 m 개의 디지털 비디오 데이터(RGB)를 제2 및 제m+1 데이터라인들(DL2 내지 DLm+1)에 공급함과 동시에, 제2 더미데이터(DD2)를 제1 데이터라인(DL1)에 공급한다. 그리고 데이터 드라이버(136)는 m 개의 디지털 비디오 데이터들(RGB)과 더미데이터들(DD1, DD2)을 정극성 감마보상전압 또는 부극성 감마보상전압으로 변환함으로써 디지털 비디오 데이터들(RGB)과 더미데이터(DD1, DD2)를 아날로그 화소전

압으로 변환한다. 감마보상전압에 의해 아날로그 형태로 변환된 화소전압은 정극성 감마보상전압과 부극성 감마전압이 수직라인간 교번됨으로써 컬럼 인버전 방식과 같이 수평으로 인접한 데이터들 간에 극성이 상반되게 된다.

- <149> 데이터 드라이버(116)에 의해 컬럼 인버전 방식으로 극성이 반전된 $m+1$ 개의 화소전압은 스캔펄스에 동기되어 매 수평기간마다 $m+1$ 개의 데이터라인들(DL1 내지 DL $m+1$)에 순차적으로 공급된다.
- <150> 도 15a 및 도 15b는 3 개의 출력 데이터버스를 통하여 데이터 드라이버(136)에 공급되는 디지털 비디오 데이터들(RGB)과 더미 데이터(DD1, DD2)를 나타낸다.
- <151> 도 15a를 참조하면, 기수 수평기간 동안, 타이밍 콘트롤러(138)는 제1 출력 데이터버스(DOB1)를 통하여 $m/3$ 개의 적색 디지털 비디오 데이터(R1, R2, R3, ..., R $m/3$)를 데이터 드라이버(136)에 공급함과 동시에 제2 출력 데이터 버스(DOB2)를 통하여 $m/3$ 개의 녹색 디지털 비디오 데이터(G1, G2, G3, ..., G $m/3$)를 데이터 드라이버(136)에 공급하게 된다. 이와 동시에, 타이밍 콘트롤러(138)는 제3 출력 데이터버스(DOB3)를 통하여 $m/3$ 개의 청색 디지털 비디오 데이터(B1, B2, B3, ..., B $m/3$)를 데이터 드라이버(136)에 공급하게 된다. 이렇게 m 개의 디지털 비디오 데이터가 제1 내지 제3 출력 데이터버스(DOB1, DOB2, DOB3)를 통하여 데이터 드라이버(136)에 공급된 다음, 타이밍 콘트롤러(138)는 제1 출력 데이터버스(DOB1)를 통하여 제1 더미 데이터(DD1)의 청색 디지털 비디오 데이터(B $m/3$)를 데이터 드라이버(136)에 공급하게 된다. 그러면, 데이터 드라이버(136)에는 데이터 인에이블기간(DE) 동안, 제1 내지 제3 출력 데이터버스(DOB1, DOB2, DOB3)를 통하여 m 개의 적색, 녹색 및 청색의 디지털 비디오 데이터(R1, R2, R3, ..., R $m/3$, G1, G2, G3, ..., G $m/3$, B1, B2, B3, ..., B $m/3$)가 입력된 다음, 제1 출력 데이터버스(DOB1)를 통하여 하나의 청색 디지털 비디오 데이터(B $m/3$)가 입력된다.
- <152> 도 15a에서 알 수 있는 바, 제1 더미 데이터(DD1)는 제3 출력 데이터버스(DOB3)를 통하여 마지막에 출력되는 청색 디지털 비디오 데이터(B $m/3$)의 지연에 의해 발생됨으로써 청색 디지털 비디오 데이터(B $m/3$)와 동일하게 된다.
- <153> 도 15b를 참조하면, 우수 수평기간 동안에 타이밍 콘트롤러(138)는 제1 출력 데이터버스(DOB1)를 통하여 제2 더미 데이터(DD2)의 적색 디지털 비디오 데이터(R1)와 $m/3$ 개의 청색 디지털 비디오 데이터(B1, B2, B3, ..., B $m/3$)를 데이터 드라이버(136)에 공급한다. 이와 동시에, 타이밍 콘트롤러(138)는 제2 출력 데이터버스(DOB2)를 통하여 $m/3$ 개의 적색 디지털 비디오 데이터들(R1, R2, R3, ..., R $m/3$)을 데이터 드라이버(136)에 공급하고, 제3 출력 데이터버스(DOB3)를 통하여 $m/3$ 개의 녹색 디지털 비디오 데이터들(G1, G2, G3, ..., G $m/3$)을 데이터 드라이버(136)에 공급하게 된다. 그러면, 데이터 드라이버(136)에는 데이터 인에이블기간(DE) 동안, 제1 출력 데이터버스(DOB1)를 통하여 첫 번째 적색 디지털 비디오 데이터(R1)가 입력됨과 동시에 제2 및 제3 출력 데이터버스(DOB2, DOB3)를 통하여 각각 첫 번째 적색 디지털 비디오 데이터(R1)와 녹색 디지털 비디오 데이터(G1)가 입력된다. 이어서, 데이터 드라이버(136)에는 제1 출력 데이터버스(DOB1)를 통하여 레지스터(143)에 의해 지연된 $m/3$ 개의 청색 디지털 비디오 데이터(B1, B2, B3, ..., B $m/3$)가 입력됨과 동시에 제2 및 제3 출력 데이터버스(DOB2, DOB3)를 통하여 적색 및 녹색의 디지털 비디오 데이터(R2, R3, ..., R $m/3$, G2, G3, ..., G $m/3$)가 입력된다.
- <154> 도 15b에서 알 수 있는 바, 제2 더미 데이터(DD2)는 제2 출력 데이터 버스(DOB2)를 통하여 출력되는 첫 번째 적색 디지털 비디오 데이터(R1)가 미리 래치된 데이터이다.
- <155> 도 16a 및 도 16b는 6 개의 출력 데이터버스를 통하여 데이터 드라이버(136)에 공급되는 디지털 비디오 데이터들(RGB)과 더미 데이터(D1, D2)를 나타낸다.
- <156> 도 16a를 참조하면, 기수 수평기간 동안, 타이밍 콘트롤러(138)는 제1 기수 출력 데이터버스(ODOB1)를 통하여 $m/6$ 개의 적색 기수 디지털 비디오 데이터(OR1, OR2, OR3, ..., OR $m/6$)를 데이터 드라이버(136)에 공급함과 동시에 제2 기수 출력 데이터버스(ODOB2)를 통하여 $m/6$ 개의 녹색 기수 디지털 비디오 데이터(OG1, OG2, OG3, ..., OG $m/6$)를 데이터 드라이버(136)에 공급하게 된다. 이와 동시에, 타이밍 콘트롤러(138)는 제3 기수 출력 데이터버스(ODOB3)를 통하여 $m/6$ 개의 청색 기수 디지털 비디오 데이터(OB1, OB2, OB3, ..., OB $m/6$)를 데이터 드라이버(136)에 공급하게 된다. 또한, 기수 수평기간 동안, 타이밍 콘트롤러(138)는 제1 우수 출력 데이터버스(EDOB1)를 통하여 $m/6$ 개의 적색 우수 디지털 비디오 데이터(ER1, ER2, ER3, ..., ER $m/6$)를 데이터 드라이버(136)에 공급함과 동시에 제2 우수 출력 데이터버스(EDOB2)를 통하여 $m/6$ 개의 녹색 우수 디지털 비디오 데이터(EG1, EG2, EG3, ..., EG $m/6$)를 데이터 드라이버(136)에 공급하게 된다. 이와 동시에, 타이밍 콘트롤러(138)는 제3 우수 출력 데이터버스(EDOB3)를 통하여 $m/6$ 개의 청색 우수 디지털 비디오 데이터(EB1, EB2, EB3, ..., EB $m/6$)를 데이터 드라이버(136)에 공급하게 된다. 이렇게 $m/2$ 개의 기수 디지털 비디오 데이터와 $m/2$ 개의 우수 디지털

비디오 데이터가 제1 내지 제3 기수 출력 데이터버스(ODOB1, ODOB2, ODOB3)와 제1 내지 제3 우수 출력 데이터버스(EDOB1, EDOB2, EDOB3)를 통하여 데이터 드라이버(16)에 공급된 다음, 타이밍 콘트롤러(138)는 제1 기수 출력 데이터버스(ODOB1)를 통하여 제1 더미 데이터(DD1)의 청색 디지털 비디오 데이터(EBm/6)를 데이터 드라이버(136)에 공급하게 된다. 그러면 데이터 드라이버(136)에는 데이터 인에이블(DE) 기간 동안, m 개의 적색, 녹색 및 청색의 디지털 비디오 데이터(OR1, OR2, OR3, ..., ORm/6, OG1, OG2, OG3, ..., OGm/6, OB1, OB2, OB3, ..., OBm/6, ER1, ER2, ER3, ..., ERm/6, EG1, EG2, EG3, ..., EGm/6, EB1, EB2, EB3, ..., EBm/6)가 입력된 다음, 제1 더미 데이터(DD1)인 청색 디지털 비디오 데이터(EBm/6)가 입력된다.

<157> 우수 수평기간 동안, 타이밍 콘트롤러(138)는 도 16b와 같이 디지털 비디오 데이터가 출력되는 데이터버스를 그 다음 출력 데이터버스로 하나씩 쉬프트시키고, 데이터버스의 쉬프트에 의해 비어진 제1 기수 출력 데이터버스(ODOB1)를 통하여 제2 더미 데이터(DD2)를 출력하게 된다.

<158> 도 16b를 참조하면, 우수 수평기간 동안에 타이밍 콘트롤러(138)는 제1 기수 출력 데이터버스(ODOB1)를 통하여 제2 더미 데이터(DD2)를 데이터 드라이버(136)에 공급한 다음에 레지스터(143)에 의해 지연된 m/6 개의 청색 우수 디지털 비디오 데이터(EB1, EB2, EB3, ..., EBm/6)를 데이터 드라이버(136)에 공급한다. 이와 동시에 타이밍 콘트롤러(138)는 제2 기수 출력 데이터버스(ODOB2)를 통하여 m/6 개의 적색 기수 디지털 비디오 데이터(OR1, OR2, OR3, ..., ORm/6)를 데이터 드라이버(136)에 공급하고, 제3 기수 출력 데이터버스(ODOB3)를 통하여 m/6 개의 녹색 기수 디지털 비디오 데이터(OG1, OG2, OG3, ..., OGm/6)를 데이터 드라이버(136)에 공급하게 된다. 또한, 우수 수평기간 동안에 타이밍 콘트롤러(138)는 제1 우수 출력 데이터버스(EDOB1)를 통하여 m/6 개의 청색 기수 디지털 비디오 데이터(OB1, OB2, OB3, ..., OBm/6)를 데이터 드라이버(136)에 공급한다. 이와 동시에, 타이밍 콘트롤러(138)는 제2 우수 출력 데이터버스를(EDOB2)를 통하여 m/6 개의 적색 우수 디지털 비디오 데이터(ER1, ER2, ER3, ..., ERm/6)를 데이터 드라이버(136)에 공급하고, 제3 우수 출력 데이터버스를(EDOB3)를 통하여 m/6 개의 녹색 기수 디지털 비디오 데이터(EG1, EG2, EG3, ..., EGm/6)를 데이터 드라이버(136)에 공급하게 된다. 그러면 데이터 드라이버(136)에는 데이터 인에이블기간 동안, 제1 기수 출력 데이터버스(ODOB1)를 통하여 제2 더미 데이터(DD2)가 입력됨과 동시에 제2 및 제3 기수 출력 데이터버스(ODOB2, ODOB3)를 통하여 각각 첫 번째 적색 및 녹색의 기수 디지털 비디오 데이터(OR1, OG1)가 입력되고, 제1 내지 제3 우수 출력 데이터버스(EDOB1, EDOB2, EDOB3)를 통하여 첫 번째 청색 기수 디지털 비디오 데이터(OB1)와 적색 및 녹색의 첫 번째 우수 디지털 비디오 데이터(ER1, EG1)가 입력된다. 이어서, 데이터 드라이버(136)에는 제1 기수 출력 데이터버스(ODOB1)를 통하여 레지스터(143)에 의해 지연된 m/6 개의 청색 우수 디지털 비디오 데이터(EB1, EB2, EB3, ..., EBm/6)가 입력됨과 동시에, 제2 및 제3 기수 출력 데이터버스(ODOB2, ODOB3)와 제1 내지 제3 우수 출력 데이터버스(EDOB1, EDOB2, EDOB3)를 통하여 적색, 녹색 및 청색의 기수 디지털 비디오 데이터(OR2, OR3, ..., ORm/6, OG2, OG3, ..., OGm/6, OB2, OB3, ..., OBm/6)와 적색 및 녹색의 우수 디지털 비디오 데이터(ER2, ER3, ..., ERm/6, EG2, EG3, ..., EGm/6)가 입력된다.

<159> 도 17a 및 도 17b는 n 번째 프레임과 (n+1) 번째 프레임 기간 동안, 도 14에 도시된 액정패널(132)의 데이터라인들(DL1 내지 DLm+1)에 공급되는 데이터를 나타낸다.

<160> 도 17a를 참조하면, n 번째 프레임의 기수 번째 수평기간(1H, 3H, ..., (n-1)H)에 적색, 녹색 및 청색의 화소전압(R1, G1, ..., Bm/3)은 제1 내지 제m 데이터라인들(DL1 내지 DLm)에 공급됨과 동시에, 마지막 청색 화소전압(Bm/3)이 제m+1 데이터라인(DLm+1)에 공급된다. 제m+1 데이터라인(DLm+1)에 공급되는 청색 화소전압(Bm/3)은 제m 데이터라인(DLm)에 공급되는 청색 화소전압(Bm/3)의 지연에 의해 복사된 화소전압이다. n 번째 프레임의 우수 번째 수평기간(2H, 4H, ..., nH)에 적색, 녹색 및 청색의 화소전압(R1, G1, ..., Bm/3)은 제2 내지 제m+1 데이터라인들(DL2 내지 DLm+1)에 공급됨과 동시에, 첫 번째 적색 화소전압(R1)이 제1 데이터라인(DL1)에 공급된다. 제1 데이터라인(DL1)에 공급되는 적색 화소전압(R1)은 제2 데이터라인(DL2)에 공급되는 첫 번째 적색 화소전압(R1)이 복사된 화소전압이다. n 번째 프레임 기간 동안, 기수 데이터라인들(DL1, DL3, DL5, ..., DLm-1, DLm+1)에는 항상 정극성의 화소전압이 인가되며, 우수 데이터라인들(DL2, DL4, DL6, ..., DLm-2, DLm)에는 항상 부극성의 화소전압이 인가된다.

<161> (n+1) 번째 프레임에는 도 17b와 같이 데이터라인들(DL1 내지 DLm+1) 각각에 공급되는 화소전압의 극성이 반전된다.

<162> 도 17b를 참조하면, (n+1) 번째 프레임의 기수 번째 수평기간(1H, 3H, ..., (n-1)H)에는 n 번째 프레임의 기수 번째 수평기간(1H, 3H, ..., (n-1)H)과 동일하게 적색, 녹색 및 청색의 화소전압(R1, G1, ..., Bm/3)이 제1 내지 제m 데이터라인들(DL1 내지 DLm)에 공급됨과 동시에, 마지막 청색 화소전압(Bm/3)이 제m+1 데이터라인(DLm+1)에 공급된다.

다. $(n+1)$ 번째 프레임의 우수 번째 수평기간($2H, 4H, \dots, nH$)에는 n 번째 프레임의 우수 번째 수평기간($2H, 4H, \dots, nH$)과 동일하게 적색, 녹색 및 청색의 화소전압($R1, G1, \dots, Bm/3$)이 제2 내지 제 $m+1$ 데이터라인들(DL2 내지 DL $m+1$)에 공급됨과 동시에, 첫 번째 적색 화소전압($R1$)이 제1 데이터라인(DL1)에 공급된다. $(n+1)$ 번째 프레임 기간 동안, 기수 데이터라인들(DL1, DL3, DL5, \dots , DL $m-1$, DL $m+1$)에는 항상 부극성의 화소전압이 인가되며, 우수 데이터라인들(DL2, DL4, DL6, \dots , DL $m-2$, DL m)에는 항상 정극성의 화소전압이 인가된다.

<163> 도 18은 본 발명의 제4 실시 예에 따른 액정표시장치를 나타낸다.

<164> 도 18을 참조하면, 본 발명의 제4 실시예에 따른 액정표시장치는 더미 화소전극(153, 163)과 더미 TFT들(151, 161)이 좌/우측 가장자리에 형성된 액정패널(162)을 구비한다.

<165> 액정패널(162)에는 $m+1$ 개의 데이터라인들(DL1 내지 DL $m+1$)과 n 개의 게이트라인들(GL1 내지 GL n)이 교차된다. 기수 수평라인의 TFT들과 그 최우측의 더미 TFT들(161)은 액정셀의 좌측 데이터라인들(DL1 내지 DL $m+1$)과 기수 게이트라인들(GL1, GL3, GL5, \dots , GL $n-1$)의 교차부에 위치한다. 우수 수평라인의 TFT들과 그 최좌측의 더미 TFT들(151)은 액정셀의 우측 데이터라인(DL1 내지 DL $m+1$)과 우수 게이트라인들(GL2, GL4, GL6, \dots , GL n)의 교차부에 위치한다. 기수 수평라인의 TFT들과 우측 가장자리의 더미 TFT들(161)의 게이트전극은 기수 게이트라인들(GL1, GL3, \dots , GL $n-1$)에 접속된다. 우수 수평라인의 TFT들과 좌측 가장자리의 더미 TFT들(151)의 게이트전극은 우수 게이트라인들(GL2, GL4, \dots , GL n)에 접속된다. 기수 수평라인에 위치한 TFT들과 그 최우측의 더미 TFT들(161)의 소스전극들은 자신을 기준으로 좌측에 위치한 데이터라인들(DL1 내지 DL $m+1$)에 접속된다. 우수 수평라인에 위치한 TFT들과 그 최좌측의 TFT들(151)의 소스전극들은 자신을 기준으로 우측 데이터라인들(DL1 내지 DL m)에 접속된다. 그리고 기수 수평라인에 위치한 TFT들과 그 최우측의 TFT들(161)의 드레인전극들은 자신을 기준으로 우측에 인접하는 화소전극들(163)에 접속되고, 우수 수평라인에 위치한 TFT들과 그 최좌측의 TFT들(151)의 드레인전극들은 자신을 기준으로 좌측에 인접하는 화소전극들(153)에 접속된다. 따라서, 기수 수평라인의 액정셀들(C1c)은 자신을 기준으로 좌측에 인접하는 데이터라인들(DL1 내지 DL $m+1$)로부터 공급되는 데이터를 충전하게 되고, 우수 수평라인에 위치하는 액정셀들(C1c)은 자신을 기준으로 우측에 인접하는 데이터라인들(DL1 내지 DL $m+1$)로부터 공급되는 데이터를 충전하게 된다.

<166> 기수 수평라인의 최우측에 위치하는 더미 액정셀(C1c)의 더미 화소전극(163)에는 도 17a 및 도 17b와 같이 마지막 청색 화소전압($Bm/3$)의 복사에 의해 생성된 더미 데이터전압 즉, 청색 화소전압($Bm/3$)이 공급된다. 우수 수평라인의 최좌측에 위치하는 더미 액정셀(C1c)의 더미 화소전극(153)에는 도 17a 및 도 17b와 같이 첫 번째 적색 화소전압($R1$)의 복사에 의해 생성된 더미 데이터전압 즉, 적색 화소전압($R1$)이 공급된다.

<167> 기수 수평라인의 최우측 가장자리에 위치한 액정셀들(C1c)과 우수 수평라인의 최좌측 가장자리에 위치한 액정셀들(C1c)은 화상이 표시되지 않는 비표시셀들이다.

<168> 이렇게 인접한 데이터를 복사하여 첫 번째 데이터라인(DL1)과 마지막 $m+1$ 번째 데이터라인(DL $m+1$)에 더미 데이터를 공급함으로써 블랭크 데이터전압에 비하여 첫 번째 데이터라인(DL1)과 마지막 $m+1$ 데이터라인(DL $m+1$)의 전압 스윙폭을 줄일 수 있게 된다. 또한, 기수 수평라인의 최우측에 제 $m+1$ 데이터라인과 접속되는 더미 액정셀을 형성하고 우수 수평라인의 최좌측에 제1 데이터라인(DL1)과 접속되는 더미 액정셀을 형성함으로써 인접한 다른 데이터라인들(DL2 내지 DL m)과 마찬가지로 제1 데이터라인(DL1)과 제 $m+1$ 데이터라인(DL $m+1$)에 공급되는 더미 데이터전압이 액정셀에 공급되게 된다. 그 결과, 제1 데이터라인(DL1)과 제 $m+1$ 데이터라인(DL $m+1$)의 부하변동이 줄어들게 되고, 그 만큼 소비전력이 줄어들게 된다.

<169> 도 19는 본 발명의 제5 실시 예에 따른 액정표시장치를 나타낸다.

<170> 도 19를 참조하면, 본 발명의 제5 실시예에 따른 액정표시장치는 기수 수평라인의 TFT들(171)이 제2 내지 제 $m+1$ 데이터라인들(DL2 내지 DL $m+1$)로부터의 데이터를 액정셀에 공급하고 우수 수평라인의 TFT들(171)이 제1 내지 제 m 데이터라인들(DL1 내지 DL m)로부터의 데이터를 액정셀에 공급하도록 TFT들(171)이 수직라인방향에서 지그재그로 배치되는 액정패널(172)과, 액정패널(172)의 게이트라인들(GL1 내지 GL n)을 구동하기 위한 게이트 드라이버(174)와, 액정패널(172)의 데이터라인들(DL1 내지 DL $m+1$)을 구동하기 위한 데이터 드라이버(176)와, 게이트 드라이버(174) 및 데이터 드라이버(176)를 제어하기 위한 타이밍 콘트롤러(178)를 구비한다.

<171> 액정패널(172)에는 $m+1$ 개의 데이터라인들(DL1 내지 DL $m+1$)과 n 개의 게이트라인들(GL1 내지 GL n)이 교차되며 그 교차부마다 액정셀(C1c)을 구동하기 위한 TFT들(171)이 형성된다. 기수 수평라인의 TFT들(171)은 액정셀의 우측 데이터라인들(DL2 내지 DL $m+1$)과 기수 게이트라인들(GL1, GL3, GL5, \dots , GL $n-1$)의 교차부에 위치하며, 우수 수평라인의 TFT들(171)은 액정셀의 좌측 데이터라인들(DL1 내지 DL m)과 우수 게이트라인들

(GL2, GL4, GL6, ..., GLn)의 교차부에 위치한다. TFT들(171)의 게이트전극은 게이트라인(GL1 내지 GLn)에 접속된다. 기수 수평라인에 위치한 TFT들(171)의 소스전극들은 제2 내지 제m+1 데이터라인(DL2 내지 DLm+1)에 접속되고, 우수 수평라인에 위치한 TFT들(171)의 소스전극들은 제1 내지 제m 데이터라인(DL1 내지 DLm)에 접속된다. 그리고 기수 수평라인에 위치한 TFT들(171)의 드레인전극들은 자신을 기준으로 좌측에 인접하는 화소전극들(173)에 접속되고, 우수 수평라인에 위치하는 TFT들(171)의 드레인전극들은 자신을 기준으로 우측에 인접하는 화소전극들(173)에 접속된다. 따라서, 기수 수평라인에 위치하는 액정셀들(C1c)은 자신을 기준으로 우측에 인접하는 데이터라인들(DL2 내지 DLm+1)로부터 공급되는 데이터를 충전하게 되고, 우수 수평라인에 위치하는 액정셀들(C1c)은 자신을 기준으로 좌측에 인접하는 데이터라인들(DL1 내지 DLm)로부터 공급되는 데이터를 충전하게 된다.

<172> 타이밍 콘트롤러(178)는 입력 디지털 비디오 데이터(RGB)를 데이터 드라이버(176)에 공급함과 아울러, 자신에게 입력되는 수평/수직 동기신호(H,V)와 메인클럭(MCLK)을 이용하여 데이터 드라이버(176)와 게이트 드라이버(174)에 필요한 타이밍 제어신호(DDC, GDC)를 발생한다. 또한, 타이밍 콘트롤러(178)는 디지털 비디오 데이터들(RGB) 중 어느 하나를 복사하여 더미 데이터(DD1, DD2)를 발생하고, 그 더미 데이터(DD1, DD2)를 교번적으로 출력하게 된다.

<173> 이 타이밍 콘트롤러(178)는 타이밍 제어신호를 발생하는 제어신호 발생부(181)와, 디지털 비디오 데이터가 입력되는 화소데이터 정렬부(182)와, 입력 데이터를 카운트하기 위한 카운터(185)와, 화소데이터 정렬부(182)의 출력단에 공통으로 접속된 래치(186), 레지스터(183) 및 MUX(184)를 구비한다.

<174> 제어신호 발생부(181)는 수직/수평 동기신호(V,H)와 메인클럭(MCLK)을 이용하여 게이트 드라이버(174)를 제어하기 위한 게이트스타트펄스(GSP), 게이트쉬프트클럭(GSC) 및 게이트출력인에이블(GOE) 등의 게이트 제어신호(GDC)를 발생함과 아울러 데이터 드라이버(176)를 제어하기 위한 데이터 인에이블신호(DE), 소스쉬프트클럭(SSC), 소스스타트펄스(SSP), 극성제어신호(POL) 및 소스출력인에이블신호(SOE) 등의 데이터 제어신호(DDC)를 발생한다. 또한, 제어신호 발생부(181)는 화소데이터 정렬부(182)에 필요한 클럭신호와 MUX(184)를 제어하기 위한 기수/우수 수평기간 지시신호(OESW)를 발생하게 된다.

<175> 화소데이터 정렬부(182)는 입력 디지털 비디오 데이터들(RGB)를 제어신호 발생부(181)로부터의 클럭에 따라 출력한다. 화소데이터 정렬부(182)로부터 출력되는 디지털 비디오 데이터들(RGB) 중에, 마지막 출력 데이터 버스를 통하여 출력되는 데이터들은 레지스터(183)와 MUX(184)에 공통으로 공급되고, 그 이외의 출력 데이터 버스를 통하여 출력되는 데이터들은 MUX(184)에 공급된다. 그리고 화소데이터 정렬부(182)는 소스스타트펄스(SSP)를 이용하여 첫 번째 디지털 비디오 데이터를 검출하고 그 첫 번째 디지털 비디오 데이터를 기수 수평기간에 래치(186)에 공급한다. 우수 수평기간에, 화소데이터 정렬부(182)는 카운터(185)로부터의 계수신호에 따라 입력 디지털 비디오 데이터(RGB)를 계수하고, m 번째 디지털 비디오 데이터가 검출되면 그 m 번째 디지털 비디오 데이터를 래치(186)에 공급한다.

<176> 래치(186)는 기수 수평기간에 화소데이터 정렬부(182)로부터 입력되는 첫 번째 비디오 데이터를 일시 저장한 후에 출력함으로써 제2 더미 데이터(DD2)를 발생하고 그 제2 더미 데이터(DD2)를 레지스터(183)에 공급한다. 또한, 래치(186)는 우수 수평기간에 화소데이터 정렬부(182)로부터 입력되는 m 번째 비디오 데이터를 일시 저장한 후에 출력함으로써 제1 더미 데이터(DD1)를 발생하고 그 제1 더미 데이터(DD1)를 MUX(184)에 공급한다.

<177> 레지스터(183)는 화소데이터 정렬부(182)의 출력 데이터 버스들 중에 마지막 데이터 버스로부터 입력되는 데이터를 일시 저장한 다음에 기수 수평기간에 저장된 데이터를 출력하게 된다. 또한, 레지스터(183)는 래치(186)로부터 입력되는 제2 더미 데이터(DD2)를 일시 저장한 다음에 기수 수평기간에 저장된 제2 더미 데이터(DD2)를 출력하게 된다.

<178> MUX(184)는 기수 수평기간 동안에 제어신호 발생부(181)로부터의 기수/우수 수평기간 지시신호(OESW)에 따라 화소데이터 정렬부(182)로부터 입력되는 m 개의 디지털 비디오 데이터를 각각 다음 출력 데이터버스로 쉬프트시켜 출력시킴과 동시에 첫 번째 출력 데이터버스를 통하여 레지스터(183)에 의해 지연된 마지막 버스 데이터와 제2 더미 데이터(DD2)를 출력시킨다. 기수 수평기간 동안 MUX(184)로부터 출력되는 데이터는 도 15b 및 도 16b와 같다. 그리고 MUX(184)는 우수 수평기간 동안, m 개의 디지털 비디오 데이터와 래치(186)로부터 입력되는 제1 더미 데이터(DD1)를 그대로 출력한다. 이 우수 수평기간 동안 MUX(184)로부터 출력되는 데이터는 도 15a 및 도 16a와 같다.

<179> 게이트 드라이버(174)는 타이밍 콘트롤러(178)로부터의 게이트스타트펄스(GSP), 게이트쉬프트클럭(GSC) 및 게이

트출력인에이블(GOE)를 이용하여 게이트라인들(GL1 내지 GLn)에 순차적으로 스캔펄스를 공급하게 된다. 스캔펄스는 각 수평라인의 TFT(171)를 수평라인 단위로 순차적으로 턴-온시킴으로써 데이터가 공급되는 스캔라인을 선택하게 된다. 이 게이트 드라이버(174)는 스캔펄스를 순차적으로 발생하는 쉬프트 레지스터와, 스캔펄스의 전압의 스윙폭을 액정셀(C1c)의 구동에 적합하게 쉬프트 시키기 위한 레벨 쉬프터를 포함한다.

- <180> 데이터 드라이버(176)는 도 10에 도시된 데이터 드라이버와 실질적으로 동일한 구성을 갖는다. 데이터 드라이버(176)는 타이밍 콘트롤러(178)로부터의 데이터 제어신호(DDC)를 이용하여 기수 수평기간 동안에 타이밍 콘트롤러(178)로부터 입력되는 m 개의 디지털 비디오 데이터(RGB)를 제2 및 제 $m+1$ 데이터라인들(DL2 내지 DL $m+1$)에 공급함과 동시에, 제2 더미데이터(DD2)를 제1 데이터라인(DL1)에 공급한다. 데이터 드라이버(176)는 우수 수평기간 동안에 타이밍 콘트롤러(178)로부터의 데이터 제어신호(DDC)를 이용하여 타이밍 콘트롤러(178)로부터 입력되는 m 개의 디지털 비디오 데이터(RGB)를 제1 및 제 m 데이터라인들(DL1 내지 DL m)에 공급함과 동시에, 제1 더미데이터(DD1)를 제 $m+1$ 데이터라인(DL $m+1$)에 공급한다. 그리고 데이터 드라이버(176)는 m 개의 디지털 비디오 데이터들(RGB)과 더미데이터들(DD1, DD2)을 정극성 감마보상전압 또는 부극성 감마보상전압으로 변환함으로써 디지털 비디오 데이터들(RGB)과 더미데이터(DD1, DD2)를 아날로그 화소전압으로 변환한다. 감마보상전압에 의해 아날로그 형태로 변환된 화소전압은 정극성 감마보상전압과 부극성 감마전압이 수직라인간 교번됨으로써 컬럼 인버전 방식과 같이 수평으로 인접한 데이터들 간에 극성이 상반되게 된다.
- <181> 데이터 드라이버(176)에 의해 컬럼 인버전 방식으로 극성이 반전된 $m+1$ 개의 화소전압은 스캔펄스에 동기되어 매 수평기간마다 $m+1$ 개의 데이터라인들(DL1 내지 DL $m+1$)에 순차적으로 공급된다.
- <182> 도 20a 및 도 20b는 n 번째 프레임과 $(n+1)$ 번째 프레임 기간 동안, 도 19에 도시된 액정패널(172)의 데이터라인들(DL1 내지 DL $m+1$)에 공급되는 데이터를 나타낸다.
- <183> 도 20a를 참조하면, n 번째 프레임의 기수 번째 수평기간($1H, 3H, \dots, (n-1)H$)에 적색, 녹색 및 청색의 화소전압($R1, G1, \dots, Bm/3$)은 제2 내지 제 $m+1$ 데이터라인들(DL2 내지 DL $m+1$)에 공급됨과 동시에, 첫 번째 적색 화소전압($R1$)이 제1 데이터라인(DL1)에 공급된다. 제1 데이터라인(DL1)에 공급되는 적색 화소전압($R1$)은 제2 데이터라인(DL2)에 공급되는 첫 번째 화소전압($R1$)가 복사된 화소전압이다. n 번째 프레임의 우수 번째 수평기간($2H, 4H, \dots, nH$)에 적색, 녹색 및 청색의 화소전압($R1, G1, \dots, Bm/3$)은 제1 내지 제 m 데이터라인들(DL1 내지 DL m)에 공급됨과 동시에, 마지막 m 번째 청색 화소전압($Bm/3$)이 제 $m+1$ 데이터라인(DL $m+1$)에 공급된다. 제 $m+1$ 데이터라인(DL $m+1$)에 공급되는 청색 화소전압($Bm/3$)은 제 m 데이터라인(DL m)에 공급되는 마지막 청색 화소전압($Bm/3$)가 복사된 화소전압이다. n 번째 프레임 기간 동안, 기수 데이터라인들(DL1, DL3, DL5, \dots , DL $m-1$, DL $m+1$)에는 항상 정극성의 화소전압이 인가되며, 우수 데이터라인들(DL2, DL4, DL6, \dots , DL $m-2$, DL m)에는 항상 부극성의 화소전압이 인가된다.
- <184> $(n+1)$ 번째 프레임에는 도 20b와 같이 데이터라인들(DL1 내지 DL $m+1$) 각각에 공급되는 화소전압의 극성이 반전된다.
- <185> 도 20b를 참조하면, $(n+1)$ 번째 프레임의 기수 번째 수평기간($1H, 3H, \dots, (n-1)H$)에는 n 번째 프레임의 기수 번째 수평기간($1H, 3H, \dots, (n-1)H$)과 동일하게 적색, 녹색 및 청색의 화소전압($R1, G1, \dots, Bm/3$)이 제2 내지 제 $m+1$ 데이터라인들(DL2 내지 DL $m+1$)에 공급됨과 동시에, 첫 번째 적색 화소전압($R1$)이 제1 데이터라인(DL1)에 공급된다. $(n+1)$ 번째 프레임의 우수 번째 수평기간($2H, 4H, \dots, nH$)에는 n 번째 프레임의 우수 번째 수평기간($2H, 4H, \dots, nH$)과 동일하게 적색, 녹색 및 청색의 화소전압($R1, G1, \dots, Bm/3$)이 제1 내지 제 m 데이터라인들(DL1 내지 DL m)에 공급됨과 동시에, 마지막 청색 화소전압($Bm/3$)이 제 $m+1$ 데이터라인(DL $m+1$)에 공급된다. $(n+1)$ 번째 프레임 기간 동안, 기수 데이터라인들(DL1, DL3, DL5, \dots , DL $m-1$, DL $m+1$)에는 항상 부극성의 화소전압이 인가되며, 우수 데이터라인들(DL2, DL4, DL6, \dots , DL $m-2$, DL m)에는 항상 정극성의 화소전압이 인가된다.
- <186> 도 21은 본 발명의 제6 실시 예에 따른 액정표시장치를 나타낸다.
- <187> 도 21을 참조하면, 본 발명의 제6 실시예에 따른 액정표시장치는 더미 화소전극(193, 203)과 더미 TFT들(191, 201)이 좌/우측 가장자리에 형성된 액정패널(192)을 구비한다.
- <188> 액정패널(192)에는 $m+1$ 개의 데이터라인들(DL1 내지 DL $m+1$)과 n 개의 게이트라인들(GL1 내지 GLn)이 교차된다. 기수 수평라인의 TFT들과 그 최좌측의 더미 TFT들(191)은 액정셀의 우측 데이터라인들(DL1 내지 DL $m+1$)과 기수 게이트라인들(GL1, GL3, GL5, \dots , GL $n-1$)의 교차부에 위치한다. 우수 수평라인의 TFT들과 그 최우측의 더미 TFT들(201)은 액정셀의 좌측 데이터라인(DL1 내지 DL $m+1$)과 우수 게이트라인들(GL2, GL4, GL6, \dots , GLn)의 교차부에 위치한다. 기수 수평라인의 TFT들과 좌측 가장자리의 더미 TFT들(191)의 게이트전극은 기수 게이트라인들

(GL1, GL3, ..., GLn-1)에 접속된다. 우수 수평라인의 TFT들과 우측 가장자리의 더미 TFT들(201)의 게이트전극은 우수 게이트라인들(GL2, GL4, ..., GLn)에 접속된다. 기수 수평라인에 위치한 TFT들과 그 좌측의 더미 TFT들(191)의 소스전극들은 자신을 기준으로 우측에 위치한 데이터라인들(DL1 내지 DLm+1)에 접속된다. 우수 수평라인에 위치한 TFT들과 그 좌측의 더미 TFT들(201)의 소스전극들은 자신을 기준으로 좌측 데이터라인들(DL1 내지 DLm+1)에 접속된다. 그리고 기수 수평라인에 위치한 TFT들과 그 좌측의 더미 TFT들(191)의 드레인전극들은 자신을 기준으로 좌측에 위치하는 화소전극들(193)에 접속되고, 우수 수평라인에 위치한 TFT들과 그 좌측의 더미 TFT들(201)의 드레인전극들은 자신을 기준으로 우측에 위치하는 화소전극들(203)에 접속된다. 따라서, 기수 수평라인의 액정셀들(C1c)은 자신을 기준으로 우측에 인접하는 데이터라인들(DL1 내지 DLm+1)로부터 공급되는 데이터를 충전하게 되고, 우수 수평라인에 위치하는 액정셀들(C1c)은 자신을 기준으로 좌측에 인접하는 데이터라인들(DL1 내지 DLm+1)로부터 공급되는 데이터를 충전하게 된다.

- <189> 기수 수평라인의 좌측에 위치하는 더미 액정셀(C1c)의 더미 화소전극(193)에는 도 20a 및 도 20b와 같이 첫 번째 적색 화소전압(R1)의 복사에 의해 생성된 더미 데이터전압 즉, 적색 화소전압(R1)이 공급된다. 우수 수평라인의 좌측에 위치하는 더미 액정셀(C1c)의 더미 화소전극(203)에는 도 20a 및 도 20b와 같이 마지막 청색 화소전압(Bm/3)의 복사에 의해 생성된 더미 데이터전압 즉, 청색 화소전압(Bm/3)이 공급된다.
- <190> 기수 수평라인의 좌측 가장자리에 위치한 액정셀들(C1c)과 우수 수평라인의 좌측 가장자리에 위치한 액정셀들(C1c)은 화상이 표시되지 않는 비표시셀들이다.
- <191> 이렇게 인접한 데이터를 복사하여 첫 번째 데이터라인(DL1)과 마지막 m+1 번째 데이터라인(DLm+1)에 더미 데이터를 공급함으로써 블랭크 데이터전압에 비하여 첫 번째 데이터라인(DL1)과 마지막 m+1 데이터라인(DLm+1)의 전압 스윙폭을 줄일 수 있게 된다. 또한, 인접한 다른 데이터라인들(DL2 내지 DLm)과 마찬가지로 제1 데이터라인(DL1)과 제m+1 데이터라인(DLm+1)에 공급되는 더미 데이터전압이 액정셀에 공급되기 때문에 제1 데이터라인(DL1)과 제m+1 데이터라인(DLm+1)의 부하변동이 줄어들게 되고, 그 만큼 소비전력이 줄어들게 된다.
- <192> 도 22는 본 발명의 제7 실시 예에 따른 액정표시장치를 나타낸다.
- <193> 도 22를 참조하면, 본 발명의 제7 실시예에 따른 액정표시장치는 기수 수평라인의 TFT들(211)이 제1 내지 제m 데이터라인들(DL1 내지 DLm)로부터의 데이터를 액정셀에 공급하고 우수 수평라인의 TFT들(211)이 제2 내지 제m+1 데이터라인들(DL2 내지 DLm+1)로부터의 데이터를 액정셀에 공급하도록 TFT들(211)이 수직라인방향에서 지그재그로 배치되는 액정패널(212)과, 액정패널(212)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(214)와, 액정패널(212)의 데이터라인들(DL1 내지 DLm+1)을 구동하기 위한 데이터 드라이버(216)와, 게이트 드라이버(214) 및 데이터 드라이버(216)를 제어하기 위한 타이밍 컨트롤러(218)를 구비한다.
- <194> 액정패널(212)에는 m+1 개의 데이터라인들(DL1 내지 DLm+1)과 n 개의 게이트라인들(GL1 내지 GLn)이 교차되며 그 교차부마다 액정셀(C1c)을 구동하기 위한 TFT들(211)이 형성된다. 기수 수평라인의 TFT들(211)은 액정셀의 좌측 데이터라인들(DL1 내지 DLm)과 기수 게이트라인들(GL1, GL3, GL5, ..., GLn-1)의 교차부에 위치하며, 우수 수평라인의 TFT들(211)은 액정셀의 우측 데이터라인(DL2 내지 DLm+1)과 우수 게이트라인들(GL2, GL4, GL6, ..., GLn)의 교차부에 위치한다. TFT들(211)의 게이트전극은 게이트라인(GL1 내지 GLn)에 접속된다. 기수 수평라인에 위치한 TFT들(211)의 소스전극들은 제1 내지 제m 데이터라인들(DL1 내지 DLm)에 접속되고, 우수 수평라인에 위치한 TFT들(211)의 소스전극들은 제2 내지 제m+1 데이터라인(DL2 내지 DLm+1)에 접속된다. 그리고 기수 수평라인에 위치한 TFT들(211)의 드레인전극들은 자신을 기준으로 우측에 인접하는 화소전극들(213)에 접속되고, 우수 수평라인에 위치한 TFT들(211)의 드레인전극들은 자신을 기준으로 좌측에 인접하는 화소전극들(213)에 접속된다. 따라서, 기수 수평라인에 위치하는 액정셀들(C1c)은 자신을 기준으로 좌측에 인접하는 데이터라인들(DL1 내지 DLm)로부터 공급되는 데이터를 충전하게 되고, 우수 수평라인에 위치하는 액정셀들(C1c)은 자신을 기준으로 우측에 인접하는 데이터라인들(DL2 내지 DLm+1)로부터 공급되는 데이터를 충전하게 된다.
- <195> 타이밍 컨트롤러(218)는 입력 디지털 비디오 데이터(RGB)를 데이터 드라이버(216)에 공급함과 아울러, 자신에게 입력되는 수평/수직 동기신호(H,V)와 메인클럭(MCLK)을 이용하여 데이터 드라이버(216)와 게이트 드라이버(214)에 필요한 타이밍 제어신호(DDC, GDC)를 발생한다. 또한, 타이밍 컨트롤러(218)는 디지털 비디오 데이터들(RGB) 중 어느 하나를 복사하여 한 수평기간 동안 지연시킴으로써 그 다음 수평기간 동안에 더미 데이터(DD1, DD2)를 발생하게 된다.
- <196> 이 타이밍 컨트롤러(218)는 타이밍 제어신호를 발생하는 제어신호 발생부(221)와, 디지털 비디오 데이터가 입력되는 화소데이터 정렬부(222)와, 입력 데이터를 카운트하기 위한 카운터(225)와, 화소데이터 정렬부(222)의 출

력단에 공통으로 접속된 라인메모리(226), 레지스터(223) 및 MUX(224)를 구비한다.

- <197> 제어신호 발생부(221)는 수직/수평 동기신호(V,H)와 메인클럭(MCLK)을 이용하여 게이트 드라이버(214)를 제어하기 위한 게이트스타트펄스(GSP), 게이트쉬프트클럭(GSC) 및 게이트출력인에이블(GOE) 등의 게이트 제어신호(GDC)를 발생함과 아울러 데이터 드라이버(136)를 제어하기 위한 데이터 인에이블신호(DE), 소스쉬프트클럭(SSC), 소스스타트펄스(SSP), 극성제어신호(POL) 및 소스출력인에이블신호(SOE) 등의 데이터 제어신호(DDC)를 발생한다. 또한, 제어신호 발생부(221)는 화소데이터 정렬부(222)에 필요한 클럭신호와 MUX(224)를 제어하기 위한 기수/우수 수평기간 지시신호(OESW)를 발생하게 된다.
- <198> 화소데이터 정렬부(222)는 입력 디지털 비디오 데이터들(RGB)을 제어신호 발생부(221)로부터의 클럭에 따라 출력한다. 화소데이터 정렬부(222)로부터 출력되는 디지털 비디오 데이터들(RGB) 중에, 마지막 출력 데이터 버스를 통하여 출력되는 데이터들은 레지스터(223)와 MUX(224)에 공통으로 공급되고, 그 이외의 출력 데이터 버스를 통하여 출력되는 데이터들은 MUX(224)에 공급된다. 그리고 화소데이터 정렬부(222)는 카운터(225)로부터의 계수신호에 따라 입력 디지털 비디오 데이터(RGB)를 계수하고, m 번째 디지털 비디오 데이터가 검출되면 그 m 번째 디지털 비디오 데이터를 기수 수평기간에 라인메모리(226)에 공급한다. 우수 수평기간에, 화소데이터 정렬부(222)는 소스스타트펄스(SSP)를 이용하여 첫 번째 디지털 비디오 데이터를 검출하고 그 첫 번째 디지털 비디오 데이터를 라인 메모리(226)에 공급한다.
- <199> 라인메모리(226)는 기수 수평기간에 화소데이터 정렬부(222)로부터 입력되는 m 번째 비디오 데이터를 1 수평기간만큼 저장한 후에 출력함으로써 제1 더미 데이터(DD1)를 발생하고 그 제1 더미 데이터(DD1)를 MUX(224)에 공급한다. 또한, 라인메모리(226)는 우수 수평기간에 화소데이터 정렬부(222)로부터 입력되는 첫 번째 비디오 데이터를 1 수평기간만큼 저장한 후에 출력함으로써 제2 더미 데이터(DD2)를 발생하고 그 제2 더미 데이터(DD2)를 레지스터(223)에 공급한다.
- <200> 레지스터(223)는 화소데이터 정렬부(222)의 출력 데이터 버스들 중에 마지막 데이터 버스로부터 입력되는 데이터를 일시 저장한 다음에 우수 수평기간에 저장된 데이터를 출력하게 된다. 또한, 레지스터(223)는 라인메모리(226)로부터 입력되는 제2 더미 데이터(DD2)를 일시 저장한 다음에 우수 수평기간에 저장된 제2 더미 데이터(DD2)를 출력하게 된다.
- <201> MUX(224)는 기수 수평기간 동안에 제어신호 발생부(221)로부터의 기수/우수 수평기간 지시신호(OESW)에 따라 화소데이터 정렬부(222)로부터 입력되는 m 개의 디지털 비디오 데이터(RGB)와 라인메모리(226)로부터 입력되는 제1 더미 데이터(DD1)를 그대로 출력한다. 이 기수 수평기간 동안 MUX(224)로부터 출력되는 데이터는 도 23a 및 도 24a와 같다. 우수 수평기간 동안, MUX(224)는 화소데이터 정렬부(222)로부터 입력되는 m 개의 디지털 비디오 데이터를 각각 다음 출력 데이터버스로 쉬프트시켜 출력시킴과 동시에 첫 번째 출력 데이터버스를 통하여 레지스터(223)에 의해 지연된 마지막 버스 데이터와 제2 더미 데이터(DD2)를 출력시킨다. 우수 수평기간 동안 MUX(224)로부터 출력되는 데이터는 도 23b 및 도 24b와 같다.
- <202> 게이트 드라이버(214)는 타이밍 컨트롤러(218)로부터의 게이트스타트펄스(GSP), 게이트쉬프트클럭(GSC) 및 게이트출력인에이블(GOE)를 이용하여 게이트라인들(GL1 내지 GLn)에 순차적으로 스캔펄스를 공급하게 된다. 스캔펄스는 각 수평라인의 TFT(211)를 수평라인 단위로 순차적으로 턴-온시킴으로써 데이터가 공급되는 스캔라인을 선택하게 된다. 이 게이트 드라이버(214)는 스캔펄스를 순차적으로 발생하는 쉬프트 레지스터와, 스캔펄스의 전압의 스윙폭을 액정셀(C1c)의 구동에 적합하게 쉬프트 시키기 위한 레벨 쉬프터를 포함한다.
- <203> 데이터 드라이버(216)는 도 10에 도시된 데이터 드라이버와 실질적으로 동일한 구성을 갖는다. 데이터 드라이버(216)는 기수 수평기간 동안, 타이밍 컨트롤러(218)로부터의 데이터 제어신호(DDC)를 이용하여 타이밍 컨트롤러(218)로부터 입력되는 m 개의 디지털 비디오 데이터(RGB)를 제1 및 제m 데이터라인들(DL1 내지 DLm)에 공급함과 동시에, 제1 더미데이터(DD1)를 제m+1 데이터라인(DLm+1)에 공급한다. 데이터 드라이버(216)는 우수 수평기간 동안, 타이밍 컨트롤러(218)로부터 입력되는 m 개의 디지털 비디오 데이터(RGB)를 제2 및 제m+1 데이터라인들(DL2 내지 DLm+1)에 공급함과 동시에, 제2 더미데이터(DD2)를 제1 데이터라인(DL1)에 공급한다. 그리고 데이터 드라이버(216)는 m 개의 디지털 비디오 데이터들(RGB)과 더미데이터들(DD1,DD2)을 정극성 감마보상전압 또는 부극성 감마보상전압으로 변환함으로써 디지털 비디오 데이터들(RGB)과 더미데이터(DD1,DD2)를 아날로그 화소전압으로 변환한다. 감마보상전압에 의해 아날로그 형태로 변환된 화소전압은 정극성 감마보상전압과 부극성 감마전압이 수직라인간 교번됨으로써 컬럼 인버전 방식과 같이 수평으로 인접한 데이터들 간에 극성이 상반되게 된다.

- <204> 데이터 드라이버(216)에 의해 컬럼 인버전 방식으로 극성이 반전된 $m+1$ 개의 화소전압은 스캔필스에 동기되어 매 수평기간마다 $m+1$ 개의 데이터라인들(DL1 내지 DL $m+1$)에 순차적으로 공급된다.
- <205> 도 23a 및 도 23b는 3 개의 출력 데이터버스를 통하여 데이터 드라이버(216)에 공급되는 디지털 비디오 데이터(RGB)와 더미 데이터(DD1, DD2)를 나타낸다.
- <206> 도 23a를 참조하면, 기수 수평기간 동안, 타이밍 콘트롤러(218)는 제1 출력 데이터버스(DOB1)를 통하여 $m/3$ 개의 적색 디지털 비디오 데이터(R1(H), R2(H), R3(H), ..., R $m/3$ (H))를 데이터 드라이버(16)에 공급함과 동시에 제2 출력 데이터버스를(DOB2)를 통하여 $m/3$ 개의 녹색 디지털 비디오 데이터(G1(H), G2(H), G3(H), ..., G $m/3$ (H))를 데이터 드라이버(216)에 공급하게 된다. 이와 동시에, 타이밍 콘트롤러(218)는 제3 출력 데이터버스를(DOB3)를 통하여 $m/3$ 개의 청색 디지털 비디오 데이터(B1(H), B2(H), B3(H), ..., B $m/3$ (H))를 데이터 드라이버(216)에 공급하게 된다. 이렇게 m 개의 디지털 비디오 데이터가 제1 내지 제3 출력 데이터버스(DOB1, DOB2, DOB3)를 통하여 데이터 드라이버(216)에 공급된 다음, 타이밍 콘트롤러(218)는 제1 출력 데이터버스(DOB1)를 통하여 제1 더미 데이터(DD1)를 데이터 드라이버(216)에 공급하게 된다. 제1 더미 데이터(DD1)는 전단 라인의 청색 디지털 비디오 데이터 (B $m/3$ (H-1))가 타이밍 콘트롤러(218)의 라인 메모리(226)에 의해 1 수평기간 만큼 지연됨으로써 전단 라인의 청색 디지털 비디오 데이터 (B $m/3$ (H-1))와 동일하다. 그러면 데이터 드라이버(216)에는 데이터 인에이블기간(DE) 동안, 제1 내지 제3 출력 데이터버스(DOB1, DOB2, DOB3)를 통하여 m 개의 적색, 녹색 및 청색의 디지털 비디오 데이터(R1(H), R2(H), R3(H), ..., R $m/3$ (H), G1(H), G2(H), G3(H), ..., G $m/3$ (H), B1(H), B2(H), B3(H), ..., B $m/3$ (H))가 입력된 다음, 제1 출력 데이터버스(DOB1)를 통하여 전단 라인의 청색 디지털 비디오 데이터 (B $m/3$ (H-1))가 입력된다.
- <207> 도 23b를 참조하면, 우수 수평기간 동안에 타이밍 콘트롤러(218)는 제1 출력 데이터버스를(DOB1)를 통하여 제2 더미 데이터(DD2)와 $m/3$ 개의 청색 디지털 비디오 데이터(B1(H+1), B2(H+1), B3(H+1), ..., B $m/3$ (H+1))를 데이터 드라이버(216)에 공급한다. 제2 더미 데이터(DD2)는 전단 라인의 적색 디지털 비디오 데이터(R1(H))가 타이밍 콘트롤러(218)의 라인 메모리(226)에 의해 1 수평기간 만큼 지연됨으로써 전단 라인의 적색 디지털 비디오 데이터(R1(H))와 동일하다. 이와 동시에, 타이밍 콘트롤러(218)는 제2 출력 데이터버스를(DOB2)를 통하여 $m/3$ 개의 적색 디지털 비디오 데이터들(R1(H+1), R2(H+1), R3(H+1), ..., R $m/3$ (H+1))을 데이터 드라이버(216)에 공급하고, 제3 출력 데이터버스를(DOB3)를 통하여 $m/3$ 개의 녹색 디지털 비디오 데이터들(G1(H+1), G2(H+1), G3(H+1), ..., G $m/3$ (H+1))을 데이터 드라이버(216)에 공급하게 된다. 그러면, 데이터 드라이버(216)에는 데이터 인에이블기간(DE) 동안, 제1 출력 데이터버스(DOB1)를 통하여 전단라인의 첫 번째 적색 디지털 비디오 데이터(R1(H))가 입력됨과 동시에 제2 및 제3 출력 데이터버스(DOB2, DOB3)를 통하여 각각 첫 번째 적색 디지털 비디오 데이터(R1(H+1))와 녹색 디지털 비디오 데이터(G1(H+1))가 입력된다. 이어서, 데이터 드라이버(216)에는 제1 출력 데이터버스(DOB1)를 통하여 레지스터(223)에 의해 지연된 $m/3$ 개의 청색 디지털 비디오 데이터(B1(H+1), B2(H+1), B3(H+1), ..., B $m/3$ (H+1))가 입력됨과 동시에 제2 및 제3 출력 데이터버스(DOB2, DOB3)를 통하여 적색 및 녹색의 디지털 비디오 데이터(R2(H+1), R3(H+1), ..., R $m/3$ (H+1), G2(H+1), G3(H+1), ..., G $m/3$ (H+1))가 입력된다.
- <208> 도 24a 및 도 24b는 6 개의 출력 데이터버스를 통하여 데이터 드라이버(216)에 공급되는 디지털 비디오 데이터(RGB)와 더미 데이터(DD1, DD2)를 나타낸다.
- <209> 도 24a를 참조하면, 기수 수평기간 동안, 타이밍 콘트롤러(218)는 제1 기수 출력 데이터버스를(ODOB1)를 통하여 $m/6$ 개의 적색 기수 디지털 비디오 데이터(OR1(H), OR2(H), OR3(H), ..., OR $m/6$ (H))를 데이터 드라이버(216)에 공급함과 동시에 제2 기수 출력 데이터버스를(ODOB2)를 통하여 $m/6$ 개의 녹색 기수 디지털 비디오 데이터(OG1(H), OG2(H), OG3(H), ..., OG $m/6$ (H))를 데이터 드라이버(216)에 공급하게 된다. 이와 동시에, 타이밍 콘트롤러(218)는 제3 기수 출력 데이터버스를(ODOB3)를 통하여 $m/6$ 개의 청색 기수 디지털 비디오 데이터(OB1(H), OB2(H), OB3(H), ..., OB $m/6$ (H))를 데이터 드라이버(216)에 공급하게 된다. 또한, 기수 수평기간 동안, 타이밍 콘트롤러(218)는 제1 우수 출력 데이터버스를(EDOB1)를 통하여 $m/6$ 개의 적색 우수 디지털 비디오 데이터(ER1(H), ER2(H), ER3(H), ..., ER $m/6$ (H))를 데이터 드라이버(216)에 공급함과 동시에 제2 우수 출력 데이터버스를(EDOB2)를 통하여 $m/6$ 개의 녹색 우수 디지털 비디오 데이터(EG1(H), EG2(H), EG3(H), ..., EG $m/6$ (H))를 데이터 드라이버(216)에 공급하게 된다. 이와 동시에, 타이밍 콘트롤러(218)는 제3 우수 출력 데이터버스를(EDOB3)를 통하여 $m/6$ 개의 청색 우수 디지털 비디오 데이터(EB1(H), EB2(H), EB3(H), ..., EB $m/6$ (H))를 데이터 드라이버(216)에 공급하게 된다. 이렇게 $m/2$ 개의 기수 디지털 비디오 데이터와 $m/2$ 개의 우수 디지털 비디오 데이터가 제1 내지 제3 기수 출력 데이터버스(ODOB1, ODOB2, ODOB3)와 제1 내지 제3 우수 출력 데이터버스(EDOB1, EDOB2, EDOB3)를 통하여 데이터 드라이버(216)에 공급된 다음, 타이밍 콘트롤러(218)는 제1 기수 출력 데

이터버스(ODOB1)를 통하여 제1 더미 데이터(DD1)를 데이터 드라이버(216)에 공급하게 된다. 제1 더미 데이터(DD1)는 전단 라인의 마지막 청색 디지털 비디오 데이터($EB_m/6(H-1)$)가 타이밍 콘트롤러(218)의 라인 메모리(226)에 의해 1 수평기간 만큼 지연됨으로써 전단 라인의 청색 디지털 비디오 데이터($EB_m/6(H-1)$)와 동일하다. 그러면 데이터 드라이버(216)에는 데이터 인에이블(DE) 기간 동안, m 개의 적색, 녹색 및 청색의 디지털 비디오 데이터($OR_1(H), OR_2(H), OR_3(H), \dots, OR_m/6(H),$ $OG_1(H), OG_2(H), OG_3(H), \dots, OG_m/6(H),$ $OB_1(H), OB_2(H), OB_3(H), \dots, OB_m/6(H),$ $ER_1(H), ER_2(H), ER_3(H), \dots, ER_m/6(H),$ $EG_1(H), EG_2(H), EG_3(H), \dots, EG_m/6(H),$ $EB_1(H), EB_2(H), EB_3(H), \dots, EB_m/6(H)$)가 입력된 다음, 제1 더미 데이터(DD1)가 입력된다.

<210> 우수 수평기간 동안, 타이밍 콘트롤러(218)는 도 24b와 같이 디지털 비디오 데이터가 출력되는 데이터버스를 그 다음 출력 데이터버스로 하나씩 쉬프트시키고, 데이터버스의 쉬프트에 의해 비어진 제1 기수 출력 데이터버스(ODOB1)를 통하여 전단의 첫 번째 데이터인 제2 더미 데이터(DD2)를 출력하게 된다.

<211> 도 24b를 참조하면, 우수 수평기간 동안에 타이밍 콘트롤러(218)는 제1 기수 출력 데이터버스를(ODOB1)를 통하여 제2 더미 데이터(DD2)를 데이터 드라이버(216)에 공급한 다음에 레지스터(223)에 의해 지연된 $m/6$ 개의 청색 우수 디지털 비디오 데이터($EB_1(H+1), EB_2(H+1), EB_3(H+1), \dots, EB_m/6(H+1)$)를 데이터 드라이버(216)에 공급한다. 제2 더미 데이터(DD2)는 전단 라인의 첫 번째 적색 디지털 비디오 데이터($OR_1(H)$)가 타이밍 콘트롤러(218)의 라인 메모리(226)에 의해 1 수평기간 만큼 지연됨으로써 전단 라인의 적색 디지털 비디오 데이터($OR_1(H)$)와 동일하다. 이와 동시에 타이밍 콘트롤러(218)는 제2 기수 출력 데이터버스를(ODOB2)를 통하여 $m/6$ 개의 적색 기수 디지털 비디오 데이터($OR_1(H+1), OR_2(H+1), OR_3(H+1), \dots, OR_m/6(H+1)$)를 데이터 드라이버(216)에 공급하고, 제3 기수 출력 데이터버스를(ODOB3)를 통하여 $m/6$ 개의 녹색 기수 디지털 비디오 데이터($OG_1(H+1), OG_2(H+1), OG_3(H+1), \dots, OG_m/6(H+1)$)를 데이터 드라이버(216)에 공급하게 된다. 또한, 우수 수평기간 동안에 타이밍 콘트롤러(218)는 제1 우수 출력 데이터버스를(ODOB1)를 통하여 $m/6$ 개의 청색 기수 디지털 비디오 데이터($OB_1(H+1), OB_2(H+1), OB_3(H+1), \dots, OB_m/6(H+1)$)를 데이터 드라이버(216)에 공급한다. 이와 동시에, 타이밍 콘트롤러(218)는 제2 우수 출력 데이터버스를(ODOB2)를 통하여 $m/6$ 개의 적색 우수 디지털 비디오 데이터($ER_1(H+1), ER_2(H+1), ER_3(H+1), \dots, ER_m/6(H+1)$)를 데이터 드라이버(216)에 공급하고, 제3 우수 출력 데이터버스를(ODOB3)를 통하여 $m/6$ 개의 녹색 기수 디지털 비디오 데이터($EG_1(H+1), EG_2(H+1), EG_3(H+1), \dots, EG_m/6(H+1)$)를 데이터 드라이버(216)에 공급하게 된다. 그러면 데이터 드라이버(216)에는 데이터 인에이블기간 동안, 제1 기수 출력 데이터버스(ODOB1)를 통하여 제2 더미 데이터(DD2)가 입력됨과 동시에 제2 및 제3 기수 출력 데이터버스를(ODOB2, ODOB3)를 통하여 각각 첫 번째 적색 및 녹색의 기수 디지털 비디오 데이터($OR_1(H+1), OG_1(H+1)$)가 입력되고, 제1 내지 제3 우수 출력 데이터버스를(ODOB1, ODOB2, ODOB3)를 통하여 첫 번째 청색 기수 디지털 비디오 데이터($OB_1(H+1)$)와 적색 및 녹색의 첫 번째 우수 디지털 비디오 데이터(ER_1, EG_1)가 입력된다. 이어서, 데이터 드라이버(216)에는 제1 기수 출력 데이터버스를(ODOB1)를 통하여 레지스터(223)에 의해 지연된 $m/6$ 개의 청색 우수 디지털 비디오 데이터($EB_1(H+1), EB_2(H+1), EB_3(H+1), \dots, EB_m/6(H+1)$)가 입력됨과 동시에, 제2 및 제3 기수 출력 데이터버스를(ODOB2, ODOB3)와 제1 내지 제3 우수 출력 데이터버스를(ODOB1, ODOB2, ODOB3)를 통하여 적색, 녹색 및 청색의 기수 디지털 비디오 데이터($OR_2(H+1), OR_3(H+1), \dots, OR_m/6(H+1), OG_2(H+1), OG_3(H+1), \dots, OG_m/6(H+1), OB_2(H+1), OB_3(H+1), \dots, OB_m/6(H+1)$)와 적색 및 녹색의 우수 디지털 비디오 데이터($ER_2(H+1), ER_3(H+1), \dots, ER_m/6(H+1), EG_2(H+1), EG_3(H+1), \dots, EG_m/6(H+1)$)가 입력된다.

<212> 도 25a 및 도 25b는 n 번째 프레임과 $(n+1)$ 번째 프레임 기간 동안, 도 22에 도시된 액정패널(212)의 데이터라인들(DL1 내지 DL $m+1$)에 공급되는 데이터를 나타낸다.

<213> 도 25a를 참조하면, n 번째 프레임의 기수 번째 수평기간($1H, 3H, \dots, (n-1)H$)에 적색, 녹색 및 청색의 화소전압($R_1(1H), G_1(1H), \dots, B_m/3(1H), R_1(3H), G_1(3H), \dots, B_m/3(3H), \dots, R_1((n-1)H), G_1((n-1)H), \dots, B_m/3((n-1)H)$)은 제1 내지 제 m 데이터라인들(DL1 내지 DL m)에 공급된다. 이와 동시에, 전단의 마지막 청색 화소전압($B_m/3(2H), B_m/3(4H), \dots, B_m/3((n-2)H)$)이 제 $m+1$ 데이터라인(DL $m+1$)에 공급된다. 제 $m+1$ 데이터라인(DL $m+1$)에 공급되는 전단 청색 화소전압($B_m/3(2H), B_m/3(4H), \dots, B_m/3((n-2)H)$)은 전단의 제 $m+1$ 데이터라인(DL $m+1$)에 공급되는 청색 화소전압($B_m/3(2H), B_m/3(4H), \dots, B_m/3((n-2)H)$)의 지연에 의해 복사된 화소전압이다. 제1 수평기간($1H$) 동안, 제 $m+1$ 데이터라인(DL $m+1$)에 공급되는 화소전압은 타이밍 콘트롤러(218)의 제어에 의해 이전 프레임 즉, $(n-1)$ 번째 프레임의 마지막 수평기간(nH)에 공급되는 마지막 청색 화소전압($B_m/3$)이 복사된 전압일 수도 있고, 블랭크 데이터 전압(BK)일 수도 있다. n 번째 프레임의 우수 번째 수평기간($2H, 4H, \dots, nH$)에 적색, 녹색 및 청색의 화소전압($R_1(2H), G_1(2H), \dots, B_m/3(2H), R_1(4H), G_1(4H), \dots, B_m/3(4H), \dots, R_1(nH), G_1(nH), \dots, B_m/3(nH)$)은 제2 내지 제 $m+1$ 데이터라인들(DL2 내지 DL $m+1$)에 공급된다. 이와 동시에, 전

단의 첫 번째 적색 화소전압($R1(1H), R1(3H), \dots, R1((n-1)H)$)이 제1 데이터라인($DL1$)에 공급된다. 제1 데이터라인($DL1$)에 공급되는 전단의 적색 화소전압($R1(1H), R1(3H), \dots, R1((n-1)H)$)은 이전 수평기간의 제1 데이터라인($DL1$)에 공급되는 첫 번째 적색 화소전압($R1(1H), R1(3H), \dots, R1((n-1)H)$)이 복사된 화소전압이다. n 번째 프레임 기간 동안, 기수 데이터라인들($DL1, DL3, DL5, \dots, DL_{m-1}, DL_{m+1}$)에는 항상 정극성의 화소전압이 인가되며, 우수 데이터라인들($DL2, DL4, DL6, \dots, DL_{m-2}, DL_m$)에는 항상 부극성의 화소전압이 인가된다.

<214> $(n+1)$ 번째 프레임에는 도 25b와 같이 데이터라인들($DL1$ 내지 DL_{m+1}) 각각에 공급되는 화소전압의 극성이 반전된다.

<215> 도 25b를 참조하면, $(n+1)$ 번째 프레임의 기수 번째 수평기간($1H, 3H, \dots, (n-1)H$)에는 n 번째 프레임의 기수 번째 수평기간($1H, 3H, \dots, (n-1)H$)과 동일하게 적색, 녹색 및 청색의 화소전압($R1(1H), G1(1H), \dots, Bm/3(1H), R1(3H), G1(3H), \dots, Bm/3(3H), \dots, R1((n-1)H), G1((n-1)H), \dots, Bm/3((n-1)H)$)이 제1 내지 제 m 데이터라인들($DL1$ 내지 DL_m)에 공급된다. 이와 동시에, 전단의 마지막 청색 화소전압($Bm/3(2H), Bm/3(4H), \dots, Bm/3((n-2)H)$)이 제 $m+1$ 데이터라인(DL_{m+1})에 공급된다. 제1 수평기간($1H$)에 제 $m+1$ 데이터라인(DL_{m+1})에 공급되는 화소전압은 타이밍 컨트롤러(218)의 제어에 의해 n 번째 프레임의 마지막 수평기간(nH)에 공급되는 마지막 청색 화소전압($Bm/3$)이 복사된 전압일 수도 있고, 블랭크 데이터 전압(BK)일 수도 있다. $(n+1)$ 번째 프레임의 우수 번째 수평기간($2H, 4H, \dots, nH$)에는 n 번째 프레임의 우수 번째 수평기간($2H, 4H, \dots, nH$)과 동일하게 적색, 녹색 및 청색의 화소전압($R1(2H), G1(2H), \dots, Bm/3(2H), R1(4H), G1(4H), \dots, Bm/3(4H), \dots, R1(nH), G1(nH), \dots, Bm/3(nH)$)은 제2 내지 제 $m+1$ 데이터라인들($DL2$ 내지 DL_{m+1})에 공급된다. 이와 동시에, 전단의 첫 번째 적색 화소전압($R1(1H), R1(3H), \dots, R1((n-1)H)$)이 제1 데이터라인($DL1$)에 공급된다. $(n+1)$ 번째 프레임 기간 동안, 기수 데이터라인들($DL1, DL3, DL5, \dots, DL_{m-1}, DL_{m+1}$)에는 항상 부극성의 화소전압이 인가되며, 우수 데이터라인들($DL2, DL4, DL6, \dots, DL_{m-2}, DL_m$)에는 항상 정극성의 화소전압이 인가된다.

<216> 본 발명의 제8 실시 예에 따른 액정표시장치는 전단라인의 첫 번째 또는 마지막 데이터를 1 수평기간만큼 지연 시킴으로써 더미데이터를 생성하고 그 더미데이터전압을 도 18과 같이 제1 데이터라인($DL1$)의 좌측 비표시영역에 형성된 더미 액정셀이나 제 $m+1$ 데이터라인(DL_{m+1})의 우측 비표시영역에 형성된 더미 액정셀에 공급한다. 이 경우, 인접한 다른 데이터라인들($DL2$ 내지 DL_m)과 마찬가지로 제1 데이터라인($DL1$)과 제 $m+1$ 데이터라인(DL_{m+1})에 공급되는 더미 데이터전압이 액정셀에 공급되게 된다. 그 결과, 제1 데이터라인($DL1$)과 제 $m+1$ 데이터라인(DL_{m+1})의 부하변동이 줄어들게 되고, 그 만큼 소비전력이 줄어들게 된다.

<217> 도 26은 본 발명의 제9 실시 예에 따른 액정표시장치를 나타낸다.

<218> 도 26을 참조하면, 본 발명의 제9 실시예에 따른 액정표시장치는 기수 수평라인의 TFT들(251)이 제2 내지 제 $m+1$ 데이터라인들($DL2$ 내지 DL_{m+1})로부터의 데이터를 액정셀에 공급하고 우수 수평라인의 TFT들(251)이 제1 내지 제 m 데이터라인들($DL1$ 내지 DL_m)로부터의 데이터를 액정셀에 공급하도록 TFT들(251)이 수직라인방향에서 지그재그로 배치되는 액정패널(252)과, 액정패널(252)의 게이트라인들($GL1$ 내지 GL_n)을 구동하기 위한 게이트 드라이버(254)와, 액정패널(252)의 데이터라인들($DL1$ 내지 DL_{m+1})을 구동하기 위한 데이터 드라이버(256)와, 게이트 드라이버(254) 및 데이터 드라이버(256)를 제어하기 위한 타이밍 컨트롤러(258)를 구비한다.

<219> 액정패널(252)에는 $m+1$ 개의 데이터라인들($DL1$ 내지 DL_{m+1})과 n 개의 게이트라인들($GL1$ 내지 GL_n)이 교차되며 그 교차부마다 액정셀($C1c$)을 구동하기 위한 TFT들(251)이 형성된다. 기수 수평라인의 TFT들(251)은 액정셀의 우측 데이터라인들($DL2$ 내지 DL_{m+1})과 기수 게이트라인들($GL1, GL3, GL5, \dots, GL_{n-1}$)의 교차부에 위치하며, 우수 수평라인의 TFT들(251)은 액정셀의 좌측 데이터라인들($DL1$ 내지 DL_m)과 우수 게이트라인들($GL2, GL4, GL6, \dots, GL_n$)의 교차부에 위치한다. TFT들(251)의 게이트전극은 게이트라인($GL1$ 내지 GL_n)에 접속된다. 기수 수평라인에 위치한 TFT들(251)의 소스전극들은 제2 내지 제 $m+1$ 데이터라인들($DL2$ 내지 DL_{m+1})에 접속되고, 우수 수평라인에 위치한 TFT들(251)의 소스전극들은 제1 내지 제 m 데이터라인($DL1$ 내지 DL_m)에 접속된다. 그리고 기수 수평라인에 위치한 TFT들(251)의 드레인전극들은 자신을 기준으로 좌측에 인접하는 화소전극들(253)에 접속되고, 우수 수평라인에 위치하는 TFT들(251)의 드레인전극들은 자신을 기준으로 우측에 인접하는 화소전극들(253)에 접속된다. 따라서, 기수 수평라인에 위치하는 액정셀들($C1c$)은 자신을 기준으로 우측에 인접하는 데이터라인들($DL2$ 내지 DL_{m+1})로부터 공급되는 데이터를 충전하게 되고, 우수 수평라인에 위치하는 액정셀들($C1c$)은 자신을 기준으로 좌측에 인접하는 데이터라인들($DL1$ 내지 DL_m)로부터 공급되는 데이터를 충전하게 된다.

<220> 타이밍 컨트롤러(258)는 입력 디지털 비디오 데이터(RGB)를 데이터 드라이버(256)에 공급함과 아울러, 자신에게 입력되는 수평/수직 동기신호(H, V)와 메인클럭(MCLK)을 이용하여 데이터 드라이버(256)와 게이트 드라이버(25

4)에 필요한 타이밍 제어신호(DDC,GDC)를 발생한다. 또한, 타이밍 콘트롤러(258)는 전단 라인의 디지털 비디오 데이터들(RGB) 중 어느 하나를 복사하여 더미 데이터(DD1,DD2)를 발생하고, 그 더미 데이터(DD1,DD2)를 교번적으로 출력하게 된다.

- <221> 이 타이밍 콘트롤러(258)는 타이밍 제어신호를 발생하는 제어신호 발생부(261)와, 디지털 비디오 데이터가 입력되는 화소데이터 정렬부(262)와, 입력 데이터를 카운트하기 위한 카운터(265)와, 화소데이터 정렬부(262)의 출력단에 공통으로 접속된 라인메모리(266), 레지스터(263) 및 MUX(264)를 구비한다.
- <222> 제어신호 발생부(261)는 수직/수평 동기신호(V,H)와 메인클럭(MCLK)을 이용하여 게이트 드라이버(254)를 제어하기 위한 게이트스타트펄스(GSP), 게이트쉬프트클럭(GSC) 및 게이트출력인에이블(GOE) 등의 게이트 제어신호(GDC)를 발생함과 아울러 데이터 드라이버(256)를 제어하기 위한 데이터 인에이블신호(DE), 소스쉬프트클럭(SSC), 소스스타트펄스(SSP), 극성제어신호(POL) 및 소스출력인에이블신호(SOE) 등의 데이터 제어신호(DDC)를 발생한다. 또한, 제어신호 발생부(261)는 화소데이터 정렬부(262)에 필요한 클럭신호와 MUX(264)를 제어하기 위한 기수/우수 수평기간 지시신호(OESW)를 발생하게 된다.
- <223> 화소데이터 정렬부(262)는 입력 디지털 비디오 데이터들(RGB)을 제어신호 발생부(261)로부터의 클럭에 따라 출력한다. 화소데이터 정렬부(262)로부터 출력되는 디지털 비디오 데이터들(RGB) 중에, 마지막 출력 데이터 버스를 통하여 출력되는 데이터들은 레지스터(263)와 MUX(264)에 공통으로 공급되고, 그 이외의 출력 데이터 버스를 통하여 출력되는 데이터들은 MUX(264)에 공급된다. 그리고 화소데이터 정렬부(262)는 소스스타트펄스(SSP)를 이용하여 첫 번째 디지털 비디오 데이터를 검출하고 그 첫 번째 디지털 비디오 데이터를 기수 수평기간에 라인메모리(266)에 공급한다. 우수 수평기간에, 화소데이터 정렬부(262)는 카운터(265)로부터의 계수신호에 따라 입력 디지털 비디오 데이터(RGB)를 계수하고, m 번째 디지털 비디오 데이터가 검출되면 그 m 번째 디지털 비디오 데이터를 라인메모리(266)에 공급한다.
- <224> 라인메모리(266)는 기수 수평기간에 화소데이터 정렬부(262)로부터 입력되는 첫 번째 디지털 비디오 데이터를 1 수평기간만큼 저장한 후에 출력함으로써 제2 더미 데이터(DD2)를 발생하고 그 제2 더미 데이터(DD2)를 MUX(264)에 공급한다. 또한, 라인메모리(266)는 우수 수평기간에 화소데이터 정렬부(262)로부터 입력되는 m 번째 디지털 비디오 데이터를 1 수평기간만큼 저장한 후에 출력함으로써 제1 더미 데이터(DD1)를 발생하고 그 제1 더미 데이터(DD1)를 레지스터(263)에 공급한다.
- <225> 레지스터(263)는 화소데이터 정렬부(262)의 출력 데이터 버스들 중에 마지막 데이터 버스로부터 입력되는 데이터를 일시 저장한 다음에 기수 수평기간에 저장된 데이터를 출력하게 된다. 또한, 레지스터(263)는 라인메모리(266)로부터 입력되는 제2 더미 데이터(DD2)를 일시 저장한 다음에 기수 수평기간에 저장된 제2 더미 데이터(DD2)를 출력하게 된다.
- <226> MUX(264)는 기수 수평기간 동안에 제어신호 발생부(261)로부터의 기수/우수 수평기간 지시신호(OESW)에 따라 화소데이터 정렬부(262)로부터 입력되는 m 개의 디지털 비디오 데이터를 각각 다음 출력 데이터버스로 쉬프트시켜 출력시킴과 동시에 첫 번째 출력 데이터버스를 통하여 레지스터(263)에 의해 지연된 마지막 버스 데이터와 제2 더미 데이터(DD2)를 출력시킨다. 기수 수평기간 동안 MUX(264)로부터 출력되는 데이터는 도 23b 및 도 24b와 같다. 그리고 MUX(264)는 우수 수평기간 동안, m 개의 디지털 비디오 데이터(RGB)와 라인메모리(266)로부터 입력되는 제1 더미 데이터(DD1)를 그대로 출력한다. 이 우수 수평기간 동안 MUX(264)로부터 출력되는 데이터는 도 23a 및 도 24a와 같다.
- <227> 게이트 드라이버(254)는 타이밍 콘트롤러(258)로부터의 게이트스타트펄스(GSP), 게이트쉬프트클럭(GSC) 및 게이트출력인에이블(GOE)를 이용하여 게이트라인들(GL1 내지 GLn)에 순차적으로 스캔펄스를 공급하게 된다. 스캔펄스는 각 수평라인의 TFT(251)를 수평라인 단위로 순차적으로 턴-온시킴으로써 데이터가 공급되는 스캔라인을 선택하게 된다. 이 게이트 드라이버(254)는 스캔펄스를 순차적으로 발생하는 쉬프트 레지스터와, 스캔펄스의 전압의 스윙폭을 액정셀(C1c)의 구동에 적합하게 쉬프트 시키기 위한 레벨 쉬프터를 포함한다.
- <228> 데이터 드라이버(256)는 도 10에 도시된 데이터 드라이버와 실질적으로 동일한 구성을 갖는다. 데이터 드라이버(256)는 타이밍 콘트롤러(258)로부터의 데이터 제어신호(DDC)를 이용하여 기수 수평기간 동안에 타이밍 콘트롤러(258)로부터 입력되는 m 개의 디지털 비디오 데이터(RGB)를 제2 및 제m+1 데이터라인들(DL2 내지 DLm+1)에 공급함과 동시에, 제2 더미데이터(DD2)를 제1 데이터라인(DL1)에 공급한다. 데이터 드라이버(256)는 우수 수평기간 동안에 타이밍 콘트롤러(258)로부터의 데이터 제어신호(DDC)를 이용하여 타이밍 콘트롤러(258)로부터 입력되는 m 개의 디지털 비디오 데이터(RGB)를 제1 및 제m 데이터라인들(DL1 내지 DLm)에 공급함과 동시에, 제1 더미

미데이터(DD1)를 제 $m+1$ 데이터라인(DL $m+1$)에 공급한다. 그리고 데이터 드라이버(256)는 m 개의 디지털 비디오 데이터들(RGB)과 더미데이터들(DD1, DD2)을 정극성 감마보상전압 또는 부극성 감마보상전압으로 변환함으로써 디지털 비디오 데이터들(RGB)과 더미데이터(DD1, DD2)를 아날로그 화소전압으로 변환한다. 감마보상전압에 의해 아날로그 형태로 변환된 화소전압은 정극성 감마보상전압과 부극성 감마전압이 수직라인간 교번됨으로써 컬럼 인버전 방식과 같이 수평으로 인접한 데이터들 간에 극성이 상반되게 된다.

<229> 데이터 드라이버(256)에 의해 컬럼 인버전 방식으로 극성이 반전된 $m+1$ 개의 화소전압은 스캔필스에 동기되어 매 수평기간마다 $m+1$ 개의 데이터라인들(DL1 내지 DL $m+1$)에 순차적으로 공급된다.

<230> 도 27a 및 도 27b는 n 번째 프레임과 $(n+1)$ 번째 프레임 기간 동안, 도 26에 도시된 액정패널(252)의 데이터라인들(DL1 내지 DL $m+1$)에 공급되는 데이터를 나타낸다.

<231> 도 27a를 참조하면, n 번째 프레임의 기수 번째 수평기간(1H, 3H, ..., $(n-1)H$)에 적색, 녹색 및 청색의 화소전압($R1(1H), G1(1H), \dots, Bm/3(1H), R1(3H), G1(3H), \dots, Bm/3(3H), \dots, R1((n-1)H), G1((n-1)H), \dots, Bm/3((n-1)H)$)은 제2 내지 제 $m+1$ 데이터라인들(DL2 내지 DL $m+1$)에 공급된다. 이와 동시에, 전단의 첫 번째 적색 화소전압($R1(2H), R1(4H), \dots, R1((n-2)H)$)이 제1 데이터라인(DL1)에 공급된다. 제1 데이터라인(DL1)에 공급되는 전단의 적색 화소전압($R1(2H), R1(4H), \dots, R1((n-2)H)$)은 전단의 제1 데이터라인(DL1)에 공급되는 적색 화소전압($R1(2H), R1(4H), \dots, R1((n-2)H)$)의 지연에 의해 복사된 화소전압이다. 제1 수평기간(1H) 동안, 제1 데이터라인(DL1)에 공급되는 화소전압은 타이밍 컨트롤러(258)의 제어에 의해 이전 프레임 즉, $(n-1)$ 번째 프레임의 마지막 수평기간(nH)에 공급되는 첫 번째 적색 화소전압(R1)이 복사된 전압일 수도 있고, 블랭크 데이터 전압(BK)일 수도 있다. n 번째 프레임의 우수 번째 수평기간(2H, 4H, ..., nH)에 적색, 녹색 및 청색의 화소전압($R1(2H), G1(2H), \dots, Bm/3(2H), R1(4H), G1(4H), \dots, Bm/3(4H), \dots, R1(nH), G1(nH), \dots, Bm/3(nH)$)은 제1 내지 제 m 데이터라인들(DL1 내지 DL m)에 공급된다. 이와 동시에, 전단의 m 번째 청색 화소전압($Bm/3(1H), Bm/3(3H), \dots, Bm/3((n-1)H)$)이 제 $m+1$ 데이터라인(DL $m+1$)에 공급된다. 제 $m+1$ 데이터라인(DL $m+1$)에 공급되는 전단의 청색 화소전압($Bm/3(1H), Bm/3(3H), \dots, Bm/3((n-1)H)$)은 이전 수평기간의 제 $m+1$ 데이터라인(DL $m+1$)에 공급되는 마지막 청색 화소전압($Bm/3(1H), Bm/3(3H), \dots, Bm/3((n-1)H)$)이 복사된 화소전압이다. n 번째 프레임 기간 동안, 기수 데이터라인들(DL1, DL3, DL5, ..., DL $m-1$, DL $m+1$)에는 항상 정극성의 화소전압이 인가되며, 우수 데이터라인들(DL2, DL4, DL6, ..., DL $m-2$, DL m)에는 항상 부극성의 화소전압이 인가된다.

<232> $(n+1)$ 번째 프레임에는 도 27b와 같이 데이터라인들(DL1 내지 DL $m+1$) 각각에 공급되는 화소전압의 극성이 반전된다.

<233> 도 27b를 참조하면, $(n+1)$ 번째 프레임의 기수 번째 수평기간(1H, 3H, ..., $(n-1)H$)에는 n 번째 프레임의 기수 번째 수평기간(1H, 3H, ..., $(n-1)H$)과 동일하게 적색, 녹색 및 청색의 화소전압($R1(1H), G1(1H), \dots, Bm/3(1H), R1(3H), G1(3H), \dots, Bm/3(3H), \dots, R1((n-1)H), G1((n-1)H), \dots, Bm/3((n-1)H)$)이 제2 내지 제 $m+1$ 데이터라인들(DL2 내지 DL $m+1$)에 공급된다. 이와 동시에, 전단의 첫 번째 적색 화소전압($R1(2H), R1(4H), \dots, R1((n-2)H)$)이 제1 데이터라인(DL1)에 공급된다. 제1 수평기간(1H) 동안, 제1 데이터라인(DL1)에 공급되는 화소전압은 타이밍 컨트롤러(218)의 제어에 의해 n 번째 프레임의 마지막 수평기간(nH)에 공급되는 첫 번째 적색 화소전압(R1)이 복사된 전압일 수도 있고, 블랭크 데이터 전압(BK)일 수도 있다. $(n+1)$ 번째 프레임의 우수 번째 수평기간(2H, 4H, ..., nH)에는 n 번째 프레임의 우수 번째 수평기간(2H, 4H, ..., nH)과 동일하게 적색, 녹색 및 청색의 화소전압($R1(2H), G1(2H), \dots, Bm/3(2H), R1(4H), G1(4H), \dots, Bm/3(4H), \dots, R1(nH), G1(nH), \dots, Bm/3(nH)$)은 제1 내지 제 m 데이터라인들(DL1 내지 DL m)에 공급된다. 이와 동시에, 전단의 마지막 청색 화소전압($Bm/3(1H), Bm/3(3H), \dots, Bm/3((n-1)H)$)이 제 $m+1$ 데이터라인(DL $m+1$)에 공급된다. $(n+1)$ 번째 프레임 기간 동안, 기수 데이터라인들(DL1, DL3, DL5, ..., DL $m-1$, DL $m+1$)에는 항상 부극성의 화소전압이 인가되며, 우수 데이터라인들(DL2, DL4, DL6, ..., DL $m-2$, DL m)에는 항상 정극성의 화소전압이 인가된다.

<234> 본 발명의 실시예에 따른 액정표시장치는 전단라인의 첫 번째 또는 마지막 데이터를 1 수평기간만큼 지연시킴으로써 더미데이터를 생성하고 그 더미데이터전압을 도 21과 같이 제1 데이터라인(DL1)의 좌측 비표시영역에 형성된 더미 액정셀이나 제 $m+1$ 데이터라인(DL $m+1$)의 우측 비표시영역에 형성된 더미 액정셀에 공급한다. 이 경우, 인접한 다른 데이터라인들(DL2 내지 DL m)과 마찬가지로 제1 데이터라인(DL1)과 제 $m+1$ 데이터라인(DL $m+1$)에 공급되는 더미 데이터전압이 액정셀에 공급되게 된다. 그 결과, 제1 데이터라인(DL1)과 제 $m+1$ 데이터라인(DL $m+1$)의 부하변동이 줄어들게 되고, 그 만큼 소비전력이 줄어들게 된다.

발명의 효과

<235> 상술한 바와 같이, 본 발명에 따른 액정표시장치의 구동방법 및 장치는 액정패널 상에 형성된 TFT들을 수직라인 방향에서 지그재그로 배열하고 그 액정패널에 컬럼 인버전 방식으로 극성이 제어된 데이터를 공급함으로써 컬럼 인버전 방식의 데이터 드라이버를 이용하여 액정패널을 도트 인버전으로 구동시킬 수 있게 된다. 그 결과, 본 발명에 따른 액정표시장치의 구동방법 및 장치는 도트 인버전으로 액정패널이 구동됨으로써 수직 및 수평 라인 간의 플리커를 최소화하여 표시품질을 높일 수 있음은 물론, 도트 인버전 방식의 데이터 드라이버를 이용하여 액정패널을 구동하는 경우에 비하여 소비전력을 크게 절감할 수 있게 된다. 나아가, 본 발명에 따른 액정표시장치의 구동방법 및 장치는 상기한 액정패널의 최좌측 데이터라인이나 최우측 데이터라인에 블랭크 데이터를 공급하는 대신에, 인접한 데이터를 복사하여 복사된 데이터를 공급함으로써 상기 최좌측 데이터라인이나 최우측 데이터라인의 전압 스윙폭을 줄이고 용량변동을 최소화하여 소비전력을 더 낮출 수 있게 된다.

<236> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

- <1> 도 1은 종래의 액정표시장치를 나타내는 도면이다.
- <2> 도 2a 및 도 2b는 프레임 인버전을 나타내는 도면이다.
- <3> 도 3a 및 도 3b는 라인 인버전을 나타내는 도면이다.
- <4> 도 4a 및 도 4b는 컬럼 인버전을 나타내는 도면이다.
- <5> 도 5a 및 도 5b는 도트 인버전을 나타내는 도면이다.
- <6> 도 6은 본 발명의 제1 실시예에 따른 액정표시장치를 나타내는 도면이다.
- <7> 도 7은 도 6에 도시된 타이밍 콘트롤러를 상세히 나타내는 도면이다.
- <8> 도 8a 및 도 8b는 도 6에 도시된 타이밍 콘트롤러로부터 출력되는 데이터의 일 실시예를 나타내는 파형도이다.
- <9> 도 9a 및 도 9b는 도 6에 도시된 타이밍 콘트롤러로부터 출력되는 데이터의 다른 실시예를 나타내는 파형도이다.
- <10> 도 10은 도 6에 도시된 데이터 구동부를 상세히 나타내는 도면이다.
- <11> 도 11a 및 도 11b는 도 6에 도시된 액정패널에 공급되는 데이터를 나타내는 파형도이다.
- <12> 도 12는 본 발명의 제2 실시예에 따른 액정표시장치를 나타내는 도면이다.
- <13> 도 13a 및 도 13b는 도 12에 도시된 액정패널에 공급되는 데이터를 나타내는 파형도이다.
- <14> 도 14는 본 발명의 제3 실시예에 따른 액정표시장치를 나타내는 도면이다.
- <15> 도 15a 및 도 15b는 도 14에 도시된 타이밍 콘트롤러로부터 출력되는 데이터의 일 실시예를 나타내는 파형도이다.
- <16> 도 16a 및 도 16b는 도 14에 도시된 타이밍 콘트롤러로부터 출력되는 데이터의 다른 실시예를 나타내는 파형도이다.
- <17> 도 17a 및 도 17b는 도 14에 도시된 액정패널에 공급되는 데이터를 나타내는 파형도이다.
- <18> 도 18은 본 발명의 제4 실시예에 따른 액정표시장치를 나타내는 도면이다.
- <19> 도 19는 본 발명의 제5 실시예에 따른 액정표시장치를 나타내는 도면이다.
- <20> 도 20a 및 도 20b는 도 19에 도시된 액정패널에 공급되는 데이터를 나타내는 파형도이다.
- <21> 도 21은 본 발명의 제6 실시예에 따른 액정표시장치를 나타내는 도면이다.
- <22> 도 22는 본 발명의 제7 실시예에 따른 액정표시장치를 나타내는 도면이다.
- <23> 도 23a 및 도 23b는 도 22에 도시된 타이밍 콘트롤러로부터 출력되는 데이터의 일 실시예를 나타내는 파형도이다.

다.

<24> 도 24a 및 도 24b는 도 22에 도시된 타이밍 컨트롤러로부터 출력되는 데이터의 다른 실시예를 나타내는 파형도이다.

<25> 도 25a 및 도 25b는 도 22에 도시된 액정패널에 공급되는 데이터를 나타내는 파형도이다.

<26> 도 26은 본 발명의 제8 실시예에 따른 액정표시장치를 나타내는 도면이다.

<27> 도 27a 및 도 27b는 도 26에 도시된 액정패널에 공급되는 데이터를 나타내는 파형도이다.

<28> <도면의 부호에 대한 간단한 설명>

<29> 2, 12, 112, 132, 172, 252 : 액정패널

<30> 4, 14, 114, 134, 174, 254 : 게이트 드라이버

<31> 6, 16, 116, 136, 176, 256 : 데이터 드라이버

<32> 18, 118, 138, 178, 258 : 타이밍 컨트롤러

<33> 71, 121, 141, 181, 261 : 제어신호 발생부

<34> 72, 122, 142, 182, 262 : 화소데이터 정렬부

<35> 73, 123, 143, 183, 263 : 레지스터 74, 124, 144, 184, 264 : 멀티플렉서

<36> 101 : 쉬프트 레지스터 어레이 102 : 래치 어레이

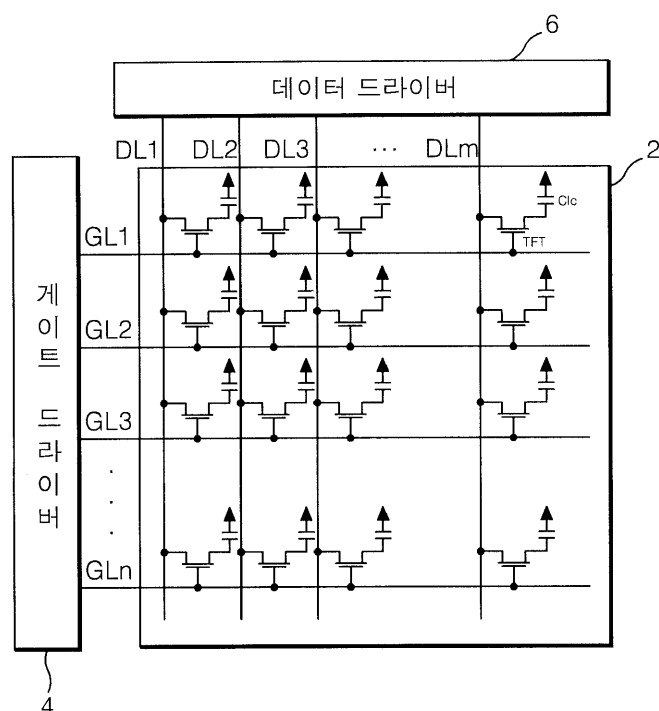
<37> 103 : MUX 어레이 104 : DAC 어레이

<38> 105 : 버퍼 어레이 145, 185 : 카운터

<39> 146, 186 : 래치

도면

도면1



도면2a

| | | | | | | | |
|---|---|---|---|---|---|---|---|
| + | + | + | + | + | + | + | + |
| + | + | + | + | + | + | + | + |
| + | + | + | + | + | + | + | + |
| + | + | + | + | + | + | + | + |
| + | + | + | + | + | + | + | + |
| + | + | + | + | + | + | + | + |
| + | + | + | + | + | + | + | + |
| + | + | + | + | + | + | + | + |

기수 프레임(프레임 인버전)

도면2b

| | | | | | | | |
|---|---|---|---|---|---|---|---|
| - | - | - | - | - | - | - | - |
| - | - | - | - | - | - | - | - |
| - | - | - | - | - | - | - | - |
| - | - | - | - | - | - | - | - |
| - | - | - | - | - | - | - | - |
| - | - | - | - | - | - | - | - |
| - | - | - | - | - | - | - | - |
| - | - | - | - | - | - | - | - |

우수 프레임(프레임 인버전)

도면3a

| | | | | | | | |
|---|---|---|---|---|---|---|---|
| + | + | + | + | + | + | + | + |
| - | - | - | - | - | - | - | - |
| + | + | + | + | + | + | + | + |
| - | - | - | - | - | - | - | - |
| + | + | + | + | + | + | + | + |
| - | - | - | - | - | - | - | - |
| + | + | + | + | + | + | + | + |
| - | - | - | - | - | - | - | - |

기수 프레임(라인 인버전)

도면3b

| | | | | | | | |
|---|---|---|---|---|---|---|---|
| - | - | - | - | - | - | - | - |
| + | + | + | + | + | + | + | + |
| - | - | - | - | - | - | - | - |
| + | + | + | + | + | + | + | + |
| - | - | - | - | - | - | - | - |
| + | + | + | + | + | + | + | + |
| - | - | - | - | - | - | - | - |
| + | + | + | + | + | + | + | + |

우수 프레임(라인 인버전)

도면4a

| | | | | | | | |
|---|---|---|---|---|---|---|---|
| + | - | + | - | + | - | + | - |
| + | - | + | - | + | - | + | - |
| + | - | + | - | + | - | + | - |
| + | - | + | - | + | - | + | - |
| + | - | + | - | + | - | + | - |
| + | - | + | - | + | - | + | - |
| + | - | + | - | + | - | + | - |
| + | - | + | - | + | - | + | - |

기수 프레임(컬럼 인버전)

도면4b

| | | | | | | | |
|---|---|---|---|---|---|---|---|
| - | + | - | + | - | + | - | + |
| - | + | - | + | - | + | - | + |
| - | + | - | + | - | + | - | + |
| - | + | - | + | - | + | - | + |
| - | + | - | + | - | + | - | + |
| - | + | - | + | - | + | - | + |
| - | + | - | + | - | + | - | + |
| - | + | - | + | - | + | - | + |

우수 프레임(컬럼 인버전)

도면5a

| | | | | | | | |
|---|---|---|---|---|---|---|---|
| + | - | + | - | + | - | + | - |
| - | + | - | + | - | + | - | + |
| + | - | + | - | + | - | + | - |
| - | + | - | + | - | + | - | + |
| + | - | + | - | + | - | + | - |
| - | + | - | + | - | + | - | + |
| + | - | + | - | + | - | + | - |
| - | + | - | + | - | + | - | + |

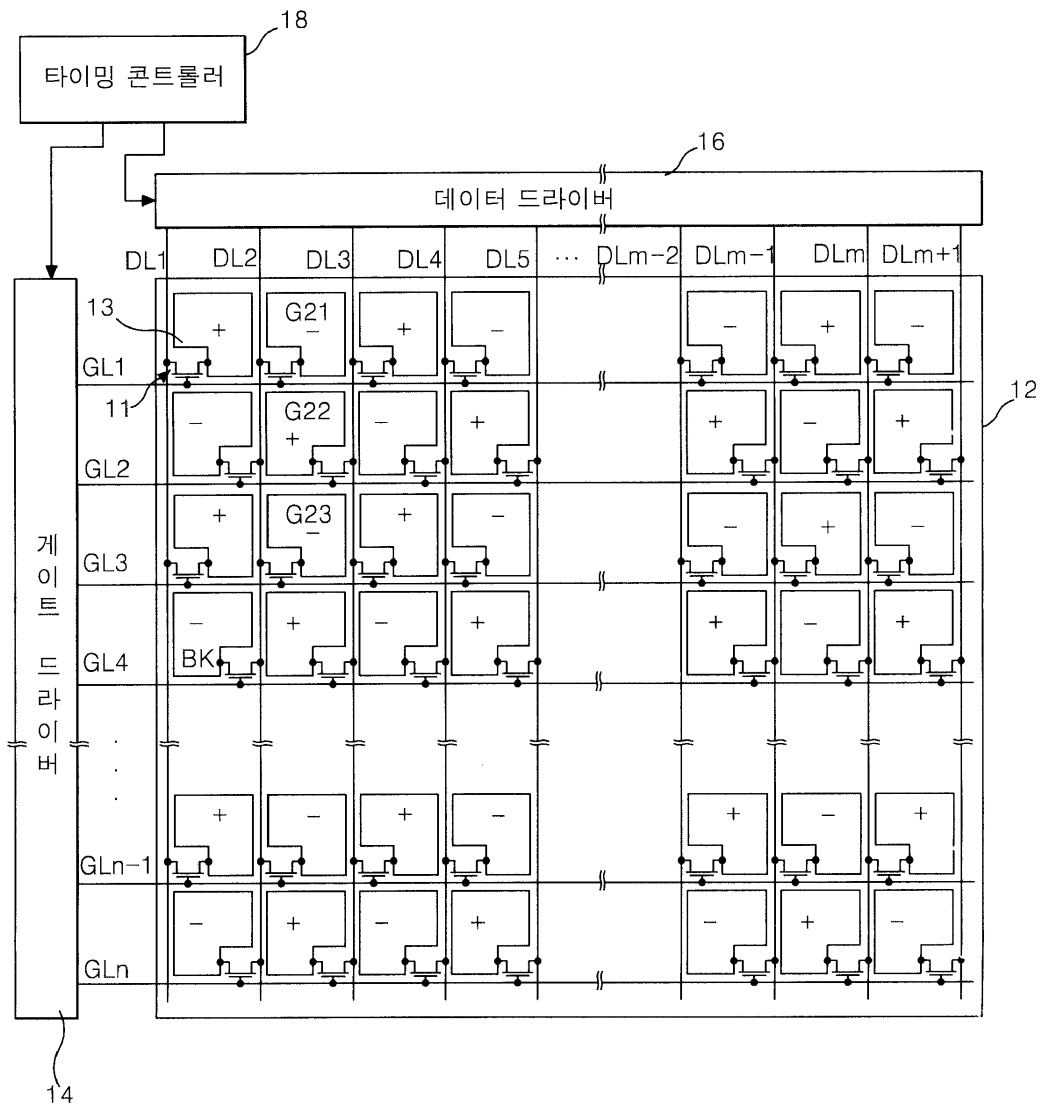
기수 프레임(도트 인버전)

도면5b

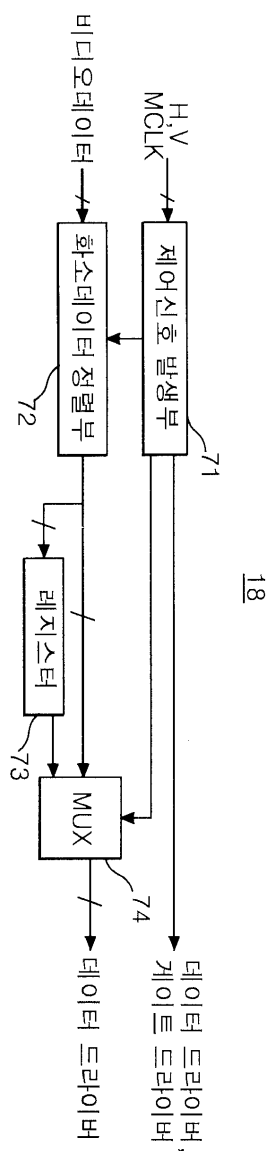
| | | | | | | | |
|---|---|---|---|---|---|---|---|
| - | + | - | + | - | + | - | + |
| + | - | + | - | + | - | + | - |
| - | + | - | + | - | + | - | + |
| + | - | + | - | + | - | + | - |
| - | + | - | + | - | + | - | + |
| + | - | + | - | + | - | + | - |
| - | + | - | + | - | + | - | + |
| + | - | + | - | + | - | + | - |

우수 프레임(도트 인버전)

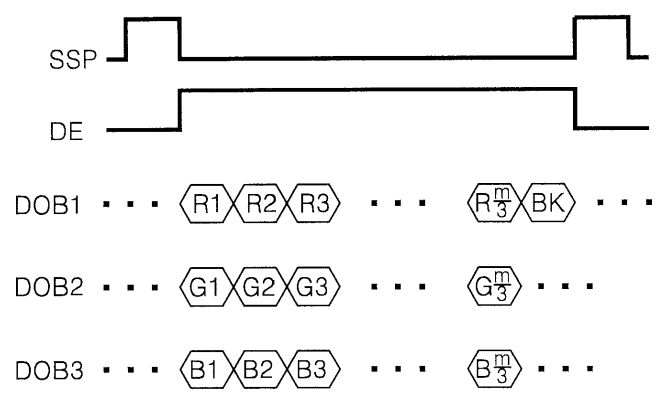
도면6



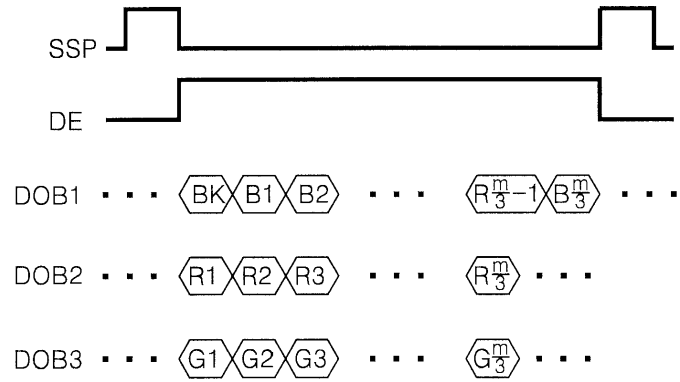
도면7



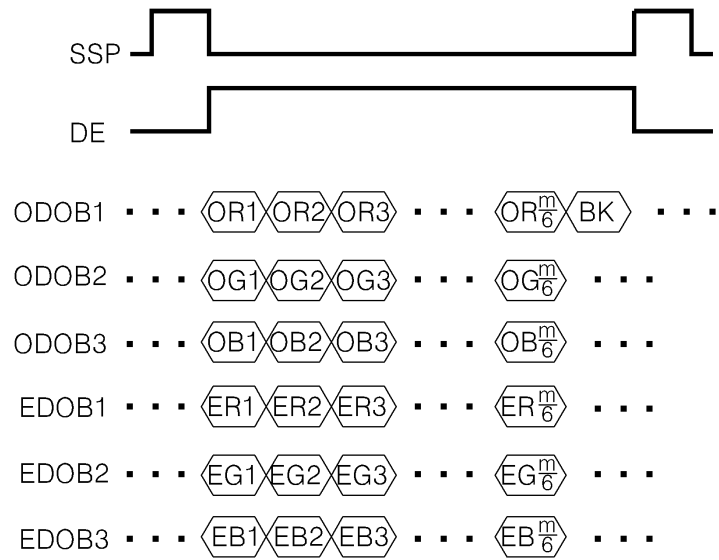
도면8a



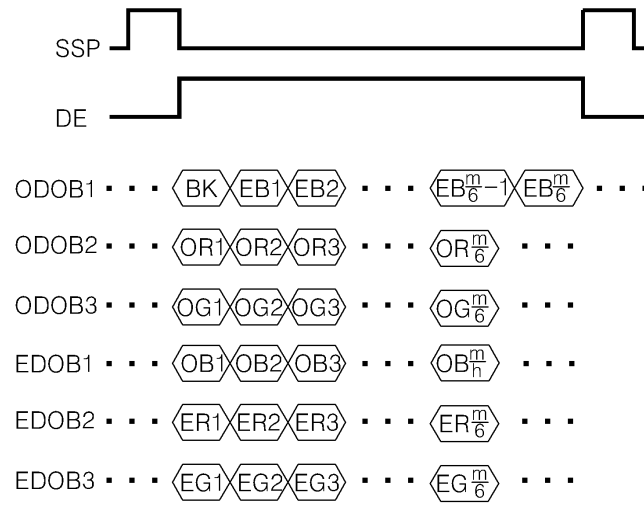
도면8b



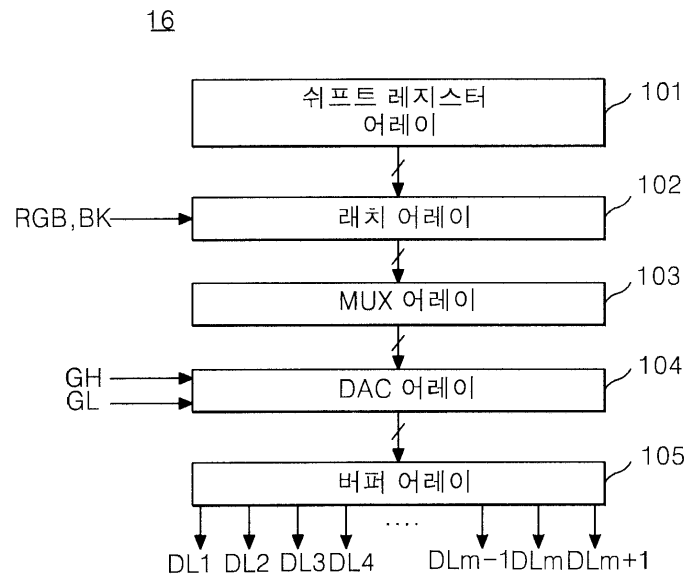
도면9a



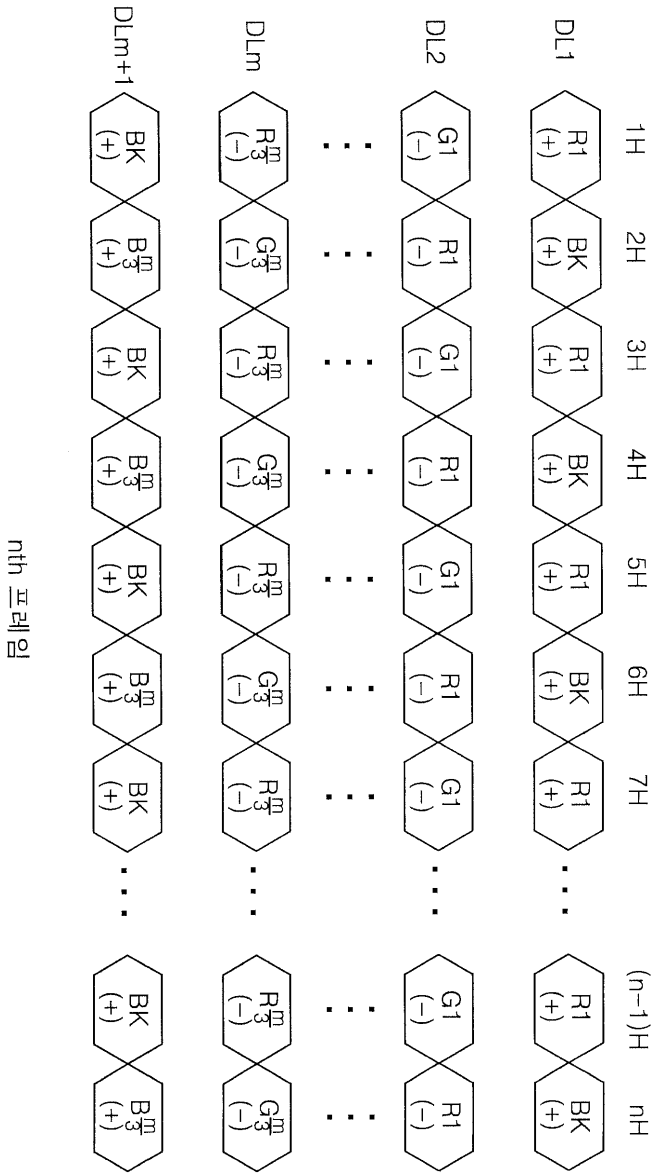
도면9b



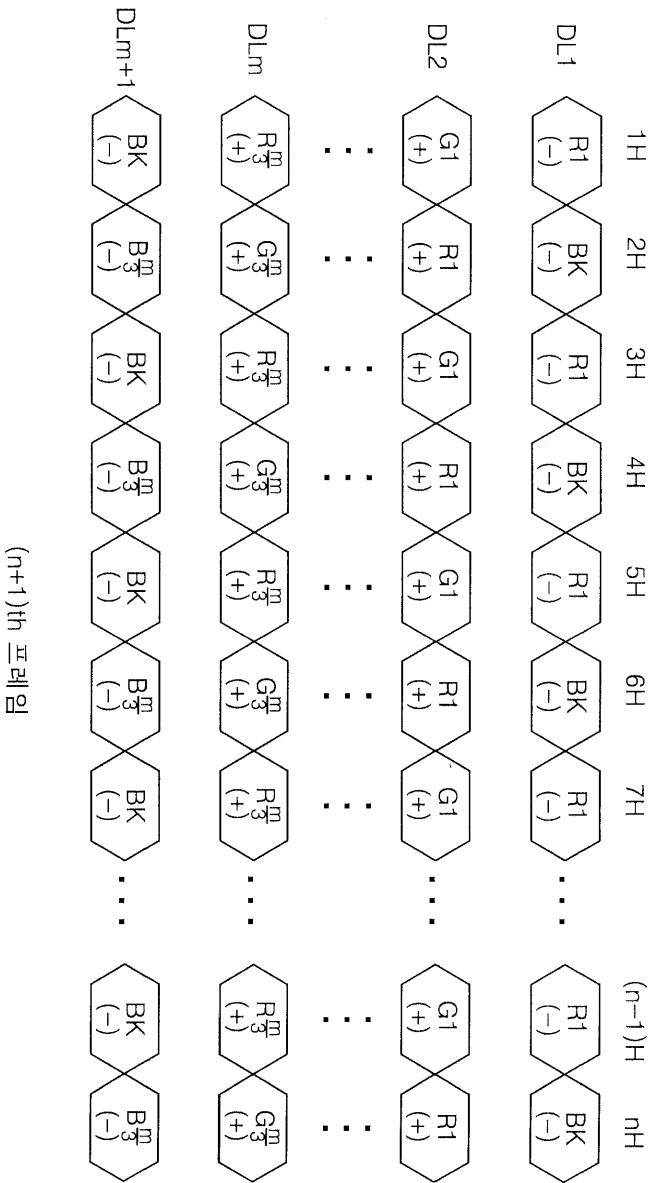
도면10



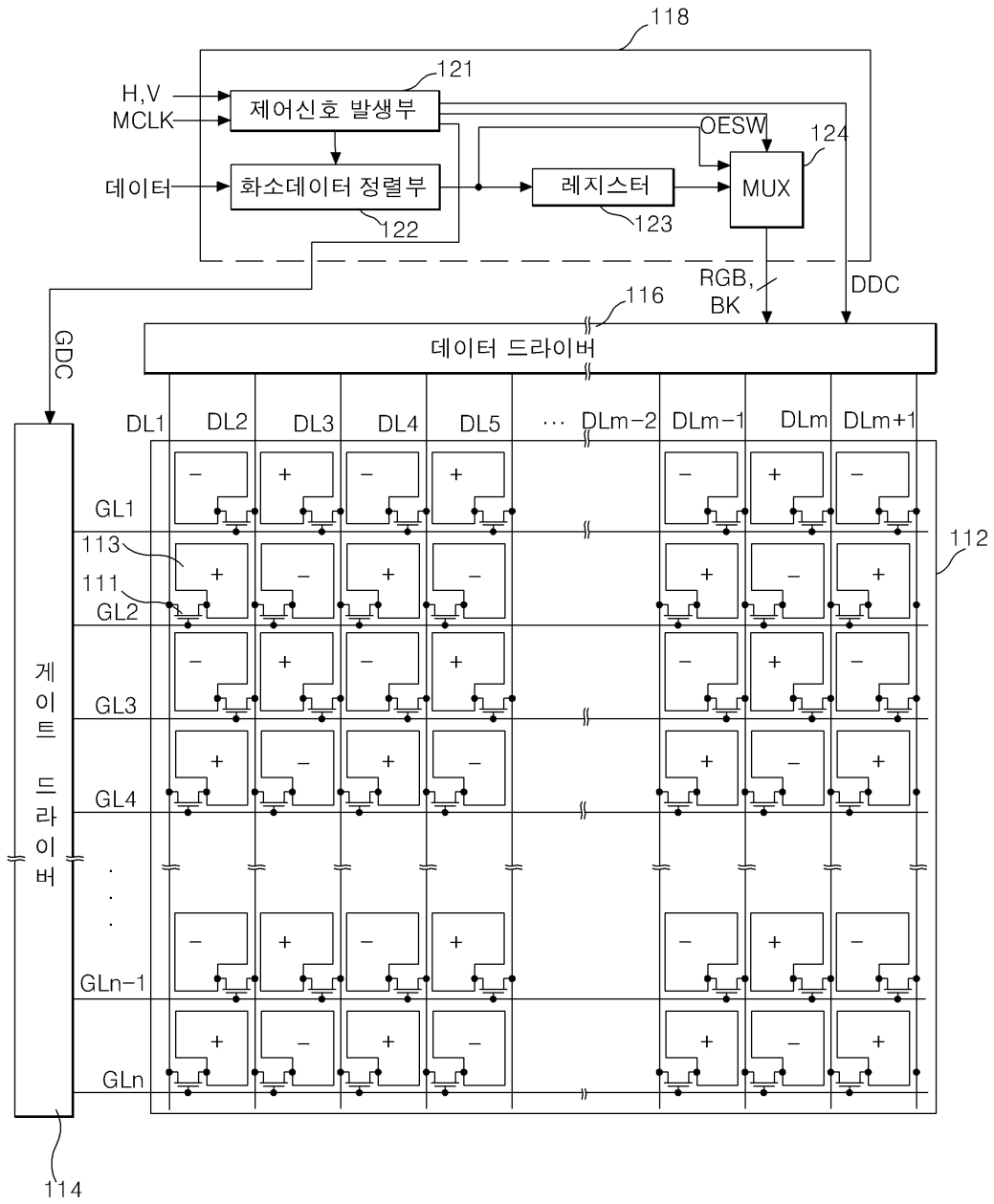
도면11a



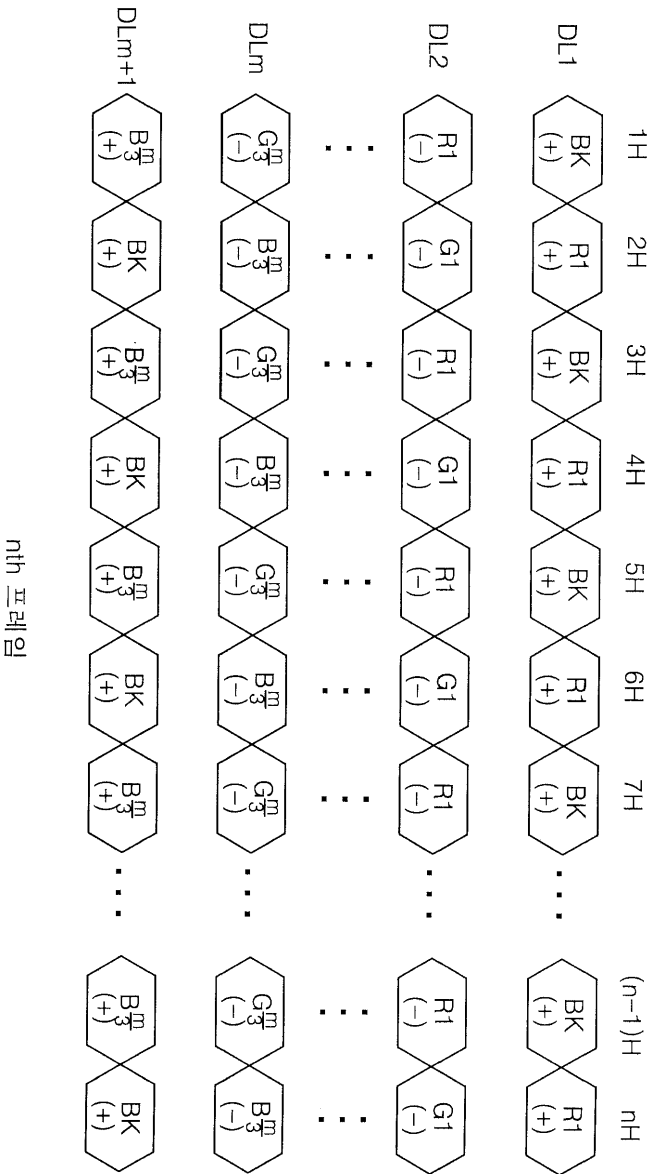
도면11b



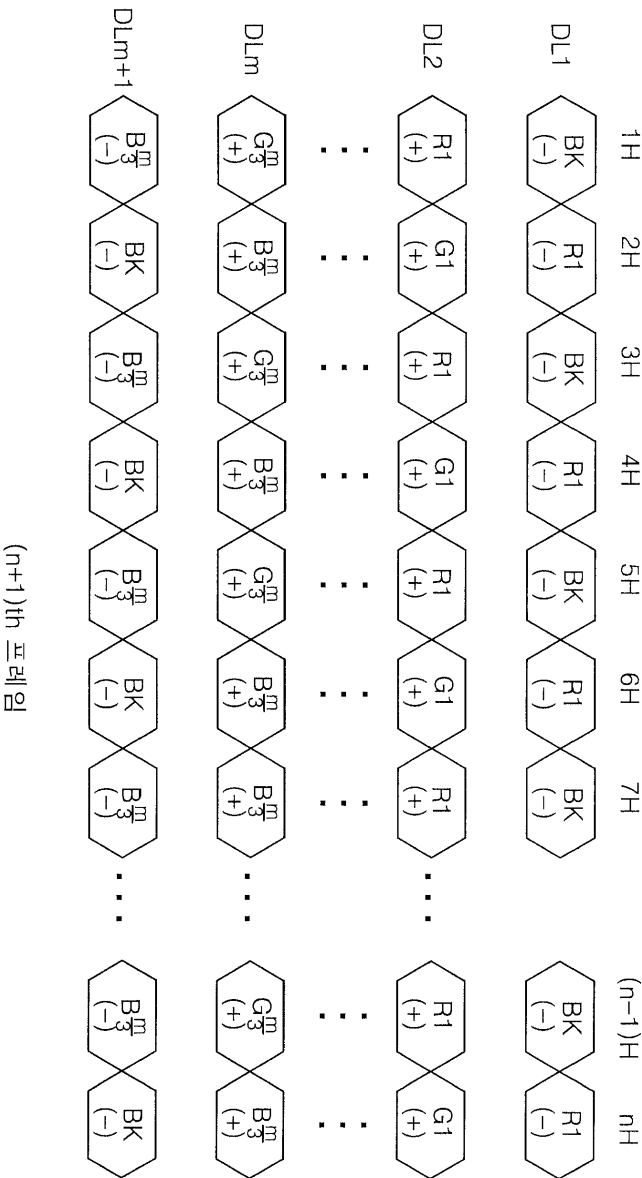
도면12



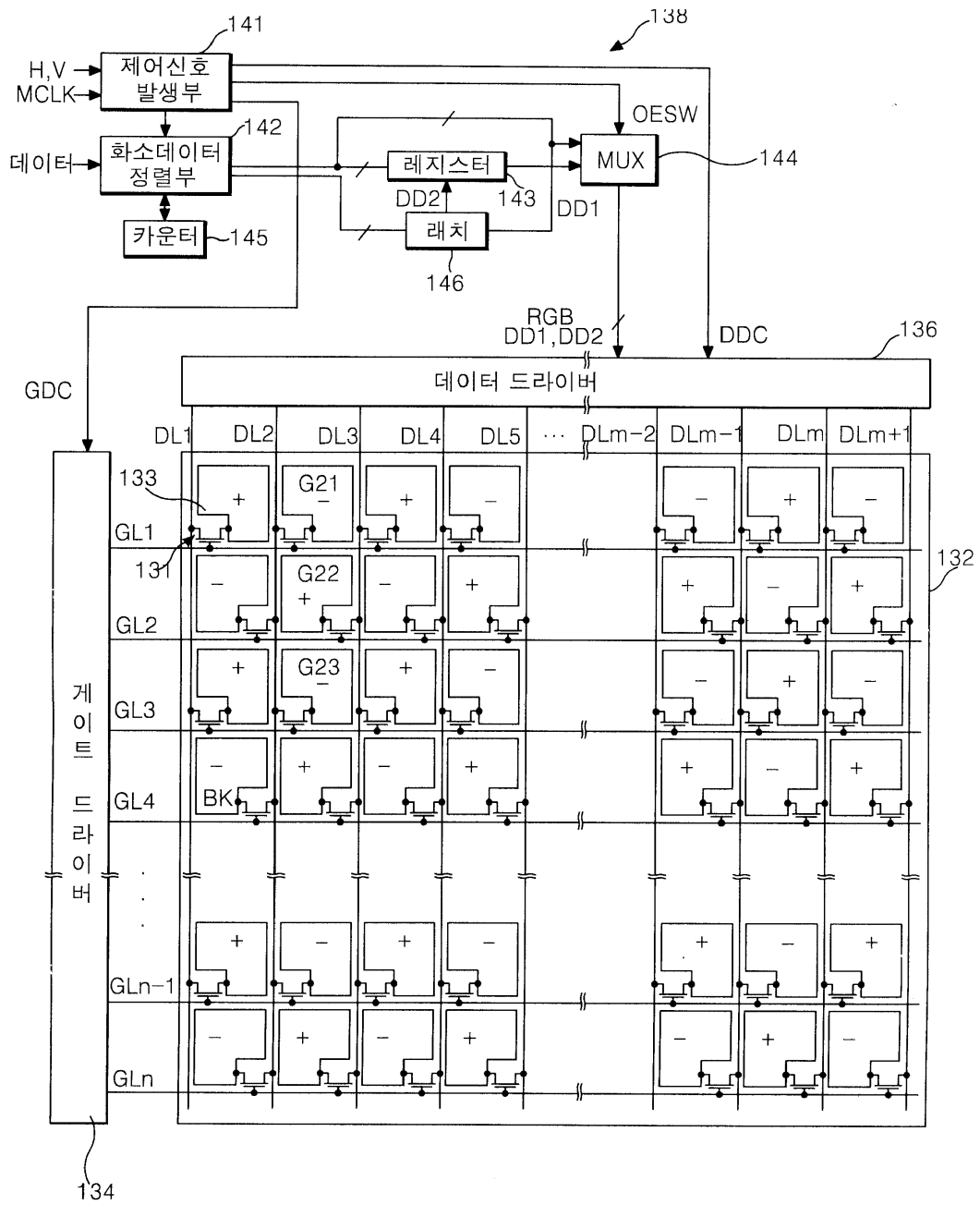
도면13a



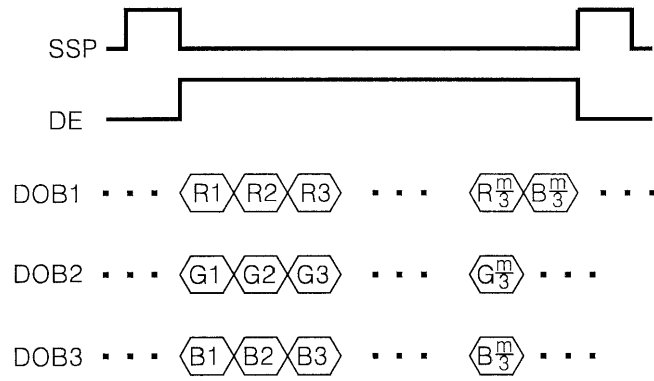
도면13b



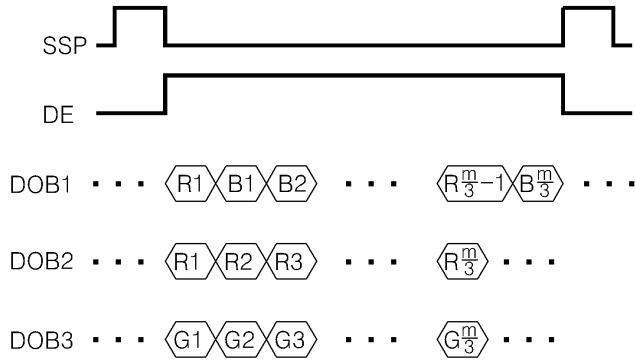
도면14



도면15a



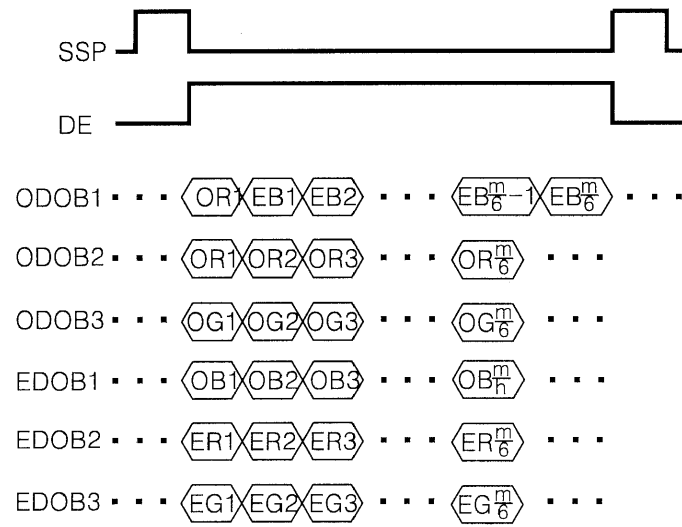
도면15b



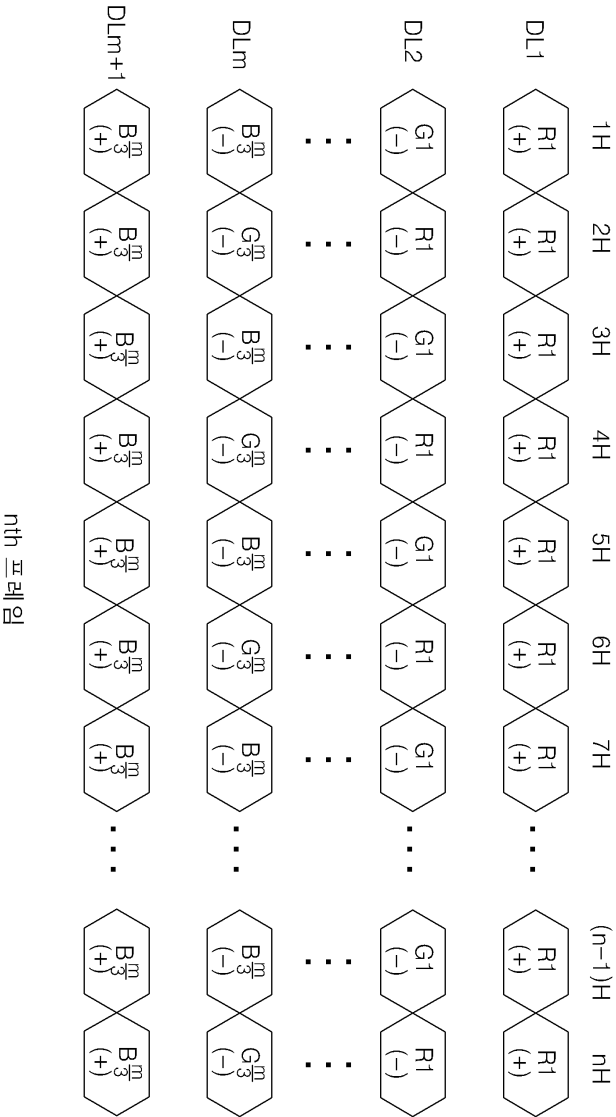
도면16a



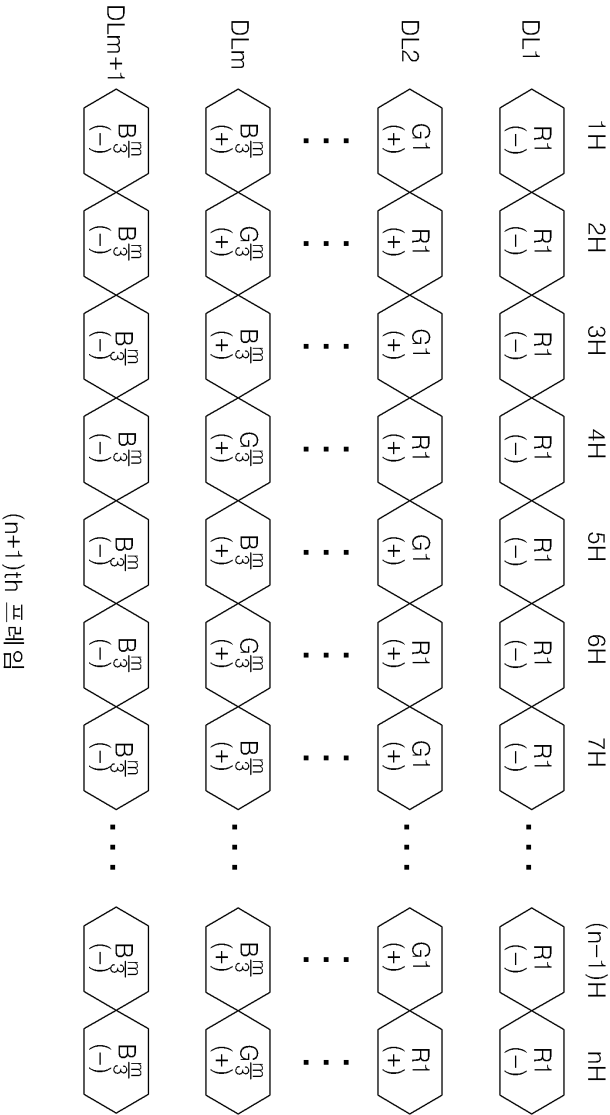
도면16b



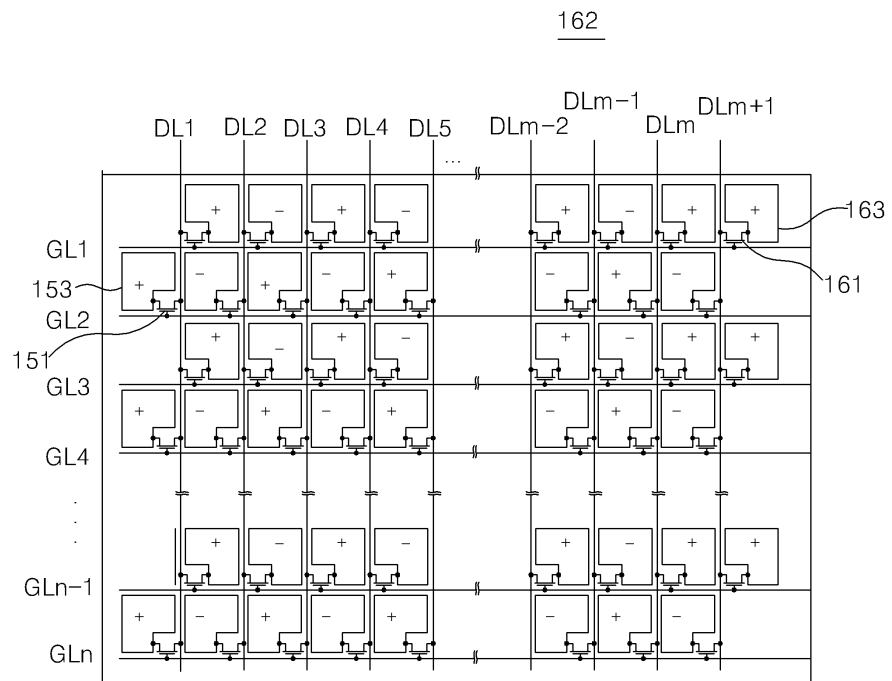
도면17a



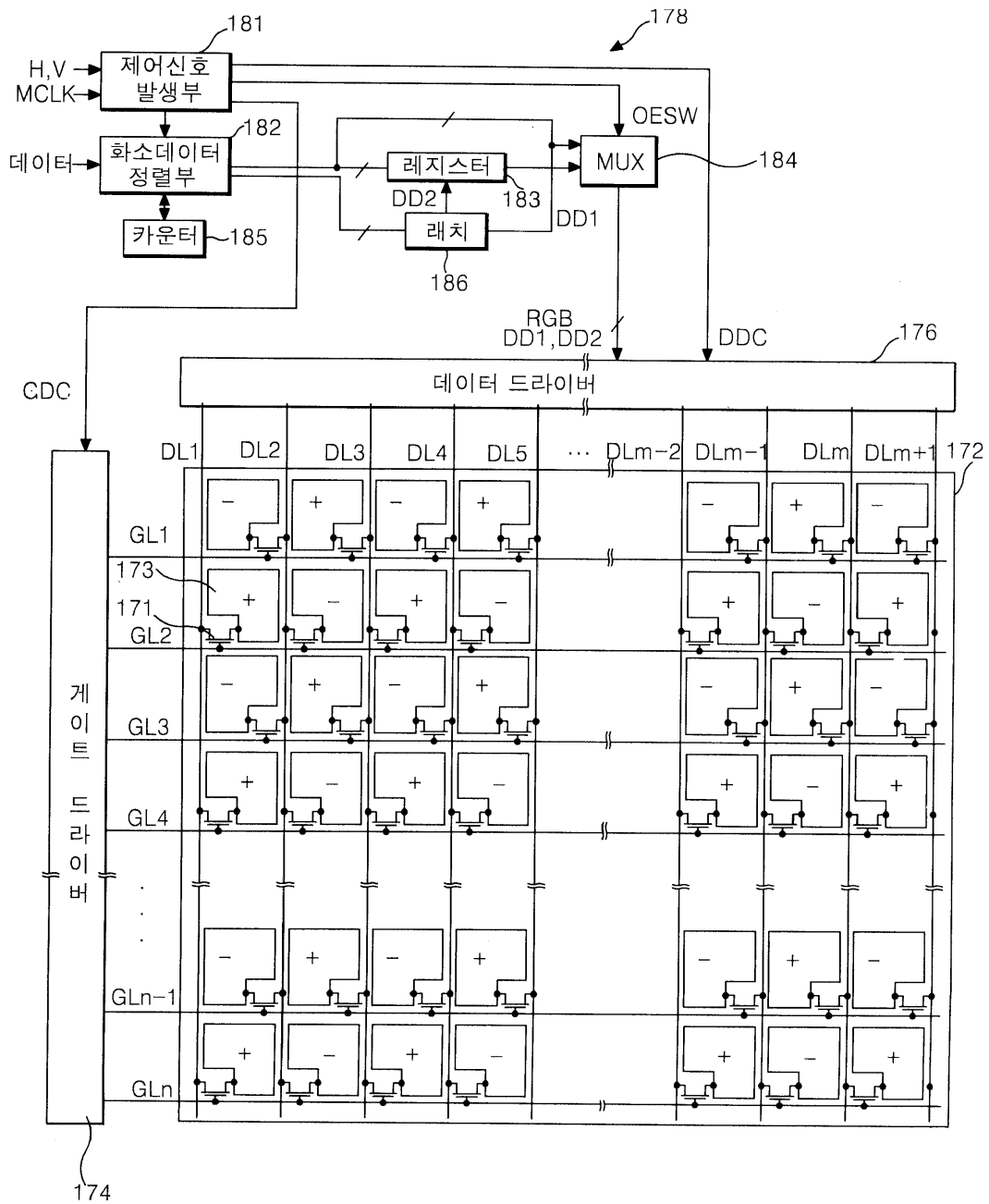
도면17b



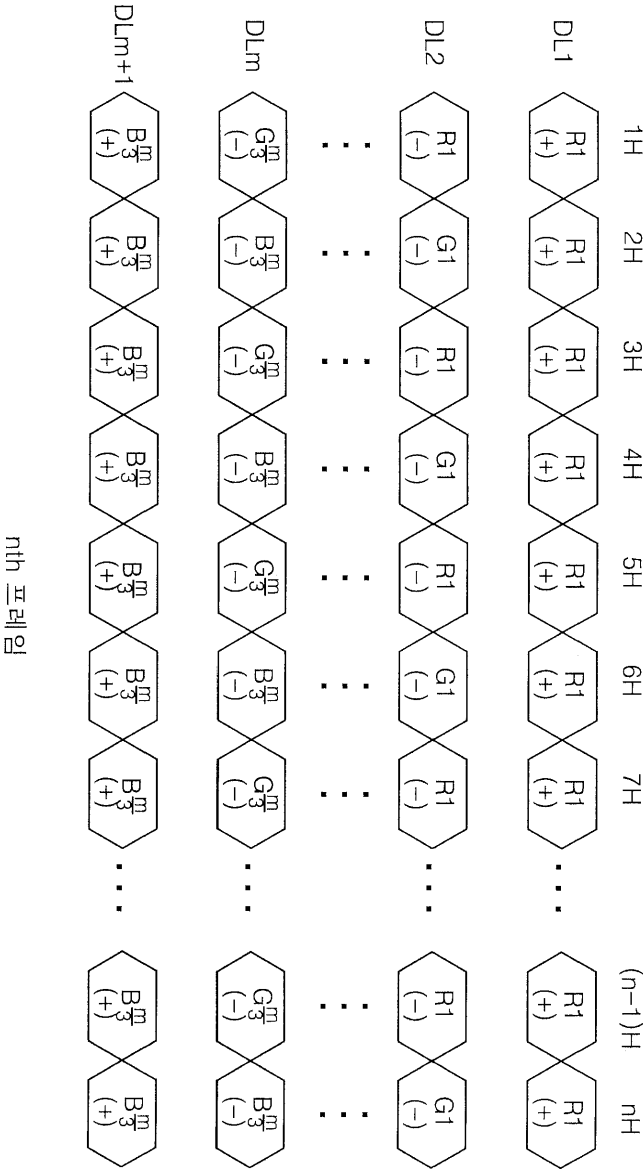
도면18



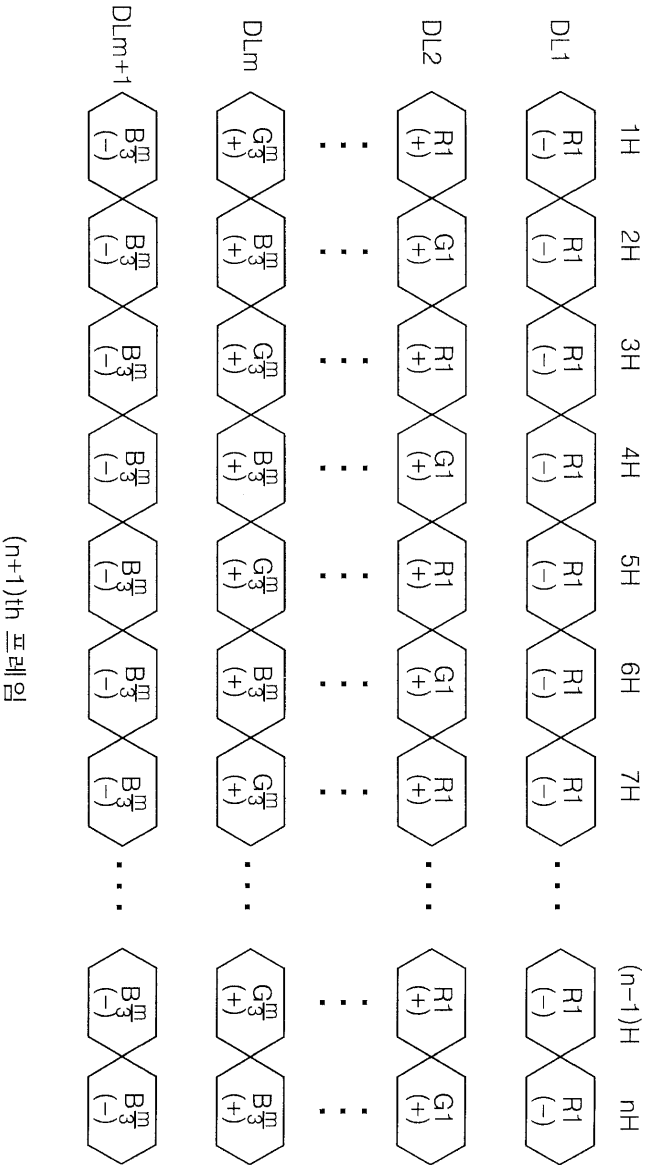
도면19



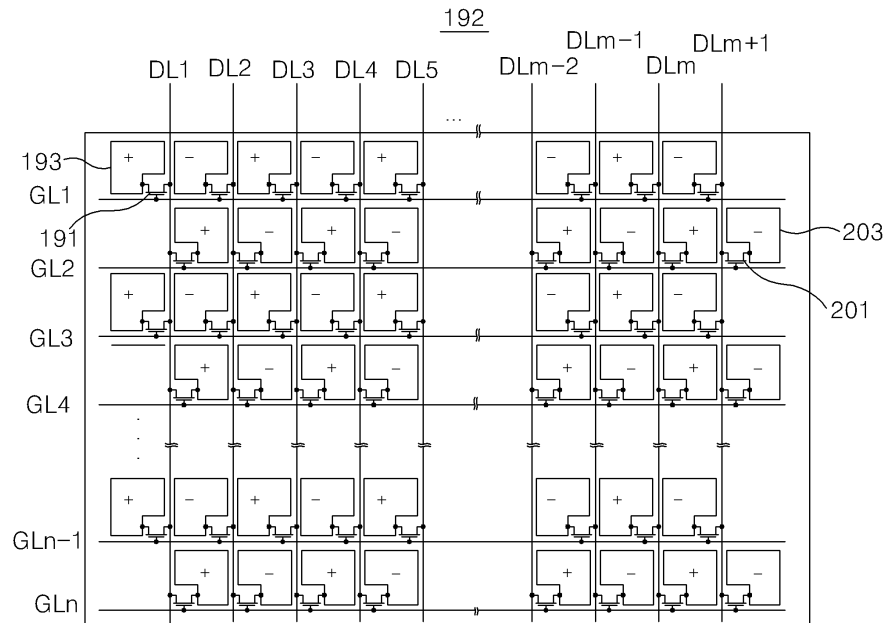
도면20a



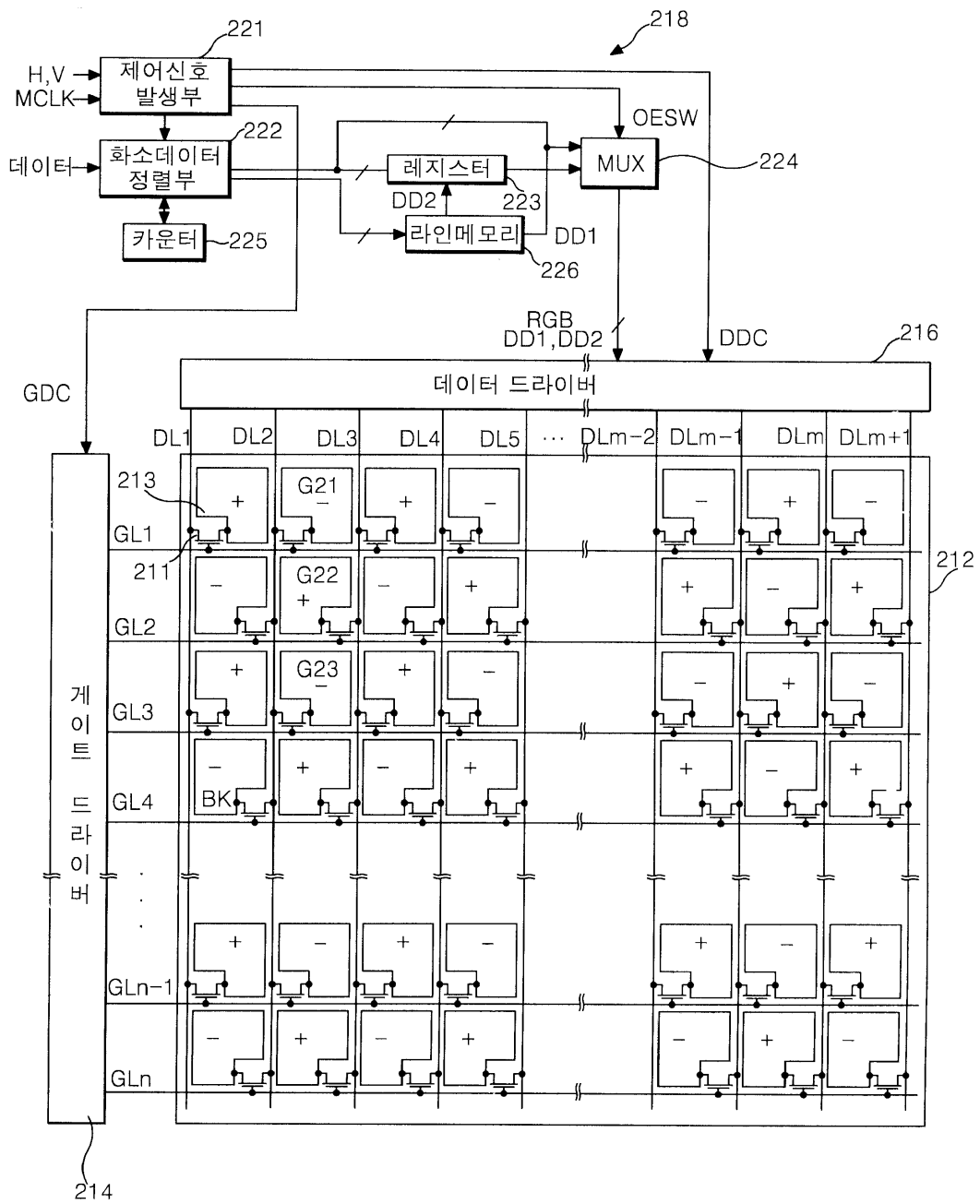
도면20b



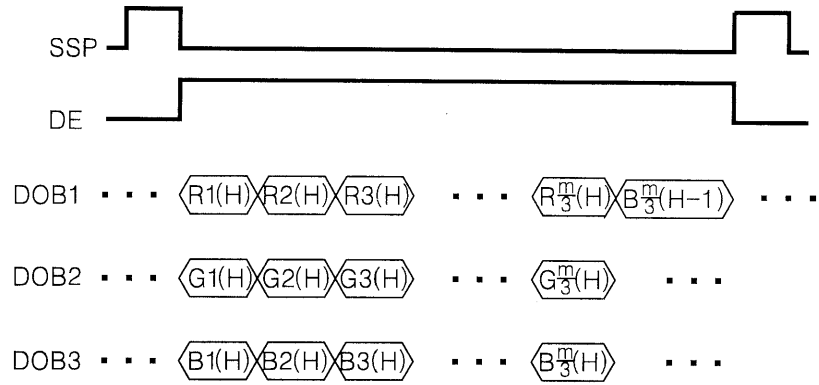
도면21



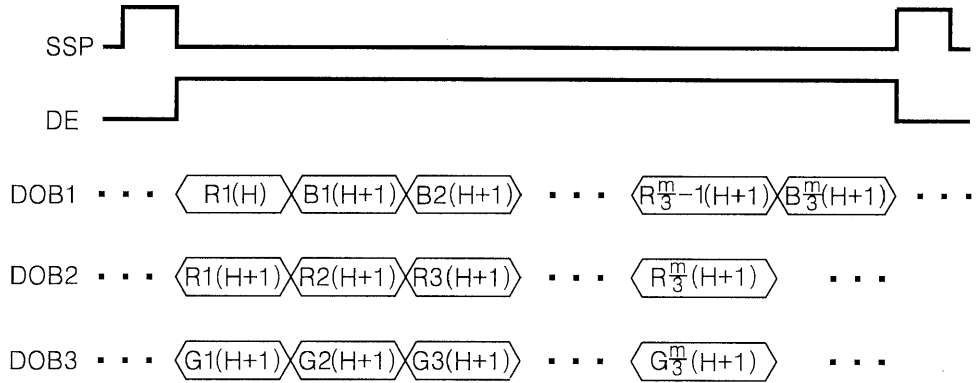
도면22



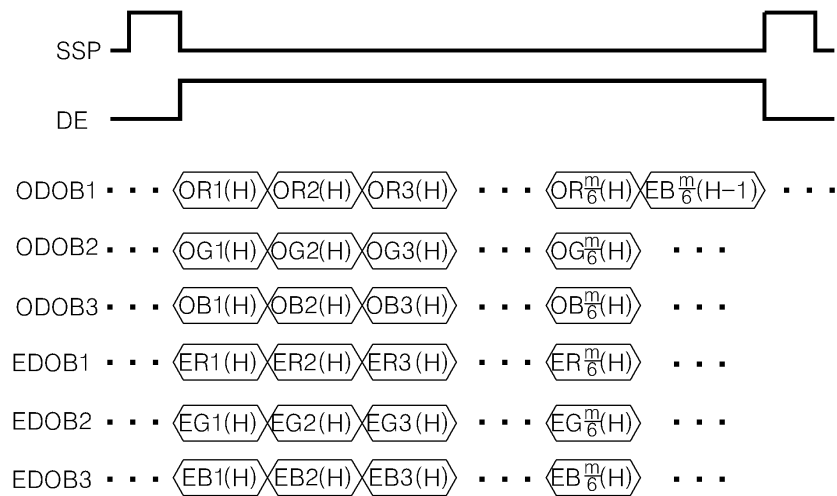
도면23a



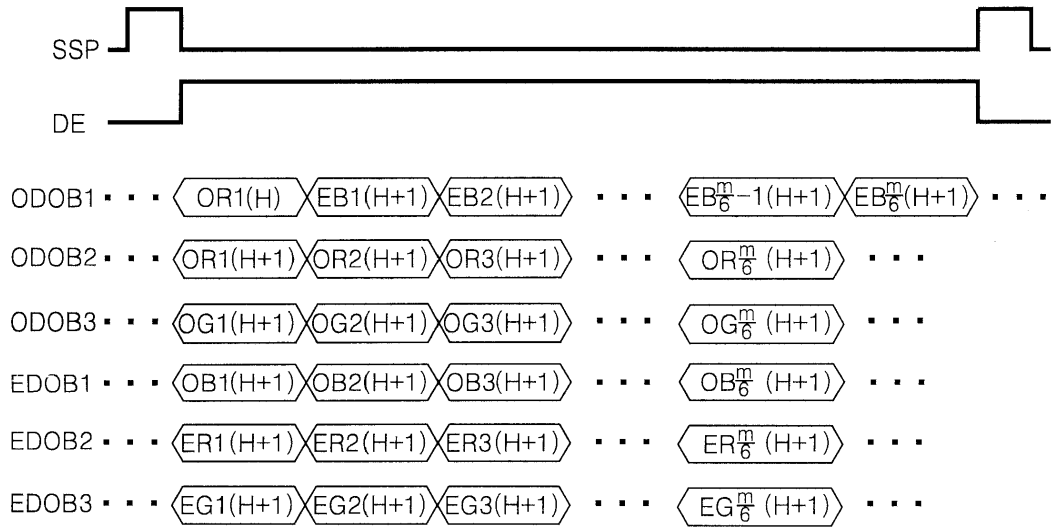
도면23b



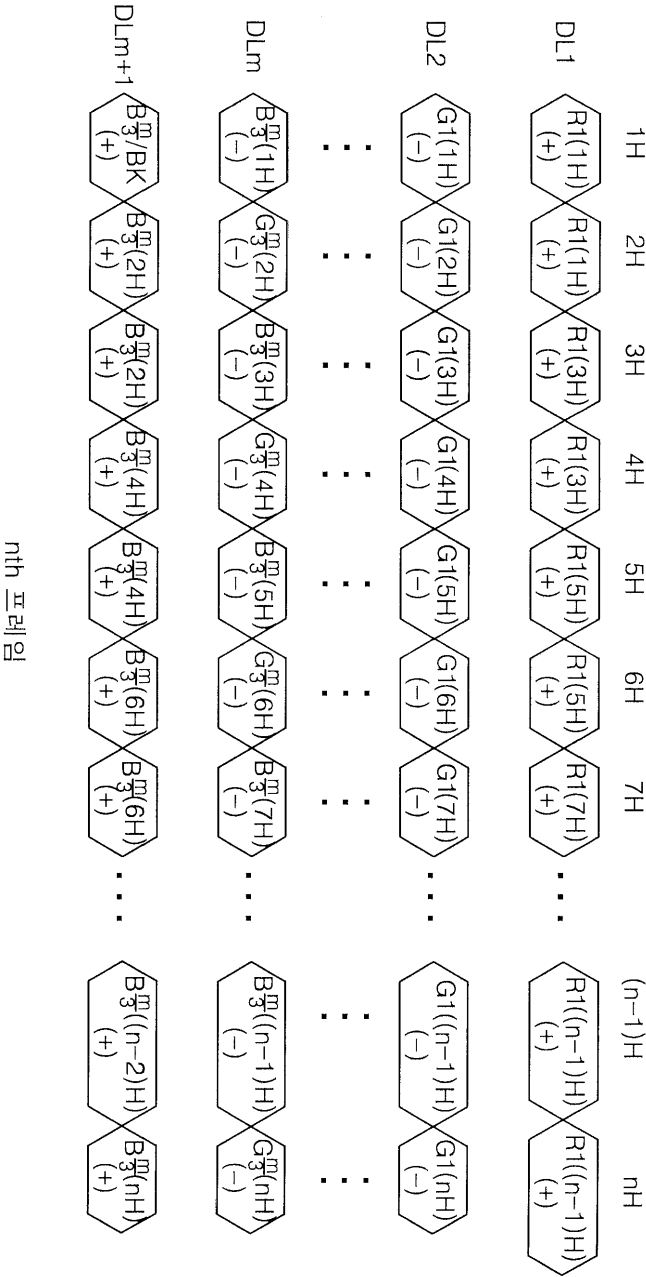
도면24a



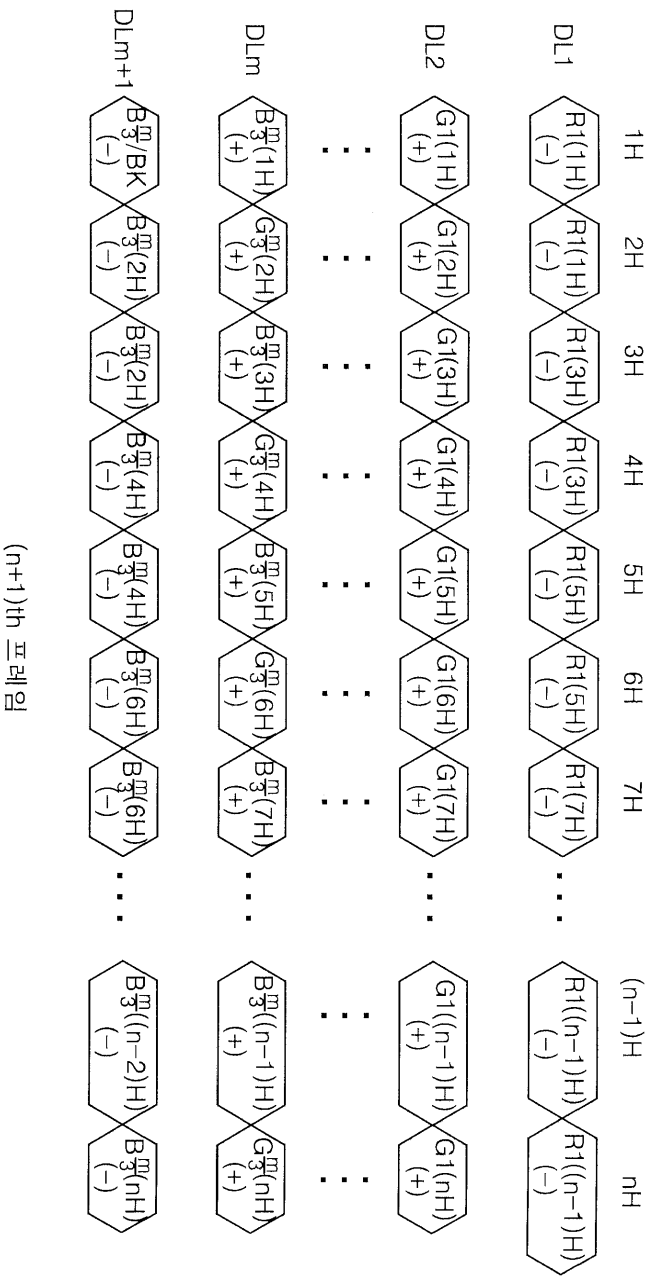
도면24b



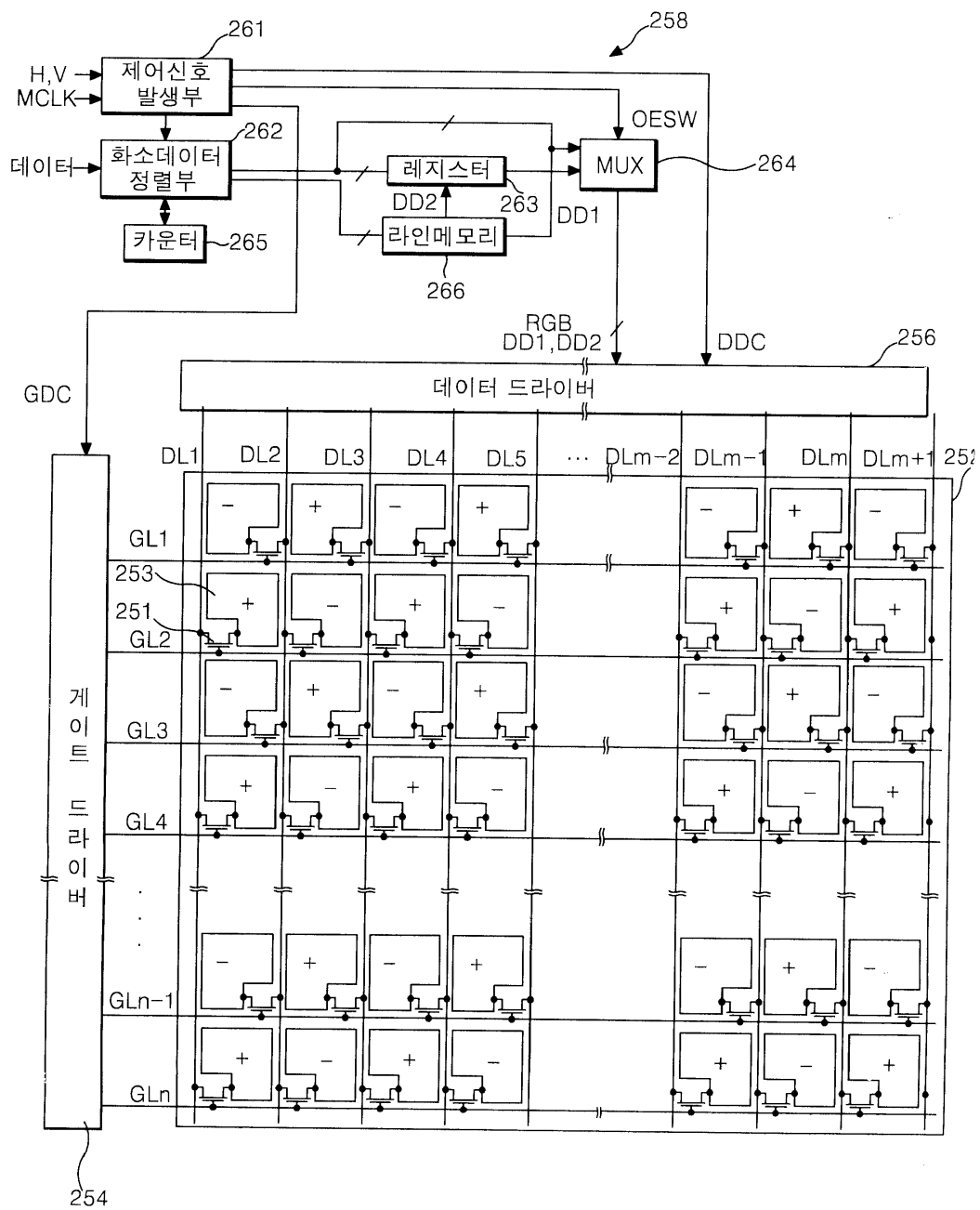
도면25a



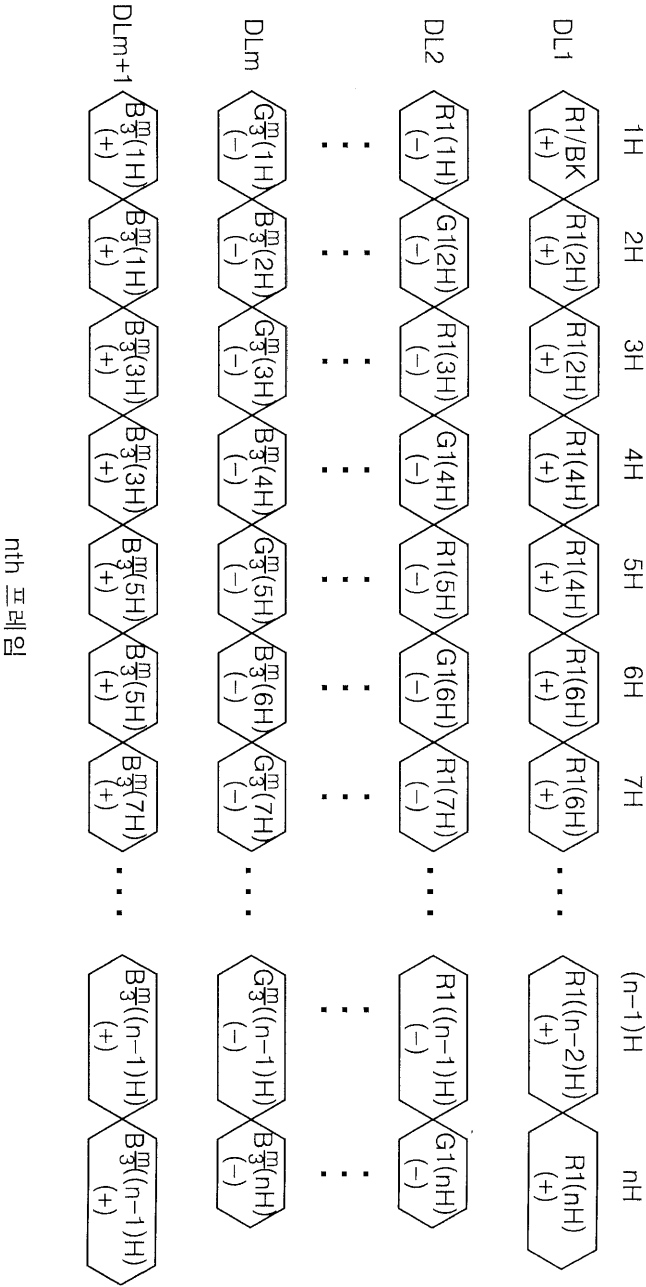
도면25b



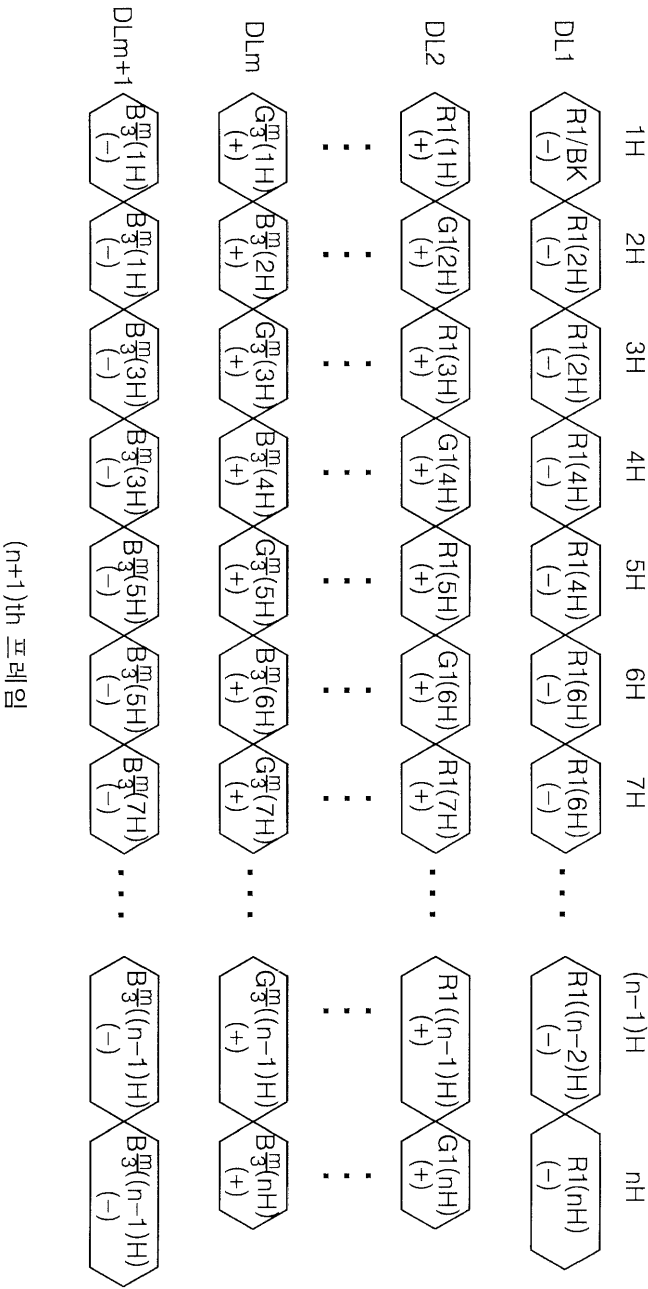
도면26



도면27a



도면27b



| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 用于驱动液晶显示器的方法和设备 | | |
| 公开(公告)号 | KR100853772B1 | 公开(公告)日 | 2008-08-25 |
| 申请号 | KR1020020021795 | 申请日 | 2002-04-20 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| 当前申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | LEE JAEWOO 이재우 YUN SANGCHANG 윤상창 PARK JUNHO 박준호 | | |
| 发明人 | 이재우 윤상창 박준호 | | |
| IPC分类号 | G02F1/133 G09G3/36 | | |
| CPC分类号 | G09G2330/021 G09G3/3614 G09G3/3607 G09G3/3688 | | |
| 代理人(译) | 金勇 年轻的小公园 | | |
| 其他公开文献 | KR1020030083313A | | |
| 外部链接 | Espacenet | | |

摘要(译)

本发明涉及液晶显示器的驱动方法和装置，并且用于降低高度对显示质量的功耗。根据本发明的液晶显示器的驱动方法和装置复制输入数据和伪数据中的任何一个。通过将扫描脉冲提供给布置在薄膜晶体管中的液晶面板的栅极线，两条数据线之间的Z字形是相邻的，而栅极线与数据线交叉输入数据，并且伪数据被提供给液体的数据线。水晶面板。液晶显示器和反转。

