



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년05월06일
(11) 등록번호 10-0827328
(24) 등록일자 2008년04월28일

(51) Int. Cl.

G02F 1/1333 (2006.01)

(21) 출원번호 10-2001-0062308

(22) 출원일자 2001년10월10일

심사청구일자 2006년10월10일

(65) 공개번호 10-2003-0030352

(43) 공개일자 2003년04월18일

(56) 선행기술조사문헌

KR100418008 B1

KR1020000022917 A

전체 청구항 수 : 총 15 항

심사관 : 손희수

(54) 액정표시장치용 어레이기판의 스토리지 캐패시터 구조 및 이의 제조방법

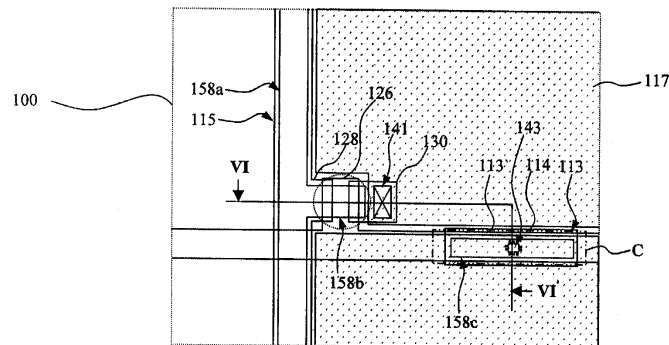
(57) 요약

본 발명은 액정표시장치에 관한 것으로 특히, 어레이기판에 구성되는 보조 용량부의 구성에 관한 것이다.

상세히 설명하면, 스토리지 온 게이트(storage on gate)의 구조에서, 보조 용량부에 구성하는 섬 형상의 제 2 스토리지 전극의 면적을 게이트배선을 완전히 덮을 수 있도록 하거나 상기 게이트배선의 영역내부에 구성할 수 있도록 하고, 상기 제 2 스토리지 전극과 화소전극이 연결되도록 하는 콘택홀은 요철로 형성한다.

이와 같이 하면, 상기 제 2 스토리지 전극의 정렬 오차가 발생하더라도 보조 용량부의 변화가 없고 또한, 상기 화소전극의 침식을 최소화 할 수 있기 때문에, 상기 화소전극과 제 2 스토리지 전극의 콘택불량을 방지 할 수 있다.

대표도 - 도5e



특허청구의 범위

청구항 1

기관과;

상기 기관 상에 서로 수직하게 교차하여 화소영역을 정의하는 게이트배선과 ;

상기 게이트배선과 데이터배선의 교차지점에 구성된 스위칭 소자와;

상기 게이트배선의 일부 상부에 정의되는 보조 용량부에 있어서,

상기 게이트배선의 일부인 제 1 스토리지 전극과;

상기 제 1 스토리지 전극의 상부에 제 1 절연막을 사이에 두고, 상기 제 1 스토리지 전극의 전부를 덮는 제 2 스토리지 전극을 포함하는 보조 용량부와;

상기 스위칭 소자와 보조 용량부가 구성된 기관의 전면에 형성되고, 상기 스위칭 소자의 일부를 노출하는 제 1 콘택홀과, 상기 제 2 스토리지 전극의 일부를 노출하되 내부 벽이 요철형상인 제 2 콘택홀을 포함하는 보호막과;

상기 노출된 스위칭 소자의 일부와 제 2 스토리지 전극과 접촉하면서, 상기 화소영역 상에 구성된 투명한 화소 전극

을 포함하는 액정표시장치용 어레이기관.

청구항 2

제 1 항에 있어서,

상기 스위칭 소자는 게이트 전극과 오믹콘택층과 액티브층이 적층된 반도체층과 소스전극 및 드레인전극을 포함하는 박막트랜지스터인 액정표시장치용 어레이기관.

청구항 3

제 2 항에 있어서,

상기 액티브층은 순수한 비정질 실리콘이고, 상기 오믹 콘택층은 불순물이 포함된 비정질 실리콘($n+a-Si:H$)인 액정표시장치용 어레이기관.

청구항 4

제 2 항에 있어서,

상기 반도체층은 상기 데이터배선의 하부로 연장된 액정표시장치용 어레이기관.

청구항 5

제 1 항에 있어서,

상기 제 1 절연막과 상기 제 2 스토리지 전극 사이에 아일랜드 형상의 반도체층이 더욱 구성된 액정표시장치용 어레이기관.

청구항 6

제 1 항에 있어서,

상기 화소전극은 ITO, IZO로 구성된 투명 도전성 금속그룹 중 선택된 하나인 액정표시장치용 어레이기관.

청구항 7

기관을 준비하는 단계와;

상기 기관 상에 게이트전극과 게이트배선을 형성하는 단계와;

상기 게이트배선과 게이트 전극이 형성된 기판의 전면에 제 1 게이트 절연막과 순수 비정질 실리콘층과 불순물 비정질 실리콘층을 적층하는 단계와;

상기 불순물 비정질 실리콘층과 순수 비정질 실리콘층을 패터하여, 상기 게이트전극의 상부에 반도체층을 형성하는 단계와;

상기 반도체층이 형성된 기판의 전면에 도전성 금속을 증착하고 패터하여, 상기 게이트배선과 수직으로 교차하여 화소영역을 정의하는 데이터배선과, 상기 데이터배선과 연결되는 소스전극과 이와는 소정간격 이격된 드레인 전극과, 상기 화소영역을 정의하는 게이트배선의 일부가 모두 덮이도록 섬 형상의 금속 전극층을 형성하는 단계와;

상기 데이터배선이 형성된 기판의 전면에 절연물질인 보호층을 형성한 후 패터하여, 상기 드레인전극의 일부를 노출하는 드레인 콘택홀과 상기 금속 전극층을 노출하고 내부 벽이 요철형상인 스토리지 콘택홀을 형성하는 단계와;

상기 패터된 보호층의 전면에 투명도전성 금속을 증착하고 패터하여, 상기 노출된 드레인전극과 금속 전극층과 동시에 접촉하면서 상기 화소영역에 구성되는 투명 화소전극을 형성하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 8

제 7 항에 있어서,

상기 반도체층은 상기 데이터배선의 하부로 연장된 액정표시장치용 어레이기판 제조방법.

청구항 9

제 7 항에 있어서,

상기 게이트배선 상부의 제 1 절연막과 금속 전극층 사이에 섬 형상의 반도체층을 더욱 형성하는 단계를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 10

제 7 항에 있어서,

상기 화소전극은 ITO, IZO로 구성된 투명 도전성 금속그룹 중 선택된 하나로 형성된 액정표시장치용 어레이기판 제조방법.

청구항 11

기판과;

상기 기판 상에 서로 수직하게 교차하여 화소영역을 정의하는 게이트배선과 ;

상기 게이트배선과 데이터배선의 교차지점에 구성된 스위칭 소자와;

상기 게이트배선의 일부 상부에 정의되는 보조 용량부에 있어서,

상기 게이트배선의 일부인 제 1 스토리지 전극과;

상기 제 1 스토리지 전극의 상부에 게이트 절연막을 사이에 두고, 평면적으로 상기 제 1 스토리지 전극의 내부 영역에 구성된 제 2 스토리지 전극을 포함하는 보조 용량부와;

상기 스위칭 소자와 보조 용량부가 구성된 기판의 전면에 형성되고, 상기 스위칭 소자의 일부를 노출하는 제 1 콘택홀과, 상기 제 2 스토리지 전극의 일부를 노출하고 내부 벽이 요철형상인 제 2 콘택홀을 포함하는 보호막과;

상기 노출된 스위칭 소자의 일부와 제 2 스토리지 전극과 접촉하면서, 상기 화소영역 상에 구성된 투명한 화소 전극

을 포함하는 액정표시장치용 어레이기판.

청구항 12

제 11 항에 있어서,

상기 스위칭 소자는 게이트 전극과 오믹콘택층과 액티브층이 적층된 반도체층과 소스전극 및 드레인전극을 포함하는 박막트랜지스터인 액정표시장치용 어레이기판.

청구항 13

제 12 항에 있어서,

상기 액티브층은 순수한 비정질 실리콘이고, 상기 오믹 콘택층은 불순물이 포함된 비정질 실리콘(n+a-Si:H)인 액정표시장치용 어레이기판.

청구항 14

제 12 항에 있어서,

상기 반도체층은 상기 데이터배선의 하부로 연장된 액정표시장치용 어레이기판.

청구항 15

제 11 항에 있어서,

상기 제 1 절연막과 상기 제 2 스토리지 전극 사이에 아일랜드 형상의 반도체층이 더욱 구성된 액정표시장치용 어레이기판.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <14> 본 발명은 액정표시장치(Liquid crystal display device)에 관한 것으로, 상세하게는 어레이기판에 구성되는 보조 용량부(storage capacitor)의 구성과 그 제조방법에 관한 것이다.
- <15> 일반적으로, 액정표시장치는 액정의 광학적 이방성을 이용하여 이미지를 표현하는 장치로서, 크게 상부기판과 하부기판과, 두 기판 사이에 위치한 액정(liquid crystal)으로 구성된다.
- <16> 이하, 도 1을 참조하여 설명한다.
- <17> 도 1은 일반적인 액정표시장치를 개략적으로 도시한 분해 사시도이다
- <18> 도시한 바와 같이, 일반적인 액정표시장치는 블랙매트릭스(6)와 서브컬러필터(적, 녹, 청)(8)를 포함한 컬러필터(7)와 컬러필터 상에 투명한 공통전극(18)이 형성된 상부기판(5)과, 화소영역(P)과 화소영역 상에 형성된 화소전극(17)과 스위칭소자(T)를 포함한 어레이배선이 형성된 하부기판(22)으로 구성되며, 상기 상부기판(5)과 하부기판(22) 사이에는 액정(14)이 충전되어 있다.
- <19> 상기 하부기판(22)은 어레이기판이라고도 하며, 스위칭 소자인 박막트랜지스터(T)가 매트릭스형태(matrix type)로 위치하고, 이러한 다수의 박막트랜지스터를 교차하여 지나가는 게이트배선(13)과 데이터배선(15)이 형성된다.
- <20> 상기 화소영역(P)은 상기 게이트배선(13)과 데이터배선(15)이 교차하여 정의되는 영역이다. 상기 화소영역(P)상에 형성되는 화소전극(17)은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명도전성 금속을 사용한다.
- <21> 전술한 바와 같이 구성되는 액정표시장치는 상기 화소전극(17)상에 위치한 액정층(14)이 상기 박막트랜지스터(T)로부터 인가된 신호에 의해 배향되고, 상기 액정층의 배향 정도에 따라 상기 액정층(14)을 투과하는 빛의 양을 조절하는 방식으로 화상을 표현할 수 있다.

- <22> 상기 게이트배선(13)은 상기 박막트랜지스터(T)의 제 1 전극인 게이트전극을 구동하는 펄스전압을 전달하며, 상기 데이터배선(15)은 상기 박막트랜지스터(T)의 제 2 전극인 소스전극을 구동하는 신호전압을 전달하는 수단이다.
- <23> 이러한 신호는 상기 드레인전극을 지나 화소전극을 통해 액정에 인가되며, 액정은 인가된 신호에 따라 배향되어 하부 백라이트(backlight)로부터 입사되는 빛의 양을 조절하여 외부로 출사하도록 함으로써 화상을 표시 할 수 있다.
- <24> 도 2는 일반적인 액정표시장치용 어레이기판의 일부 화소를 도시한 확대 평면도이다.
- <25> 도시한 바와 같이, 어레이기판(22)은 다수의 화소영역(P)으로 구성되며, 화소는 스위칭소자인 박막트랜지스터(thin film transistor)(T)와 화소전극(pixel electrode)(17)과 보조 용량부(storage capacitor)(C)로 구성된다.
- <26> 상기 박막트랜지스터(T)는 게이트전극(26)과 소스전극(28)과 드레인전극(30)과 액티브층(active layer)(55)으로 구성되고, 상기 소스전극(28)은 데이터배선(15)과 연결되며 상기 게이트전극(26)은 상기 데이터배선(15)과 교차하여 화소영역(P)을 정의하는 게이트배선(13)과 연결되도록 구성된다.
- <27> 상기 보조 용량부(C)는 스토리지 온 게이트(storage on gate)구조로서, 화소전극(17)과 연결되는 금속 전극층(14)과 그 하부의 게이트배선(13)이 보조 용량부의 상/하 전극이 되어 M/I/M(metal/insulator/metal)으로 형성된 구조이다.
- <28> 그러나, 전술한 구성을 위한 제조과정 중 마스크와 기판 사이의 정렬오차에 의해 상기 게이트배선(13)과 섬 형상의 금속 전극층(14)의 겹침 면적이 달라 질 수 있으며, 상기 금속 전극층(14)과 콘택홀(43)을 통해 연결되는 화소전극(17)의 단선불량이 발생할 수 있다.
- <29> 이하, 도면을 참조하여 종래의 어레이기판 공정을 설명한다.
- <30> 도 3과 도 4를 참조하여, 종래의 어레이기판의 평면적인 구성과 이에 따른 단면적인 구성을 알아본다.
- <31> 도 3은 종래의 액정표시장치용 어레이기판의 일부 화소를 도시한 평면도이고, 도 4는 도 3의 IV-IV'를 따라 절단한 단면도이다.
- <32> 종래의 어레이기판은 앞서 설명한 일반적인 액정표시장치용 어레이기판 구조를 개선한 것이다.
- <33> 상세히 설명하면, 상기 데이터배선(15)의 하부에 반도체층(55b)을 연장하여 형성함으로써 상기 데이터배선(15)의 부착력을 개선한 구조이다.
- <34> 또한, 상기 화소영역(P)을 지나는 게이트배선(13')의 상부에도 상기 데이터배선(15)을 형성하는 공정과 동일한 공정으로 형성한 아일랜드 형상인 금속 전극층(14)의 하부에도 섬 형상의 반도체층(55c)을 형성하는 것이다.
- <35> 이때, 도 3의 평면구조와 도 4의 단면구조를 보면, 종래의 어레이기판 구조에서 문제가 되는 것은 보조 용량부(C)를 이루는 일부 게이트배선(13')과 반도체층(55c)과, 상기 반도체층(55c)의 상부에 구성되는 금속 전극층(14)의 겹침 면적(M)의 변동에 의한 보조용량의 변동이다.
- <36> 상세히 설명하면, 보조 용량부(C)를 구성하는 제 1 스토리지 전극인 게이트배선(13')의 상부에 상기 제 2 스토리지 전극인 섬 형상의 금속 전극층(14)과 그 하부의 반도체층(55c)이 완전하게 덮여 있는 구성이 아니고, 상기 게이트배선(13')의 일부의 상부에 걸쳐 있는 구성이다.
- <37> 따라서, 상기 게이트배선(13)이 형성된 기판의 전면에 상기 섬 형상의 반도체층을 마스크 노광하거나, 상기 금속 전극층(14)을 마스크 노광하는 공정에서, 마스크(미도시)와 기판(22)의 정렬오차가 발생한다면 이로 인해, 상기 게이트배선(13)과 반도체층(55c)과 금속 전극층(14)의 겹침 면적 또한 달라질 것이고, 달라지는 겹침면적에 따라 발생하는 충전용량 또한 달라 질 것이다.
- <38> 이러한 충전용량의 변동은 액정표시장치에 발생하는 얼룩 현상의 원인이 된다.
- <39> 또한, 상기 금속 전극층과 접촉하는 화소전극이 상기 콘택홀 부분에서 단선되는 불량이 발생한다.

발명이 이루고자 하는 기술적 과제

- <40> 본 발명은 전술한 바와 같은 문제를 해결하기 위한 목적으로 제한된 것으로, 평면적으로 상기 게이트배선 영역을 벗어나지 않도록 반도체층을 패터닝하고, 상기 반도체층이 패터닝된 게이트배선의 상부에 소스 금속층을 패터닝하고, 상기 보조 용량부를 정의하는 게이트배선의 전부를 덮도록 구성한다.
- <41> 또한, 상기 콘택홀의 내부 벽을 요철로 형성한다.
- <42> 이와 같이 하면, 노광공정 중 상기 에레이기판과 마스크(mask)의 정렬오차가 나더라도 상기 게이트배선과 액티브층 그리고, 금속 전극층의 겹침 면적은 변하지 않게 되고, 상기 콘택홀에서 화소전극이 단선되는 것을 최소화할 수 있다.

발명의 구성 및 작용

- <43> 본 발명은 전술한 바와 같은 목적을 달성하기 위한 본 발명의 제 1 특징에 따른 액정표시장치용 에레이기판은 기판과; 상기 기판 상에 서로 수직하게 교차하여 화소영역을 정의하는 게이트배선과; 상기 게이트배선과 데이터배선의 교차지점에 구성된 스위칭 소자와; 상기 게이트배선의 일부 상부에 정의되는 보조 용량부에 있어서, 상기 게이트배선의 일부인 제 1 스토리지 전극과; 상기 제 1 스토리지 전극의 상부에 게이트 절연막을 사이에 두고, 상기 제 1 스토리지 전극의 전부를 덮는 제 2 스토리지 전극을 포함하는 보조 용량부와; 상기 스위칭 소자와 보조 용량부가 구성된 기판의 전면에 형성되고, 상기 스위칭 소자의 일부를 노출하는 제 1 콘택홀과, 상기 제 2 스토리지 전극의 일부를 노출하되 내부 벽이 요철형상인 제 2 콘택홀을 포함하는 보호막과; 상기 노출된 스위칭 소자의 일부와 제 2 스토리지 전극과 접촉하면서, 상기 화소영역 상에 구성된 투명한 화소전극을 포함한다.
- <44> 상기 스위칭 소자는 게이트 전극과 오믹 콘택층과 액티브층이 적층된 반도체층과 소스전극 및 드레인전극을 포함하는 박막트랜지스터 이다.
- <45> 상기 액티브층은 순수한 비정질 실리콘이고, 상기 오믹 콘택층은 불순물이 포함된 비정질 실리콘(n+a-Si:H)이다.
- <46> 상기 반도체층은 상기 데이터배선의 하부로 연장 형성한다.
- <47> 본 발명의 제 1 특징에 따른 액정표시장치용 에레이기판 제조방법은 기판을 준비하는 단계와; 상기 기판 상에 게이트전극과 게이트배선을 형성하는 단계와; 상기 게이트배선과 게이트 전극이 형성된 기판의 전면에 제 1 게이트 절연막과 순수 질 실리콘층과 불순물 비정질 실리콘층을 적층하는 단계와; 상기 불순물 비정질 실리콘층과 순수 비정질 실리콘층을 패터닝하여, 상기 게이트전극의 상부에 반도체층을 형성하는 단계와; 상기 반도체층이 형성된 기판의 전면에 도전성 금속을 증착하고 패터닝하여, 상기 게이트배선과 수직으로 교차하여 화소영역을 정의하는 데이터배선과, 상기 데이터배선과 연결되는 소스전극과 이와는 소정간격 이격된 드레인전극과, 상기 화소영역을 정의하는 게이트배선의 일부가 모두 덮히도록 섬 형상의 금속 전극층을 형성하는 단계와; 상기 데이터배선이 형성된 기판의 전면에 제 2 절연막인 보호층을 형성한 후 패터닝하여, 상기 드레인전극의 일부를 노출하는 드레인 콘택홀과 상기 금속 전극층을 노출하고 내부 벽이 요철형상인 스토리지 콘택홀을 형성하는 단계와; 상기 패터닝된 보호층의 전면에 투명 도전성 금속을 증착하고 패터닝하여, 상기 노출된 드레인전극과 금속 전극층과 동시에 접촉하면서 상기 화소영역에 구성되는 투명 화소전극을 형성하는 단계를 포함한다.
- <48> 본 발명의 제 2 특징에 따른 액정표시장치용 에레이기판은 기판과; 상기 기판 상에 서로 수직하게 교차하여 화소영역을 정의하는 게이트배선과; 상기 게이트배선과 데이터배선의 교차지점에 구성된 스위칭 소자와; 상기 게이트배선의 일부 상부에 정의되는 보조 용량부에 있어서, 상기 게이트배선의 일부인 제 1 스토리지 전극과; 상기 제 1 스토리지 전극의 상부에 게이트 절연막을 사이에 두고, 평면적으로 상기 제 1 스토리지 전극의 내부 영역에 구성된 제 2 스토리지 전극을 포함하는 보조 용량부와; 상기 스위칭 소자와 보조 용량부가 구성된 기판의 전면에 형성되고, 상기 스위칭 소자의 일부를 노출하는 제 1 콘택홀과, 상기 제 2 스토리지 전극의 일부를 노출하되 내부 벽이 요철형상인 제 2 콘택홀을 포함하는 보호막과; 상기 노출된 스위칭 소자의 일부와 제 2 스토리지 전극과 접촉하면서, 상기 화소영역 상에 구성된 투명한 화소전극을 포함한다.
- <49> 이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명한다.
- <50> -- 제 1 실시예 --
- <51> 본 발명의 실시예는 상기 게이트배선 상부에 구성하는 액티브층을 평면적으로 게이트배선 영역을 벗어나지 않게

패턴하고, 상기 액티브층 상부에 구성되는 금속 전극층은 상기 보조 용량부를 정의하는 게이트배선의 전부를 덮도록 형성한다.

<52> 또한, 상기 금속 전극층과 상부의 투명 화소전극을 연결하도록 하는 콘택홀의 내부 벽을 요철로 형성한다.

<53> 이하, 도 5a 내지 도 5e와 도 6a와 도 6e를 참조하여 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이기판의 제조방법을 설명한다.

<54> 도 5a 내지 도 5e는 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이기판의 제조공정을 공정 순서에 따라 도시한 공정 평면도이고, 도 6a 내지 도 6e는 상기 도 5a 내지 도 5e를 각각 VI-VI'를 따라 절단하여 공정 순서에 따라 도시한 공정 단면도이다.

<55> 먼저, 도 5a와 도 6a에 도시한 바와 같이, 유리기판(100) 위에 알루미늄(Al)또는 알루미늄합금(AlNd)을 증착한 후, 제 1 마스크 노광 공정으로 패턴하여 게이트배선(113)과, 상기 게이트배선(113)에서 소정면적 돌출 형성된 게이트 전극(126)을 형성한다.

<56> 이때, 상기 게이트배선(113)과 게이트전극(126)은, 알루미늄 배선의 경우는 합금의 형태로 쓰이거나 크롬(Cr), 몰리브덴(Mo)과 같이 내식성이 강한 금속을 더욱 구성하여, 이중층의 게이트전극과 게이트배선을 형성할 수 있다. 이때, 상기 게이트배선의 일부는 보조 용량부(C)의 제 1 전극(113')의 기능을 하게 된다.

<57> 다음으로, 상기 게이트배선(113)과 게이트 전극(126)이 형성된 기판(100)의 전면에 제 1 절연막인 게이트 절연막(133)을 형성한다.

<58> 상기 게이트 절연막은 산화 알루미늄(Al_2O_3)또는 산화 실리콘(SiO_2)과 질화 실리콘(SiN_x)을 사용한다.

<59> 상기 게이트 절연막(133) 상에 순수 비정질 실리콘층(155')과 불순물 비정질 실리콘층(156')을 적층한다.

<60> 도 5b와 도 6b에 도시한 바와 같이, 상기 순수 비정질 실리콘층과 상기 불순물 비정질 실리콘층을 패턴하기 위한 공정이다.

<61> 제 2 마스크 공정을 통해, 상기 불순물 비정질 실리콘층(도 6a의 155')과 상기 순수 비정질 실리콘층(도 6a의 156')을 동시에 식각하여, 액티브층(155)과 오믹콘택층(156)으로 적층된 반도체층(158a,b,c)을 형성한다.

<62> 이때, 상기 반도체층(158a,b,c)은 이후 공정에서 형성하는 데이터배선과 평면적으로 겹쳐지도록, 데이터배선이 형성될 영역에 일 방향으로 제 1 반도체층(158a)과, 상기 제 1 반도체층(158a)에서 상기 게이트 전극(126)의 상부로 돌출된 제 2 반도체층(158b)과, 제 1 스토리지 전극의 역할을 하는 게이트배선(113')의 일부 상부에 아일랜드 형상의 제 3 반도체층(158c)을 형성한다.

<63> 이때, 상기 제 3 반도체층은 이후에 형성되는 금속 전극층의 물질에 따라 그 존재 여부가 결정된다.

<64> 즉, 상기 반도체층이 구성될 경우는, 이후에 형성하는 금속 전극층을 패턴하는 식각용액에 의해 하부의 게이트 배선을 보호할 필요성이 있을 때이다.

<65> 반도체층(158c)을 형성할 경우에는, 상기 제 3 반도체층(158c)은 평면적으로 상기 게이트배선(113) 영역을 벗어나지 않도록 형성하는 것이 중요하다.

<66> 왜냐하면, 상기 반도체층(158c)과 상기 게이트 배선(113)의 겹침 면적의 변화가 보조 용량부(C)의 충전용량에 영향을 주므로, 되도록이면 상기 반도체층(158c)과 게이트배선(113)과의 겹침 면적이 일정 하도록 해야 하기 때문이다.

<67> 이를 위해, 반도체층(158c)을 상기 게이트배선(113)의 영역 내부에 형성하게 되면, 상기 반도체층(158c)의 영역이 게이트배선(113)의 영역보다 작기 때문에, 반도체층(158a,b,c)을 패턴하는 공정에서 마스크와 기판의 정렬 오차가 발생한다 하더라도, 상기 반도체층(158c)은 평면적으로 게이트배선(113)의 내부 영역에서 움직이게 된다.

<68> 따라서, 정렬오차에 의한 겹침 면적의 변화는 발생하지 않는다.

<69> 도 5c와 도 6c는 제 3 마스크 공정을 도시한 도면으로, 금속배선을 형성하는 공정이다.

<70> 상세히 설명하면, 상기 반도체층(158a,b,c)이 형성된 기판(100)의 전면에 알루미늄(Al), 알루미늄 합금, 크롬(Cr), 텅스텐(W), 안티몬(Sb), 티타늄(Ti)등을 포함하는 도전성 금속 그룹 중 선택된 하나를 증착하고 패턴하여, 상기 제 1 반도체층(158a)과 평면적으로 겹쳐지는 데이터배선(115)과, 상기 데이터배선(115)에서 상

기 제 2 반도체층의 상부로 소정 면적으로 돌출 형성된 소스전극(128)과, 이와는 소정간격 이격된 드레인전극(130)을 형성한다.

<71> 동시에, 상기 보조 용량부(C)의 상부에 형성된 제 3 반도체층(158c)의 상부에 섬형상의 금속 전극층(114)을 형성한다.

<72> 이때, 상기 금속 전극층(114)은 상기 보조 용량부를 정의하는 게이트배선(113') 즉 제 1 스토리지 전극의 전부를 덮도록 형성한다.

<73> 이와 같은 경우 또한, 상기 제 1 스토리지 전극(113')의 상부에 금속 전극층(114)을 형성하는 동안, 상기 기판(100)과 마스크(미도시)의 정렬오차가 발생하더라도 상기 게이트배선(113)과 금속 전극층(114)의 겹침 면적은 변하지 않는다.

<74> 도 5d와 도 6d는 제 2 절연막인 보호막을 형성하는 제 4 마스크 공정을 도시한 도면이다.

<75> 도시한 바와 같이, 상기 데이터배선(115)과 소스전극(128) 및 드레인전극(130)과 금속 전극층(114)이 형성된 기판(100)의 전면에 벤조사이클로부텐(BCB)과 아크릴(Acryl)계 수지(Resin)를 포함한 투명한 유기절연물질 그룹 중 선택된 하나를 도포하여 제 2 절연막인 보호막(139)을 형성한다.

<76> 연속하여, 상기 보호막(139)을 패터닝하여, 상기 드레인전극(130)의 일부를 노출하는 드레인 콘택홀(141)과 상기 금속 전극층(114)을 노출하는 스토리지 콘택홀(143)을 형성한다.

<77> 이때, 상기 스토리지 콘택홀(143)의 형상은 요철형상으로 한다. 즉, 스토리지 콘택홀(143)은 요부(凹)와 철부(凸)가 반복적으로 스토리지 콘택홀(143)의 가장자리를 따라 형성된다.

이와 같은 형상은 상기 콘택홀의 형상을 단순한 원형으로 구성하는 것보다 접촉면적을 크게 할 수 있는 효과뿐 아니라, 식각 용액에 의해 화소전극이 식각되는 것을 최소화하는 구조이다.

<78> 도 5e와 도 6e에 도시한 공정은 제 5 마스크공정으로 화소전극을 형성하는 공정이다.

<79> 도시한 바와 같이, 상기 드레인전극(130)과 금속 전극층(114)의 일부를 노출하는 보호막(139)의 상부에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명 도전성 금속물질 그룹 중 선택된 하나를 증착하고 패터닝하여, 상기 노출된 드레인전극(130)과 금속 전극층(114)과 접촉하면서, 상기 화소영역(P) 상에 형성되는 화소전극(117)을 형성한다.

<80> 이때, 상기 화소전극(117)과 접촉된 금속 전극층(114)은 화소전극(117)을 통해 신호를 받는 제 2 스토리지 전극의 기능을 하게 되어 비로소 보조 용량부(C)가 구성된다.

<81> 이러한 공정에서, 상기 화소전극(117)과 금속 전극층(114)을 접촉하도록 하는 스토리지 콘택홀(143)을 요철형상으로 구성하였기 때문에, 상기 화소전극을 증착하고 패터닝하는 공정 중, 식각용액에 의해 상기 화소전극(117)이 데미지를 입어 일부가 단선 되더라도, 기존에 비해 상기 화소전극은 상기 콘택홀의 내부에 증착되는 면적이 넓기 때문에 단선된 만큼의 보상이 가능하여, 신호를 인가하는데는 아무런 영향이 없다.

<82> 이하, 제 2 실시예를 통해 본 발명의 또 다른 변형예를 설명하도록 한다.

<83> -- 제 2 실시예 --

<84> 본 발명의 제 2 실시예의 특징은 게이트 배선 상부에 구성되는 보조 용량부의 제 2 스토리지 전극인 금속 전극층을 상기 게이트배선 영역의 내부에 구성하는 것을 특징으로 한다.

<85> 이하, 도 7과 도 8을 참조하여 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이기판의 구성을 설명한다.

<86> 도 7은 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이기판의 일부를 도시한 평면도이고, 도 8은 도 7의 절단선 VIII-VIII을 따라 절단한 단면도이다.

<87> 도시한 바와 같이, 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이기판에 행 방향으로 게이트 배선(213)을 형성하고, 상기 게이트배선(213)과는 제 1 절연막인 게이트 절연막(233)을 사이에 두고 교차하여 화소영역(P)을 정의하는 데이터배선(215)을 형성한다.

<88> 상기 게이트 배선(213)과 데이터배선(215)의 교차지점에는 게이트 전극(226)과, 액티브층(255)과 오믹콘택층(256)을 포함하는 반도체층(258b)과, 소스전극 및 드레인전극(228, 230)으로 구성된 박막트랜지스터(T)를 형성한다. 상기 반도체층(258b)에서 상기 데이터배선(215)의 하부로 연장된 연장부(258a)를 구성하며, 이는 데이터배

선(215)의 부착성을 개선하기 위한 구성이다.

- <89> 상기 화소영역(P)을 정의하는 게이트배선(213)의 일부 상부에는 상기 소스 및 드레인전극(228,230)과 동일층 동일물질로 아일랜드 형상의 금속 전극층(214)을 형성한다. 금속 전극층(214)은 평면적으로 상기 게이트배선(213)의 내부영역에 구성한다.
- <90> 상기 박막트랜지스터(T)와 게이트배선 및 데이터배선(213,215)과 금속 전극층(214)이 구성된 기판(200)의 전면에는 상기 드레인전극(230)의 일부를 노출하는 드레인 콘택홀(241)과 상기 금속 전극층(214)을 노출하는 스토리지 콘택홀(243)을 포함하는 제 2 절연막(239)을 형성한다.
- <91> 이때, 상기 스토리지 콘택홀(243)은 콘택홀 내벽을 요철형상으로 형성한다.
- <92> 즉, 스토리지 콘택홀(143)은 요부(凹)와 철부(凸)가 반복적으로 스토리지 콘택홀(143)의 가장자리를 따라 형성된다.
상기 화소영역(P)에는 노출된 드레인전극(230)과 접촉하는 동시에 상기 노출된 금속 전극층(214)과 접촉하는 투명한 화소전극(217)을 형성한다.
- <93> 전술한 구성에서, 상기 게이트배선(213)의 상부에는 보조 용량부(C)가 구성된다.
- <94> 상세히 설명하면, 상기 게이트배선의 일부인 제 1 스토리지 전극(213')과 상기 화소전극(217)과 연결된 금속 전극층인 제 2 스토리지 전극(214)과, 상기 두 전극 사이에 형성한 제 2 절연막(233)으로 보조 용량부가 형성된다.
- <95> 전술한 보조 용량부(C)의 구성에서 상기 제 1 스토리지 전극(213')과 제 2 스토리지 전극(214)의 사이에 아일랜드 형상으로 적층한 액티브층과 오믹콘택층을 포함하는 반도체층(258c)을 더욱 형성할 수 있으며, 이때 상기 반도체층(258c)은 상기 게이트배선(213)의 내부 영역에 형성한다.
- <96> 제 1 실시예에서 설명한 바와 같이, 상기 보조 용량부(C)에 구성하는 반도체층(258c)은 상기 금속 전극층(214)의 물질에 따라 그 존재여부가 결정되며, 상기 반도체층(258c)이 구성될 경우에는 상기 금속 전극층(214)을 패터닝하는 식각용액에 의해 하부의 게이트배선(213)을 보호하기 위한 목적으로 사용한다.
- <97> 전술한 구성에서, 상기 스토리지 콘택홀(243)은 내부 벽을 요철로 형성하는 이유는, 상기 투명 화소전극(217)을 증착하고 패터닝하는 공정 중, 상기 콘택홀(243) 주변에서 식각액에 의해 화소전극(217)이 입는 데미지를 최소화할 수 있기 때문이다.
- <98> 또한, 상기 화소전극(217)과 전기적으로 연결되는 금속 전극층(214)을 평면적으로 게이트배선(213)의 내부 영역에 형성하는 구조는, 금속 전극층(214)과 상기 게이트배선(213)의 겹침 면적이 일정하게 유지되도록 한다.
- <99> 상세히 설명하면, 상기 게이트배선(213) 상부에 금속 전극층(214)을 마스크 노광하는 공정 중, 기판(200)과 마스크의 오정렬이 발생하더라도 상기 금속 전극층(214)은 상기 게이트배선(213)의 내부에서 약간 이동하여 위치하는 정도가 되기 때문에 겹침 면적에는 변화가 없다.
- <100> 따라서, 상기 보조 용량부(C)에 충전되는 보조용량의 변화가 없기 때문에 선명한 화질을 가지는 액정표시장치를 제작할 수 있게 된다.
- <101> 전술한 바와 같은 제 2 실시예에 따른 액정표시장치용 어레이기판을 제작하는 공정은 상기 제 1 실시예와 동일하므로 이를 생략한다.

발명의 효과

- <102> 따라서, 본 발명에서 제안한 방법대로 스토리지 온 게이트 구조(storage on gate)를 가지는 액정표시장치용 어레이기판을 제작하게 되면 첫째, 보조 용량부에 충전되는 충전용량이 일정하여, 이로 인해 액정표시장치의 표시 품질을 개선할 수 있는 효과가 있다.
- <103> 둘째, 개선된 구조의 스토리지 콘택홀을 통해 화소전극을 제 2 스토리지 전극과 콘택하는 공정에서, 상기 콘택홀 부분에서 발생하는 화소전극의 단선을 최소화 할 수 있으므로 어레이기판의 동작불량을 방지할 수 있는 효과가 있다.

도면의 간단한 설명

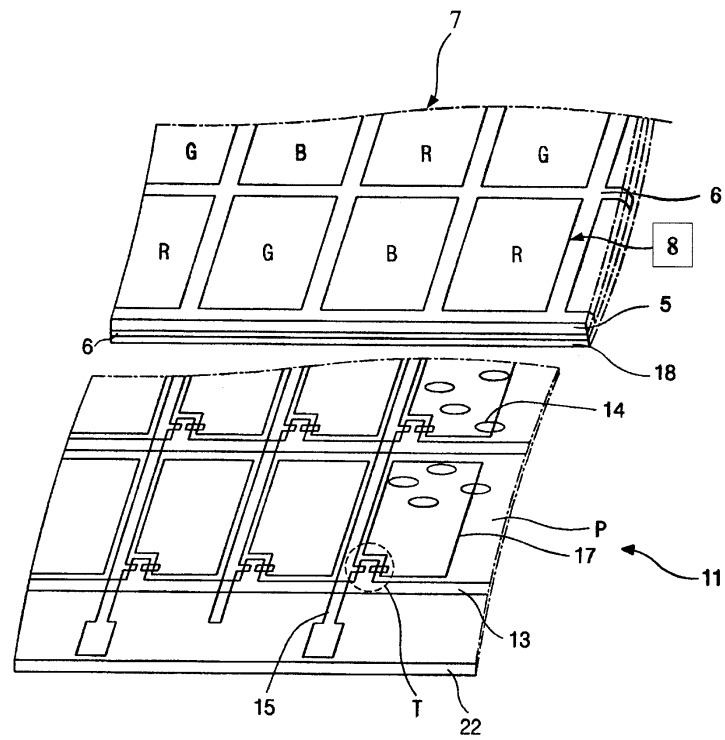
- <1> 도 1은 일반적인 액정표시장치를 도시한 분해 사시도이고,
- <2> 도 2는 도 1의 구성 중 한 화소를 개략적으로 도시한 평면도이고,
- <3> 도 3은 종래의 액정표시장치용 어레이기판의 일부를 도시한 평면도이고, 도 4는 이를 IV-IV`를 따라 절단하여 본 발명의 공정순서에 따라 도시한 공정 단면도이고,
- <4> 도 5a 내지 도 5e는 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이기판의 제조공정을 순서대로 도시한 공정 평면도이고,
- <5> 도 6a 도 6e는 도 5a와 도 5e의 절단선 VI-VI`를 따라 절단하여 공정순서에 따라 각각 도시한 공정 단면도이고,
- <6> 도 7은 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이기판의 일부를 도시한 공정 평면도이고,
- <7> 도 8은 도 7의 절단선 VIII-VIII`를 따라 절단한 단면도이다.

<8> <도면의 주요부분에 대한 부호의 간단한 설명>

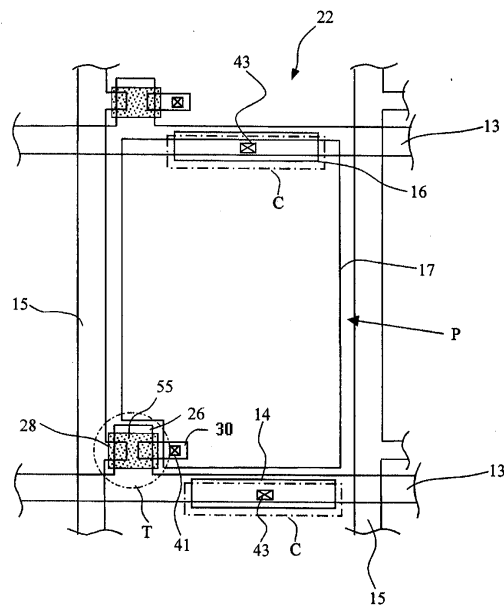
- | | | |
|------|----------------|-------------|
| <9> | 100 : 기관 | 126 : 게이트전극 |
| <10> | 114 : 금속 전극층 | 115 : 데이터배선 |
| <11> | 117 : 화소전극 | 128 : 소스전극 |
| <12> | 130 : 드레인전극 | 139 : 보호막 |
| <13> | 143 : 스토리지 콘택홀 | |

도면

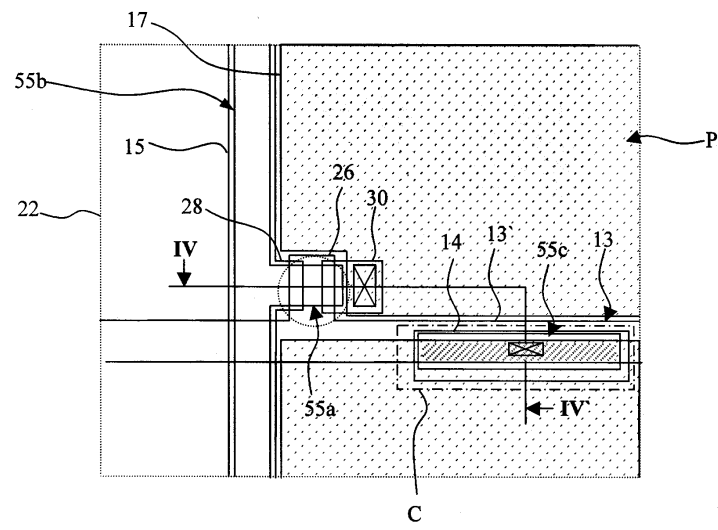
도면1



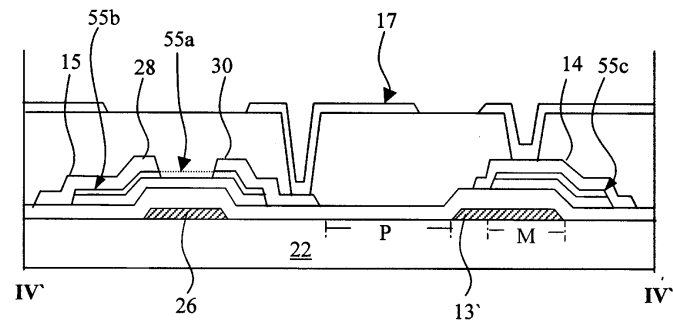
도면2



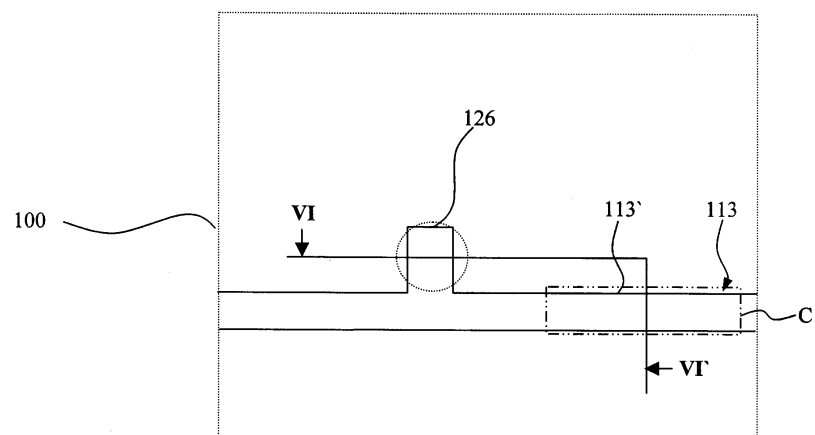
도면3



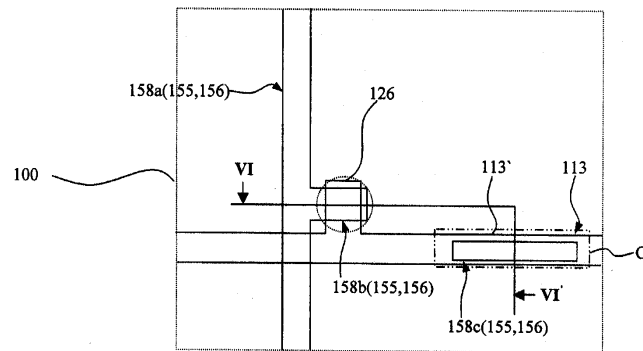
도면4



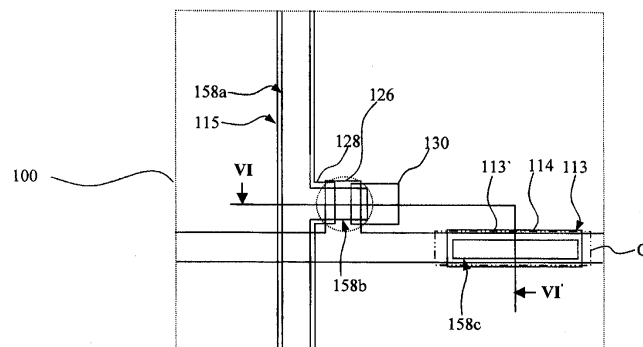
도면5a



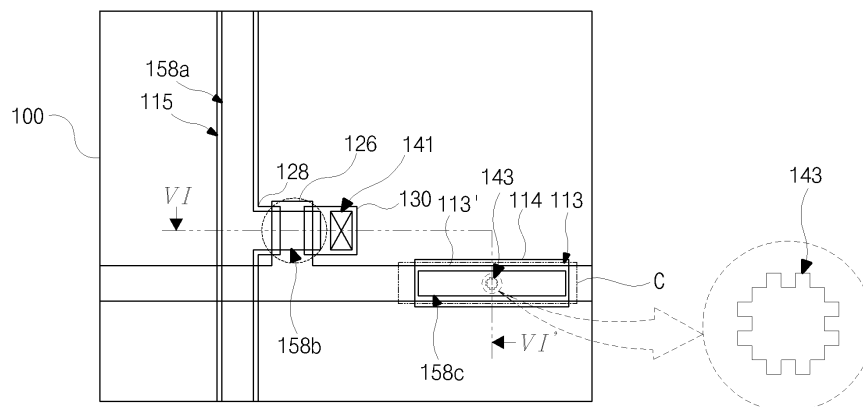
도면5b



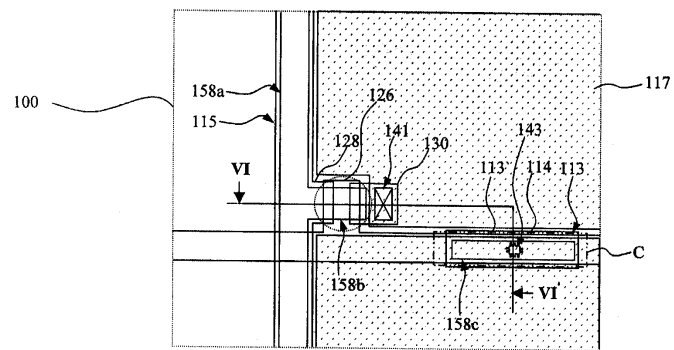
도면5c



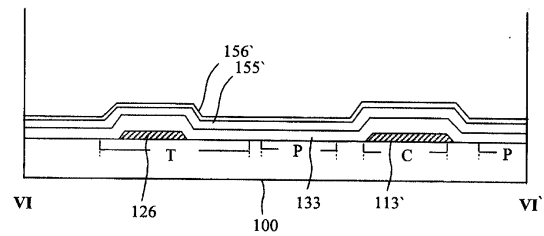
도면5d



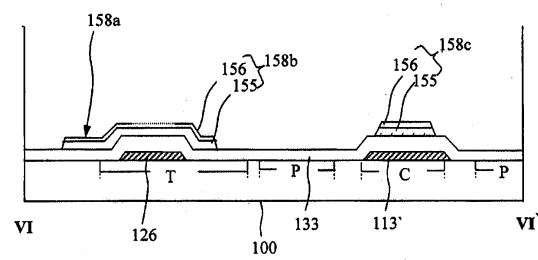
도면5e



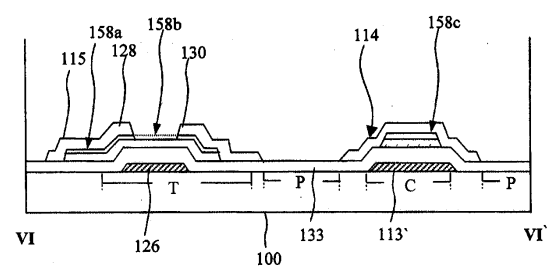
도면6a



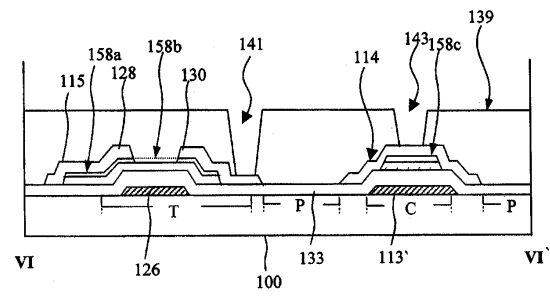
도면6b



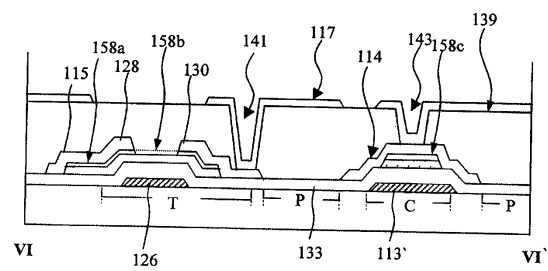
도면6c



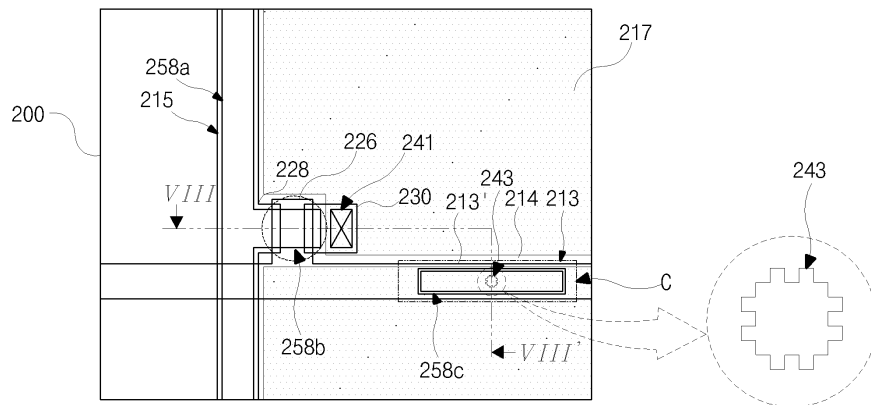
도면6d



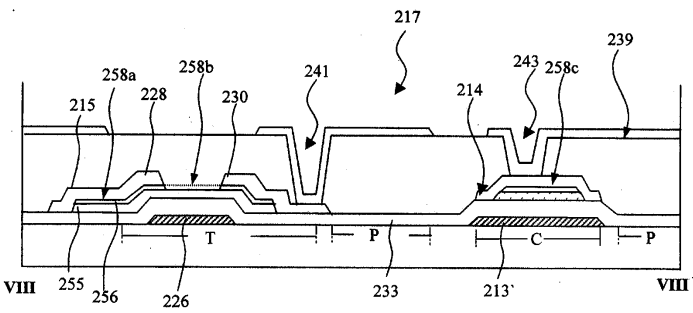
도면6e



도면7



도면8



专利名称(译)	用于液晶显示装置的阵列基板的存储电容器结构及其制造方法		
公开(公告)号	KR100827328B1	公开(公告)日	2008-05-06
申请号	KR1020010062308	申请日	2001-10-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI WOOHYUK		
发明人	CHOI, WOOHYUK		
IPC分类号	G02F1/1333		
其他公开文献	KR1020030030352A		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及液晶显示装置，尤其涉及形成在阵列基板中的存储电容器部分的结构。更具体地，结构的栅极导通存储（在栅极存储），所以，构成存储电容器的岛状部的第二存储电极的面积完全覆盖栅极线或栅极布线的内部区域被配置并且，第二存储电极和像素电极连接的接触孔由不规则形成。根据这一点，即使当存储电极的对准错误时存储电容器也没有变化部分的第二，它能够最小化像素电极的侵蚀，以防止在像素电极和存储电极的第二接触失败有。

