

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)(51) Int. Cl.<sup>7</sup>  
G02F 1/1343(45) 공고일자 2005년06월13일  
(11) 등록번호 10-0494694  
(24) 등록일자 2005년06월01일(21) 출원번호 10-2001-0061428  
(22) 출원일자 2001년10월05일(65) 공개번호 10-2003-0028971  
(43) 공개일자 2003년04월11일(73) 특허권자 바이오 하이디스 테크놀로지 주식회사  
경기도 이천시 부발읍 아미리 산 136-1(72) 발명자 김귀현  
경기도수원시권선구세류1동216-19  
정희철  
경기도성남시분당구이매동111진홍아파트811-304이경하  
경기도이천시부발읍아미리699-7현대3차아파트301-1403

(74) 대리인 강성배

심사관 : 박진우

## (54) 박막트랜지스터 액정표시장치

## 요약

본 발명은 박막트랜지스터 액정표시장치에 관한 것으로, 전단게이트 라인 및 후단게이트 라인; 상기 전단게이트 라인 및 후단게이트 라인과 2개의 단위화소부를 정의하는 데이터 라인; 상기 2개의 단위화소부를 상하로 구별하는 공통라인; 상기 2개의 단위화소부 각각의 제1화소전극 및 제2화소전극; 및 제1박막트랜지스터와 제2박막트랜지스터를 포함하여 구성되며, 공통의 공통전극구조에서 후단게이트와 화소전극간에 중첩되어 형성되는 기생용량  $C_{gs}'$ 으로 잔상을 줄이고, 공통의 공통전극을 사용하는 다른 화소전극에서는 전단게이트와 화소전극간에 중첩되어 형성되는 기생용량  $C_{gs}''$ 으로 플리커를 감소시켜 화질을 향상시키는 효과가 있는 것이다. 또한, 주사신호의 방향을 정-역 방향으로 변경하는 구동방식을 채택하여 동시에  $C_{gs}'$  및  $C_{gs}''$ 의 기능을 갖도록 하는 효과가 있으며, 화소전극은 멀티 레벨 구동식으로 전단 게이트에서  $\Delta V_p$ 만큼 떨어지는 것을 보상하여 플리커를 감소시키는 기능과 후단 게이트에서 방전(Discharging)을 주어 잔상을 감소시키는 효과가 있는 것이다.

## 대표도

도 2

## 명세서

## 도면의 간단한 설명

도 1은 종래 기술에 따른 박막트랜지스터 액정표시장치의 평면도.

도 2는 본 발명에 따른 박막트랜지스터 액정표시장치의 평면도.

도 3은 본 발명에 따른 박막트랜지스터 액정표시장치에 있어서, 전단게이트 및 후단게이트의 신호파형.

도 4는 본 발명에 따른 박막트랜지스터 액정표시장치에 있어서, 정역 주사방식을 나타내는 평면도.

도 5는 본 발명에 따른 박막트랜지스터 액정표시장치에 있어서, 듀얼 게이트 주사방식을 나타내는 평면도.

\* 도면의 주요부분에 대한 부호의 설명 \*

101: 기판 103a,103b,103c,103d: 게이트 라인

105: 데이터 라인 107: 공통전극

109a,109b: 화소전극 110: 단위화소

111a,111b: 박막트랜지스터

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막트랜지스터 액정표시장치에 관한 것으로, 특히 개선된 전극구조로 플리커 및 잔상을 감소되어 화질이 향상된 박막트랜지스터 액정표시장치에 관한 것이다.

일반적으로, 박막트랜지스터 액정표시장치(이하, TFT-LCD)는 스위칭 소자로서 박막트랜지스터를 사용하고 전극간에 형성된 전계에 따라 액정의 배열을 변화시켜 화상을 구현하는 장치로서, 종래의 음극선관을 대신하여 각종의 화상 장치에 쓰이고 있다.

종래 수직형 전계를 이용하는 네마틱 모드 TFT-LCD가 개발되어 사용되어 왔고, 이의 단점인 좁은 시야각을 개선하기 위하여 횡전계 방식을 이용하는 인플레이션 스위칭(이하, IPS) 모드와 프린지 필드 스위칭(이하, FFS) 모드 박막트랜지스터 액정표시장치가 개발되었다.

이러한 횡전계 방식의 IPS 또는 FFS TFT-LCD는 광시야각은 물론, 액정의 고속응답이 가능하다는 장점이 있으며, 특히 FFS TFT-LCD는 투명전극을 사용하므로써 광투과율 및 개구율도 높다는 장점이 있다.

#### 발명이 이루고자 하는 기술적 과제

그러나, 종래 기술에 따른 박막트랜지스터 액정표시장치에 있어서는 다음과 같은 문제점이 있다.

종래 기술에 따른 박막트랜지스터 액정표시장치에 있어서, 횡전계를 이용하는 IPS 또는 FFS TFT-LCD는 동일평면상에 존재하는 수평 및 수직형 전계로 인하여 화면이 깜빡거리는 플리커(Flicker) 현상 및 잔상(Image sticking) 현상이 심하다는 문제점이 있다.

이를 해결하기 위하여 제안된 것은, 도 1에 도시된 바와 같이, 하부기판(1)상의 화소전극(9)을 공통전극(7) 및 후단 게이트(3b)와 중첩시켜 배치하였다. 여기서, 전단 게이트(3a)와 데이터 라인(7)은 수직 교차하며, 그 수직 교차부에는 박막트랜지스터(11)가 배치되어 있고, 또한 상기 화소전극(9)과 콘택되어 있다.

이와 같이, 상기 화소전극(9)과 후단 게이트 라인(3b)이 중첩되어 형성된 기생용량(이하, Cgs)은 스트레스로 인하여 상기 화소전극(9)에 대전(Charging)되어 있는 전하 및 이온을 상기 후단 게이트(3b)의 온(On)/오프(Off)시 전류가 흐를 수 있게 하는, 다시 말하면 방전(Discharging)시키는 역할을 하여 잔상을 줄이는 작용을 한다.

그러나, 상기와 같은 전극구조는 용량 커패시턴스(이하, Cst)에 충전되어 있는 화소전압을 후단 게이트가 온(On)될 때 방전시켜 피드쓰루 전압 차이( $\Delta V_p$ )가 발생케 하고 이로 인한 플리커 현상을 악화시키는 문제점이 있다.

또한, Cst와 Cgs는 인접하여 병렬로 구성되어 있기 때문에 공통전극과 후단 게이트 라인이 인접하므로 양자 사이의 전계 영향을 받아 누설전류가 발생하여 Cgs의 잔상 감소 작용을 방해한다는 문제점이 있다.

이에, 본 발명은 상기 종래 기술의 문제점을 해결하기 위하여 안출된 것으로, 본 발명의 목적은 공동의 공통전극 구조를 갖게 하여 각각의 기생용량으로 잔상 및 플리커 현상을 감소시켜 화질을 향상시킬 수 있는 박막트랜지스터 액정표시장치를 제공함에 있다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명에 따른 박막트랜지스터 액정표시장치는, 기판; 상기 기판상에 횡방향으로 이격 배열되며, 각각 한쌍의 게이트 라인으로 이루어진 전단게이트 라인 및 후단게이트 라인; 상기 이격 배열하는 전단게이트 라인 및 후단게이트 라인과 실질적으로 수직하도록 종방향으로 배열되어 2개의 단위화소부를 정의하는 데이터 라인; 상기 2개의 단위화소부를 상하로 제1단위화소부 및 제2단위화소부로 구별되도록 상기 기판상에 횡방향으로 배열되는 공통라인; 상기 제1단위화소부에 배치되며 상기 공통라인과 일부 중첩하여 저장용량 커패시턴스를 형성하며, 상기 전단게이트 라인과 일부 중첩하여 제1기생용량 커패시턴스를 형성하는 제1화소전극; 상기 제2단위화소부에 배치되며 상기 공통라인과 일

부 중첩하여 저장용량 캐패시턴스를 형성하며, 상기 후단게이트 라인과 일부 중첩하여 제2기생용량 캐패시턴스를 형성하는 제2화소전극; 및 상기 제1단위화소부내에 형성되는 제1박막트랜지스터와, 상기 제2단위화소부내에 형성되는 제2박막트랜지스터를 포함하여 구성되는 것을 특징으로 한다.

또한, 본 발명에 따른 박막트랜지스터 액정표시장치는, 주사신호를 발하는 게이트 집적회로와; 상기 주사신호가 전달되는 게이트 라인과; 상기 게이트 라인과 수직하여 디스플레이 신호를 전달하는 데이터 라인으로 정의된 프레임들로 이루어진 패널을 포함하여 구성되며, 상기 주사신호는, 정방향 주사방식을 갖는 게이트 집적회로에 의하여 상기 패널의 임의의 1열 프레임에서는 정방향으로 향하고, 상기 임의의 1열의 차열 프레임에서는 역방향으로 향하거나, 또는, 역방향 주사방식을 갖는 게이트 집적회로에 의하여 상기 패널의 임의의 1열 프레임에서는 역방향으로 향하고, 상기 임의의 1열의 차열 프레임에서는 정방향으로 향하는 것을 특징으로 한다.

또한, 본 발명에 따른 박막트랜지스터 액정표시장치는, 주사신호를 발하는 게이트 집적회로와; 상기 주사신호가 전달되는 게이트 라인과; 상기 게이트 라인과 수직하여 디스플레이 신호를 전달하는 데이터 라인으로 정의된 프레임들로 이루어진 패널을 포함하여 구성되며, 상기 주사신호는, 상기 패널의 최좌열 프레임에서는 상기 패널의 좌단부에 배치되어 있는 정방향 주사방식을 갖는 게이트 집적회로에 의하여 정방향으로 향하고, 상기 패널의 최우열의 프레임에서는 상기 패널의 우단부에 배치되어 있는 역방향의 주사방식을 갖는 게이트 집적회로에 의하여 역방향으로 향하는 것을 특징으로 한다.

이하, 본 발명에 따른 박막트랜지스터 액정표시장치를 첨부한 도면을 참조하여 상세히 설명한다.

본 발명에 따른 박막트랜지스터 액정표시장치는, 도 2에 도시된 바와 같이, 유리과 같은 투명성 절연체로 구성된 기판(101)상에 2개의 단위화소부를 형성하는 수개의 게이트 라인(103a)(103b)(103c)(103d), 데이터 라인(105), 공통라인(107), 화소전극(109a)(109b), 및 박막트랜지스터(111a)(111b)를 포함하여 구성되어 있다. 이에 대한 각각의 구체적인 설명은 다음과 같다.

첫째로, 상기 기판(101)상에는 수개의 게이트 라인(103a)(103b)(103c)(103d)이 횡방향으로 배열되어 있다. 상기 수개의 게이트 라인(103a)(103b)(103c)(103d)은 그 위치에 따라 상기 기판(101)의 상부에 수평배열하는 전단게이트 라인(103a)(103b)과, 상기 전단게이트 라인(103a)(103b)과 이격되어 상기 기판(101)의 하부에 수평배열하는 후단게이트 라인(103c)(104d)으로 구분할 수 있다.

여기서, 공통전극(107)을 임의적으로 N열 전극이라고 가정할 때, 상기 전단게이트 라인(103a)(103b)의 상측 게이트 라인(103a)을 N-1 열 게이트 라인, 하측 게이트 라인(103b)을 N 열 게이트 라인으로 정의할 수 있다. 또한, 이와 마찬가지로, 상기 후단게이트 라인(103c)(103d)의 상측 게이트 라인(103c)을 N+1 열 게이트 라인, 하측 게이트 라인(103d)을 N+2 열 게이트 라인으로 정의할 수 있다.

둘째로, 상기 기판(101)상에는 데이터 라인(105)이 종방향으로 배열되어 있다. 상기 데이터 라인(105)은 이격 배열하는 전단게이트 라인(103a)(103b) 및 후단게이트 라인(103c)(103d)과 일정한 공간인 복합화소부(110)를 정의한다.

셋째로, 상기 정의된 복합화소부(110)내에는 공통전극(107)이 형성되어 있다. 여기서, 상기 공통전극(107)은 횡방향으로 배열되는 몸체부(107a)를 포함하며, 종방향으로 신장되는 수개의 가지부(107b)가 상기 몸체부(107a)로부터 신장되어 있다. 여기서, 상기 공통전극(107)의 몸체부(107a)는 상기 복합화소부(110)를 상하로 구별하여 2개의 단위화소부, 즉 제1단위화소부(110a) 및 제2단위화소부(110b)를 정의한다. 따라서, 상기 제1단위화소부(110a) 및 제2단위화소부(110b)는 상기 공통라인(107)을 공유하는 형태이다.

넷째로, 상기 제1단위화소부(110a)내에는 제1화소전극(109a)이 형성되어 있으며, 상기 제2단위화소부(110b)내에는 제2화소전극(109b)이 형성되어 있다. 상기 제1화소전극(109a)은 상기 공통라인의 몸체부(107a)와 일부 중첩하여 저장용량 캐패시턴스 Cst(C)를 형성하며, 상기 전단게이트 라인(103a)(103b)과 일부 중첩하여 제1기생용량 캐패시턴스 Cgs'(A)를 형성한다. 또한, 상기 제2화소전극(109b)은 상기 공통라인의 몸체부(107a)와 일부 중첩하여 저장용량 캐패시턴스 Cst(C)를 형성하며, 상기 후단게이트 라인(103c)(103d)과 일부 중첩하여 제2기생용량 캐패시턴스 Cgs"(B)를 형성한다.

다섯째로, 상기 제1단위화소부(110a)내에는 제1박막트랜지스터(111a)가 형성되어 있으며, 상기 제2단위화소부(110b)내에는 제2박막트랜지스터(111b)가 형성되어 있다.

상기와 같은 구조의 박막트랜지스터 액정표시장치에 있어서는, 상하 2개의 화소전극(109a)(109b)이 1개의 공통전극(107)을 공유하여 저장용량 캐패시턴스 Cst를 형성한다.

한편, 주사 방향이 위에서 아래로인 하향(정방향)인 경우, 게이트 라인과 공통전극의 순서는,..., N-1열 게이트 라인(103a), N열 게이트 라인(103b), N열 공통전극(107), N+1열 게이트 라인(103c), N+1열 게이트 라인(103d),...순이다.

여기서, 상기 제1기생용량 캐패시턴스 Cgs'는 전술한 바와 같이 상기 제1화소전극(109a) 및 상기 전단게이트 라인(103a)(103b) 사이에서 형성되는데, 도 3에 도시된 바와 같이, 상기 N열 게이트 라인이 온(On)에서 오프(Off)로 신호가 떨어질 때, 상기 N-1열 게이트 라인에는 도 3의 (a)와 같은 신호가 인가된다. 그 결과, 상기 제1기생용량 캐패시턴스 Cgs'를 통하여 상기 제1화소전극(109a)으로 충전(Charging) 효과가 발생하여 피드쓰루 전압( $\Delta V_p$ ) 강하를 보상하여 플리커를 감소시킨다.

한편, 상기 제2기생용량 캐패시턴스 Cgs"는 전술한 바와 같이 상기 제2화소전극(109b) 및 상기 후단게이트 라인(103c)(103d) 사이에서 형성되는데, 도 3에 도시된 바와 같이, 상기 N+1열 게이트 라인이 온(On)에서 오프(Off)로 신호가 떨어질 때, 상기 N+2열 게이트 라인에는 도 3의 (c)와 같은 신호가 인가된다. 그 결과, 상기 제2기생용량 캐패시턴스 Cgs"를 통하여 상기 제2화소전극(109b)에 있는 전하(Chrg)는 상기 N+2열 게이트 라인으로 바이패스(Bypass)된다. 따라서, 직류전류(DC) 스트레스 존제시 보호막(미도시), 액정층(미도시), 배향막(미도시) 등의 계면에 존재하는 잔류 전하를 방전시켜 잔상이 감소된다.

상기와 같은 구조는, 하나의 화소가 각각 작용이 다른 제1기생용량 캐패시턴스 Cgs'와 제2기생용량 캐패시턴스 Cgs"를 동시에 갖기 때문에 잔상과 플리커를 동시에 감소시킬 수 있게 된다.

만일, 주사방향이 아래에서 위로 향하는 역방향일 경우는, 패널의 주파수의 크기는 정방향 주파수 크기의 1/2로 되기 때문에 더 높은 주파수로 패널을 구동시킬 필요가 있다.

이에 따라, 본 발명에 따른 박막트랜지스터 액정표시장치는, 게이트 집적회로로부터 발하는 주사신호가 전달되는 게이트 라인과 디스플레이 신호가 전달되는 데이터 라인으로 정의된 프레임들로 이루어진 패널에 있어서, 각 프레임들은 다음과 같이 주사신호가 전달되도록 한다..

먼저, 도 4에 도시된 바와 같이, 정방향(하향)의 주사방식을 갖는 게이트 집적회로(미도시)에 의하여 패널의 임의의 프레임(50)은 정방향, 즉 도면부호 50a, 50b, 50c, 50d 순으로 주사신호가 전달되도록 한다. 그리고, 상기 임의의 1열의 차열 프레임(51)은 역방향(상향), 즉 도면부호 51a, 51b, 51c, 51d 순으로 주사신호가 전달되도록 한다.(정역 주사방식)

만일, 도면에는 도시하지 않았지만, 상기 게이트 집적회로(미도시)의 주사방식이 역방향(상향)이라면 주사신호는 임의의 프레임(50)에서 역방향(상향)으로, 즉 도면부호 50d, 50c, 50b, 50a 순으로 주사신호가 전달되도록 한다. 그리고, 임의의 차열 프레임(51)은 정방향(하향)으로, 즉 도면부호 51d, 51c, 51b, 51a 순으로 주사신호가 전달되도록 한다.(정역 주사방식)

또는, 도 5에 도시된 바와 같이, 예를 들어 상기 패널의 최좌열 프레임(50)은 상기 패널의 좌단부에 배치되어 있는 정방향(하향) 주사방식을 갖는 게이트 집적회로(미도시)에 의하여 정방향, 즉 도면부호 50a, 50b, 50c, 50d 순으로 주사신호가 전달되도록 하며 또한 이러한 전달방식이 상기 패널의 우측으로 향하도록 한다. 그리고, 상기 패널의 최우열 프레임(51)은 상기 패널의 우단부에 배치되어 있는 역방향(상향) 주사방식을 갖는 게이트 집적회로(미도시)에 의하여 역방향, 즉 도면부호 51a, 51b, 51c, 51d 순으로 주사신호를 전달되도록 하고 또한 이러한 전달방식이 상기 패널의 좌측으로 향하도록 하게 한다.(듀얼 게이트 주사방식)

그 결과, 상기 패널은 정역 주사방식이나 듀얼 게이트 주사방식에 의하여 동일한 주파수로 구동되어도 화면이 깜빡거리거나 플리커 현상이 발생되지 않게 된다.

본 발명의 원리와 정신에 위배되지 않는 범위에서 여러 실시예는 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 자명할 뿐만 아니라 용이하게 실시할 수 있다. 따라서, 본원에 첨부된 특허청구범위는 이미 상술된 것에 한정되지 않으며, 하기 특허청구범위는 당해 발명에 내재되어 있는 특허성 있는 신규한 모든 사항을 포함하며, 아울러 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해서 균등하게 처리되는 모든 특징을 포함한다.

## 발명의 효과

이상에서 설명한 바와 같이, 본 발명에 따른 박막트랜지스터 액정표시장치에 있어서는 다음과 같은 효과가 있다.

본 발명에 있어서는, 공동의 공통전극구조에서 후단게이트와 화소전극간에 중첩되어 형성되는 기생용량 Cgs"으로 잔상을 줄이고, 공동의 공통전극을 사용하는 다른 화소전극에서는 전단게이트와 화소전극간에 중첩되어 형성되는 기생용량 Cgs'으로 플리커를 감소시켜 화질을 향상시키는 효과가 있다.

또한, 본 발명에 있어서는, 주사신호의 방향을 정-역 방향으로 변경하는 구동방식을 채택하여 동시에 Cgs' 및 Cgs"의 기능을 갖도록 하는 효과가 있으며, 화소전극은 멀티 레벨 구동식으로 전단 게이트에서  $\Delta V_p$ 만큼 떨어지는 것을 보상하여 플리커를 감소시키는 기능과 후단 게이트에서 방전(Discharging)을 주어 잔상을 감소시키는 효과가 있다.

## (57) 청구의 범위

### 청구항 1.

기관;

상기 기관상에 횡방향으로 이격 배열되며, 각각 한쌍의 게이트 라인으로 이루어진 전단게이트 라인 및 후단게이트 라인;

상기 이격 배열된 전단게이트 라인 및 후단게이트 라인과 실질적으로 수직하도록 상기 기관상에 종방향으로 배열되어 2개의 단위화소부를 정의하는 데이터 라인;

상기 2개의 단위화소부를 상하로 제1단위화소부 및 제2단위화소부로 구별되도록 상기 기관상에 횡방향으로 배열되는 공통라인;

상기 제1단위화소부에 배치되며 상기 공통라인과 일부 중첩하여 저장용량 캐패시턴스를 형성하며, 상기 전단게이트 라인 일부 중첩하여 제1기생용량 캐패시턴스를 형성하는 제1화소전극;

상기 제2단위화소부에 배치되며 상기 공통라인과 일부 중첩하여 저장용량 캐패시턴스를 형성하며, 상기 후단게이트 라인 일부 중첩하여 제2기생용량 캐패시턴스를 형성하는 제2화소전극; 및

상기 제1단위화소부내에 형성되는 제1박막트랜지스터와, 상기 제2단위화소부내에 형성되는 제2박막트랜지스터를 포함하여 구성되는 것을 특징으로 하는 박막트랜지스터 액정표시장치.

## 청구항 2.

주사신호를 발하는 게이트 집적회로와; 상기 주사신호가 전달되는 게이트 라인과; 상기 게이트 라인과 수직하여 디스플레이 신호를 전달하는 데이터 라인으로 정의된 프레임들로 이루어진 패널을 포함하여 구성되며,

상기 주사신호는, 정방향 주사방식을 갖는 게이트 집적회로에 의하여 상기 패널의 임의의 1열 프레임에서는 정방향으로 향하고, 상기 임의의 1열의 차열 프레임에서는 역방향으로 향하거나,

또는, 역방향 주사방식을 갖는 게이트 집적회로에 의하여 상기 패널의 임의의 1열 프레임에서는 역방향으로 향하고, 상기 임의의 1열의 차열 프레임에서는 정방향으로 향하는 것을 특징으로 하는 박막트랜지스터 액정표시장치.

## 청구항 3.

주사신호를 발하는 게이트 집적회로와; 상기 주사신호가 전달되는 게이트 라인과; 상기 게이트 라인과 수직하여 디스플레이 신호를 전달하는 데이터 라인으로 정의된 프레임들로 이루어진 패널을 포함하여 구성되며,

상기 주사신호는, 상기 패널의 최좌열 프레임에서는 상기 패널의 좌단부에 배치되어 있는 정방향 주사방식을 갖는 게이트 집적회로에 의하여 정방향으로 향하고, 상기 패널의 최우열의 프레임에서는 상기 패널의 우단부에 배치되어 있는 역방향의 주사방식을 갖는 게이트 집적회로에 의하여 역방향으로 향하는 것을 특징으로 하는 박막트랜지스터 액정표시장치.

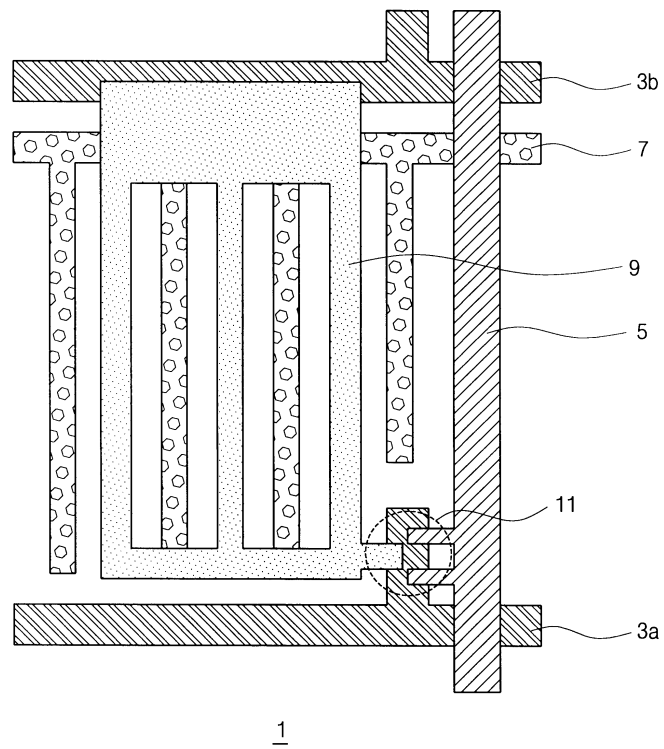
## 청구항 4.

제3항에 있어서,

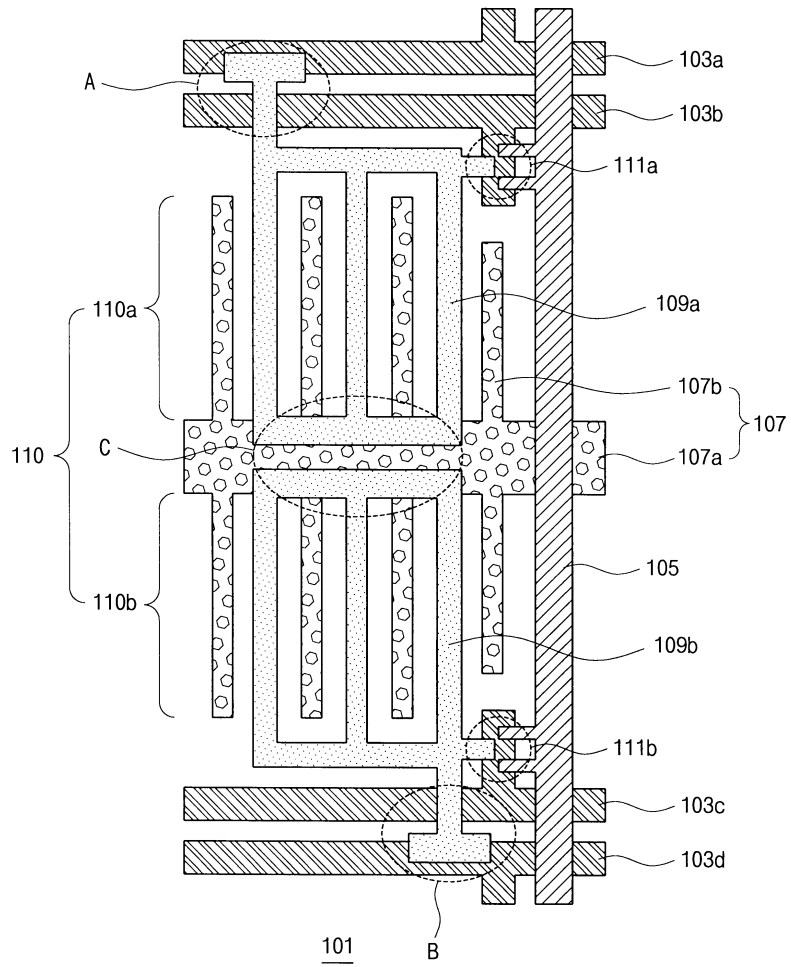
상기 정방향으로 향하는 주사신호는 상기 패널의 우측방향으로 전달되며, 상기 역방향으로 향하는 주사신호는 상기 패널의 우측방향으로 전달되는 것을 특징으로 하는 박막트랜지스터 액정표시장치.

도면

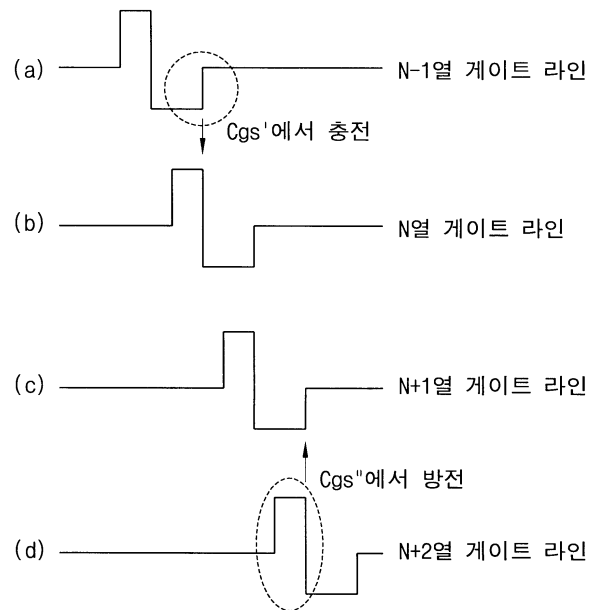
도면1



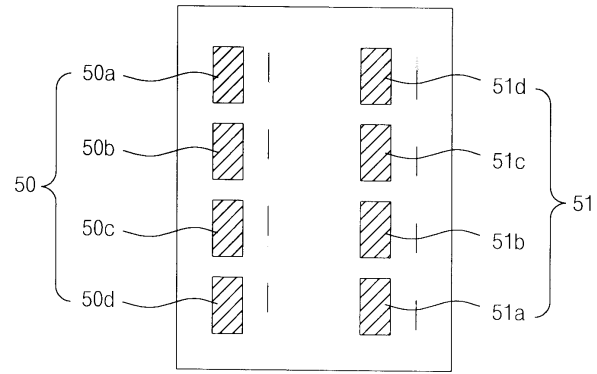
도면2



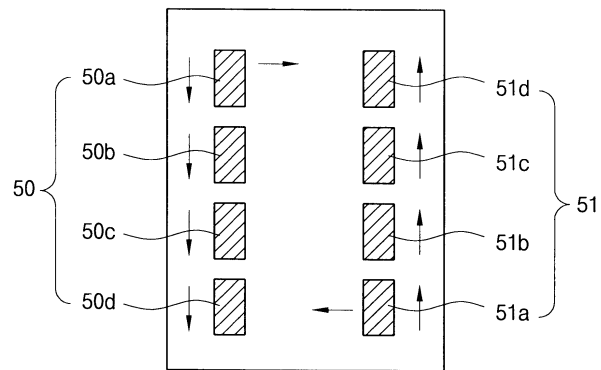
도면3



도면4



도면5





|                |                                                                 |         |            |
|----------------|-----------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 薄膜晶体管液晶显示器                                                      |         |            |
| 公开(公告)号        | <a href="#">KR100494694B1</a>                                   | 公开(公告)日 | 2005-06-13 |
| 申请号            | KR1020010061428                                                 | 申请日     | 2001-10-05 |
| [标]申请(专利权)人(译) | HYDIS TECH<br>HYDIS技术有限公司                                       |         |            |
| 申请(专利权)人(译)    | 하이디스테크놀로지주식회사                                                   |         |            |
| 当前申请(专利权)人(译)  | 하이디스테크놀로지주식회사                                                   |         |            |
| [标]发明人         | KIM KWIHYUN<br>김귀현<br>JUNG HEECHUL<br>정희철<br>LEE KYUNGHA<br>이경하 |         |            |
| 发明人            | 김귀현<br>정희철<br>이경하                                               |         |            |
| IPC分类号         | G02F1/1343                                                      |         |            |
| 其他公开文献         | KR1020030028971A                                                |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                       |         |            |

#### 摘要(译)

本发明涉及一种液晶显示器的薄膜晶体管，一前一栅极线和下一栅极线；限定前栅极线，后栅极线和两个单位像素部分的数据线；用于垂直区分两个单位像素部分的公共线；两个单位像素部分中的每一个的第一像素电极和第二像素电极；和一个第一薄膜晶体管和所述第二被配置为包括一个薄膜晶体管，寄生下一栅极，并通过降低残留图像形成在腔体电容  $C_{gs}$  的公共电极结构的像素电极之间，以重叠，用于公共的公共电极的其它像素电极将是有效降低在由前一栅极和像素电极电容  $C_{gs}$  之间的重叠所形成的寄生的闪烁“改善除了图像质量，扫描信号的方向为正 - 采用同时在相反方向上改变的驱动方法和有效的是具有  $C_{gs}$  和  $CGS$  的功能”，像素电极被提供给放电（放电）补偿的下一栅极的功能，在前一栅极落入  $\Delta V_p$  的减少驱动以减少图像滞留的多级的闪烁这很有效。 2

