



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0040652
(43) 공개일자 2009년04월27일

(51) Int. Cl.

G02F 1/133 (2006.01) G02F 1/1343 (2006.01)

(21) 출원번호 10-2007-0106108

(22) 출원일자 2007년10월22일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

엄윤성

경기 용인시 수지구 상현동 상현마을쌍용2차아파트 216-1702

유재진

경기 용인시 기흥구 신갈동 새천년그린빌4단지 407-1302

(74) 대리인

특허법인가산

전체 청구항 수 : 총 19 항

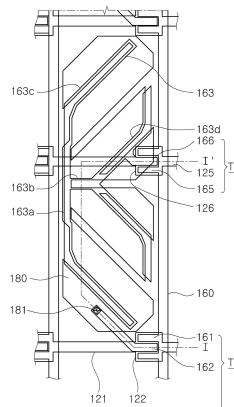
(54) 액정 표시 장치

(57) 요약

본 발명은 서로 다른 게이트 라인에 화소 전극용 박막 트랜지스터와 방향 제어 전극용 박막 트랜지스터를 형성하고 서로 다른 전위의 게이트 오프 전압을 인가하거나, 화소 전극용 박막 트랜지스터에 결합 용량에 따라 강화된 게이트 전압을 인가하거나, 동일 게이트 라인에 화소 전극용 박막 트랜지스터와 방향 제어 전극용 박막 트랜지스터를 형성하고 게이트 절연막의 두께를 다르게 형성함으로써 방향 제어 전극용 박막 트랜지스터에 인가되는 전계가 화소 전극용 박막 트랜지스터에 인가되는 전계보다 더 크도록 한 액정 표시 장치를 제시한다.

본 발명에 의하면 데이터 신호의 극성이 (-) 상태에서 방향 제어 전극용 박막 트랜지스터의 게이트 전극에 인가되는 전계와 방향 제어 전극의 전압차를 크게 하여 제 2 박막 트랜지스터의 누설 전류를 방지할 수 있어 높은 전압을 인가하지 않고도 안정적으로 한 화소를 여러 도메인으로 나눌 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

일 방향으로 연장된 복수의 제 1 및 제 2 게이트 라인;
 상기 제 1 및 제 2 게이트 라인과 교차하는 방향으로 연장된 복수의 데이터 라인;
 상기 제 1 게이트 라인 및 데이터 라인 사이의 영역에 형성되는 화소 전극;
 상기 화소 전극과 절연되어 형성된 방향 제어 전극;
 상기 제 1 게이트 라인, 상기 데이터 라인 및 상기 화소 전극과 연결되는 제 1 박막 트랜지스터; 및
 상기 제 2 게이트 라인, 상기 데이터 라인 및 상기 방향 제어 전극과 연결되는 제 2 박막 트랜지스터를 포함하며,
 상기 제 1 및 제 2 게이트 라인에 서로 다른 게이트 신호가 인가되는 액정 표시 장치.

청구항 2

청구항 1에 있어서, 상기 제 1 및 제 2 게이트 라인에 동시에 형성되는 액정 표시 장치.

청구항 3

청구항 1에 있어서, 상기 방향 제어 전극은 상기 데이터 라인에 동시에 형성되는 액정 표시 장치.

청구항 4

청구항 1에 있어서, 상기 제 2 박막 트랜지스터는 상기 제 2 게이트 라인에 연결된 제 2 게이트 전극;
 상기 데이터 라인으로부터 분기되어 상기 제 2 게이트 전극 상에 형성된 제 2 소오스 전극; 및
 상기 제 2 게이트 전극과 일부 중첩되고 상기 제 2 소오스 전극과 이격되며, 상기 방향 제어 전극으로부터 분기된 제 2 드레인 전극을 포함하는 액정 표시 장치.

청구항 5

청구항 1에 있어서, 상기 제 1 및 제 2 게이트 라인에 게이트 신호를 인가하는 게이트 구동부;
 상기 데이터 라인에 데이터 신호를 인가하는 데이터 구동부;
 상기 게이트 신호를 생성하는 구동 전압 생성부; 및
 상기 게이트 구동부, 데이터 구동부 및 구동 전압 생성부를 각각 제어하는 신호 제어부를 포함하며,
 상기 구동 전압 생성부는 상기 제 1 게이트 라인에 인가되는 상기 게이트 신호보다 더 높은 전위로 상기 제 2 게이트 라인에 인가되는 상기 게이트 신호를 생성하는 액정 표시 장치.

청구항 6

청구항 5에 있어서, 상기 게이트 구동부는 상기 제 2 게이트 라인에 상기 게이트 신호가 인가된 후 상기 제 1 게이트 라인에 게이트 신호가 인가되도록 제어하는 액정 표시 장치.

청구항 7

청구항 5에 있어서, 상기 데이터 구동부는 상기 데이터 신호가 서로 다른 전위로 시간차를 두고 인가되도록 제어하는 액정 표시 장치.

청구항 8

청구항 5에 있어서, 상기 게이트 신호는 상기 제 1 및 제 2 박막 트랜지스터를 온시키기 위한 게이트 온 전압; 및
 상기 제 1 및 제 2 박막 트랜지스터를 각각 오프시키기 위한 제 1 및 제 2 게이트 오프 전압을 포함하며,

상기 제 2 게이트 오프 전압은 상기 제 1 게이트 오프 전압보다 높은 네가티브 전압인 액정 표시 장치.

청구항 9

청구항 8에 있어서, 상기 제 2 게이트 오프 전압은 상기 방향 제어 전극에 인가되는 네가티브 전압의 1/2과 상기 제 1 게이트 오프 전압의 합보다 낮은 전압인 액정 표시 장치.

청구항 10

일 방향으로 연장된 복수의 게이트 라인;

상기 게이트 라인과 교차되는 방향으로 연장된 복수의 데이터 라인;

상기 게이트 라인과 데이터 라인 사이의 영역에 형성된 화소 전극;

상기 화소 전극과 절연되어 형성된 방향 제어 전극;

상기 게이트 라인과 결합 용량으로 연결된 제 1 박막 트랜지스터; 및

상기 게이트 라인과 연결된 제 2 박막 트랜지스터를 포함하는 액정 표시 장치.

청구항 11

청구항 10에 있어서, 상기 제 1 박막 트랜지스터는 상기 게이트 라인으로부터 분리되고, 상기 화소 전극과 중첩되지 않는 게이트 전극;

상기 게이트 전극과 일부 중첩되며, 상기 게이트 라인으로부터 분리된 소오스 전극; 및

상기 게이트 전극과 일부 중첩되고 상기 소오스 전극과 이격되며 상기 화소 전극과 연결된 드레인 전극을 포함하는 액정 표시 장치.

청구항 12

청구항 11에 있어서, 상기 게이트 라인과 연결되며, 상기 게이트 전극과 일부 중첩되어 결합 용량을 이루는 더미 전극을 더 포함하는 액정 표시 장치.

청구항 13

청구항 11에 있어서, 상기 게이트 전극은 상기 게이트 전극과 상기 더미 전극의 결합비에 따른 전위가 인가되는 액정 표시 장치.

청구항 14

청구항 11에 있어서, 상기 게이트 전극과 상기 더미 전극의 결합비는 상기 게이트 전극에 인가되는 게이트 오프 전압이 상기 방향 제어 전극에 인가되는 네가티브 전압의 1/2과 상기 게이트 전극에 인가되는 게이트 오프 전압의 합보다 낮은 전위로 인가되도록 조절되는 액정 표시 장치.

청구항 15

일 방향으로 연장된 복수의 게이트 라인;

상기 게이트 라인과 교차되는 방향으로 연장된 복수의 데이터 라인;

상기 게이트 라인 및 데이터 라인 사이의 영역에 형성된 화소 전극;

상기 화소 전극과 절연되어 형성된 방향 제어 전극;

상기 게이트 라인, 상기 데이터 라인 및 상기 화소 전극과 연결되며, 제 1 게이트 절연막을 구비하는 제 1 박막 트랜지스터; 및

상기 게이트 라인, 상기 데이터 라인 및 상기 방향 제어 전극과 연결되며, 제 2 게이트 절연막을 구비하는 제 2 박막 트랜지스터를 포함하며,

상기 제 1 게이트 절연막의 두께와 상기 제 2 게이트 절연막의 두께가 서로 다른 액정 표시 장치.

청구항 16

청구항 15에 있어서, 상기 제 1 게이트 절연막의 두께는 상기 제 2 게이트 절연막의 두께보다 두꺼운 액정 표시 장치.

청구항 17

청구항 15에 있어서, 상기 제 1 및 제 2 게이트 절연막의 두께는 상기 제 2 박막 트랜지스터에 인가되는 게이트 오프 전압이 상기 방향 제어 전극에 인가되는 네가티브 전압의 1/2과 상기 제 1 박막 트랜지스터에 인가되는 게이트 오프 전압의 합보다 낮은 전위로 인가되도록 조절되는 액정 표시 장치.

청구항 18

청구항 15에 있어서, 상기 제 2 게이트 절연막의 두께는 상기 제 1 게이트 절연막 두께의 30 내지 90%인 액정 표시 장치.

청구항 19

일 방향으로 연장된 복수의 게이트 라인;

상기 게이트 라인과 교차되는 방향으로 연장된 복수의 데이터 라인;

상기 게이트 라인과 데이터 라인 사이의 영역에 형성된 화소 전극;

상기 화소 전극과 절연되어 형성된 방향 제어 전극;

상기 게이트 라인, 상기 데이터 라인 및 상기 화소 전극과 연결되는 제 1 박막 트랜지스터; 및

상기 게이트 라인, 상기 데이터 라인 및 상기 방향 제어 전극과 연결되는 제 2 박막 트랜지스터를 포함하며,

상기 제 2 박막 트랜지스터에 인가되는 게이트 신호의 절대값이 상기 제 1 박막 트랜지스터에 인가되는 게이트 신호의 절대값보다 높은 액정 표시 장치.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 표시 장치에 관한 것으로, 특히 방향 제어 전극을 구비하는 액정 표시 장치(Liquid Crystal Display; LCD)에 관한 것이다.

배경 기술

<2> 액정 표시 장치는 화소 전극이 형성된 박막 트랜지스터 기판과 공통 전극이 형성된 컬러 필터 기판, 그리고 이들 사이에 삽입된 액정층으로 구성되며, 화소 전극 및 공통 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 액정층에 투과되는 빛의 양을 조절하는 방식으로 화상을 표시한다.

<3> 그런데, 액정 표시 장치는 시야각이 좁기 때문에 시야각을 넓히기 위한 여러가지 방안이 제시되었다. 그중에서 화소 전극 및 공통 전극에 절개 패턴 또는 돌기를 형성하여 프린지 필드(fringe field)를 형성함으로써 액정의 기우는 방향을 고르게 분산시키는 방법이 제시되었다.

<4> 그러나, 절개 패턴 또는 돌기를 형성하면 이에 의해 액정 표시 장치의 개구율이 떨어진다. 또한, 절개 패턴을 형성하는 경우 화소 전극 뿐만 아니라 공통 전극에 절개 패턴을 형성하기 위한 사진 및 식각 공정이 추가되게 된다. 따라서, 공정 수의 증가 뿐만 아니라 필요 장비도 증가하게 되므로 공정 단가 및 공정 시간이 증가하게 된다.

<5> 이러한 문제점을 해결하기 위해 액정들의 배열 방향을 조절하기 위한 방향 제어 전극을 박막 트랜지스터 기판상에 형성하는 방법이 제안되었다. 박막 트랜지스터 기판상에는 방향 제어 전극 및 화소 전극, 그리고 화소 전극용 제 1 박막 트랜지스터와 방향 제어 전극용 제 2 박막 트랜지스터가 형성된다. 제 1 및 제 2 박막 트랜지스터는 동일한 게이트 온 전압 및 게이트 오프 전압에 의해 온/오프된다. 방향 제어 전극을 구비하는 액정 표시 장

치는 화소 전극과 공통 전극이 액정층을 사이에 두고 액정 축전기를 이루고, 방향 제어 전극과 공통 전극이 액정층을 사이에 두고 방향 제어 축전기를 이룬다.

- <6> 방향 제어 전극의 전계에 의하여 액정 분자들의 기우는 방향이 서로 다른 여러 도메인을 형성하려면 방향 제어 축전기의 정전 용량이 액정 축전기의 정전 용량보다 더 커야 한다. 즉, 방향 제어 전극과 공통 전극에 각각 인가되는 전압 차의 절대값은 화소 전극과 공통 전극에 인가되는 전압 차의 절대값보다 커야 한다.
- <7> 예를들어 한 화소를 4개의 도메인으로 나누어 작동하기 위해서는 공통 전극에 동일 전압이 인가되는 경우 (+) 상태에서 방향 제어 전극에는 화소 전극보다 +5V의 전압을 더 인가해야 하며, (-) 상태에서는 -5V의 전압을 더 인가해야 한다. 따라서, (+) 및 (-) 상태에서 화소 전극에 인가되는 전압이 각각 12V 및 0V라면 방향 제어 전극에는 각각 17V 및 -5V의 전압이 인가되어야 한다. 이때, 게이트 온 전압(Von) 및 게이트 오프 전압(Voff)은 각각 25V 및 -7V 정도 인가된다. 게이트 오프 전압(Voff)이 -7V일 경우 (+) 상태에서는 방향 제어 전극에 인가되는 전압과 게이트 오프 전압(Voff)의 차가 24V이고, (-) 상태에서는 방향 제어 전극에 인가되는 전압과 게이트 오프 전압(Voff)의 차가 2V이다.
- <8> 그런데, 방향 제어 전극에 인가되는 전압과 게이트 오프 전압의 차이가 충분히 크면 제 2 박막 트랜지스터의 채널을 통해 누설 전류가 흐르지 않지만, 상기 전압 차이가 작아지면 많은 누설 전류가 흐르게 된다. 예를들어, (-) 상태에서 방향 제어 전극에 -5V의 전압이 인가되고 제 2 박막 트랜지스터에 -7V의 게이트 오프 전압(Voff)이 인가되면 방향 제어 축전기에 충전된 전하가 제 2 박막 트랜지스터의 채널을 통해 누설되게 된다.
- <9> 따라서, 방향 제어 축전기에 충분한 전하가 차지되지 않기 때문에 한 화소를 여러 도메인으로 나눌 수 없게 된다.

발명의 내용

해결 하고자하는 과제

- <10> 본 발명은 방향 제어 전극용 박막 트랜지스터의 누설 전류를 방지할 수 있는 액정 표시 장치를 제공한다.
- <11> 본 발명은 화소 전극용 제 1 박막 트랜지스터와 방향 제어 전극용 제 2 박막 트랜지스터를 서로 다른 게이트 라인상에 구현하고, 서로 다른 게이트 오프 전압을 인가함으로써 제 2 박막 트랜지스터의 누설 전류를 방지할 수 있는 액정 표시 장치를 제공한다.
- <12> 본 발명은 방향 제어 전극용 제 2 박막 트랜지스터의 제 2 게이트 전극은 게이트 라인상에 구현하고, 화소 전극용 제 1 박막 트랜지스터의 제 1 게이트 전극은 게이트 라인과 결합 용량으로 구현하여 제 1 게이트 전극에 제 2 게이트 전극보다 낮은 전압이 인가되도록 함으로써 제 2 박막 트랜지스터의 누설 전류를 방지할 수 있는 액정 표시 장치를 제공한다.
- <13> 본 발명은 화소 전극용 제 1 박막 트랜지스터와 방향 제어 전극용 제 2 박막 트랜지스터를 동일 게이트 라인상에 구현하고, 제 1 및 제 2 박막 트랜지스터의 게이트 절연막의 두께를 서로 다르게 함으로써 제 2 박막 트랜지스터의 누설 전류를 방지할 수 있는 액정 표시 장치를 제공한다.

과제 해결수단

- <14> 본 발명의 제 1 양태에 따른 액정 표시 장치는 일 방향으로 연장된 복수의 제 1 및 제 2 게이트 라인; 상기 제 1 및 제 2 게이트 라인과 교차하는 방향으로 연장된 복수의 데이터 라인; 상기 제 1 게이트 라인 및 데이터 라인 사이의 영역에 형성되는 화소 전극; 상기 화소 전극과 절연되어 형성된 방향 제어 전극; 상기 제 1 게이트 라인, 상기 데이터 라인 및 상기 화소 전극과 연결되는 제 1 박막 트랜지스터; 및 상기 제 2 게이트 라인, 상기 데이터 라인 및 상기 방향 제어 전극과 연결되는 제 2 박막 트랜지스터를 포함하며, 상기 제 1 및 제 2 게이트 라인에 서로 다른 게이트 신호가 인가된다.
- <15> 본 발명의 제 2 양태에 따른 액정 표시 장치는 일 방향으로 연장된 복수의 게이트 라인; 상기 게이트 라인과 교차되는 방향으로 연장된 복수의 데이터 라인; 상기 게이트 라인과 데이터 라인 사이의 영역에 형성된 화소 전극; 상기 화소 전극과 절연되어 형성된 방향 제어 전극; 상기 게이트 라인과 결합 용량으로 연결된 제 1 박막 트랜지스터; 및 상기 게이트 라인과 연결된 제 2 박막 트랜지스터를 포함한다.
- <16> 본 발명의 제 3 양태에 따른 액정 표시 장치는 일 방향으로 연장된 복수의 게이트 라인; 상기 게이트 라인과 교차되는 방향으로 연장된 복수의 데이터 라인; 상기 게이트 라인 및 데이터 라인 사이의 영역에 형성된 화소 전

극; 상기 화소 전극과 절연되어 형성된 방향 제어 전극; 상기 게이트 라인, 상기 데이터 라인 및 상기 화소 전극과 연결되며, 제 1 게이트 절연막을 구비하는 제 1 박막 트랜지스터; 및 상기 게이트 라인, 상기 데이터 라인 및 상기 방향 제어 전극과 연결되며, 제 2 게이트 절연막을 구비하는 제 2 박막 트랜지스터를 포함하며, 상기 제 1 게이트 절연막의 두께와 상기 제 2 게이트 절연막의 두께가 서로 다르다.

- <17> 본 발명의 제 4 양태에 따른 액정 표시 장치는 일 방향으로 연장된 복수의 게이트 라인; 상기 게이트 라인과 교차되는 방향으로 연장된 복수의 데이터 라인; 상기 게이트 라인과 데이터 라인 사이의 영역에 형성된 화소 전극; 상기 화소 전극과 절연되어 형성된 방향 제어 전극; 상기 게이트 라인, 상기 데이터 라인 및 상기 화소 전극과 연결되는 제 1 박막 트랜지스터; 및 상기 게이트 라인, 상기 데이터 라인 및 상기 방향 제어 전극과 연결되는 제 2 박막 트랜지스터를 포함하며, 상기 제 2 박막 트랜지스터에 인가되는 게이트 신호의 절대값이 상기 제 1 박막 트랜지스터에 인가되는 게이트 신호의 절대값보다 높다.

효 과

- <18> 본 발명에 의하면 서로 다른 게이트 라인에 화소 전극용 박막 트랜지스터와 방향 제어 전극용 박막 트랜지스터를 형성하고 서로 다른 전위의 게이트 오프 전압을 인가하거나, 하나의 게이트 라인에 두개의 박막 트랜지스터를 구성하되 화소 전극용 박막 트랜지스터의 게이트 전극과 더미 화소 전극의 결합 용량을 조절하거나, 게이트 절연막의 두께를 다르게 형성함으로써 방향 제어 전극용 박막 트랜지스터에 인가되는 전계가 화소 전극용 박막 트랜지스터에 인가되는 전계보다 더 크도록 한다.

- <19> 이에 따라 (-) 상태에서 방향 제어 전극용 박막 트랜지스터의 전계와 방향 제어 전극의 전압차를 크게 하여 방향 제어 전극용 박막 트랜지스터의 누설 전류를 방지할 수 있다. 따라서, 방향 제어 전극에 충분한 전하를 차지할 수 있어 높은 전압을 인가하지 않고도 안정적으로 다중 도메인을 구현할 수 있으며, 이로부터 넓은 시야각을 확보할 수 있다. 또한, 공통 전극에 절개 패턴을 형성하지 않기 때문에 공정을 단순화시킬 수 있으며, 생산성을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- <20> 이하, 첨부된 도면을 참조하여 본 발명의 실시 예를 상세히 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시 예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

- <21> <제 1 실시 예>

- <22> 도 1은 본 발명의 제 1 실시 예에 따른 액정 표시 패널의 평면도이고, 도 2는 도 1의 I-I' 라인을 따라 절취한 단면도이며, 도 3은 화소 전극 절개 패턴의 평면도이다.

- <23> 도 1 및 도 2를 참조하면, 본 발명의 일 실시 예에 따른 액정 표시 패널(300)은 박막 트랜지스터 기관(100)과, 이에 대면하고 있는 컬러 필터 기관(200), 그리고 이들 사이에 위치하고 있는 액정층(310)을 포함한다.

- <24> 박막 트랜지스터 기관(100)은 제 1 절연 기관(110) 상부에 일 방향으로 연장되는 복수의 제 1 게이트 라인(121)과, 제 1 게이트 라인(121) 사이에 일 방향으로 연장되는 복수의 제 2 게이트 라인(125)과, 제 1 및 제 2 게이트 라인(121 및 125)과 교차되어 연장된 복수의 데이터 라인(160)과, 제 1 게이트 라인(121)과 데이터 라인(160)에 의해 정의된 화소 영역에 형성된 화소 전극(180)과, 제 1 게이트 라인(121), 데이터 라인(160) 및 화소 전극(180)에 접속된 제 1 박막 트랜지스터(T1)와, 제 2 게이트 라인(125), 데이터 라인(160) 및 방향 제어 전극(163)에 접속된 제 2 박막 트랜지스터(T2)를 포함한다.

- <25> 제 1 게이트 라인(121)은 예를 들어 가로 방향으로 연장되어 형성되며, 제 1 게이트 라인(121)의 일부가 돌출되어 제 1 게이트 전극(122)이 형성된다. 또한, 제 2 게이트 라인(125)은 제 1 게이트 라인(121) 사이에 제 1 게이트 라인(121)과 평행하게 연장되어 형성되며, 제 2 게이트 라인(125)의 일부가 돌출되어 제 2 게이트 전극(126)이 형성된다. 그리고, 화소 전극(180)과 일부 중첩되어 유지 축전기를 형성하는 유지 전극 라인(미도시)이 더 형성된다.

- <26> 여기서, 제 1 및 제 2 게이트 라인(121 및 125), 그리고 유지 전극 라인(미도시)은 알루미늄(Al), 네오디뮴(Nd), 은(Ag), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 및 몰리브덴(Mo) 중 적어도 어느 하나의 금속 또는 이들을 포함하는 합금으로 형성되는 것이 바람직하다. 또한, 제 1 및 제 2 게이트 라인(121 및 125), 그리고 유지 전극 라인(미도시)은 단일층 뿐 아니라 복수 금속층의 다중층으로 형성될 수 있다. 즉, 물리 화학적 특성이 우수한

크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo) 등의 금속층과 비저항이 작은 알루미늄(Al) 계열 또는 은(Ag) 계열의 금속층을 포함하는 이중층으로 형성할 수도 있다.

- <27> 제 1 및 제 2 게이트 라인(121 및 125), 그리고 유지 전극 라인(미도시)을 포함한 전체 상부에 게이트 절연막(130)이 형성된다. 게이트 절연막(130)은 실리콘 산화막(SiO_2) 또는 실리콘 질화막(SiN_x) 등을 이용하여 단일층 또는 다층으로 형성될 수 있다.
- <28> 제 1 및 제 2 게이트 전극(122 및 126) 상부의 게이트 절연막(130) 상부에는 비정질 실리콘 등의 반도체로 이루어진 제 1 활성층(141) 및 제 2 활성층(145)이 각각 형성되며, 제 1 및 제 2 활성층(141 및 145)의 상부에는 실리콘사이드 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 실리콘 등의 물질로 이루어진 제 1 오믹 콘택층(151) 및 제 2 오믹 콘택층(155)이 형성된다. 제 1 및 제 2 오믹 콘택층(151 및 155)은 각각 제 1 소오스 전극(161)과 제 1 드레인 전극(162) 사이, 그리고 제 2 소오스 전극(165)과 제 2 드레인 전극(166) 사이의 채널부에서는 제거될 수 있다.
- <29> 게이트 절연막(130) 상부에는 데이터 라인(160)이 형성되며, 제 1 및 제 2 오믹 콘택층(151 및 155) 상부에는 데이터 라인(160)으로부터 돌출된 제 1 및 제 2 소오스 전극(161 및 165)과 제 1 및 제 2 드레인 전극(162 및 166)이 형성되고, 방향 제어 전극(163)이 화소 영역내에 데이터 라인(160)과 동시에 형성된다.
- <30> 데이터 라인(160)은 제 1 및 제 2 게이트 라인(121 및 125)과 교차하는 방향, 즉 세로 방향으로 연장 형성되며, 데이터 라인(160)이 제 1 게이트 라인(121)과 교차되는 영역이 화소 영역으로 정의된다. 데이터 라인(160)으로부터 제 1 및 제 2 오믹 콘택층(151 및 155) 상부까지 연장 돌출되어 제 1 및 제 2 소오스 전극(161 및 165)이 형성된다. 제 1 및 제 2 소오스 전극(161 및 165)과 이격되어 제 1 및 제 2 오믹 콘택층(151 및 155) 상부에 제 1 및 제 2 드레인 전극(162 및 166)이 형성된다.
- <31> 방향 제어 전극(163)은 화소 영역에 형성되며, 방향 제어 전극(163)은 데이터 라인(160)과 평행한 부분과 사선 방향으로 상하 대칭적으로 형성되어 있는 부분을 포함한다. 즉, 방향 제어 전극(163)은 데이터 라인(160)과 인접하여 데이터 라인(160)과 평행한 세로부(163a), 세로부(163a)의 중심으로부터 세로부(163a)에 수직하게 화소 방향으로 뻗어있는 가로부(163b), 세로부(163a)의 양단에 연결되어 사선 방향으로 뻗어 있는 제 1 사선부(163c) 및 가로부(163b)의 일단에서 상하 방향으로 뻗어 있으며 제 1 사선부(163c)와 나란한 제 2 사선부(163d)를 포함한다. 또한, 방향 제어 전극(163)의 일부는 유지 전극 라인(미도시)의 일부와 중첩될 수 있다. 방향 제어 전극(163)의 일부는 방향 제어 전극용 제 2 박막 트랜지스터(T2)에 포함되어 제 2 드레인 전극(166)의 역할을 한다.
- <32> 그리고, 방향 제어 전극(163), 즉 제 1 및 제 2 사선부(163c 및 163d)는 화소 전극 절개 패턴(190)의 적어도 일부와 중첩된다. 이는 방향 제어 전극(163)에 의하여 생성된 전계가 유출되어 액정 분자들의 기우는 방향이 서로 다른 여러 도메인을 형성하기 위함이다. 만약, 화소 전극(180)에 절개 패턴이 형성되어 있지 않아서 방향 제어 전극(163)이 화소 전극(180)에 의하여 가려진다면, 방향 제어 전극(163)에 의하여 형성된 전계가 제대로 유출되지 않아, 즉 전계의 힘이 약하여 한 화소 내에서 액정 분자들의 기우는 방향이 서로 다른 여러 도메인을 형성할 수 없게 된다. 따라서, 방향 제어 전극(163)은 화소 전극 절개 패턴(190)과 적어도 일부가 중첩되도록 디자인되는 것이 바람직하다.
- <33> 제 1 게이트 전극(122), 데이터 라인(160)으로부터 연장된 제 1 소오스 전극(161) 및 화소 전극(180)에 연결된 제 1 드레인 전극(162)에 의해 화소 전극용 제 1 박막 트랜지스터(T1)가 완성되고, 제 2 게이트 전극(126), 데이터 라인(160)으로부터 연장된 제 2 소오스 전극(165) 및 방향 제어 전극(163)에 연결된 제 2 드레인 전극(166)에 의해 방향 제어 전극용 제 2 박막 트랜지스터(T2)가 완성된다. 제 1 박막 트랜지스터(T1)는 데이터 라인(160)과 제 1 게이트 라인(121)의 교차 영역에 형성되며, 화소 전극(180)에 소정의 전압을 인가하여 액정을 재배열하도록 한다. 또한, 제 2 박막 트랜지스터(T2)는 데이터 라인(160)과 제 2 게이트 라인(125)의 교차 영역에 형성되며, 방향 제어 전극(163)에 소정의 전압을 인가하여 전계를 형성하도록 한다.
- <34> 제 1 및 제 2 게이트 라인(121 및 125), 데이터 라인(160), 방향 제어 전극(163)을 포함한 전체 상부에 보호막(170)이 균일한 두께로 형성된다. 보호막(170)은 무기 절연막 또는 유기 절연막 등으로 형성될 수 있다. 무기 절연막은 실리콘 산화막 및 실리콘 질화막을 포함한다. 유기 절연막은 감광성을 가질 수 있으며, 유전 상수가 4 이하인 것이 바람직하다. 또한, 보호막(170)의 소정 영역에는 제 1 드레인 전극(162)의 소정 영역을 노출시키는 콘택홀(181)이 형성된다.
- <35> 보호막(170) 상부에는 화소 전극(180)이 형성된다. 화소 전극(180)은 통상 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)등의 투명한 도전 물질로 형성된다. 화소 전극(180)은 콘택홀(181)을 통해 제 1 드레인

전극(162)과 전기적으로 연결된다. 그리고, 화소 전극(180)에는 하나의 화소를 복수의 영역으로 구분하여 광시야각을 구현하기 위한 수단인 화소 전극 절개 패턴(190)이 형성된다.

- <36> 화소 전극 절개 패턴(190)은 도 3에 도시된 바와 같이 게이트 라인(121)의 연장 방향을 따라 형성되어 있으며 화소 전극(180)을 상하 대칭되도록 구분하는 제1 절개 패턴(191)과, 제 1 절개 패턴(191)을 중심으로 상호 대칭적으로 위치하며 사선 방향으로 형성되어 있는 제 2 내지 제 4 절개 패턴(192, 193, 194)을 포함한다. 제 2 절개 패턴(192)은 제 1 절개 패턴(191)과 가장 근접하여 위치하며, 제 3 절개 패턴(193)과 제 4 절개 패턴(194)은 제 2 절개 패턴(192)과 평행하게 순차적으로 소정 간격 이격되어 위치되어 있다.
- <37> 방향 제어 전극(163)은 제 1 절개 패턴(191), 제 2 절개 패턴(192) 및 제 4 절개 패턴(194)과 적어도 일부가 중첩되는 것이 바람직하다. 이러한 배치에 의하여 방향 제어 전극(163)으로부터 전계의 유출을 원활하게 하여 액정 분자들의 경사 배열 방향이 서로 다른 여러 도메인을 형성할 수 있으므로 넓은 시야각을 구현할 수 있다.
- <38> 화소 전극 절개 패턴(190)은 설명한 실시 예에 한정되지 않고 다양한 형상으로 형성될 수 있다.
- <39> 한편, 컬러 필터 기관(200)은 제 2 절연 기관(210) 상에 형성된 블랙 매트릭스(220)와, 컬러 필터(230)와, 오버코트막(240)과, 공통 전극(250)을 포함한다.
- <40> 블랙 매트릭스(220)는 화소 영역 이외의 영역에 형성되어 화소 영역 이외의 영역으로 빛이 새는 것과 인접한 화소 영역들 사이의 광 간섭을 방지한다. 즉, 블랙 매트릭스(220)는 박막 트랜지스터 기관(100)의 화소 전극(180)이 형성된 영역을 개방하는 개구부를 갖는다. 블랙 매트릭스(220)는 통상 검은색 안료가 첨가된 감광성 유기물질로 이루어진다. 검은색 안료로는 카본 블랙이나 티타늄 옥사이드 등을 이용한다.
- <41> 컬러 필터(230)는 블랙 매트릭스(220)를 경계로 하여 적색, 녹색 및 청색 필터가 반복되어 형성된다. 컬러 필터(230)는 광원으로부터 조사되어 액정층(300)을 통과한 빛에 색상을 부여하는 역할을 한다. 컬러 필터(230)는 감광성 유기물질로 형성될 수 있다.
- <42> 오버 코트막(240)은 컬러 필터(230) 상부와 컬러 필터(230)가 덮고 있지 않은 블랙 매트릭스(220)의 상부에 형성된다. 오버 코트막(241)은 컬러 필터(231)를 평탄화하면서 컬러 필터(230)를 보호하는 역할과 상하부 도전층 사이를 절연하는 역할을 하며, 아크릴계 에폭시 재료를 이용하여 형성될 수 있다.
- <43> 공통 전극(250)은 오버 코트막(240)의 상부에 형성된다. 공통 전극(250)은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)등의 투명한 도전 물질로 형성된다. 공통 전극(250)은 박막 트랜지스터 기관의 화소 전극(180)과 함께 액정층(300)에 전압을 인가한다.
- <44> 상기와 같이 구성된 본 발명의 제 1 실시 예에 따른 액정 표시 패널은 제 1 게이트 라인(121) 및 제 2 게이트 라인(126)에 동일한 게이트 온 전압(Von)이 인가되고, 서로 다른 게이트 오프 전압(Voff)이 인가되는데, 이러한 액정 표시 패널을 구동하기 위한 방법을 도 4 및 도 5를 이용하여 설명하면 다음과 같다.
- <45> 도 4는 본 발명의 제 1 실시 예에 따른 액정 표시 패널을 포함하는 액정 표시 장치의 구성도이고, 도 5는 본 발명의 제 1 실시 예에 따른 액정 표시 패널의 한 화소의 등가 회로도이다.
- <46> 도 4 및 도 5를 참조하면, 본 발명의 제 1 실시 예에 따른 액정 표시 장치는 액정 표시 패널(300)과 이에 연결된 게이트 구동부(400), 데이터 구동부(500), 데이터 구동부(500)에 연결된 계조 전압 생성부(800) 및 게이트 구동부(400)에 연결된 구동 전압 생성부(700), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.
- <47> 액정 표시 패널(300)은 상기한 바와 같이 서로 이격된 복수의 제 1 게이트 라인(G11 내지 G1n)과, 제 1 게이트 라인(G11 내지 G1n)과 이격되어 제 1 게이트 라인(G11 내지 G1n)과 평행한 복수의 제 2 게이트 라인(G21 내지 G2n)과, 제 1 게이트 라인(G11 내지 G1n)과 교차하는 복수의 데이터 라인(D1 내지 Dm)과, 제 1 게이트 라인(G11 내지 G1n), 제 2 게이트 라인(G21 내지 G2n) 및 데이터 라인(D1 내지 Dm)과 연결되어 있으며 행렬 형태로 배열된 복수의 화소(pixel)를 포함한다. 제 1 및 제 2 게이트 라인(G11 내지 G1n 및 G21 내지 G2n)은 게이트 온 전압(Von)과 제 1 및 제 2 게이트 오프 전압(Voff1 및 Voff2) 등의 게이트 신호를 전달하며, 데이터 라인(D1 내지 Dm)은 데이터 신호를 전달한다.
- <48> 한 화소 내에는 도 5에 도시된 바와 같이 제 1 게이트 라인(121)과 데이터 라인(160)에 연결된 제 1 박막 트랜지스터(T1)와, 제 2 게이트 라인(125)과 데이터 라인(160)에 연결된 제 2 박막 트랜지스터(T2)와, 제 1 박막 트랜지스터(T1)에 연결된 액정 축전기(C1c) 및 유지 축전기(Cst)와, 제 2 박막 트랜지스터(T2)에 연결된 방향 제어 축전기(Cdce)를 포함한다.

- <49> 제 1 박막 트랜지스터(T1)는 게이트 전극이 제 1 게이트 라인(121)에 연결되고, 소오스 전극이 데이터 라인(160)에 연결되며, 드레인 전극이 액정 축전기(C1c) 및 유지 축전기(Cst)와 연결된다. 제 2 박막 트랜지스터(T2)는 게이트 단자가 제 2 게이트 라인(125)과 연결되고, 소오스 전극이 데이터 라인(160)에 연결되며, 드레인 전극이 방향 제어 축전기(Cdce)와 연결된다. 액정 축전기(C1c)는 액정층(310)을 사이에 두고 화소 전극(180)과 공통 전극(250)에 의해 형성되고, 유지 축전기(Cst)는 게이트 절연막(130)을 사이에 두고 유지 전극 라인(미도시)과 화소 전극(180)에 의해 형성된다. 또한, 방향 제어 축전기(Cdce)는 액정층(310)을 사이에 두고 방향 제어 전극(163)과 공통 전극(250)에 의해 형성된다. 따라서, 화소 전극(180)은 제 1 박막 트랜지스터(T1)와 연결되며, 방향 제어 전극(163)은 제 2 박막 트랜지스터(T2)와 연결된다. 공통 전극(250)은 컬러 필터 기판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가받는다.
- <50> 한편, 색 표시를 구현하기 위해서는 각 화소가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다.
- <51> 신호 제어부(600)는 외부의 그래픽 제어기(미도시)로부터 영상 신호(R, G, B) 및 이의 표시를 제어하는 제어 신호, 예를 들면 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 메인 클록(CLK) 및 데이터 인에이블 신호(DE) 등을 제공한다. 신호 제어부(500)는 영상 신호(R, G, B) 및 제어 신호를 이용하여 게이트 제어 신호(CON1), 데이터 제어 신호(CON2), 전압 생성 제어 신호(CON3), 전압 선택 제어 신호(VSC) 등을 생성하고, 영상 신호(R, G, B)를 액정 표시 패널(300)의 동작 조건에 맞게 적절히 처리한다. 게이트 제어 신호(CON1)는 게이트 구동부(400)로 입력되고, 데이터 제어 신호(CON2)와 처리한 영상 신호(R, G, B)는 데이터 구동부(500)로 입력된다. 또한, 전압 생성 제어 신호(CON3)는 구동 전압 생성부(700)로 입력된다.
- <52> 계조 전압 생성부(800)는 화소의 휘도와 관련된 복수의 계조 전압(gray scale voltage)을 생성하는데, 화소마다 서로 다른 전위의 제 1 및 제 2 부 계조 전압을 생성하고, 신호 제어부(600)의 전압 선택 제어 신호(VSC)에 따라 일 화소에 따른 제 1 및 제 2 부 계조 전압을 데이터 구동부(500)에 공급한다.
- <53> 데이터 구동부(500)는 데이터 제어 신호(CON2)에 따라 한 행의 화소에 대응하는 영상 신호(R, G, B)를 차례로 입력받고, 복수의 계조 전압 중 각 영상 신호에 대응하는 제 1 및 제 2 부 계조 전압을 선택함으로써 영상 신호를 제 1 및 제 2 데이터 신호로 변환하고, 이를 데이터 라인(D1 내지 Dm)을 통해 공급한다. 이때, 제 1 데이터 신호는 제 2 데이터 신호보다 높은 전위를 갖는데, 제 1 및 제 2 데이터 신호가 방향 제어 전극(163) 및 화소 전극(180)에 동일 데이터 라인(D1 내지 Dm)을 통해 각각 시간차를 두고 인가된다.
- <54> 구동 전압 생성부(700)는 신호 제어부(600)의 전압 생성 제어 신호(CON3)에 따라 제 1 및 제 2 박막 트랜지스터(T1 및 T2)를 온/오프시키는 게이트 온 전압(Von)과 제 1 및 제 2 게이트 오프 전압(Voff1 및 Voff2)을 생성한다.
- <55> 게이트 구동부(400)는 제 1 게이트 라인(G11 내지 G1n)과 연결된 제 1 게이트 구동부(410)와 제 2 게이트 라인(G21 내지 G2n)과 연결된 제 2 게이트 구동부(420)를 포함한다. 제 1 및 제 2 게이트 구동부(410 및 420)를 통해 동일 전위의 게이트 온 전압(Von)과 서로 다른 전위의 제 1 및 제 2 게이트 오프 전압(Voff1 및 Voff2)이 제 1 및 제 2 게이트 라인(G11 내지 G1n 및 G21 내지 G2n)에 각각 인가된다. 이때, 제 1 및 제 2 게이트 구동부(410 및 420)는 시간차를 두고 구동될 수 있는데, 제 2 게이트 구동부(420)가 구동된 후 제 1 게이트 구동부(410)가 구동되어 제 2 게이트 라인(G21 내지 G2n)에 게이트 신호가 인가된 후 제 1 게이트 라인(G11 내지 G1n)에 게이트 신호가 인가되는 것이 바람직하다.
- <56> 이러한 구동부들(400, 500, 600, 700 및 800) 각각은 적어도 하나의 집적 회로 칩의 형태로 액정 표시 패널(300) 위에 직접 장착되거나, 별도의 인쇄 회로 기판(Printed Circuit Board; PCB)에 실장된 다음 연성 인쇄 회로 기판(Flexible Printed Circuit Board; FPC)을 통해 전기적으로 접속될 수도 있다. 또한, 이들 구동 장치(400, 500, 600, 700 및 800)은 제 1 게이트 라인(G11 내지 G1n), 제 2 게이트 라인(G21 내지 G2n), 데이터 라인(D1 내지 Dm), 그리고 제 1 및 제 2 박막 트랜지스터(T1 및 T2)와 함께 액정 표시 패널(300)에 집적될 수도 있다.
- <57> 상기와 같이 구성된 액정 표시 장치를 이용한 구동 방법을 도 6의 파형도를 이용하여 설명하면 다음과 같다. 도 6에서 제 1 데이터 신호(D1)는 (+) 상태에서 제 2 박막 트랜지스터(T2)를 통해 방향 제어 전극(163)에 인가되는 데이터 신호이고, 제 2 데이터 신호(D2)는 (+) 상태에서 제 1 박막 트랜지스터(T1)를 통해 화소 전극(180)에 인가되는 데이터 신호이다. 또한, 제 3 데이터 신호(D3)는 (-) 상태에서 제 2 박막 트랜지스터(T2)를 통해 방향

제어 전극(163)에 인가되는 데이터 신호이고, 제 4 데이터 신호(D4)는 (-) 상태에서 제 1 박막 트랜지스터(T1)을 통해 화소 전극(180)에 인가되는 데이터 신호이다. 그리고, 게이트 온 전압(Von)은 제 1 및 제 2 박막 트랜지스터(T1 및 T2)에 동일 전위로 인가되는 게이트 신호이고, 제 1 및 제 2 게이트 오프 전압(Voff1 및 Voff2)은 제 1 및 제 2 박막 트랜지스터(T1 및 T2)에 서로 다른 전위로 인가되는 게이트 신호이다.

<58> 게이트 온 전압(Von)이 제 2 및 제 1 게이트 라인(G21 내지 G2n 및 G11 내지 G1n)에 순차적으로 인가되어 제 2 및 제 1 박막 트랜지스터(T1 및 T2)를 순차적으로 턴온시킨다. 게이트 온 전압(Von)은 예를들어 20~25V의 전위로 인가된다. 그리고, 데이터 신호의 극성이 (+) 상태에서 제 1 데이터 신호(D1)는 제 2 데이터 신호(D2)보다 적어도 5V 높은 전위로 인가되는데, 예를들어 제 2 데이터 신호(D2)가 12~15V로 인가되면, 제 1 데이터 신호(D1)가 17~20V로 인가된다. 따라서, 제 2 데이터 신호(D2) 및 제 1 데이터 신호(D1)가 시간차를 두고 제 2 및 제 1 박막 트랜지스터(T2 및 T1)를 통하여 방향 제어 전극(163) 및 화소 전극(180)에 각각 인가된다.

<59> 그리고, 제 2 및 제 1 게이트 오프 전압(Voff2 및 Voff1)이 각각 시간차를 두고 인가되어 제 2 및 제 1 박막 트랜지스터(T2 및 T1)가 각각 턴오프된다. 이때, 방향 제어 전극(163) 및 화소 전극(180)은 각각 제 1 데이터 신호(D1)의 전위 및 제 2 데이터 신호(D2)의 전위를 유지하게 된다. 따라서, 공통 전극(250)에 인가되는 공통 전압이 0V라면 방향 제어 전극(163)과 공통 전극(250) 사이에 화소 전극(180)과 공통 전극(250) 사이의 전압차보다 큰 전압차가 생기게 되고, 방향 제어 전극(163) 상부의 박막 트랜지스터 기판(100)과 컬러 필터 기판(200)의 표면에 거의 수직인 전기장이 생기게 된다. 액정 분자들은 이러한 전기장에 응답하여 그 장축이 전기장의 방향에 수직을 이루도록 방향을 바꾸게 된다. 이때, 화소 전극 절개부(191, 192, 193 및 194)는 전기장을 왜곡하여 액정 분자들의 경사 방향을 결정하는 수평 성분을 만들어낸다. 전기장의 수평 성분은 절개부(190)와 화소 전극(180)에 거의 수직이며, 화소 전극(180) 전압의 극성에 따라 화소 전극(180) 내부 또는 외부를 향한다. 예를 들어, 화소 전극(180) 전압이 공통 전압(Vcom)보다 크면 수평 성분은 화소 전극(180)의 외부를 향한다. 따라서, 화소 전극 절개부(191, 192, 193 및 194)에 의해 복수의 영역으로 나뉘어진 화소 전극(180)의 각 영역 위의 액정 분자들이 서로 다른 방향으로 기울어지므로 멀티 도메인을 실현할 수 있어 시야각을 넓힐 수 있다.

<60> 이후 데이터 신호의 극성이 (-)로 바뀌게 되고, (-) 상태에서는 제 3 데이터 신호(D3)가 제 4 데이터 신호(D4)보다 대략 -5V 낮은 전위로 인가되는데, 예를들어 제 3 데이터 신호(D3)는 -5V의 전위로 인가되고, 제 4 데이터 신호(D4)는 0V의 전위로 인가된다. 이때, 게이트 온 전압(Von)이 제 2 및 제 1 게이트 라인(G21 내지 G2n 및 G11 내지 G1n)에 순차적으로 인가되어 제 2 및 제 1 박막 트랜지스터(T1 및 T2)를 순차적으로 턴온시킨다. 따라서, 제 3 데이터 신호(D3) 및 제 4 데이터 신호(D4)가 시간차를 두고 제 2 및 제 1 박막 트랜지스터(T2 및 T1)를 통하여 방향 제어 전극(163) 및 화소 전극(180)에 각각 인가된다.

<61> 그리고, 제 2 및 제 1 게이트 오프 전압(Voff2 및 Voff1)이 서로 다른 전위로 각각 시간차를 두고 인가되어 제 2 및 제 1 박막 트랜지스터(T2 및 T1)가 각각 턴오프되고, 방향 제어 전극(163) 및 화소 전극(180)은 각각 제 3 데이터 신호(D3)의 전위 및 제 4 데이터 신호(D4)의 전위를 유지하게 된다. 이때, 제 1 및 제 2 게이트 오프 전압(Voff1 및 Voff2)은 각각 -7V 및 -13V의 전위로 인가된다.

<62> 이러한 방식으로 구동되면, (+) 상태에서 방향 제어 전극(163)의 전압과 제 2 게이트 오프 전압(Voff2)의 차는 30~33V로 충분히 커서 제 2 박막 트랜지스터(T2)에 누설 전류가 발생하지 않는다. 또한, (-) 상태에서도 방향 제어 전극(163)의 전압과 제 2 게이트 오프 전압(Voff2)의 차는 8V로 커서 제 2 박막 트랜지스터(T2)에 누설 전류가 발생하지 않는다.

<63> 여기서, 제 2 게이트 오프 전압(Voff2)은 (-) 상태에서 방향 제어 전극(163)의 전압을 고려하여 제 1 게이트 오프 전압(Voff1)보다 낮은 전압으로 인가된다. 바람직하게는, 제 2 게이트 오프 전압(Voff2)은 [수학식 1]과 같이 방향 제어 전극(163)에 인가되는 네가티브 전압의 1/2 내지 3/2의 범위와 제 1 게이트 오프 전압(Voff1)을 더한 더한 네가티브 전압으로 인가된다. 예를들어 제 1 게이트 오프 전압(Voff1)이 -7V이고, (-) 상태에서 방향 제어 전극(163)에 인가되는 전압이 -5V일 경우 제 2 게이트 오프 전압(Voff2)은 -9.5V~-14.5V의 전압으로 인가된다.

수학식 1

$$V_{off2} = V_{off1} + \left(\frac{1}{2} \sim \frac{3}{2} \right) V_{dce}$$

<64>

- <65> 이상에서 설명한 전압은 본 발명을 보다 구체적으로 설명하기 위한 예에 불과하며, 제 2 게이트 오프 전압(Voff2)은 제 2 박막 트랜지스터(T2)의 특성에 따라 다양하게 정해질 수 있고, 그 밖에 화소 전극(180) 및 방향 제어 전극(163)에 인가되는 전압 등도 구동하고자 하는 범위에 따라 다양하게 채택될 수 있다.
- <66> 한편, 상기한 바와 같은 데이터 라인을 통해 서로 다른 전위의 데이터 신호를 방향 제어 전극 및 화소 전극에 인가하는 방식 이외에도 다양한 구동 방식이 이용될 수 있다. 예를들어 방향 제어 전극과 중첩되도록 유지 전극 라인을 형성하여 유지 전극 라인과 방향 제어 전극이 방향 제어 축전기를 이루도록 한다. 이때, 화소 전극은 공통 전극과 액정 축전기를 이루고 유지 전극 라인과 화소 전극도 일부 중첩되어 유지 축전기를 이룬다. 또한, 방향 제어 전극과 공통 전극이 다른 액정 축전기를 이룬다. 그런데, 유지 전극 라인과 방향 제어 전극의 중첩 면적이 유지 전극 라인과 화소 전극의 중첩 면적보다 더 크도록 하는 것이 바람직하다. 다음으로 유지 전극 라인에 소정 전압을 인가하고 방향 제어 전극과 화소 전극에 동일 전압을 인가한 후 유지 전극 라인의 전압을 상승시킨다. 이렇게 하면 방향 제어 축전기의 정전 용량이 상승하게 되어 방향 제어 축전기의 정전 용량이 유지 축전기의 정전 용량보다 커지게 된다. 이에 따라 방향 제어 축전기 상부의 액정 축전기도 영향을 받아 액정 분자들의 기우는 방향이 조절된다.
- <67> <제 2 실시 예>
- <68> 상기 본 발명의 제 1 실시 예는 두개의 게이트 라인에 각각 박막 트랜지스터를 형성하고, 서로 다른 게이트 전압을 인가하였다. 그러나, 본 발명의 제 2 실시 예는 하나의 게이트 라인을 이용하여 서로 다른 게이트 전압이 인가되도록 하는데, 이를 도 7 내지 도 10을 이용하여 설명하면 다음과 같다.
- <69> 도 7은 본 발명의 제 2 실시 예에 따른 액정 표시 패널의 평면도이고, 도 8는 도 7의 II-II' 라인을 따라 절취한 단면도이고, 도 9는 도 7의 III-III' 라인을 따라 절취한 단면도이며, 도 10은 도 7의 IV-IV' 라인을 따라 절취한 단면도이다.
- <70> 본 발명의 제 2 실시 예에 따른 액정 표시 패널(300)은 방향 제어 전극(163)과 연결된 제 2 박막 트랜지스터(T2)의 제 2 게이트 전극(126)에는 게이트 라인(121)의 게이트 전압이 직접 인가된다. 또한, 화소 전극(180)과 연결된 제 1 박막 트랜지스터(T1)의 제 1 게이트 전극(122)에는 게이트 라인(121)의 게이트 전압이 게이트 라인(121)으로부터 분리된 제 1 게이트 전극(122)과 화소 전극(180)으로부터 분리된 더미 전극(185)의 결합 비(coupling ratio)에 따라 조절된 전위가 인가된다. 즉, 제 1 게이트 전극(122)에는 제 1 게이트 전극(122)과 화소 전극(180)의 결합 비에 따라 게이트 라인(121)의 게이트 전압이 강화되어 인가된다. 따라서, 게이트 라인(121)을 통해 제 2 게이트 전극(126)에 인가되는 게이트 전압에 대한 제 1 게이트 전극(122)에 인가되는 전압의 전압 강하량을 고려하여 제 1 게이트 전극(122)과 더미 전극(185)의 결합 비를 조절한다. 이러한 본 발명의 제 2 실시 예에 따른 액정 표시 장치를 설명을 설명하면 다음과 같다.
- <71> 도 7, 도 8, 도 9 및 도 10을 참조하면, 본 발명의 제 2 실시 예에 따른 액정 표시 패널(300)은 박막 트랜지스터 기관(100)과, 이에 대면하고 있는 컬러 필터 기관(200), 그리고 이들 사이에 위치하고 있는 액정층(310)을 포함한다.
- <72> 박막 트랜지스터 기관(100)은 제 1 절연 기관(110) 상부에 일 방향으로 연장되는 복수의 게이트 라인(121)과, 게이트 라인(121)과 교차되어 연장된 복수의 데이터 라인(160)과, 게이트 라인(121)과 데이터 라인(160)에 의해 정의된 화소 영역에 형성된 화소 전극(180)과, 제 1 게이트 전극(122), 데이터 라인(160) 및 화소 전극(180)과 연결된 제 1 박막 트랜지스터(T1) 및 제 2 게이트 전극(125), 데이터 라인(160) 및 방향 제어 전극(163)과 연결된 제 2 박막 트랜지스터(T2)를 포함한다.
- <73> 게이트 라인(121)은 예를들어 가로 방향으로 연장되어 형성되며, 게이트 라인(121)으로부터 분리되어 제 1 게이트 전극(122)이 형성되고, 게이트 라인(121)의 일부가 돌출되어 제 2 게이트 전극(126)이 형성된다. 여기서, 제 1 게이트 전극(122)은 게이트 라인(121)과 이격되어 화소 영역 내에 형성되며, 화소 전극(180)과 중첩되지 않도록 형성된다. 또한, 화소 전극(180)과 일부 중첩되어 유지 축전기(Cst)를 형성하는 유지 전극 라인(미도시)이 더 형성될 수 있다.
- <74> 게이트 라인(121)을 포함한 전체 상부에 게이트 절연막(130)이 형성된다. 제 1 게이트 전극(122) 상부의 게이트 절연막(130)의 일부에는 제 1 활성층(141) 및 제 1 오믹 콘택층(151)이 형성된다. 그리고, 제 2 게이트 전극(126) 상부의 게이트 절연막(130) 상부에는 제 2 활성층(145) 및 제 2 오믹 콘택층(155)이 형성된다.
- <75> 데이터 라인(160)은 게이트 라인(121)과 교차하는 방향, 즉 세로 방향으로 연장 형성되며, 데이터 라인(160)이

게이트 라인(121)과 교차되는 영역이 화소 영역으로 정의된다. 데이터 라인(160)으로부터 제 1 및 제 2 오믹 콘택층(151 및 155) 상부까지 연장되어 제 1 및 제 2 소오스 전극(161 및 165)이 형성된다. 또한, 제 1 소오스 전극(161)과 이격되어 제 1 오믹 콘택층(151) 상부에 제 1 드레인 전극(162)이 형성된다. 이에 따라 제 1 게이트 전극(122), 제 1 소오스 전극(161) 및 화소 전극(180)과 연결된 제 1 드레인 전극(162)을 포함하는 제 1 박막 트랜지스터(T1)가 형성된다.

<76> 방향 제어 전극(163)은 화소 영역에 형성되며, 데이터 라인(160)과 동일층에 형성될 수 있다. 방향 제어 전극(163)은 세로부(163a), 가로부(163b), 제 1 사선부(163c) 및 제 2 사선부(163d)를 포함한다. 그리고, 방향 제어 전극(163)의 일부는 제 2 박막 트랜지스터(T2)의 제 2 드레인 전극(166)의 역할을 한다. 따라서, 제 2 게이트 전극(126), 제 2 소오스 전극(165) 및 방향 제어 전극(163)에 연결된 제 2 드레인 전극(166)으로 이루어진 제 2 박막 트랜지스터(T2)가 형성된다. 또한, 방향 제어 전극(163), 즉 제 1 및 제 2 사선부(163c 및 163d)는 화소 전극 절개 패턴(190)의 적어도 일부와 중첩된다.

<77> 게이트 라인(121), 데이터 라인(160) 및 방향 제어 전극(163)을 포함한 전체 상부에 보호막(170)이 형성되고, 보호막(170)의 소정 영역에는 제 1 드레인 전극(162)의 소정 영역을 노출시키는 제 1 콘택홀(181) 및 게이트 라인(121)의 일부를 노출시키는 제 2 콘택홀(182)이 형성된다.

<78> 보호막(170) 상부에는 제 1 콘택홀(181)을 통해 제 1 드레인 전극(162)과 전기적으로 연결되는 화소 전극(180)이 형성된다. 그리고, 화소 전극(180)에는 화소 전극 절개 패턴(190)이 형성되며, 방향 제어 전극(163)이 화소 전극 절개 패턴(190)과 적어도 일부가 중첩된다. 또한, 화소 전극(180)과 분리되어 제 2 콘택홀(182)을 통해 게이트 라인(121)과 전기적으로 연결되고, 제 1 게이트 전극(122)과 게이트 절연막(130) 및 보호막(170)을 사이에 두고 결합 축전기를 이루는 더미 전극(185)이 형성된다. 즉, 화소 전극(180)과 더미 전극(185)은 동일 평면 상에 동시에 형성된다.

<79> 더미 전극(185)은 게이트 라인(121)과 연결되고, 제 1 게이트 전극(122)과 중첩되어 결합 축전기(coupling capacitor)를 이루는데, 더미 전극(185)과 제 1 게이트 전극(122)의 중첩 면적에 따라 결합 용량(coupling capacitance)이 조절된다. 즉, 결합 용량은 더미 전극(185)과 제 1 게이트 전극(122)의 중첩 면적이 클수록 커지고, 중첩 면적이 작아질수록 작아진다. 또한, 결합 용량은 제 1 게이트 전극(122)과 제 1 소오스 전극(161) 사이의 기생 용량, 제 1 게이트 전극(122)과 제 1 드레인 전극(162) 사이의 기생 용량에 의해서도 조절될 수 있고, 액정 용량에 따라 조절될 수 있으나, 이들은 고정하는 것이 바람직하다. 따라서, 더미 전극(185)과 제 1 게이트 전극(122)의 중첩 면적을 조절하면 게이트 라인(121)을 통해 인가되는 게이트 전압보다 낮은 전위로 결합 축전기의 전위를 조절할 수 있고, 이에 따라 제 1 게이트 전극(122)의 전위를 조절할 수 있다. 즉, 제 1 게이트 전극(122)의 전위는 [수학식 2]에 의해 산출된다.

수학식 2

$$V_{g1} = V_g \frac{C_{cp}}{C_{cp} + C_{lc} + C_{gs} + C_{gd}}$$

<80> 여기서, V_g 는 게이트 라인(121)에 인가되는 전압, V_{g1} 은 제 1 게이트 전극(122)의 전위, C_{cp} 는 제 1 게이트 전극(122)과 더미 전극(185)의 결합 용량, C_{lc} 는 액정 용량, C_{gs} 는 제 1 게이트 전극(122)과 제 1 소오스 전극(161) 사이의 기생 용량, C_{gd} 는 제 1 게이트 전극(122)과 제 1 드레인 전극(162) 사이의 기생 용량이다. 또한, 게이트 라인(121)에 인가되는 전압은 게이트 신호, 즉 게이트 온 전압(V_{on}) 및 게이트 오프 전압(V_{off})이다.

<82> 따라서, 제 2 박막 트랜지스터(T2)의 제 2 게이트 전극(126)에 인가되는 전압으로 게이트 라인(121)을 통해 게이트 전압을 인가하고, 제 1 게이트 전극(122)과 더미 전극(185)의 중첩 면적을 조절하여 기생 용량(C_{cp})를 조절함으로써 제 2 게이트 전극(122)에 인가되는 전압을 조절할 수 있다.

<83> 예를 들어 제 1 게이트 전극(122)과 더미 전극(185)의 중첩 면적을 조절하여 결합 용량(C_{cp})을 조절함으로써 제 1 게이트 전극(122)의 전위와 제 2 게이트 전극(125)의 전압의 비가 0.6:1이 되도록 한 후, 제 2 게이트 전극(125)에 인가되는 제 2 게이트 온 전압(V_{on2}) 및 제 2 게이트 오프 전압(V_{off2})을 각각 33V 및 -12V로 인가한다. 이렇게 하면 제 2 박막 트랜지스터(T2)의 제 2 게이트 전극(125)에는 33V의 제 2 게이트 온 전압(V_{on2}) 및 -12V의 제 2 게이트 오프 전압(V_{off2})이 인가된다. 그러나, 제 1 박막 트랜지스터(T1)의 제 1 게이트 전극(122)에는 각각 19.8V 및 -7.2V의 제 1 게이트 온 전압(V_{on1}) 및 제 1 게이트 오프 전압(V_{off1})이 인가된

다. 따라서, 방향 제어 전극(163)과 화소 전극(180)에 인가되는 전압차가 5V, 즉 방향 제어 전극(163)에 화소 전극(180)보다 (+) 상태에서 5V의 전압 및 (-) 상태에서 -5V의 전압이 더 인가되고, (-) 상태에서 방향 제어 전극(163)의 전압이 -5V라면 제 2 게이트 오프 전압(Voff2)과 방향 제어 전극(163)의 전압차는 7V로 충분히 크다. 따라서, 제 2 박막 트랜지스터(T2)에서 누설 전류가 발생되지 않는다.

<84> 이러한 제 2 게이트 오프 전압(Voff2)과 제 1 게이트 오프 전압(Voff1)의 차는 방향 제어 전극(163)에 인가되는 네가티브 전압, 즉 (-) 상태에서의 방향 제어 전극(163)에 인가되는 전압의 1/2 내지 3/2의 범위에서 조절하는 것이 바람직하다. 즉, 제 2 게이트 오프 전압(Voff2)과 제 1 게이트 오프 전압(Voff1)의 차가 (-) 상태에서 방향 제어 전극(163)에 인가되는 네가티브 전압의 1/2 내지 3/2의 범위에서 조절되도록 제 1 게이트 전극(122)과 더미 전극(185)의 중첩 면적을 조절하여 결합 용량(Ccp)을 조절한다.

<85> <제 3 실시 예>

<86> 도 11은 본 발명의 제 3 실시 예에 따른 액정 표시 패널의 평면도이고, 도 12, 도 13 및 도 14는 각각 도 11의 V-V' 라인, IV-IV' 라인 및 VII-VII' 라인을 따라 절취한 단면도이다.

<87> 본 발명의 제 3 실시 예에 따른 액정 표시 패널(300)은 화소 전극용 제 1 박막 트랜지스터(T1) 및 방향 제어 전극용 제 2 박막 트랜지스터(T2)가 게이트 라인(121) 및 데이터 라인(160)과 각각 연결되며, 제 1 박막 트랜지스터(T1)의 제 1 게이트 전극(122) 상부의 게이트 절연막(130) 두께와 제 2 박막 트랜지스터(T2)의 제 2 게이트 전극(126) 상부의 게이트 절연막(130)의 두께를 다르게 형성한다. 즉, 제 2 박막 트랜지스터(T2)의 게이트 절연막(130)이 제 1 박막 트랜지스터(T1)의 게이트 절연막(130)보다 얇게 형성된다. 이에 따라 동일 전위의 게이트 신호가 인가되더라도 제 1 박막 트랜지스터(T1)에 인가되는 게이트 신호의 전위가 제 2 박막 트랜지스터(T2)에 인가되는 게이트 신호의 전위보다 낮게 된다. 따라서, 게이트 신호의 하강 전위를 고려하여 게이트 신호의 전위를 상승시켜 인가함으로써 게이트 신호와 방향 제어 전극(163)의 전압과의 차를 크게 하여 제 2 박막 트랜지스터(T2)의 누설 전류를 방지한다.

<88> 도 11, 도 12, 도 13 및 도 14를 참조하면, 본 발명의 제 3 실시 예에 따른 액정 표시 패널(300)은 박막 트랜지스터 기관(100)과, 이에 대면하고 있는 컬러 필터 기관(200), 그리고 이들 사이에 위치하고 있는 액정층(310)을 포함한다.

<89> 박막 트랜지스터 기관(100)은 제 1 절연 기관(110) 상부에 일 방향으로 연장되는 복수의 게이트 라인(121)과, 게이트 라인(121)과 교차되어 연장된 복수의 데이터 라인(160)과, 게이트 라인(121)과 데이터 라인(160)에 의해 정의된 화소 영역에 형성된 화소 전극(180)과, 게이트 라인(121), 데이터 라인(160) 및 화소 전극(180)에 접속된 제 1 박막 트랜지스터(T1)와, 게이트 라인(121), 데이터 라인(160) 및 방향 제어 전극(163)에 접속된 제 2 박막 트랜지스터(T2)를 포함한다.

<90> 게이트 라인(121)은 예를들어 가로 방향으로 연장되어 형성되며, 게이트 라인(121)의 일부가 돌출되어 제 1 및 제 2 게이트 전극(122 및 126)이 형성된다. 그리고, 화소 전극(180)과 일부 중첩되어 유지 축전기(Cst)를 형성하는 유지 전극 라인(미도시)이 더 형성될 수 있다.

<91> 게이트 라인(121)을 포함한 전체 상부에 게이트 절연막(130)이 형성된다. 여기서, 제 1 게이트 전극(122) 상부의 게이트 절연막(130a) 두께와 제 2 게이트 전극(126) 상부의 게이트 절연막(130b)의 두께를 다르게 형성한다. 즉, 제 2 게이트 전극(126) 상부의 게이트 절연막(130b)이 제 1 게이트 전극(122) 상부의 게이트 절연막(130a)보다 얇게 형성된다. 이를 위해 제 2 게이트 전극(126) 상부에 제 2 게이트 전극(126)을 가리는 마스크를 형성하여 소정 두께의 게이트 절연막(130)을 형성한 후 마스크를 제거하고 나머지 두께의 게이트 절연막(130)을 형성한다. 또는 게이트 절연막(130)을 형성한 후 제 2 게이트 전극(126) 상부의 게이트 절연막(130)을 노출시키는 마스크를 이용한 사진 및 식각 공정으로 제 2 게이트 전극(126) 상부의 게이트 절연막(130)을 소정 두께 식각한다.

<92> 서로 다른 두께로 형성된 게이트 절연막(130a 및 130b) 상부에는 제 1 활성층(141) 및 제 2 활성층(145)이 각각 형성되며, 제 1 및 제 2 활성층(141 및 145)의 상부에는 제 1 오믹 콘택층(151) 및 제 2 오믹 콘택층(155)이 각각 형성된다.

<93> 데이터 라인(160)은 게이트 라인(121)과 교차되어 형성된다. 이때, 제 1 및 제 2 오믹 콘택층(151 및 155) 상부에는 제 1 및 제 2 소오스 전극(161 및 165)과 제 1 및 제 2 드레인 전극(162 및 166)이 형성되며, 데이터 라인(160)이 게이트 라인(121)과 교차되어 정의되는 화소 영역내에 방향 제어 전극(163)이 형성된다. 한편, 방향 제어 전극(163)의 일부는 제 2 박막 트랜지스터(T2)의 드레인 전극(166)으로 작용한다. 따라서, 제 1 게이트 전극

(122), 제 1 소오스 전극(161) 및 제 1 드레인 전극(162)으로 이루어진 제 1 박막 트랜지스터(T1)가 완성되고, 제 2 게이트 전극(126), 제 2 소오스 전극(165) 및 방향 제어 전극(163)에 연결된 제 2 드레인 전극(166)으로 이루어진 제 2 박막 트랜지스터(T2)가 완성된다.

<94> 게이트 라인(121), 데이터 라인(160) 및 방향 제어 전극(163)을 포함한 전체 상부에 보호막(170)이 형성되며, 보호막(170)의 소정 영역에는 제 1 드레인 전극(162)의 소정 영역을 노출시키는 콘택홀(181)이 형성된다.

<95> 보호막(170) 상부에는 제 1 드레인 전극(162)과 전기적으로 연결되는 화소 전극(180)이 형성된다.

<96> 그런데, 제 2 게이트 전극(126) 상부의 게이트 절연막(130b)이 제 1 게이트 전극(122) 상부의 게이트 절연막(130a)보다 얇게 형성되면 제 2 박막 트랜지스터(T2)에 인가되는 전계가 제 1 박막 트랜지스터(T1)에 인가되는 전계보다 더 크게 된다. 이는 하기 [수학식 3]과 같이 전계(E)가 게이트 전압(Vg)에 비례하고 절연막의 두께(d)에 반비례하기 때문이다.

수학식 3

$$E = \frac{Vg}{d}$$

<97>

<98> 예를들어 게이트 전압(Vg)이 -7V이고, 제 1 및 제 2 게이트 전극(122 및 126) 상부의 게이트 절연막(130a 및 130b)의 두께가 각각 4500Å 및 3000Å일 경우 제 1 박막 트랜지스터(T1)에 인가되는 전계는 상기 [수학식 3]에 의해 $-15.6V/\mu m$ 이고, 제 2 박막 트랜지스터(T2)에 인가되는 전계는 상기 [수학식 3]에 의해 $-23V/\mu m$ 이다. 따라서, 동일 전압의 게이트 신호가 인가되더라도 제 1 및 제 2 박막 트랜지스터(T1 및 T2) 각각에 인가되는 전계는 상이하게 된다. 예를들어, 방향 제어 전극(163)에 화소 전극(180)보다 (+) 및 (-) 상태에서 각각 5V 및 -5V의 전압이 더 인가되고, (-) 상태에서 방향 제어 전극(163)에 인가되는 전압이 -5V라면 제 2 게이트 오프 전압(Voff2)과 방향 제어 전극(163)의 전압차가 18V로 충분히 크기 때문에 누설 전류가 발생되지 않는다.

<99> 이러한 제 1 게이트 전극(122) 상부의 게이트 절연막(130a)의 두께에 대한 제 2 게이트 전극(126) 상부에 게이트 절연막(130b)의 두께의 비는 10:3 내지 10:9의 범위로 조절하는 것이 바람직하다. 예를들어 제 1 게이트 전극(122) 상부의 게이트 절연막(130a)의 두께가 5000Å이라면 제 2 게이트 전극(126) 상부의 게이트 절연막(130b)은 1500~4500Å로 조절한다.

도면의 간단한 설명

<100> 도 1은 본 발명의 제 1 실시 예에 따른 액정 표시 패널의 평면도.

<101> 도 2는 도 1의 I-I' 라인을 절취한 상태의 단면도.

<102> 도 3은 도 1의 화소 전극 절개 패턴의 평면도.

<103> 도 4는 본 발명의 제 1 실시 예에 따른 액정 표시 패널을 구동시키기 위한 장치의 구성도.

<104> 도 5는 본 발명의 제 1 실시 예에 따른 일 화소의 등가 회로도.

<105> 도 6은 본 발명의 제 1 실시 예에 따른 액정 표시 패널을 구동시키기 위한 동작 타이밍도.

<106> 도 7은 본 발명의 제 2 실시 예에 따른 액정 표시 패널의 평면도.

<107> 도 8은 도 7의 II-II' 라인을 절취한 상태의 단면도.

<108> 도 9은 도 7의 III-III' 라인을 절취한 상태의 단면도.

<109> 도 10은 도 7의 IV-IV' 라인을 절취한 상태의 단면도.

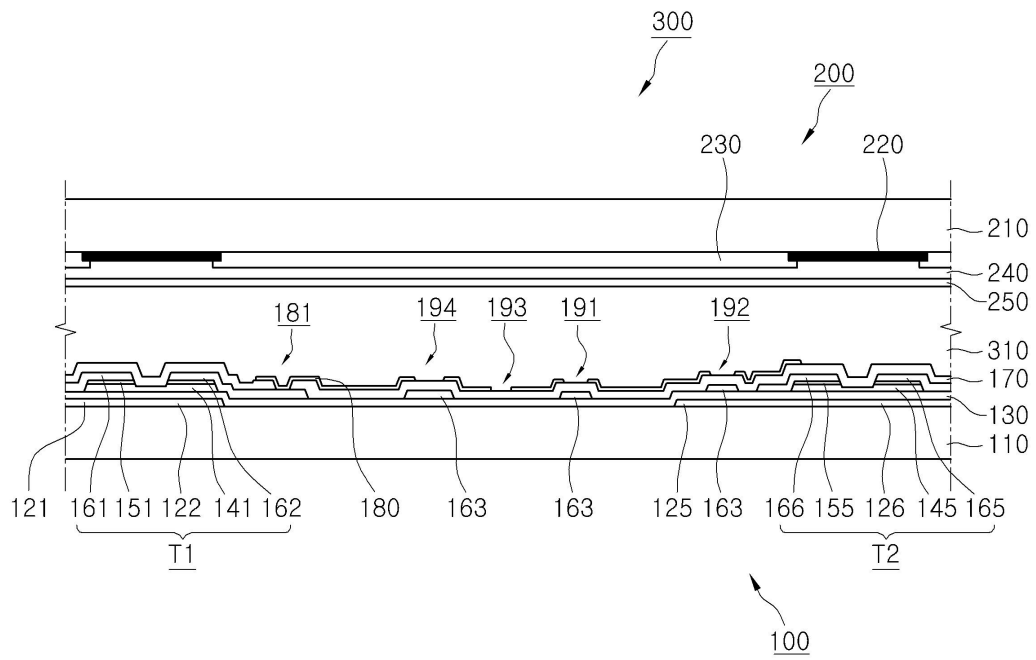
<110> 도 11은 본 발명의 제 3 실시 예에 따른 액정 표시 패널의 평면도.

<111> 도 12은 도 11의 V-V' 라인을 따라 절취한 상태의 단면도.

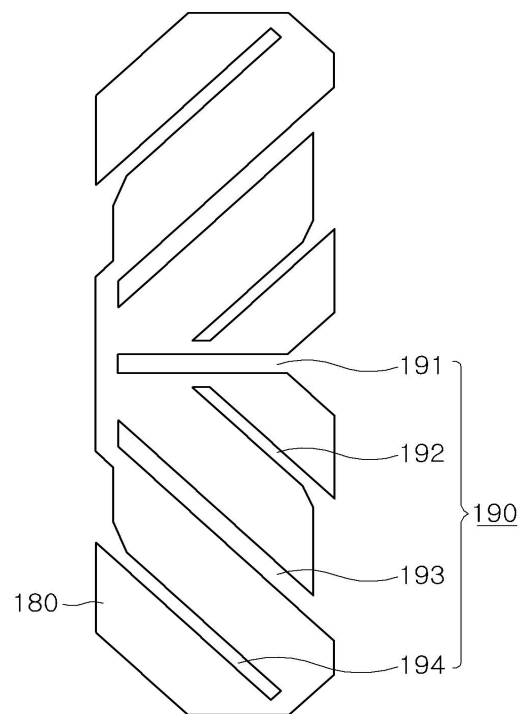
<112> 도 13는 도 11의 VI-VI' 라인을 따라 절취한 상태의 단면도.

<113> 도 14는 도 11의 VII-VII' 라인을 따라 절취한 상태의 단면도.

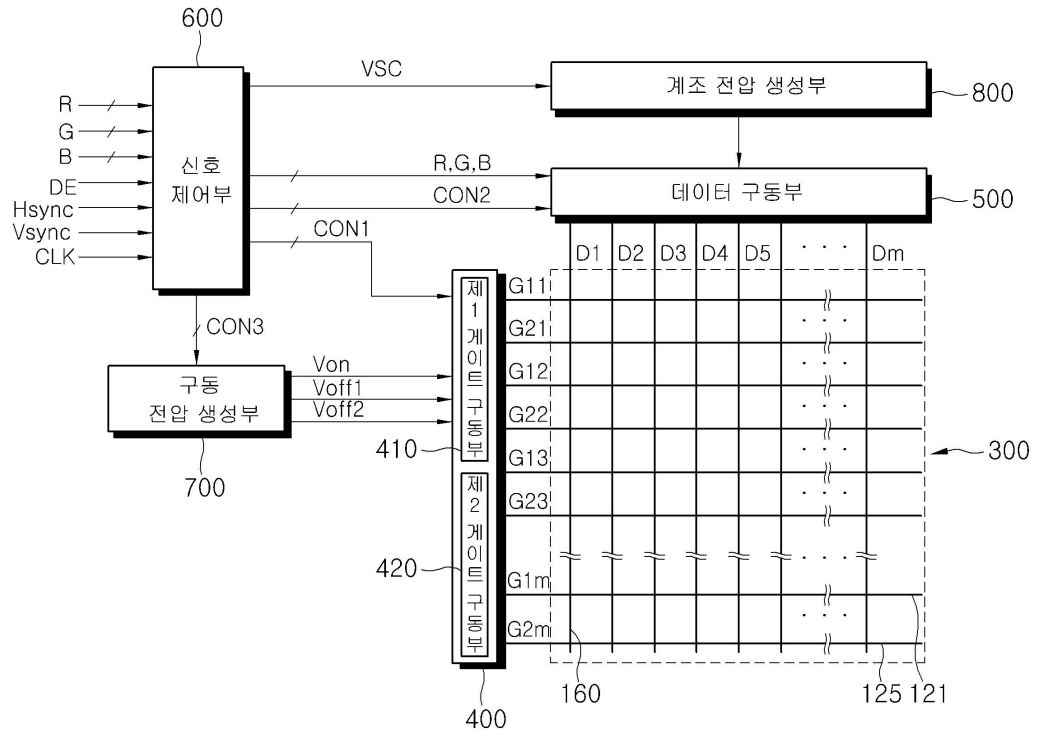
도면2



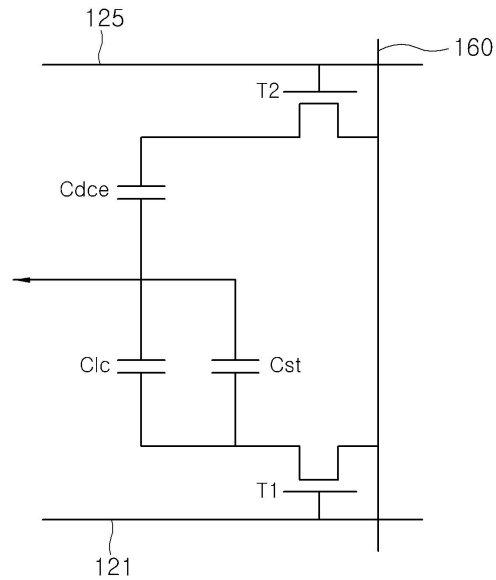
도면3



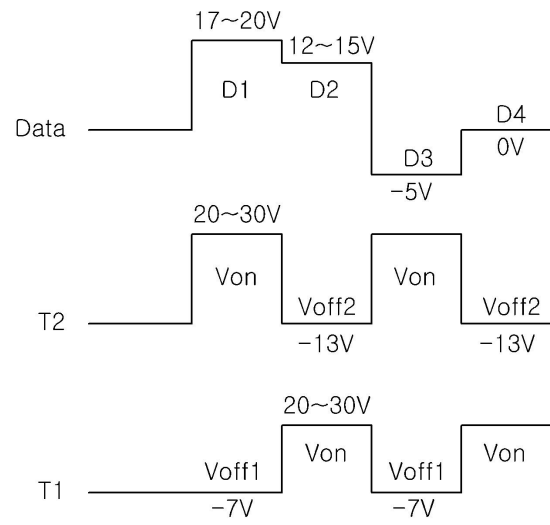
도면4



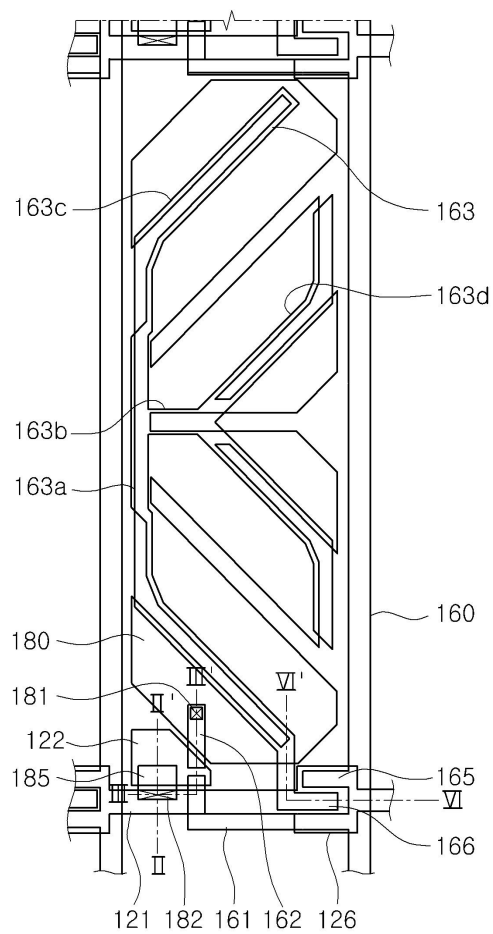
도면5



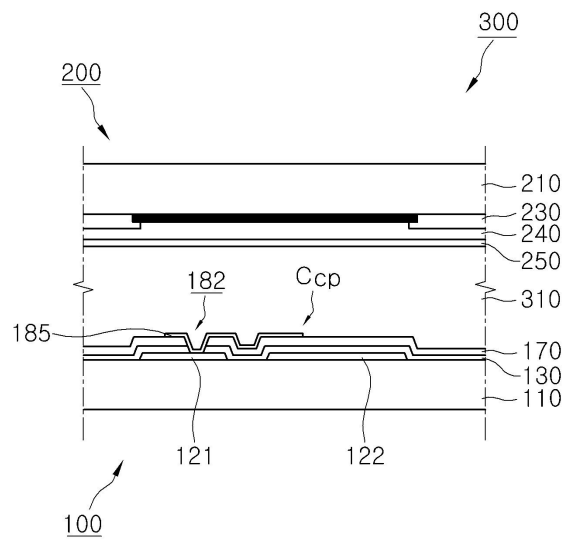
도면6



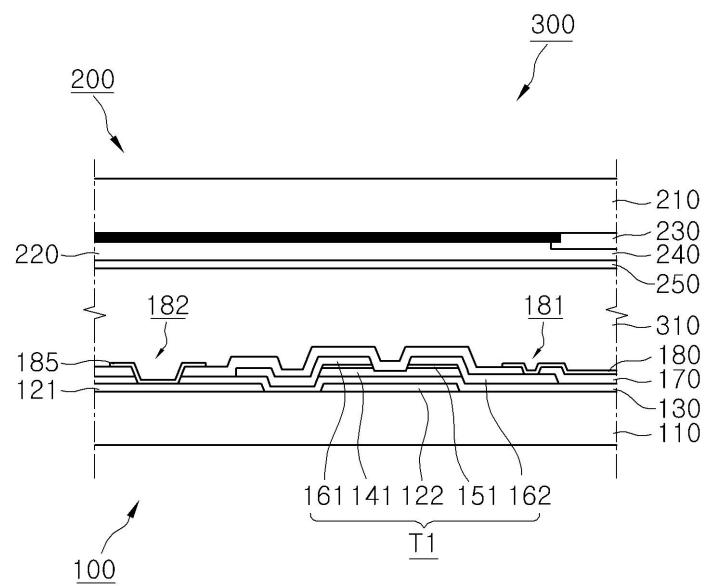
도면7



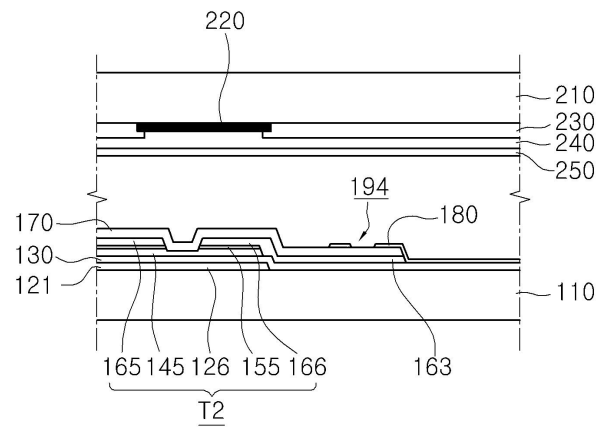
도면8



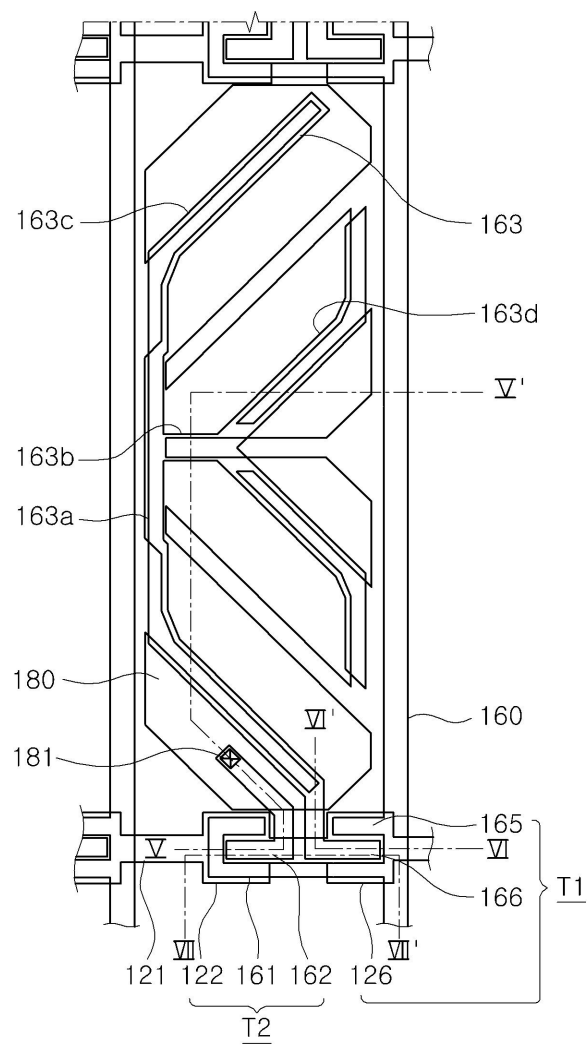
도면9



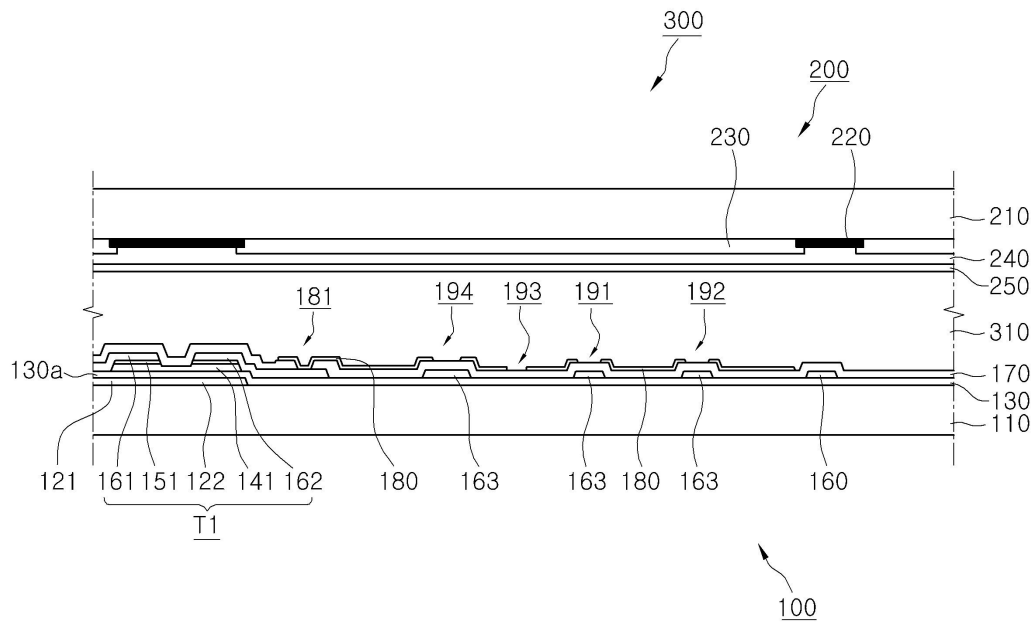
도면10



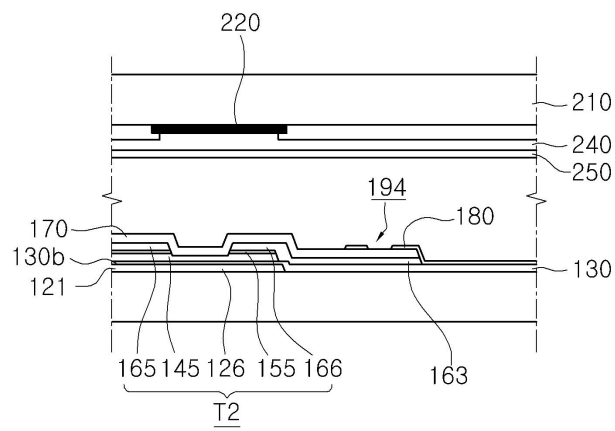
도면11



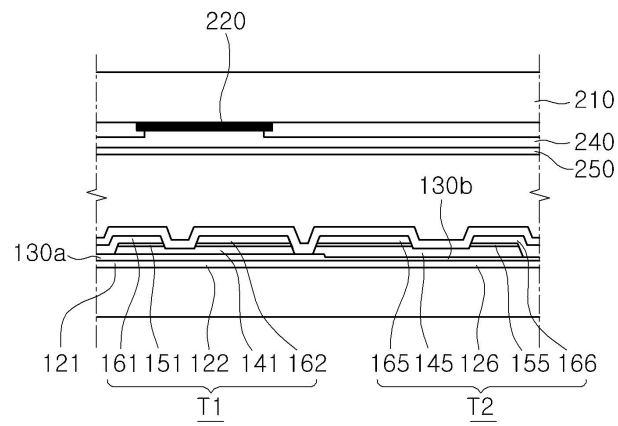
도면12



도면13



도면14



专利名称(译)	液晶显示器		
公开(公告)号	KR1020090040652A	公开(公告)日	2009-04-27
申请号	KR1020070106108	申请日	2007-10-22
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	UM YOON SUNG 엄윤성 LYU JAE JIN 유재진		
发明人	엄윤성 유재진		
IPC分类号	G02F1/133 G02F1/1343		
CPC分类号	G09G2320/0219 G09G2300/0447 G09G2300/0439 G09G3/3659 G09G2320/028 G02F1/136286 G02F1/136213 G02F2001/134354 G09G2300/043 G02F1/13624 G09G2300/0876		
其他公开文献	KR101515085B1		
外部链接	Espacenet		

摘要(译)

根据本发明，用于像素电极和方向控制电极的薄膜晶体管的薄膜晶体管形成在不同的栅极线中。并且根据耦合电容或者用于像素电极的薄膜晶体管的薄膜晶体管，授权不同电位的栅极截止电压或者在用于像素电极的薄膜晶体管中授权下降的栅极电压。并且控制电极形成在相同的栅极线上并且不同地形成栅极绝缘层的厚度，施加在用于方向控制电极的薄膜晶体管中的电场使液晶显示器大于施加在其中的电场。用于像素电极的薄膜晶体管。根据本发明，在数据信号的极性为 (-) 状态时，即使方向控制电极的电压差和施加在用于方向控制电极的薄膜晶体管的栅电极中的电场完成，可以防止第二薄膜晶体管的漏电流并且不授权高电压，可以将一个像素划分为不同的域。方向控制电极，多畴，栅极线，寄生电容，栅极绝缘体厚度。

