



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0033998
(43) 공개일자 2009년04월07일

(51) Int. Cl.

G02F 1/13 (2006.01)

(21) 출원번호 10-2007-0099112

(22) 출원일자 2007년10월02일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

엄윤성

경기 용인시 수지구 상현동 상현마을쌍용2차아파트 쌍룡 APT216동 1702호

유재진

경기 용인시 기흥구 신갈동 새천년그린빌4단지 407동 1302호

박승범

서울 영등포구 당산동5가 삼성래미안4차아파트 409동 502호

(74) 대리인

박영우

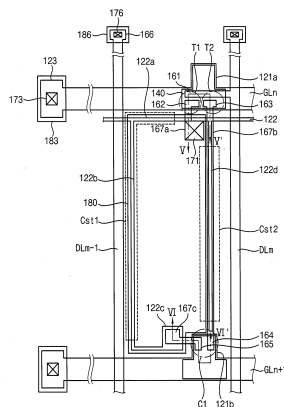
전체 청구항 수 : 총 16 항

(54) 표시 기관 및 이를 갖는 액정 표시 장치

(57) 요약

소비 전력을 줄이기 위한 표시 기관 및 이를 갖는 액정 표시 장치에서, n번째 게이트 라인은 절연 기관 상에 제1 방향으로 형성되고 데이터 라인은 n번째 게이트 라인과 교차하는 제2 방향으로 형성된다. 제1 소스 전극은 n번째 게이트 라인과 일부 중첩되고 데이터 라인과 연결된다. 제1 및 제2 드레인 전극은 제1 소스 전극과 이격된다. 화소 전극은 제1 드레인 전극과 전기적으로 연결된다. 제2 소스 전극은 n+1번째 게이트 라인과 일부 중첩되고 제2 드레인 전극으로부터 연장되어 형성된다. 제3 드레인 전극은 제2 소스 전극과 이격된다. 스토리지 라인은 화소 전극, 제2 드레인 전극 및 제3 드레인 전극과 중첩된다. 화소 전극내에 전하 공유 구조를 갖도록 화소를 설계하여 소비전력을 줄일 수 있다.

대표도 - 도2



특허청구의 범위

청구항 1

절연 기판 상에 제1 방향으로 형성된 n (n 은 자연수)번째 게이트 라인;
 상기 n 번째 게이트 라인과 절연되고 상기 제1 방향과 교차하는 제2 방향으로 형성된 데이터 라인;
 상기 n 번째 게이트 라인과 적어도 일부 중첩되고 상기 데이터 라인과 연결된 제1 소스 전극;
 상기 n 번째 게이트 라인과 적어도 일부 중첩되고, 상기 제1 소스 전극과 이격되어 형성된 제1 드레인 전극 및 제2 드레인 전극;
 상기 제1 드레인 전극과 전기적으로 연결된 화소 전극;
 $n+1$ 번째 게이트 라인과 적어도 일부 중첩되고, 상기 제2 드레인 전극이 상기 제2 방향으로 연장되어 형성된 제2 소스 전극;
 상기 $n+1$ 번째 게이트 라인과 적어도 일부 중첩되고, 상기 제2 소스 전극과 이격되어 형성된 제3 드레인 전극;
 및
 상기 화소 전극, 제2 드레인 전극 및 제3 드레인 전극과 중첩되는 스토리지 라인을 포함하는 표시 기판.

청구항 2

제1항에 있어서, 상기 화소 전극은 서로 인접한 게이트 라인들 및 서로 인접한 데이터 라인들에 의해 정의되는 화소 영역에 형성된 것을 특징으로 하는 표시 기판.

청구항 3

제1항에 있어서,
 상기 화소 전극과 상기 스토리지 라인의 제1 부분이 중첩되어 형성된 제1 스토리지 커패시터;
 상기 제3 드레인 전극과 상기 스토리지 라인의 제2 부분이 중첩되어 형성된 전압 다운 커패시터;
 상기 제2 드레인 전극과 상기 스토리지 라인의 제3 부분이 중첩되어 형성된 제2 스토리지 커패시터; 및
 상기 화소 전극과 상기 제3 드레인 전극이 중첩되어 형성된 전압 업 커패시터를 포함하는 표시 기판.

청구항 4

제1 절연 기판 상에 형성된 n (n 은 자연수)번째 게이트 라인과, 상기 n 번째 게이트 라인과 절연되어 교차하는 데이터 라인과, 상기 n 번째 게이트 라인의 적어도 일부와 중첩되고 상기 데이터 라인과 연결된 제1 소스 전극과, 상기 n 번째 게이트 라인의 일부와 중첩되고 상기 제1 소스 전극과 이격된 제1 및 2 드레인 전극과, 상기 제1 드레인 전극과 전기적으로 연결된 화소 전극과, $n+1$ 번째 게이트 라인의 적어도 일부와 중첩되고 상기 제2 드레인 전극이 연장되어 형성된 제2 소스 전극과, 상기 $n+1$ 번째 게이트 라인의 적어도 일부와 중첩되고 상기 제2 소스 전극과 이격된 제3 드레인 전극, 및 상기 화소 전극, 제2 드레인 전극 및 제3 드레인 전극과 중첩되는 스토리지 라인을 포함하는 제1 표시판;
 상기 제1 절연 기판과 대향하는 제2 절연 기판에 형성된 공통 전극을 포함하는 제2 표시판; 및
 상기 제1 표시판과 제2 표시판 사이에 개재되어 있는 액정층을 포함하는 액정 표시 장치.

청구항 5

제4항에 있어서, 상기 화소 전극은 서로 인접한 게이트 라인들 및 서로 인접한 데이터 라인들에 의해 정의되는 화소 영역에 형성된 것을 특징으로 하는 액정 표시 장치.

청구항 6

제4항에 있어서, 상기 화소 전극과 상기 제2 절연 기판 위에 형성된 공통 전극에 의해 형성되는 액정 커패시터;

상기 화소 전극과 상기 제3 드레인 전극이 중첩되어 형성된 전압 업 커패시터;

상기 화소 전극과 상기 스토리지 라인의 제1 부분과 중첩되어 형성된 제1 스토리지 커패시터;

상기 제3 드레인 전극과 상기 스토리지 라인의 제2 부분과 중첩되어 형성된 전압 다운 커패시터; 및

상기 제2 드레인 전극과 상기 스토리지 라인의 제3 부분이 중첩되어 형성된 제2 스토리지 커패시터를 더 포함하는 액정 표시 장치.

청구항 7

제6항에 있어서, 상기 n번째 게이트 라인에 의해 제어되며 상기 제1 소스 전극을 공통 입력단자로 갖고 상기 제1 드레인 전극 및 제2 드레인 전극을 출력단자로 각각 갖는 제1 박막 트랜지스터 및 제2 박막 트랜지스터; 및

상기 n+1번째 게이트 라인에 의해 제어되며 상기 제2 소스 전극을 입력단자로 갖고 상기 제3 드레인 전극을 출력단자로 갖는 연결 트랜지스터를 더 포함하는 액정 표시 장치

청구항 8

제7항에 있어서,

상기 n번째 게이트 라인에 게이트 온 신호 인가 시 상기 제1 및 2 박막 트랜지스터가 턴 온 되어 상기 제1 및 2 드레인 전극에 데이터 전압이 인가되고,

상기 n+1번째 게이트 라인에 게이트 온 신호 인가 시 상기 연결 트랜지스터가 턴 온 되어, 상기 제2 소스 전극과 제3 드레인 전극 간 전하 공유에 따라, 상기 제2 소스 전극의 전압이 하강되고 전압 업 커패시터의 커플링 효과에 의해 상기 화소 전극의 전압이 인가된 데이터 전압 대비 상승되는 액정 표시 장치.

청구항 9

제6항에 있어서,

상기 제1 스토리지 커패시터의 정전용량이 상기 액정 커패시터 정전용량 대비 0 ~ 2.0인 범위를 가지는 액정 표시 장치.

청구항 10

제6항에 있어서,

상기 제2 스토리지 커패시터의 정전용량은 상기 액정 커패시터와 상기 제1 스토리지 커패시터의 정전용량의 합 대비 0.3 ~ 4.0인 범위를 가지는 액정 표시 장치

청구항 11

제6항에 있어서,

상기 전압 업 커패시터의 정전용량은 상기 액정 커패시터 및 제1 스토리지 커패시터(Cst1)의 정전용량의 합 대비 0.05 ~ 1.0인 범위를 가지는 액정 표시 장치.

청구항 12

제6항에 있어서,

상기 전압 다운 커패시터의 정전용량은 상기 제2 스토리지 커패시터의 정전용량 대비 0.05 ~ 1.0인 범위를 가지는 액정 표시 장치.

청구항 13

n번째 게이트 라인과 m번째 데이터 라인에 제어 단자와 입력 단자가 각각 연결된 제1 박막 트랜지스터(n, m은 자연수);

액정층을 포함하고 상기 제1 박막 트랜지스터의 출력 단자에 연결된 액정 커패시터;

상기 제1 박막 트랜지스터의 출력 단자에 연결되어 상기 액정 커패시터와 전기적으로 연결된 제1 스토리지 커패

시터;

상기 n번째 게이트 라인과 상기 m번째 데이터 라인에 제어 단자와 입력 단자가 각각 연결된 제2 박막 트랜지스터;

상기 제2 박막 트랜지스터의 출력 단자에 연결된 제2 스토리지 커패시터;

n+1번째 게이트 라인과 상기 제2 스토리지 커패시터에 제어 단자와 입력 단자가 각각 연결된 연결 트랜지스터;

상기 연결 트랜지스터의 출력 단자에 연결된 전압 다운 커패시터; 및

상기 연결 트랜지스터의 출력 단자와 상기 제1 박막 트랜지스터의 출력 단자 사이에 연결된 전압 업 커패시터를 포함하는 액정 표시 장치.

청구항 14

제13항에 있어서,

상기 제2 스토리지 커패시터의 정전용량은 상기 액정 커패시터와 상기 제1 스토리지 커패시터의 정전용량의 합 대비 0.3 ~ 4.0인 범위를 가지는 액정 표시 장치

청구항 15

제13항에 있어서,

상기 전압 업 커패시터의 정전용량은 상기 액정 커패시터 및 제1 스토리지 커패시터(Cst1)의 정전용량의 합 대비 0.05 ~ 1.0인 범위를 가지는 액정 표시 장치.

청구항 16

제13항에 있어서,

상기 전압 다운 커패시터의 정전용량은 상기 제2 스토리지 커패시터의 정전용량 대비 0.05 ~ 1.0인 범위를 가지는 액정 표시 장치.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 소비 전력을 줄이기 위한 표시 기관 및 이를 갖는 액정 표시 장치에 관한 것이다.

배경 기술

<2> 대표적인 평판 표시장치인 액정 표시 장치는 액정의 광투과율을 조절하는 액정 패널과 상기 액정 패널 하부에 부착되어 광원을 제공하는 백라이트 유니트를 포함한다. 상기 액정 패널은 박막트랜지스터 어레이가 배치된 제1 표시판, 상기 제1 표시판과 대향하는 제2 표시판 및 상기 두 표시판 사이에 개재되어 있는 액정층을 포함한다. 최근 액정 표시 장치의 대형화 및 고해상도의 추세에 따라서 소비되는 전력 또한 증가하여 이를 낮추기 위한 여러 가지 방법들이 제시되고 있는데, 컴 스위칭(Com swing) 방식과 ALS(Active Level Shift) 방식이 이에 해당한다.

<3> 두 방식 모두 구동집적회로(Driver IC)에서 공급되는 데이터 전압보다 화소 전극에 인가되는 실효전압을 상승시키는 데 목적이 있다. 컴 스위칭 방식은 화소 전극과 스토리지 커패시터를 형성하는 스토리지 전극의 전압을 1수평 주기로 교류 반전시켜, 화소 전극의 평균전압을 상승시키는 방식인데 반해, ALS 방식은 1프레임 주기로 스토리지 전극의 전압을 교류 반전시켜 화소 전극 전압을 올려주는 기능을 한다. 다만, 상기 방식에서 ALS 방식은 구동회로의 추가로 인한 원가 상승 및 수율 저하의 원인이 문제되고, 컴 스위칭 방식은 플리커 불량에 취약한 문제점을 가지고 있다.

발명의 내용

해결 하고자하는 과제

- <4> 본 발명이 이루고자 하는 기술적 과제는 상기 종래 기술의 문제점을 해결하기 위해서 화소 구조의 설계 변경으로 화소 전극에 데이터 전압보다 높은 실효전압을 유도하기 위한 표시 기판을 제공하는 것이다.
- <5> 본 발명의 다른 기술적 과제는 상기 표시 기판을 갖는 액정 표시 장치를 제공하는 것이다.

과제 해결수단

- <6> 상기한 본 발명의 기술적 과제를 실현하기 위한 일 실시예에 따른 표시 기판은 n (n 은 자연수)번째 게이트 라인, 데이터 라인, 제1 소스 전극, 제1 드레인 전극, 제2 드레인 전극, 화소 전극, 제2 소스 전극, 제3 드레인 전극, 스토리지 라인을 포함한다. 상기 n 번째 게이트 라인은 절연 기판 상에 제1 방향으로 형성된다. 상기 데이터 라인은 상기 n 번째 게이트 라인과 절연되고 상기 제1 방향과 교차하는 제2 방향으로 형성된다. 상기 제1 소스 전극은 상기 n 번째 게이트 라인과 적어도 일부 중첩되고 상기 데이터 라인과 연결된다. 상기 제1 및 제2 드레인 전극은 상기 n 번째 게이트 라인과 적어도 일부 중첩되고, 상기 제1 소스 전극과 이격되어 형성된다. 상기 화소 전극은 상기 제1 드레인 전극과 전기적으로 연결된다. 상기 제2 소스 전극은 $n+1$ 번째 게이트 라인과 적어도 일부 중첩되고, 상기 제2 드레인 전극이 상기 제2 방향으로 연장되어 형성된다. 상기 제3 드레인 전극은 상기 $n+1$ 번째 게이트 라인과 적어도 일부 중첩되고, 상기 제2 소스 전극과 이격되어 형성된다. 상기 스토리지 라인은 상기 화소 전극, 제2 드레인 전극 및 제3 드레인 전극과 중첩된다.
- <7> 상기한 본 발명의 다른 기술적 과제를 실현하기 위한 일 실시예에 따른 액정 표시 장치는 제1 표시판, 제2 표시판 및 액정층을 포함한다. 상기 제1 표시판은 제1 절연 기판 상에 형성된 n (n 은 자연수)번째 게이트 라인과, 상기 n 번째 게이트 라인과 절연되어 교차하는 데이터 라인과, 상기 n 번째 게이트 라인의 적어도 일부와 중첩되고 상기 데이터 라인과 연결된 제1 소스 전극과, 상기 n 번째 게이트 라인의 일부와 중첩되고 상기 제1 소스 전극과 이격된 제1 및 2 드레인 전극과, 상기 제1 드레인 전극과 전기적으로 연결된 화소 전극과, $n+1$ 번째 게이트 라인의 적어도 일부와 중첩되고 상기 제2 드레인 전극이 연장되어 형성된 제2 소스 전극과, 상기 $n+1$ 번째 게이트 라인의 적어도 일부와 중첩되고 상기 제2 소스 전극과 이격된 제3 드레인 전극, 및 상기 화소 전극, 제2 드레인 전극 및 제3 드레인 전극과 중첩되는 스토리지 라인을 포함한다. 상기 제2 표시판은 상기 제1 절연 기판과 대향하는 제2 절연 기판에 형성된 공통 전극을 포함한다. 상기 액정층은 상기 제1 표시판과 제2 표시판 사이에 개재된다.
- <8> 상기한 본 발명의 다른 기술적 과제를 실현하기 위한 다른 실시예에 따른 액정 표시 장치는 제1 박막 트랜지스터, 액정 커패시터, 제1 스토리지 커패시터, 제2 박막 트랜지스터, 제2 스토리지 커패시터, 연결 트랜지스터, 전압 다운 커패시터 및 전압 업 커패시터를 포함한다. 상기 제1 박막 트랜지스터는 n 번째 게이트 라인과 m 번째 데이터 라인에 제어 단자와 입력 단자가 각각 연결된다. 상기 액정 커패시터는 액정층을 포함하고 상기 제1 박막 트랜지스터의 출력 단자에 연결된다. 상기 제1 스토리지 커패시터는 상기 제1 박막 트랜지스터의 출력 단자에 연결되어 상기 액정 커패시터와 전기적으로 연결된다. 상기 제2 박막 트랜지스터는 상기 n 번째 게이트 라인과 상기 m 번째 데이터 라인에 제어 단자와 입력 단자가 각각 연결된다. 상기 제2 스토리지 커패시터는 상기 제2 박막 트랜지스터의 출력 단자에 연결된다. 상기 연결 커패시터는 $n+1$ 번째 게이트 라인과 상기 제2 스토리지 커패시터에 제어 단자와 입력 단자가 각각 연결된다. 상기 전압 다운 커패시터는 상기 연결 트랜지스터의 출력 단자에 연결된다. 상기 전압 업 커패시터는 상기 연결 트랜지스터의 출력 단자와 상기 제1 박막 트랜지스터의 출력 단자 사이에 연결된다.
- <9> 기타 실시예의 구체적인 사항들은 상세한 설명 및 도들에 포함되어 있다.

효과

- <10> 이러한 표시 기판 및 이를 갖는 액정 표시 장치에 의하면, 화소 전극내에 전하 공유 구조를 가지도록 화소를 설계함으로써 데이터 라인을 통해 인가되는 데이터 전압보다 높은 실효전압이 화소 전극에 유도될 수 있다. 이에 따라 소비전력을 줄일 수 있다.

발명의 실시를 위한 구체적인 내용

- <11> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도와 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는

기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

- <12> 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- <13> 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- <14> 이하, 첨부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명한다.
- <15> 도 1은 본 발명의 실시예에 따른 액정 표시 장치의 개략적인 구성도이다.
- <16> 도 1을 참조하면, 액정 표시 장치는 액정 패널(400), 게이트 구동부(500) 및 데이터 구동부(600)를 포함한다. 액정 패널(100)은 다수의 게이트 라인(GL1 내지 GLN)과 다수의 데이터 라인(DL1 내지 DLM)을 포함하는 다수의 신호 라인이 형성되어 있다. 여기서, N 및 M은 자연수이다.
- <17> 다수의 게이트 라인(GL1 내지 GLN)은 제1 방향, 예컨대 액정 패널(100)의 가로 방향으로 뻗어 형성되고, 다수의 데이터 라인(DL1 내지 DLM)은 제2 방향, 예컨대 액정 패널(100)의 세로 방향을 뻗어 다수의 게이트 라인(GL1 내지 GLN)과 중첩된다.
- <18> 그리고 다수의 화소는 다수의 게이트 라인(GL1 내지 GLN) 및 다수의 데이터 라인(DL1 내지 DLM)에 연결되며, 각 화소는 다수의 게이트 라인(GL1 내지 GLN)과 다수의 데이터 라인(DL1 내지 DLM)에 연결된 제1 및 제2 박막 트랜지스터(T1, T2)와, 이에 연결된 액정 커패시터(C1c) 및 제1 및 제2 스토리지 커패시터(Cst1, Cst2)를 포함한다. 다수의 게이트 라인(GL1 내지 GLN)은 제1 및 제2 박막 트랜지스터(T1, T2)에 게이트 신호를 전달하고, 다수의 데이터 라인(DL1 내지 DLM)은 제1 및 제2 박막 트랜지스터(T1, T2)에 데이터 신호에 해당하는 데이터 전압을 전달한다.
- <19> 그리고, 제1 및 제2 박막 트랜지스터(T1, T2)는 삼단자 소자로서, 제어 단자는 게이트 라인(GL1 내지 GLN)에 연결되어 있고, 입력 단자는 데이터 라인(DL1 내지 DLM)에 연결되어 있으며, 출력 단자는 액정 커패시터(C1c), 제1 및 제2 스토리지 커패시터(Cst1, Cst2)에 연결되어 있다. 액정 커패시터(C1c)는 제1 및 제2 박막 트랜지스터(T1, T2)의 출력 단자와 공통 전극(미도시) 사이에 연결되고, 제1 및 제2 스토리지 커패시터(Cst1, Cst2)는 제1 및 제2 박막 트랜지스터(T1, T2)의 출력 단자와 스토리지 라인(미도시)과의 중첩에 의해 형성될 수 있다.
- <20> 게이트 구동부(500)는 다수의 게이트 라인(GL1 내지 GLN)에 연결되어 제1 및 제2 박막 트랜지스터(T1, T2)를 활성화시키는 게이트 신호를 다수의 게이트 라인(GL1 내지 GLN)에 제공한다.
- <21> 데이터 구동부(600)는 다수의 데이터 라인(DL1 내지 DLM)에 연결되어 각 화소에 데이터 신호에 해당하는 데이터 전압을 다수의 데이터 라인(DL1 내지 DLM)에 제공한다. 박막 트랜지스터(T1, T2)는 예컨대 모스 트랜지스터가 이용될 수 있으며, 이러한 모스 트랜지스터는 폴리실리콘을 채널 영역으로 하는 박막 트랜지스터로 구현될 수 있다.
- <22> 도 2는 도 1에 도시된 액정 패널의 평면도이고, 도 3은 도 2에 도시된 V-V 선을 따라 절단한 단면도이며, 도 4는 도 2에 도시된 VI-VI' 선을 따라 절단한 제1 표시판의 단면도이다.
- <23> 먼저 도 2를 참조하면, 투명한 제1 절연 기판(110)위에 제1 방향으로 n번째 및 n+1번째 게이트 라인(GLn, GLn+1)이 형성되고, n번째 및 n+1번째 게이트 라인(GLn, GLn+1)의 일부가 돌출되어 제1 게이트 전극(121a) 및 제2 게이트 전극(121b)이 형성된다. 제1 게이트 전극(121a)은 제1 및 제2 박막 트랜지스터(T1, T2)의 제어 단자의 역할을 하고, 제2 게이트 전극(121b)은 연결 트랜지스터(C1)의 제어 단자의 역할을 한다. 제1 및 제2 게이트 전극(121a, 121b)의 형상은 도 2의 형상에 한정되지 않고, 다양한 형태가 가능하다.
- <24> 또한 게이트 라인의 한쪽 끝에는 다른 층 또는 외부에서 들어오는 게이트 신호를 입력받기 위해 게이트 라인 끝

단(123)이 형성된다.

- <25> 스토리지 라인(122)은 n 번째 게이트 라인(GL_n)과 동일한 층으로 형성되며, 제1 부분(122a, 122b), 제2 부분(122c) 및 제3 부분(122d)을 포함한다. 상기 제1 부분(122a, 122b)은 n 번째 게이트 라인(GL_n)과 실질적으로 평행하게 연장되어 화소 전극(180)과 중첩되는 영역이다. 상기 제2 부분(122c)은 제3 드레인 전극(165)의 확장부(167c)와 중첩되는 영역이다. 상기 제3 부분(122d)은 제2 드레인 전극(163)의 확장부(167b)와 중첩되는 영역이다.
- <26> 이에 따라, 상기 스토리지 라인의 제1 부분(122a, 122b)은 상기 화소 전극(180)과 중첩되어 제1 스토리지 커패시터(C_{st1})를 형성하며, 상기 스토리지 라인의 제2 부분(122c)은 제3 드레인 전극(163)과 중첩되어 전압 다운 커패시터(C_{down})를 형성한다. 상기 스토리지 라인의 제3 부분(122d)은 제2 드레인 전극(163)의 확장부(167b)와 중첩되어 제2 스토리지 커패시터(C_{st2})를 형성한다. 상기 화소 전극(180)과 제3 드레인 전극의 확장부(167c)는 중첩되어 전압 업 커패시터(C_{up})를 형성한다.
- <27> 상기 제1 스토리지 커패시터(C_{st1})는 화소 전극(180)에 인가된 데이터 전압을 유지하는 역할을 하고, 또한 상기 전압 업 커패시터(C_{up})와 제2 스토리지 커패시터(C_{st2})는 후술될 액정 표시 장치의 구동에 있어 화소 전극(180)에 인가되는 전압을 상승시키는 기능을 한다.
- <28> m 번째 데이터 라인(DL_m)은 n 번째 및 $n+1$ 번째 게이트 라인(GL_n , GL_{n+1})과 절연되어, 상기 제 2방향으로 상기 n 번째 및 $n+1$ 번째 게이트 라인(GL_n , GL_{n+1})과 교차하여 형성된다. 상기 m 번째 데이터 라인(DL_m) 중 일부가 돌출되어 반도체 층(140) 위에 제1 소스 전극(161)을 형성하고, 상기 제1 소스 전극(161)과 일정 간격 이격되어 상기 반도체 층(140) 위에 일부 중첩되어 형성되는 제1 드레인 전극(162) 및 제2 드레인 전극(163)을 형성한다.
- <29> 상기 제1 드레인 전극(162)은 콘택 홀(171)을 통해 화소 전극(180)과 전기적으로 연결되어 있고, m 번째 데이터 라인(DL_m)으로부터 인가되는 데이터 전압을 화소 전극(180)에 충전하는 역할을 한다.
- <30> 상기 제2 드레인 전극(163)은 m 번째 데이터 라인(DL_m)과 동일한 층으로 형성되며, 상기 상술한 것 같이, 스토리지 라인(122)의 제3 영역(122d)과 중첩되어 제2 스토리지 커패시터(C_{st2})를 형성한다. 상기 제2 드레인 전극(163)은 후술될 액정 표시 장치의 구동에 있어 $n+1$ 번째 게이트 라인(GL_{n+1})의 제2 게이트 전극(124)이 턴온될 때, 제2 스토리지 커패시터(C_{st2})에 충전된 전하를 연결 트랜지스터($C1$)를 통해 상기 제3 드레인 전극(165)으로 이동시켜, 화소 전극(180)의 전압을 상승시키는 역할을 보조한다.
- <31> 상기 화소 전극(180)은 서로 인접한 n 번째 및 $n+1$ 번째 게이트 라인(GL_n , GL_{n+1})과 서로 인접한 $m-1$ 번째 및 m 번째 데이터 라인(DL_{m-1} , DL_m)의 교차에 의해 정의되는 화소 영역의 대부분을 차지하고, 제1 스토리지 커패시터(C_{st1})를 형성하기 위해서 스토리지 라인(122)의 제1 부분(122a, 122b)과 중첩하는 구조를 가진다. 화소 전극(180) 위에는 도에는 도시되지 않았지만, 배향막이 더 구비될 수 있다.
- <32> 이하 도 2, 도 3 및 도 4를 참조하여 제1 표시판을 형성하는 각 층의 구성물질에 대해 설명한다. n 번째 및 $n+1$ 번째 게이트 라인(GL_n , GL_{n+1}), 제1 및 제2 게이트 전극(121a, 121b)과 스토리지 라인(122)은 게이트 금속층으로 형성된다. 상기 게이트 금속층은 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 따위로 이루어질 수 있다.
- <33> 또한, 상기 게이트 금속층은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 이루어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를 테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 이루어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 상부막 및 알루미늄 하부막과 몰리브덴 상부막을 들 수 있다. 다만, 본 발명은 이에 한정되지 않으며, 상기 게이트 금속층은 다양한 여러 가지 금속과 도전체로 만들어질 수 있다.
- <34> n 번째 및 $n+1$ 번째 게이트 라인(GL_n , GL_{n+1}), 제1 및 제2 게이트 전극(121a, 121b)과 스토리지 라인(122) 위에는 질화규소(SiN_x) 등으로 이루어진 게이트 절연막(130)이 형성되어 있다. 게이트 절연막(130) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 또는 다결정 규소 등으로 이루어진 반도체층(140)이 형성되어 있다. 이러한 반도체층(140)은 섬형, 선형 등과 같이 다양한 형상을 가질 수 있으며, 본 발명에서와 같이 제1 및 제2 게이트 전극(121a, 121b) 상에 섬형으로 형성될 수 있다. 또한, 반도체층(140)이 선형으로 형성되는 경우, m 번째 데이터 라인(DL_m) 아래에 위치하여 제1 및 제2 게이트 전극(121a, 121b) 상부까지 연장된 형상을 가

질 수 있다.

- <35> 반도체층(140)의 위에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 섬형의 저항성 접촉층 및 선형의 저항성 접촉층(150, 151a, 151b, 152a, 152b)이 형성되어 있다. 여기에서, 저항성 접촉층(150, 151a, 151b, 152a, 152b)은 섬형 저항성 접촉층으로서, 제1, 제2, 제3 드레인 전극(162, 163, 165), 제1 및 제2 소스 전극(161, 164) 아래에 위치한다. 선형의 저항성 접촉층의 경우, m번째 데이터 라인(DLm)의 아래까지 연장되어 형성된다.
- <36> 저항성 접촉층(150, 151a, 151b, 152a, 152b) 및 게이트 절연막(130) 위에는 m번째 데이터 라인(DLm), 제1, 제2 소스 전극(161, 164), 제1, 제2 및 제3 드레인 전극(162, 163, 165)이 형성된다. m번째 데이터 라인(DLm)은 제2 방향, 예컨대 세로 방향으로 뻗어 n번째 게이트 라인(GLn)과 교차된다. 또한 m번째 데이터 라인(DLm)으로부터 선형 형태로 저항성 접촉층(150) 상부에 연장되어 있는 제1 소스 전극(161)이 형성되어 있다.
- <37> 그리고, 데이터 라인의 끝에는 다른 층 또는 외부로부터 데이터 신호를 인가 받아 데이터 라인에 전달하는 데이터 라인 끝단(166)이 형성된다. 데이터 라인 끝단(166)은 외부 회로와의 연결을 위하여 폭이 확장되어 있다. 제1, 제2 및 제3 드레인 전극(162, 163, 165)은 제1 및 제2 소스 전극(161, 164)과 이격되어 저항성 접촉층(151a, 151b, 152a, 152b) 상부에 위치한다. 즉, 제1 및 제2 드레인 전극(162, 163)은 제1 소스 전극(161)과 이격되고, 제3 드레인 전극(165)은 제2 소스 전극(164)과 이격된다.
- <38> 이러한 m번째 데이터 라인(DLm), 데이터 라인 끝단(166), 제1, 제2, 제3 드레인 전극(162, 163, 165), 제1 및 제2 소스 전극(161, 164)은 데이터 금속층으로 형성된다.
- <39> 상기 데이터 금속층은 크롬, 몰리브덴 계열의 금속, 탄탈륨 및 티타늄 등 내화성 금속으로 이루어지는 것이 바람직하며, 내화성 금속 따위의 하부막(미도시)과 그 위에 위치한 저저항 물질 상부막(미도시)으로 이루어진 다층막 구조를 가질 수 있다. 다층막 구조의 예로는 앞서 설명한 크롬 하부막과 알루미늄 상부막 또는 알루미늄 하부막과 몰리브덴 상부막의 이중막 외에도 몰리브덴막-알루미늄막-몰리브덴막의 삼중막을 들 수 있다.
- <40> 제1 및 제2 소스 전극(161, 164)과, 제1, 제2 및 제3 드레인 전극(162, 163, 165)은 반도체층(140)과 적어도 일부분이 중첩된다. 여기서, 저항성 접촉층(150, 151a, 151b, 152a, 152b)은 그 하부의 반도체층(140)과, 그 상부의 제1 및 제2 소스 전극(161, 164)과 제1, 제2 및 제3 드레인 전극(162, 163, 165) 사이에 존재하며 접촉 저항을 낮추어 주는 역할을 한다.
- <41> 제1, 제2 및 제3 드레인 전극(162, 163, 165)은 반도체층(140)과 중첩되는 막대형 끝 부분과 이로부터 연장되어 있는 제1, 제2 및 제3 드레인 전극의 확장부(167a, 167b, 167c)를 가진다. 상기 제1 및 제2 소스 전극(161, 164)과, 제1, 제2 및 제3 드레인 전극(162, 163, 165)에 의해 노출된 반도체층(140) 위에는 보호막(passivation layer)(170)이 형성되어 있다.
- <42> 보호막(170)은 절연막의 일종으로 질화규소 또는 산화규소로 이루어진 무기물, 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기물 또는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 등으로 이루어질 수 있다. 또한, 보호막(170)은 유기막의 우수한 특성을 살리면서도 노출된 반도체층(140a, 140b) 부분을 보호하기 위하여 하부 무기막과 상부 유기막의 이중막 구조를 가질 수 있다.
- <43> 나아가 보호막(170)으로는 적색, 녹색 또는 청색의 컬러필터층이 사용될 수도 있다. 본 실시예에서는 하나의 예로 단일막 구조의 보호막(170)을 예로 들어 설명한다.
- <44> 보호막(170)에는 데이터 라인 끝단(166) 및 드레인 전극의 확장부(167a)를 각각 드러내는 콘택 홀(171, 176)이 형성되어 있으며, 보호막(170)과 게이트 절연막(130)에는 게이트 라인 끝단(123)을 드러내는 콘택 홀(173)이 형성되어 있다. 콘택 홀(171)을 통하여 제1 드레인 전극(162)과 전기적으로 연결되는 평판 형태의 화소 전극(180)이 형성되어 있다.
- <45> 구체적으로, 화소 전극(180)은 ITO 또는 IZO 따위의 투명 도전체 또는 알루미늄 따위의 반사성 도전체로 이루어질 수 있다. 이러한 화소 전극(180)은 콘택 홀(171)에 의해 제1 드레인 전극(162)과 전기적으로 연결되어 m번째 데이터 라인(DLm)으로부터 데이터 전압을 제공받게 되고, 제2 표시판의 공통 전극(250)과 함께 전기장을 형성함으로써 액정 분자들의 배열을 제어할 수 있다.
- <46> 또한, 보호막(170) 위에는 콘택 홀(173, 176)을 통하여 각각 게이트 라인 끝단(123)과 데이터 라인 끝단(166)과 연결되어 있는 보조 게이트 라인 끝단(183) 및 보조 데이터선 끝단(186)이 형성되어 있다. 보조 게이트 및 데이

터 라인 끝단(183, 186)은 ITO 또는 IZO 따위의 투명 도전체 또는 알루미늄 따위의 반사성 도전체로 이루어진다. 보조 게이트선 및 데이터 라인 끝단(183, 186)은 게이트 라인 끝단(123) 및 데이터 라인 끝단(166)과 외부 장치와의 접촉성을 보완하고 이들을 보호하는 역할을 한다.

- <47> 계속해서, 도 2를 참조하여 제2 표시판(200)에 대해 설명한다. 제2 표시판(200)은 베이스 기판으로 제2 절연 기판(210)을 포함하며, 제2 절연 기판(210)은 제1 절연 기판(110)과 마찬가지로 투명한 유리 또는 플라스틱 등으로 이루어져 있다.
- <48> 제2 절연 기판(210) 상에는 블랙 매트릭스(220)가 형성되어 있다. 블랙 매트릭스(220)는 제1 표시판(100)의 n번째 및 n+1번째 게이트 라인(GL_n , GL_{n+1}) 및 m-1번째 및 m번째 데이터 라인(DL_{m-1} , DL_m)과 중첩 되도록 형성된다. 블랙 매트릭스(220)에 의해 둘러싸인 영역에는 컬러 필터(230)가 형성되어 있다. 컬러 필터(230)는 제1 표시판(100)의 화소 전극(180)과 중첩되도록 정렬된다.
- <49> 블랙 매트릭스(220) 및 컬러 필터(230) 상에는 이들의 단차를 평탄화하기 위한 오버코트층(240)이 형성되어 있다. 오버코트층(240) 위에는 ITO, IZO 등과 같은 투명한 도전 물질로 이루어진 공통 전극(250)이 형성되어 있다. 공통 전극(250)은 화소와 관계없이 제2 표시판(200)의 전면에 형성되어 있다. 도 4에 도시되지는 않았지만, 공통 전극(250) 상에는 배향막이 더 구비될 수 있다.
- <50> 계속해서, 상기한 바와 같은 액정 표시 장치의 구동 방법에 대해 더욱 상세히 설명한다.
- <51> 도 5는 도 1에 도시된 화소의 등가 회로도이고, 도 6은 도 1에 도시된 액정 표시 장치의 구동 방법에 따른 신호들의 파형도이다.
- <52> 도 6에 도시된 바와 같이, 데이터 전압은 프레임 별로 공통 전극 전압을 기준으로 반전되어 인가된다. 설명의 편의상, 공통 전극(V_{com})의 전압을 4V라고 하고, 제1 프레임 주기 동안 데이터 라인(DL_m)에 인가되는 데이터 전압은 6V 이고, 제 2프레임 주기 동안 데이터 라인(DL_m)에 인가되는 데이터 전압은 2V라고 한다. 또한, 제 2프레임 시작되기 전의 N3 단자에 걸린 전압을 약 1V라고 가정한다. 이하 제1 프레임 주기 동안 화소 전극에 인가되는 전압(V_{px1}) 파형에 대해 설명한다.
- <53> 도 5 및 도 6을 참조하면, n번째 게이트 라인(GL_n)에 게이트 온 신호(V_{Gn})가 인가되면, 제1 박막 트랜지스터($T1$)과 제2 박막 트랜지스터($T2$)가 턴 온되고, 데이터 라인(DL_m)에 인가된 데이터 전압(V_D) 6V가 각각 화소 전극($N1$ 단자) 및 제2 드레인 전극($N2$ 단자)에 충전되고, $N1$ 및 $N2$ 단자에는 인가된 데이터 전압과 동일한 6V의 전압을 가지게 된다.
- <54> 따라서, 제1 액정 커패시터($C1c1$), 제1 스토리지 커패시터($Cst1$), 제2 스토리지 커패시터($Cst2$)에는 화소 전극($N1$ 단자) 및 제2 드레인 전극($N2$ 단자)과 공통 전극(V_{com}) 사이에서 전압 차($V_D - V_{com}$)인 +2V가 충전된다. 그리고, 전압 업 커패시터(Cup)에는 $N1$ 단자와 $N3$ 단자의 전압 차에 의해 약 +5V가 충전된 상태이고, 전압 다운 커패시터($Cdown$)에는 $N3$ 단자와 공통 전극의 전압 차에 의해 약 +3V가 충전된 상태이다.
- <55> n번째 게이트 라인(GL_n)에 게이트 오프 신호가 인가되면, 제1 박막 트랜지스터($T1$)과 제2 박막 트랜지스터($T2$)가 턴 오프되고, 화소 전극($N1$ 단자) 및 제2 드레인 전극($N2$ 단자) 전압은 게이트 전극의 전압 급강하로 인한 제1 킥백 전압(V_{kb1})만큼 낮아지게 된다. 이에 상기 액정 커패시터($C1c$) 및 제1 스토리지 커패시터($Cst1$)에는 전압 ($V_D - V_{com}$) - V_{kb1} 이 충전된다.
- <56> 다음으로 n+1번째 게이트 라인(GL_{n+1})에 게이트 온 신호(V_{Gn+1})가 인가되면, 제2 드레인 전극에 충전된 전하 중 일부가 연결 트랜지스터($C1$)를 통해서 제3 드레인 전극쪽으로 이동하여, $N3$ 단자의 전압이 1V에서 상승분(V_{up})만큼 상승하게 되고, 전압 업 커패시터(Cup)에 약 +4V 전압이 충전된 상태에서 커플링 효과에 의해 $N1$ 단자의 전압도 상기 상승분(V_{up})만큼 동시에 상승하게 된다.
- <57> 상기 $N1$ 단자의 전압이 상승함에 따라서, 상기 액정 커패시터($C1c$) 및 제1 스토리지 커패시터($Cst1$)에 충전된 전압 ($V_D - V_{com}$) - V_{kb1} 이 상기 상승분(V_{up})만큼 증압하여 ($V_D - V_{com}$) - $V_{kb1} + V_{cup}$ 이 된다.
- <58> 또한, 제2 드레인 전극($N2$ 단자)의 경우, 전압 다운 커패시터($Cdown$)에 약 +3V의 전압이 충전된 상태에서 일단 이 스토리지 라인에 연결되어 있으므로 전하 공유에 의해 전압이 순간적으로 하강하게 된다.
- <59> 이 후, n+1번째 게이트 라인(GL_{n+1})에 게이트 오프 신호가 인가 되면, 제2 킥백 전압(V_{kb2})만큼 화소 전극($N1$ 단자)의 전압이 하강한다. 즉, 상기 액정 커패시터($C1c$) 및 제1 스토리지 커패시터($Cst1$)에는 ($V_D - V_{com}$) - $V_{kb1} + V_{cup} - V_{kb2}$ 전압이 충전된다.

- <60> 결과적으로, 도 6에 도시된 바와 같이 제1 프레임 주기 동안 화소 전극에는 전압 업 커패시터(Cup)에 의해 데이터 전압(VD)에 대응하는 전압 $(VD-V_{com})-V_{kb1}$ 보다 높은 전압 $(VD-V_{com})-V_{kb1}+V_{cup}-V_{kb2}$ 으로 유도된다.
- <61> 또한, 상기 N1 단자의 전압 상승분(V_{up})은 도 6에 도시된 각각의 커패시터의 정전용량에 따라 달라지게 된다.
- <62> 본 발명에서는 화소 전극의 전압을 높이기 위한 바람직한 실시예로서, 제2 스토리지 커패시터(Cst2) 정전용량이 액정 커패시터(Clc) 및 제1 스토리지 커패시터(Cst1) 정전용량의 합 대비 약 0.3 ~ 약 4.0, 전압 다운 커패시터(Cdown) 정전용량은 제2 스토리지 커패시터(Cst2) 정전용량 대비 약 0.05 ~ 약 1.0, 전압 업 커패시터(Cup) 정전용량은 액정 커패시터(Clc) 및 제1 스토리지 커패시터(Cst1) 정전용량의 합 대비 약 0.05 ~ 약 1.0, 제1 스토리지 커패시터(Cst1) 정전용량은 액정 커패시터(Clc) 정전용량 대비 0~약 2.0인 범위의 값을 가지는 것을 예로 들 수 있다.
- <63> 도 6의 제 2프레임 주기 동안에는 데이터 라인에 2V의 전압이 인가되고, 상기 상술한 제1 프레임 주기와 동일한 원리에 의해서, 도 6의 제 2프레임 주기의 파형이 나타나고, 이하 상세한 설명은 생략한다.

산업이용 가능성

- <64> 상기 상술하였듯이, 전압 업 커패시터(Cup)과 제2 스토리지 커패시터(Cst2)간의 전하 공유에 의해서 데이터 라인에 인가된 데이터 전압 대비 높은 전압을 화소 전극에 유도할 수 있어 소비 전력이 작은 액정 표시 장치가 제공될 수 있다.

도면의 간단한 설명

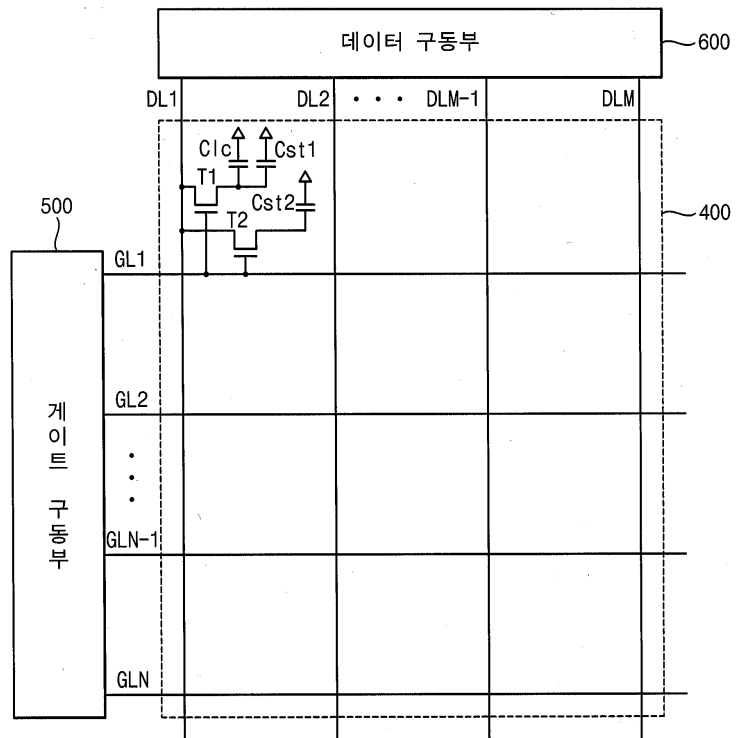
- <65> 도 1은 본 발명의 실시예에 따른 액정 표시 장치의 개략적인 구성도이다.
- <66> 도 2은 도 1에 도시된 액정 패널의 평면도이다.
- <67> 도 3은 도 2에 도시된 V-V 선을 따라 절단한 단면도이다.
- <68> 도 4는 도 2에 도시된 VI-VI' 선을 따라 절단한 제1 표시판의 단면도이다.
- <69> 도 5는 도 1에 도시된 화소의 등가 회로도이다.
- <70> 도 6은 도 1에 도시된 액정 표시 장치의 구동 방법에 따른 신호들의 파형도이다.

- <71> <도면의 주요부분에 대한 부호의 설명>

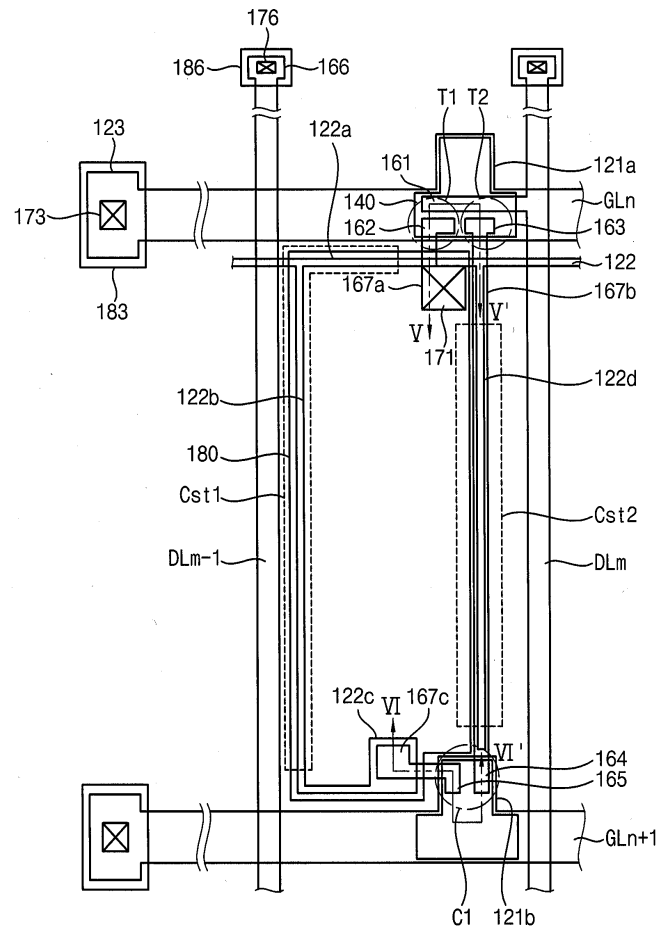
- | | |
|----------------------|-----------------|
| <72> 100 : 제1 표시판 | 120 : 게이트 라인 |
| <73> 122 : 스토리지 라인 | 160 : 데이터 라인 |
| <74> 162 : 제1 드레인 전극 | 163 : 제2 드레인 전극 |
| <75> 164 : 제3 드레인 전극 | 180 : 화소 전극 |
| <76> 200 : 제2 표시판 | 250 : 공통 전극 |
| <77> 300 : 액정층 | |

도면

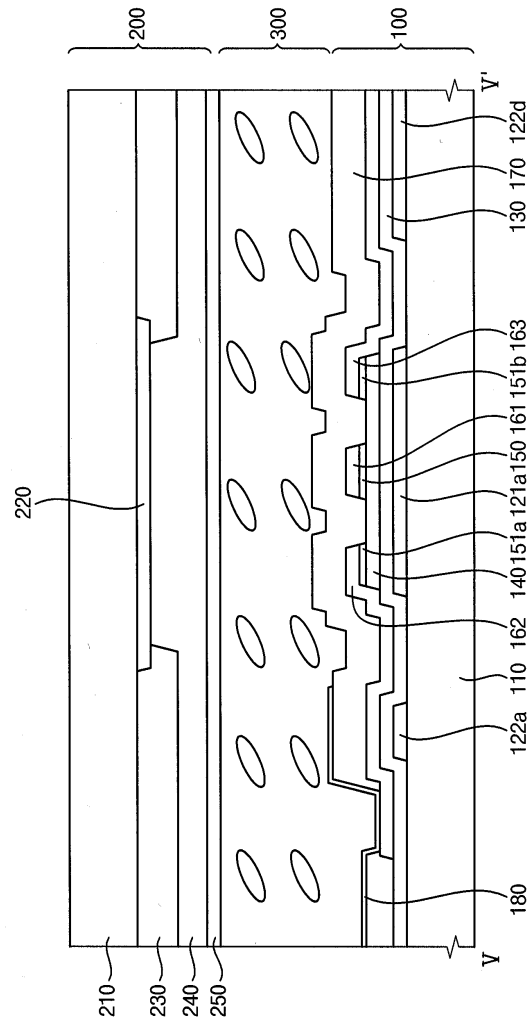
도면1



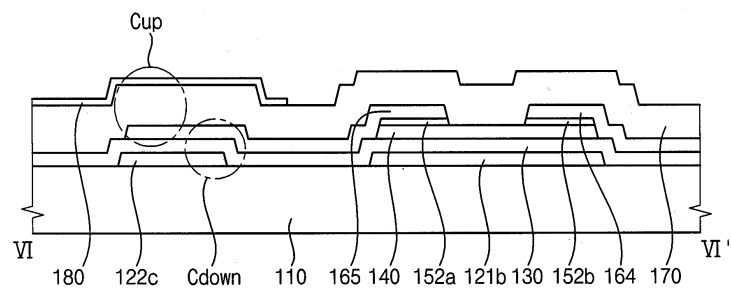
도면2



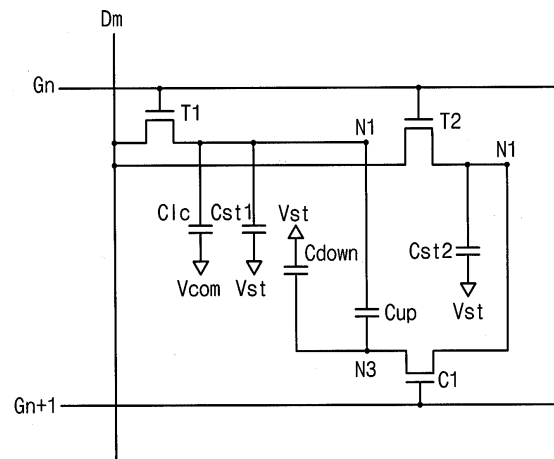
도면3



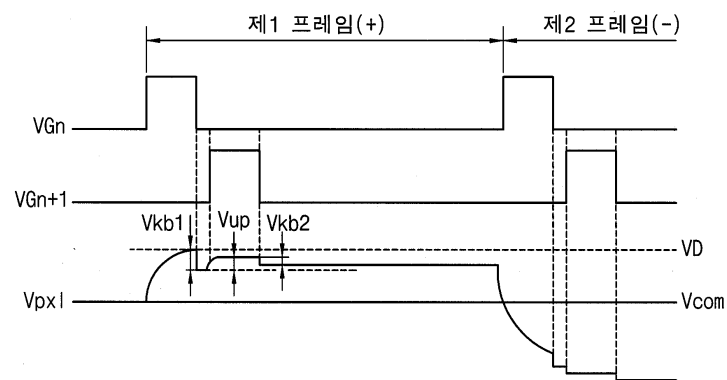
도면4



도면5



도면6



This diagram shows a cross-section of a semiconductor device. It features a central core with several horizontal layers labeled 122a, 122b, 122c, 122d, 160, 161, 162, 167a, and 167b. The core is flanked by vertical structures labeled 121a and 121b. At the top, there are contacts labeled T1 and T2. On the left side, there is a contact labeled V1 and a terminal labeled 173 connected to a box containing a cross symbol. On the right side, there is a contact labeled V1' and a terminal labeled 171 connected to a box containing a cross symbol. Other labels include 186, 166, 123, 183, 180, Cst1, DLm-1, 122e, 164, 165, GLn+1, and C1.