



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0101582
(43) 공개일자 2008년11월21일

(51) Int. Cl.

G02F 1/1343 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2007-0048863

(22) 출원일자 2007년05월18일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

엄윤성

경기 용인시 수지구 상현동 상현마을쌍용2차아파트 216동 1702호

유재진

경기 용인시 기흥구 신갈동 새천년그린빌4단지 407동 1302호

(뒷면에 계속)

(74) 대리인

특허법인가산

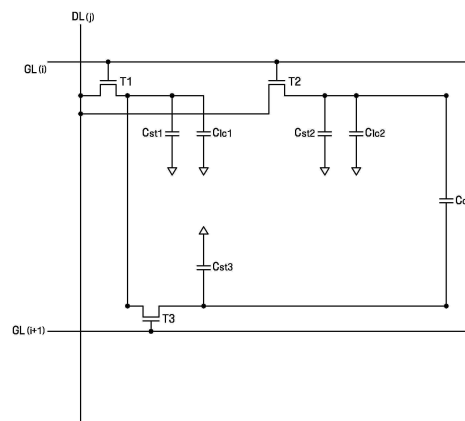
전체 청구항 수 : 총 8 항

(54) 액정 표시 장치

(57) 요약

시인성을 향상시킬 수 있는 액정 표시 장치가 제공된다. 액정 표시 장치는, 절연 기판 상에 제1 방향으로 형성된 제1 및 제2 게이트선, 상기 제1 및 제2 게이트선과 절연되어 교차하는 데이터선, 상기 제1 및 제2 게이트선과 데이터선이 교차하여 정의하는 각 화소 영역에 서로 전기적으로 분리된 제1 및 제2 부화소 전극을 포함하는 화소 전극, 상기 제1 게이트선, 상기 데이터선, 상기 제1 부화소 전극에 연결된 제1 박막 트랜지스터, 상기 제1 게이트선, 상기 데이터선, 상기 제2 부화소 전극에 연결된 제2 박막 트랜지스터 및 상기 제2 게이트선, 상기 제1 부화소 전극, 상기 제2 부화소 전극과 연결되고 상기 제1 부화소 전극에 인가된 데이터 전압을 공유하는 전하 공유 캐패시터에 연결된 제3 박막 트랜지스터를 포함한다.

대표도 - 도1



(72) 발명자

박승범

서울 영등포구 당산동5가 삼성래미안4차아파트 40
9동 502호

성동기

경기 성남시 분당구 야탑동 매화마을주공2단지아파
트 211동1001호

김강우

서울 서초구 양재동 7-20 501호

특허청구의 범위

청구항 1

절연 기판 상에 제1 방향으로 형성된 제1 및 제2 게이트선;

상기 제1 및 제2 게이트선과 절연되어 교차하는 데이터선;

상기 제1 및 제2 게이트선과 데이터선이 교차하여 정의하는 각 화소 영역에 서로 전기적으로 분리된 제1 및 제2 부화소 전극을 포함하는 화소 전극;

상기 제1 게이트선, 상기 데이터선, 상기 제1 부화소 전극에 연결된 제1 박막 트랜지스터;

상기 제1 게이트선, 상기 데이터선, 상기 제2 부화소 전극에 연결된 제2 박막 트랜지스터; 및

상기 제2 게이트선, 상기 제1 부화소 전극, 상기 제2 부화소 전극과 연결되고 상기 제1 부화소 전극에 인가된 데이터 전압을 공유하는 전하 공유 캐패시터에 연결된 제3 박막 트랜지스터를 포함하는 액정 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제1 및 제2 게이트선 사이에 나란히 배열된 스토리지선을 더 포함하고,

상기 전하 공유 캐패시터는 상기 제3 박막 트랜지스터의 드레인 전극과 상기 제2 부화소 전극이 중첩되어 이루어지는 액정 표시 장치.

청구항 3

제 1 항에 있어서,

상기 데이터선으로부터 동일한 데이터 전압이 상기 제1 부화소 전극 및 제2 부화소 전극에 인가되는 액정 표시 장치.

청구항 4

제 1 항에 있어서,

상기 제1 부화소 전극에 인가된 데이터 전압은 상기 제3 박막 트랜지스터를 통해 상기 전하 공유 캐패시터로 전달되는 액정 표시 장치.

청구항 5

제 2 항에 있어서,

상기 제1 및 제2 게이트선 사이에 나란히 배열되고 서로 분리되어 이격 배치된 제1 내지 제3 스토리지 전극을 더 포함하고,

상기 전하 공유 캐패시터는 상기 제2 스토리지 전극과 상기 제3 박막 트랜지스터의 드레인 전극이 중첩되어 이루어지는 액정 표시 장치.

청구항 6

제 5 항에 있어서,

상기 제2 스토리지 전극은 전압이 인가되지 않는 플로팅 전극인 액정 표시 장치.

청구항 7

제 5 항에 있어서,

상기 제2 스토리지 전극과 상기 제2 부화소 전극은 전기적으로 연결되어 있는 액정 표시 장치.

청구항 8

제 1 항에 있어서,

상기 제2 부화소 전극에 저장된 데이터 전압이 상기 제1 부화소 전극에 저장된 데이터 전압보다 큰 액정 표시 장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <21> 본 발명은 액정 표시 장치에 관한 것으로, 보다 상세하게는 시인성을 향상시킬 수 있는 액정 표시 장치에 관한 것이다.
- <22> 액정 표시 장치(liquid crystal display)는 공통 전극과 색필터 등이 형성되어 있는 상부 표시판과, 스위칭 소자와 화소 전극 등이 형성되어 있는 하부 표시판 사이에 액정층이 개재되며, 화소 전극과 공통 전극에 서로 다른 전위를 인가함으로써 전계를 형성하여 액정 분자들의 배열을 변경시키고, 이를 통해 빛의 투과율을 조절함으로써 화상을 표현한다.
- <23> 또한 전계가 인가되지 않은 상태에서 액정 분자의 장축을 상하부 표시판에 대하여 수직을 이루도록 배열한 수직 배향 모드 액정 표시 장치는 대비비가 크고 넓은 기준 시야각 구현이 용이하여 각광받고 있다. 여기에서 기준 시야각이란 대비비가 1:10인 시야각 또는 계조간 휘도 반전 한계 각도를 의미한다.
- <24> 수직 배향 모드 액정 표시 장치에서 광시야각을 구현하기 위한 수단으로는 화소 전극과 공통 전극에 절개부를 형성하는 방법과 전계 생성 전극 위에 돌기를 형성하는 방법 등이 있다. 절개부와 돌기로 액정 분자가 기우는 방향을 결정할 수 있으므로, 이들을 사용하여 액정 분자의 경사 방향을 여러 방향으로 분산시킴으로써 기준 시야각을 넓힐 수 있다.
- <25> 그러나 수직 배향 방식의 액정 표시 장치는 전면 시인성에 비하여 측면 시인성이 떨어지는 문제점이 있다. 예를 들어, 절개부가 구비된 PVA(patterned vertically aligned) 방식 액정 표시 장치의 경우에는 측면으로 갈수록 영상이 밝아져서, 심한 경우에는 높은 계조 사이의 휘도 차이가 없어져 그림이 뭉그러져 보이는 경우도 발생한다.

발명이 이루고자 하는 기술적 과제

- <26> 본 발명이 이루고자 하는 기술적 과제는, 시인성을 향상시킬 수 있는 액정 표시 장치를 제공하고자 하는 것이다.
- <27> 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성 및 작용

- <28> 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는, 절연 기판 상에 제1 방향으로 형성된 제1 및 제2 게이트선, 상기 제1 및 제2 게이트선과 절연되어 교차하는 데이터선, 상기 제1 및 제2 게이트선과 데이터선이 교차하여 정의하는 각 화소 영역에 서로 전기적으로 분리된 제1 및 제2 부화소 전극을 포함하는 화소 전극, 상기 제1 게이트선, 상기 데이터선, 상기 제1 부화소 전극에 연결된 제1 박막 트랜지스터, 상기 제1 게이트선, 상기 데이터선, 상기 제2 부화소 전극에 연결된 제2 박막 트랜지스터 및 상기 제2 게이트선, 상기 제1 부화소 전극, 상기 제2 부화소 전극과 연결되고 상기 제1 부화소 전극에 인가된 데이터 전압을 공유하는 전하 공유 캐패시터에 연결된 제3 박막 트랜지스터를 포함한다.
- <29> 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.
- <30> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있을 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고 본 발명이

속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것으로, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

- <31> 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다.
- <32> 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 회로도이다.
- <33> 도 1을 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치는, 게이트 신호를 전달하는 다수의 게이트선($GL(i)$, $GL(i+1)$)과, 게이트선($GL(i)$, $GL(i+1)$)에 교차하여 형성되며 데이터 신호를 전달하는 다수의 데이터선($DL(j)$)을 포함한다.
- <34> i 번째 게이트선($GL(i)$)과 j 번째 데이터선($DL(j)$)이 교차하는 지점에 제1 박막 트랜지스터($T1$) 및 제2 박막 트랜지스터($T2$)가 형성되고, $(i+1)$ 번째 게이트선($GL(i+1)$)과 j 번째 데이터선($DL(j)$)이 교차하는 지점에 제3 박막 트랜지스터($T3$)가 형성된다.
- <35> 즉, 제1 박막 트랜지스터($T1$)는 i 번째 게이트선($GL(i)$)에 연결된 게이트 전극과, j 번째 데이터($DL(j)$)에 연결된 소스 전극과, 제1 스토리지 캐패시터($Cst1$) 및 제1 액정 캐패시터($C1c1$)에 연결된 드레인 전극을 포함한다. 제2 박막 트랜지스터($T2$)는 i 번째 게이트선($GL(i)$)에 연결된 게이트 전극과, j 번째 데이터($DL(j)$)에 연결된 소스 전극과, 제2 스토리지 캐패시터($Cst2$) 및 제2 액정 캐패시터($C1c2$)에 연결된 드레인 전극을 포함한다. 제3 박막 트랜지스터($T3$)는 $(i+1)$ 번째 게이트선($GL(i+1)$)에 연결된 게이트 전극과, 제1 박막 트랜지스터($T1$)의 드레인 전극에 연결된 소스 전극과, 제3 스토리지 캐패시터($Cst3$) 및 전하 공유 캐패시터(Ccs)에 연결된 드레인 전극을 포함한다. 여기서, 전하 공유 캐패시터(Ccs)의 일측은 제2 박막 트랜지스터($T2$)의 드레인 전극과, 타측은 제3 박막 트랜지스터($T3$)의 드레인 전극과 연결된다.
- <36> 제1 스토리지 캐패시터($Cst1$)는 제1 부화소 전극, 스토리지선(27) 사이에 및 이들 사이에 개재된 유전 물질로 이루어진다. 제1 액정 캐패시터($C1c1$)는 제1 박막 트랜지스터($T1$)에 연결된 제1 부화소 전극, 공통 전극 및 이들 사이에 개재된 액정 물질로 이루어진다.
- <37> 제2 스토리지 캐패시터($Cst2$)는 제2 부화소 전극, 스토리지선(27) 사이에 및 이들 사이에 개재된 유전 물질로 이루어진다. 제2 액정 캐패시터($C1c2$)는 제2 박막 트랜지스터($T2$)에 연결된 제2 부화소 전극, 공통 전극 및 이들 사이에 개재된 액정 물질로 이루어진다.
- <38> 제3 스토리지 캐패시터($Cst3$)는 스토리지선(27), 제3 드레인 전극 확장부 및 이들 사이에 개재된 유전 물질로 이루어진다. 전하 공유 캐패시터(Ccs)는 제3 드레인 전극 확장부, 제2 부화소 전극 사이에 개재된 유전 물질로 이루어진다.
- <39> 이하, 도 2 내지 도 7을 참조하여 본 발명의 일 실시예에 따른 액정 표시 장치에 대하여 상세하게 설명한다. 본 실시예에 따른 액정 표시 장치는 하부 표시판, 이와 마주보는 상부 표시판 및 이들 사이에 개재된 액정층을 포함한다.
- <40> 먼저 도 2 내지 4를 참조하여 본 발명의 일 실시예에 따른 액정 표시 장치의 하부 표시판에 대해 설명한다. 도 2는 본 발명의 일 실시예에 따른 액정 표시 장치의 하부 표시판의 배치도이고, 도 3은 도 2의 하부 표시판을 III-III'선에 따라 자른 단면도이고, 도 4는 도 2의 하부 표시판을 IV-IV'선에 따라 자른 단면도이다.
- <41> 절연 기판(10) 위에 제1 방향, 예를 들어 가로 방향으로 게이트선(21a, 21c)이 형성되어 있다. 게이트선(21a, 21c)에는 돌기의 형태로 이루어진 제1 및 제2 게이트 전극(26a, 26c)이 형성되어 있다. 이러한 게이트선(21a, 21c) 및 게이트 전극(26a, 26c)을 게이트 배선이라고 한다.
- <42> 절연 기판(10) 위에는 게이트선(21a, 21c)을 따라 가로 방향으로 스토리지선(27)이 형성되어 있다. 스토리지선(27)은 돌기가 형성되어 있는 스토리지 전극(28)을 포함하며, 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)과 중첩될 수 있다. 다만, 이러한 스토리지선(27)의 모양 및 배치는 여러 형태로 변형될 수 있다. 스토리지선(27)에는 공통 전압($Vcom$)이 인가될 수 있다.
- <43> 게이트 배선(21a, 21c, 26a, 26c) 및 스토리지선(27)은 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 따위로 이루어질 수 있다. 또한, 게이트 배선(21a, 21c, 26a, 26c) 및 스토리지선(27)은 물리적 성질이 다른 두 개의 도전막(미도시)을 포함하는 다

중막 구조를 가질 수 있다. 이 중 한 도전막은 게이트 배선(21a, 21c, 26a, 26c) 및 스토리지선(27)의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 이루어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를테면 폴리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 이루어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 상부막 및 알루미늄 하부막과 폴리브덴 상부막을 들 수 있다. 다만, 본 발명은 이에 한정되지 않으며, 게이트 배선(21a, 21c, 26a, 26c) 및 스토리지선(27)은 다양한 여러 가지 금속과 도전체로 만들어질 수 있다.

- <44> 게이트 배선(21a, 21c, 26a, 26c) 및 스토리지선(27) 위에는 게이트 절연막(30)이 형성되어 있다.
- <45> 게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 또는 다결정 규소 등으로 이루어진 반도체층(40a, 40c)이 형성되어 있다. 이러한 반도체층(40a, 40c)은 섬형, 선형 등과 같이 다양한 형상을 가질 수 있으며, 예를 들어 본 실시예에서와 같이 반도체층(40a, 40c)이 섬형으로 형성될 수 있다. 또한 반도체층(40a, 40c)이 선형으로 형성되는 경우, 데이터선(61) 아래에 위치하여 게이트 전극(26a, 26c) 상부까지 연장된 형상을 가질 수 있다.
- <46> 반도체층(40a, 40c)의 위에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 nt 수소화 비정질 규소 따위의 물질로 만들어진 오믹 콘택층(55a, 56a)이 형성되어 있다. 이러한 오믹 콘택층(55a, 56a)은 섬형, 선형 등과 같이 다양한 형상을 가질 수 있으며, 예를 들어 본 실시예에서와 같이 섬형 오믹 콘택층(55a, 56a)은 제1 소스 전극(65a) 및 제1 드레인 전극(66a) 아래에 위치하고, 선형의 오믹 콘택층(55a, 56a)의 경우 데이터선(61)의 아래까지 연장되어 형성될 수 있다.
- <47> 오믹 콘택층(55a, 56a) 및 게이트 절연막(30) 위에는 데이터선(61), 제1 드레인 전극(66a), 제2 드레인 전극(66b) 및 제3 드레인 전극(66c)이 형성되어 있다. 데이터선(61)은 제2 방향, 예를 들어 세로 방향으로 길게 뻗어 있으며 게이트선(21a, 21c)과 교차하여 화소를 정의한다. 데이터선(61)으로부터 가지 형태로 제1 게이트 전극(26a)의 상부까지 연장되어 있는 제1 소스 전극(65a) 및 제2 소스 전극(65b)이 형성되어 있다. 제1 드레인 전극(66a)은 제1 소스 전극(65a)과 분리되어 있으며 제1 게이트 전극(26a)을 중심으로 제1 소스 전극(65a)과 대향하도록 반도체층(40a) 상부에 위치한다. 제2 드레인 전극(66b)은 제2 소스 전극(65b)과 분리되어 있으며 제1 게이트 전극(26a)을 중심으로 제2 소스 전극(65b)과 대향하도록 반도체층 상부에 위치한다. 제1 드레인 전극(66a) 및 제2 드레인 전극(66b)은 반도체층(40a) 상부의 막대형 패턴과, 막대형 패턴으로부터 연장되어 넓은 면적을 가지며 제1 콘택홀(76a) 및 제2 콘택홀(76b)이 위치하는 드레인 전극 확장부(67a, 67b)를 포함한다. 여기서 제1 콘택홀(76a) 및 제2 콘택홀(76b)은 각각 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)과 각각 중첩되도록 형성된다.
- <48> 그리고 제3 소스 전극(65c)은 제2 게이트 전극(26c) 상부로부터 스토리지선(27)과 제1 부화소 전극(82a)과 중첩되도록 연장되어 있고, 제3 드레인 전극(66c)은 제2 게이트 전극(26c) 상부로부터 제1 및 제2 부화소 전극(82a, 82b)과 중첩되도록 연장되어 있다. 제3 드레인 전극(66c)은 제3 소스 전극(65c)과 분리되어 있으며 제2 게이트 전극(26c)을 중심으로 제3 소스 전극(65c)과 대향하도록 반도체층(40c) 상부에 위치한다.
- <49> 이러한 데이터선(61), 제1 소스 전극(65a), 제2 소스 전극(65b), 제3 소스 전극(65c), 제1 드레인 전극(66a), 제2 드레인 전극(66b) 및 제3 드레인 전극(66c)을 데이터 배선이라고 한다.
- <50> 데이터 배선(61, 65a, 65b, 65c, 66a, 66b, 66c)은 크롬, 폴리브덴 계열의 금속, 탄탈륨 및 티타늄 등 내화성 금속으로 이루어지는 것이 바람직하며, 내화성 금속 따위의 하부막(미도시)과 그 위에 위치한 저저항 물질 상부막(미도시)으로 이루어진 다층막 구조를 가질 수 있다. 다층막 구조의 예로는 앞서 설명한 크롬 하부막과 알루미늄 상부막 또는 알루미늄 하부막과 폴리브덴 상부막의 이중막 외에도 폴리브덴막-알루미늄막-폴리브덴막의 삼중막을 들 수 있다.
- <51> 제1 소스 전극(65a)은 반도체층(40a)과 적어도 일부분이 중첩되고, 제1 드레인 전극(66a)은 제1 게이트 전극(26a)을 중심으로 제1 소스 전극(65a)과 대향하며 반도체층과 적어도 일부분이 중첩된다. 여기서 오믹 콘택층(55a, 56a)은 반도체층(40a)과 제1 소스 전극(65a) 및 반도체층(40a)과 제1 드레인 전극(66a) 사이에 개재되어 이들 사이에 접촉 저항을 낮추어 주는 역할을 한다.
- <52> 또한 제2 소스 전극(65b)은 반도체층(40a)과 적어도 일부분이 중첩되고, 제2 드레인 전극(66b)은 제2 게이트 전극(26c)을 중심으로 제2 소스 전극(65b)과 대향하며 반도체층과 적어도 일부분이 중첩된다. 여기서 오믹 콘택층은 반도체층과 제2 소스 전극(65b) 및 반도체층과 제2 드레인 전극(66b) 사이에 개재되어 이들 사이에 접촉 저

항을 낮추어 주는 역할을 한다.

- <53> 데이터 배선(61, 65a, 65b, 65c, 66a, 66b, 66c) 및 이에 의해 노출된 반도체층(40a, 40c) 위에는 절연막으로 이루어진 보호막(70)이 형성되어 있다.
- <54> 보호막(70) 위에는 유기막(75)이 형성되어 있다.
- <55> 여기서, 보호막(70)은 질화규소 또는 산화규소로 이루어진 무기물로 이루어질 수 있으며, 유기막(75)은 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기물 또는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 등으로 이루어진다.
- <56> 유기막(75)에는 제1 드레인 전극 확장부(67a), 제2 드레인 전극 확장부(67b)를 각각 드러내는 제1 콘택홀(76a), 제2 콘택홀(76b)이 형성되어 있다.
- <57> 유기막(75) 위에는 화소의 모양을 따라 대략 세로 방향으로 길고 전체적으로 직사각형 형상의 화소 전극(82a, 82b)이 형성되어 있다. 화소 전극(82a, 82b)은 제1 콘택홀(76a)을 통하여 제1 드레인 전극(66a) 및 제3 소스 전극(65c)과 연결되는 제1 부화소 전극(82a)과, 제2 콘택홀(76b)을 통하여 각각 제2 드레인 전극(66b)과 연결되는 제2 부화소 전극(82b)으로 이루어져 있다. 여기서, 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)은 ITO 또는 IZO 따위의 투명 도전체 또는 알루미늄 따위의 반사성 도전체로 이루어질 수 있다.
- <58> 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)은 각각 제1 콘택홀(76a) 및 제2 콘택홀(76b)을 통하여 제1 드레인 전극(66a)과 제3 소스 전극(65c) 및 제2 드레인 전극(66b)과 물리적·전기적으로 연결되어 제1 드레인 전극(66a) 및 제2 드레인 전극(66b)으로부터 데이터 전압을 인가받는다. 본 실시예에서는 제1 드레인 전극(66a) 및 제2 드레인 전극(66b)에 데이터 전압을 각각 전달하는 제1 소스 전극(65a) 및 제2 소스 전극(65b)이 연결되어 있으므로, 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)에는 데이터선(61)으로부터 실질적으로 동일한 데이터 전압이 인가된다.
- <59> 데이터 전압이 인가된 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)은 상부 표시판의 공통 전극과 함께 전기장을 생성함으로써 제1 부화소 전극(82a)과 공통 전극 사이 및 제2 부화소 전극(82b)과 공통 전극 사이에 위치하는 액정층의 액정 분자들의 배열을 결정한다.
- <60> 하나의 화소 영역을 이루는 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)은 소정의 간극(gap)(83)을 사이에 두고 서로 분리되어 있으며, 그 바깥 경계는 대략 세로 방향으로 긴 사각형 형태이다. 제1 부화소 전극(82a)은 회전한 V자 형상을 가지며 화소 영역의 가운데에 배치된다. 제2 부화소 전극(82b)은 사각형 형태의 화소 영역에서 제1 부화소 전극(82a)을 제외한 부분에 형성된다. 여기서, 간극(83)은 편광판의 투과축 또는 게이트선(21a, 21c)과 실질적으로 45도를 이루는 부분과 -45도를 이루는 부분을 포함한다. 따라서 간극(83)에 인접한 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)의 가장자리는 편광판의 투과축 또는 게이트선(21a, 21c)과 실질적으로 -45도 또는 45도(이하, 사선 방향이라 함)를 이룬다. 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)은 사선 방향으로 다수의 절개부(cutout) 또는 돌출부(protrusion)와 같은 제1 도메인 분할 수단(미도시)이 형성될 수 있다. 화소 전극(82a, 82b)의 표시 영역은 액정층에 포함된 액정 분자의 주 방향자가 전계 인가시 배열되는 방향에 따라 다수의 도메인으로 분할된다. 간극(83) 및 제1 도메인 분할 수단은 화소 전극(82a, 82b)을 많은 도메인으로 분할하는 역할을 한다. 여기서 도메인이란 화소 전극(82a, 82b)과 공통 전극(도 5의 도면부호 90 참조) 사이에 형성된 전계에 의해 액정 분자의 방향자가 특정 방향으로 무리를 지어 기울어지는 액정 분자들로 이루어진 영역을 의미한다.
- <61> 앞서 설명한 바와 같이 첫 번째 게이트선(21a)에 게이트 온 신호가 인가되면, 데이터선(61)으로부터 전달되는 데이터 전압이 게이트선(21a)에 인접한 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)에 인가된다. 여기서, 데이터 전압을 6.0V라고 가정한다면, 6.0V의 데이터 전압의 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)에 인가되고, 전하 공유 캐패시터(Ccs)의 일측이 제2 드레인 전극(66b)에 연결되어 있으므로 제2 부화소 전극(82b)에 저장된 데이터 전압이 전하 공유 캐패시터(Ccs)에 저장된다.
- <62> 이어서, 두 번째 게이트선(21c)에 게이트 온 신호가 인가되면, 제1 부화소 전극(82a)에 저장된 데이터 전압이 제3 박막 트랜지스터(T3)를 통하여 제3 드레인 전극(66c)으로 분배되고, 이로 인해 제1 부화소 전극(82a)에는 상대적으로 낮은 데이터 전압이 저장된다. 이때, 제3 드레인 전극(66c)에 제3 스토리지 캐패시터(Cst3)와 전하 공유 캐패시터(Ccs)가 연결되어 있으므로 전하 공유(charge sharing)가 일어나 제3 스토리지 캐패시터(Cst3)에 데이터 전압이 저장될 때에 동시에 전하 공유 캐패시터(Ccs)에도 데이터 전압이 저장된다. 결과적으로, 제2 부

화소 전극(82b)에는 데이터선(61)으로부터 인가되는 6.0V의 데이터 전압보다 높은 데이터 전압, 예를 들면 7.0V의 데이터 전압을 갖게 된다. 따라서, 본 발명에서는 전하 공유 캐패시터를 형성하여 전하 공유에 의해 제1 부화소 전극과 제2 부화소 전극의 전압 차이를 발생하게 함으로써 측면에서의 시인성을 향상시킬 수 있다.

- <63> 제1 부화소 전극(82a), 제2 부화소 전극(82b) 및 유기막(75) 위에는 액정층을 배향할 수 있는 배향막(미도시)이 도포될 수 있다.
- <64> 다음, 도 5 내지 도 7을 참조하여 상부 표시판 및 이를 포함하는 액정 표시 장치에 대하여 설명한다. 여기서 도 5는 본 발명의 일 실시예에 따른 액정 표시 장치의 상부 표시판의 배치도이고, 도 6은 도 2의 하부 표시판과 도 5의 상부 표시판으로 이루어진 액정 표시 장치의 배치도이고, 도 7은 도 6의 액정 표시 장치를 VII-VII'선에 따라 자른 단면도이다.
- <65> 투명한 유리 등으로 이루어진 절연 기판(96) 위에 빔샘을 방지하기 위한 블랙 매트릭스(94)와 적색, 녹색, 청색의 색필터(98) 및 ITO 또는 IZO 등의 투명한 도전 물질로 이루어져 있는 공통 전극(common electrode)(90)이 형성되어 있다. 여기서, 블랙 매트릭스(94)는 빔샘을 차단하기 위하여 다양한 모양을 가질 수 있다.
- <66> 그리고, 공통 전극(90)은 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)과 마주보며, 다수의 제2 도메인 분할 수단(92)을 가지고 있다. 제2 도메인 분할 수단(92)은 절개부 또는 돌출부로 이루어질 수 있다. 여기서, 제2 도메인 분할 수단(92)은 편광판의 투과축 또는 게이트선(21a, 21c)과 실질적으로 -45도 또는 45도를 이루는 사선부를 포함한다. 본 실시예에서는 설명의 편의를 위하여 절개부로 이루어진 제2 도메인 분할 수단(92)을 이용하여 본 발명을 설명한다.
- <67> 공통 전극(90)의 제2 도메인 분할 수단(92) 중 사선부는 제1 부화소 전극(Pa)과 제2 부화소 전극(Pb) 사이의 간극(83)과 교대로 배열된다.
- <68> 공통 전극(90) 위에는 액정층(150)의 액정 분자들을 배향하는 배향막(미도시)이 도포될 수 있다.
- <69> 이와 같은 구조의 하부 표시판(100)과 상부 표시판(200)을 정렬하여 결합하고 그 사이에 액정 물질을 개재하여 수직 배향하면 액정 표시 장치의 기본 구조가 마련된다. 액정 표시 장치는 이러한 기본 구조에 편광판, 백라이트 등의 요소들을 배치하여 이루어진다. 이 때 편광판(미도시)은 기본 구조 양측에 각각 하나씩 배치되며 그 투과축은 게이트선(21a, 21c)에 대하여 나란하고 나머지 하나는 이에 수직을 이루도록 배치된다. 이상과 같은 구조로 액정 표시 장치를 형성하면 액정에 전계가 인가되었을 때 각 도메인 내의 액정이 도메인을 분할하는 간극(83) 또는 제2 도메인 분할 수단(92)에 대하여 수직을 이루는 방향으로 기울어지게 된다. 따라서, 각 도메인의 액정은 편광판의 투과축 또는 게이트선(21a, 21c)에 대하여 대략 45도 또는 -45도로 기울어진다. 이러한 간극(83) 또는 제2 도메인 분할 수단(92) 사이에서 형성되는 측방향 전계(lateral field)가 각 도메인의 액정 배향을 도와주게 된다.
- <70> 이상의 실시예에 있어서 제3 박막 트랜지스터(T3)가 두 번째 게이트선(21c)에 연결된 경우를 예로 들어 설명하였으나, 본 발명은 이에 한정되는 것은 아니다.
- <71> 도 8은 본 발명의 다른 실시예에 따른 액정 표시 장치의 하부 표시판의 배치도이고, 도 9는 도 8의 하부 표시판을 IX-IX'선에 따라 자른 단면도이다.
- <72> 본 발명의 다른 실시예에 따른 액정 표시 장치의 하부 표시판은 하나의 스토리지선(도 2의 27 참조)이 제1 내지 제3 스토리지 전극(27a, 27b, 27c)으로 분리되어 형성되는 것과, 스토리지 전극(27b)이 제3 콘택홀(76c)을 통해 제2 부화소전극(82b)과 연결되어 있는 것을 제외하고는 본 발명의 일 실시예에 따른 액정 표시 장치의 하부 표시판과 동일하므로, 편의상 본 발명의 일 실시예와 중복되는 설명은 생략한다.
- <73> 절연 기판(10) 위에 게이트선(21a, 21c)을 따라 가로 방향으로 제1 내지 제3 스토리지 전극(27a, 27b, 27c)이 형성되어 있다. 제1 및 제2 스토리지 전극(27a, 27b)은 제1 부화소 전극(82a)과 중첩될 수 있으며, 제3 스토리지 전극(27c)은 제2 부화소 전극(82b)과 중첩될 수 있다. 이때, 제1 및 제3 스토리지 전극(27a, 27c)에는 공통 전압(Vcom)이 인가될 수 있으며, 제2 스토리지 전극(27b)은 전압이 인가되지 않는 플로팅(floating) 상태일 수 있다.
- <74> 도 9에 도시된 바와 같이, 제3 스토리지 캐패시터(Cst3)는 제1 스토리 전극(27a), 제3 드레인 전극 확장부(68) 및 이들 사이에 개재된 유전 물질로 이루어진다. 전하 공유 캐패시터(Ccs)는 제2 스토리지 전극(27b), 제3 드레인 전극 확장부(68) 및 이들 사이에 개재된 유전 물질로 이루어진다. 이때, 제2 스토리지 전극(27b)이 제3 콘택홀(76c)을 통해 제2 부화소 전극(82b)과 연결되어 있으므로 제2 부화소 전극(82b)에 인가되는 전압이 제2 스토

리지 전극(27b)에 전압이 인가된다.

<75> 본 발명의 일 실시예와 같이 첫 번째 게이트선(21a)에 게이트 온 신호가 인가되면, 데이터선(61)으로부터 전달되는 데이터 전압이 게이트선(21a)에 인접한 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)에 인가된다. 여기서, 데이터 전압을 6.0V라고 가정한다면, 6.0V의 데이터 전압의 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)에 인가되고, 전하 공유 캐패시터(Ccs)의 일측 측, 제2 스토리지 전극(27b)이 제2 부화소 전극(82b)과 연결되어 있으므로 제2 부화소 전극(82b)에 저장된 데이터 전압이 전하 공유 캐패시터(Ccs)에 저장된다.

<76> 이어서, 두 번째 게이트선(21c)에 게이트 온 신호가 인가되면, 제1 부화소 전극(82a)에 저장된 데이터 전압이 제3 박막 트랜지스터(T3)를 통하여 제3 드레인 전극(66c)으로 분배되고, 이로 인해 제1 부화소 전극(82a)에는 상대적으로 낮은 데이터 전압이 저장된다. 이때, 제3 드레인 전극(66c)에 제3 스토리지 캐패시터(Cst3)와 전하 공유 캐패시터(Ccs)가 연결되어 있으므로 전하 공유(charge sharing)가 일어나 제3 스토리지 캐패시터(Cst3)에 데이터 전압이 저장될 때에 동시에 전하 공유 캐패시터(Ccs)에도 데이터 전압이 저장된다. 결과적으로, 제2 부화소 전극(82b)에는 데이터선(61)으로부터 인가되는 6.0V의 데이터 전압보다 높은 데이터 전압, 예를 들면 7.0V의 데이터 전압을 갖게 된다. 따라서, 본 발명의 다른 실시예는 전하 공유 캐패시터를 형성하여 전하 공유에 의해 제1 부화소 전극과 제2 부화소 전극의 전압 차이를 발생하게 함으로써 본 발명의 일 실시예와 동일하게 측면에서의 시인성을 향상시킬 수 있다.

<77> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해되어야만 한다.

발명의 효과

<78> 상기한 바와 같은 본 발명에 따른 액정 표시 장치에 의하면, 별도의 공정 추가 없이 전하 공유 캐패시터를 형성하여 측면의 시인성을 향상시킬 수 있다.

도면의 간단한 설명

<1> 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 회로도이다.

도 2는 본 발명의 일 실시예에 따른 액정 표시 장치의 하부 표시판의 배치도이다.

〈3〉 도 3은 도 2의 하부 표시판을 III-III'선에 따라 자른 단면도이다.

<4> 도 4는 도 2의 하부 표시판을 IV-IV'선에 따라 자른 단면도이다.

<5> 도 5는 본 발명의 일 실시예에 따른 액정 표시 장치의 상부 표시판의 배치도이다.

<6> 도 6은 도 2의 하부 표시판과 도 5의 상부 표시판으로 이루어진 액정 표시 장치의 배치도이다.

<7> 도 7은 도 6의 액정 표시 장치를 VII-VII'선에 따라 자른 단면도이다.

<8> 도 8은 본 발명의 다른 실시예에 따른 액정 표시 장치의 하부 표시판의 배치도이다.

◁9▷ 도 9는 도 8의 하부 표시판을 IX-IX'선에 따라 자른 단면도이다.

<10> (도면의 주요부분에 대한 부호의 설명)

<11> 10: 절연 기판 21a, 21c: 게이트선

<12> 26a, 26c: 게이트 전극 27: 스토리지선

<13> 30: 게이트 절연막 40a, 40c: 반도체층

<14> 55a, 56a: 저항성 접촉충 65a, 65b, 65c: 소스 전극

<15> 66a, 66b, 66c: 드레인 전극 67a, 67b: 드레인 전극 확장부

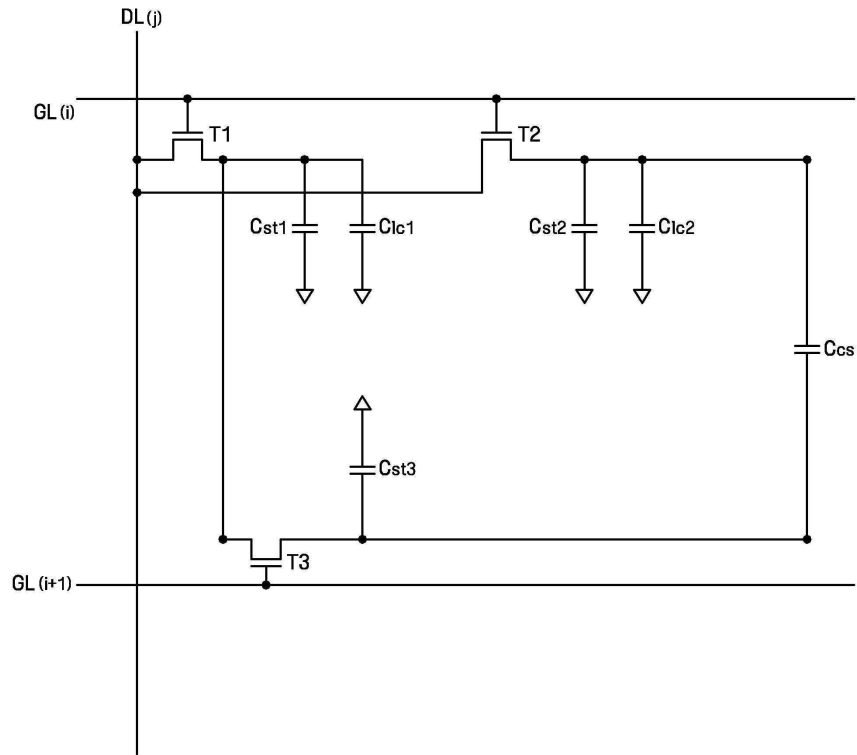
<16> 70: 보호막 75: 유기막

<17> 76a, 76b, 76c: 콘택홀 82a: 제1 부화소 전극

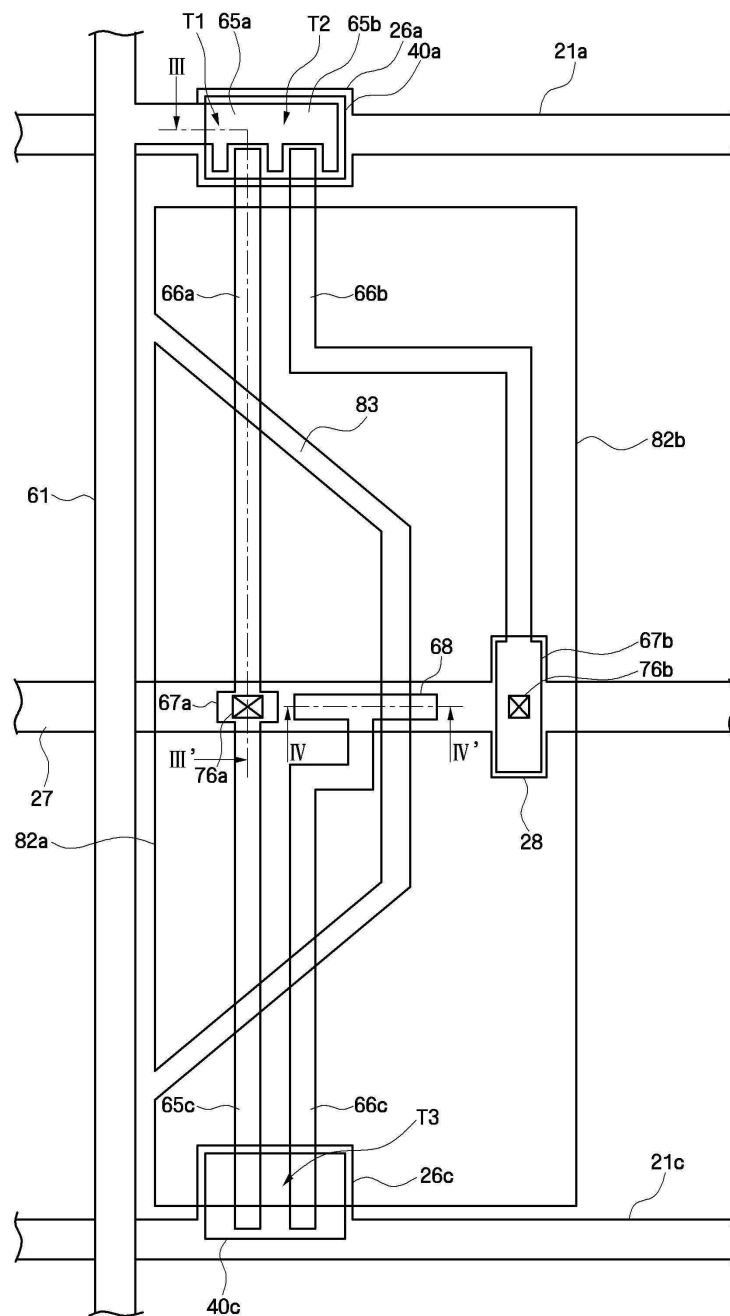
- <18> 82b: 제2 부화소 전극 90: 공통 전극
- <19> 92: 제2 도메인 분할 수단 94: 블랙 매트릭스
- <20> 98: 색필터

도면

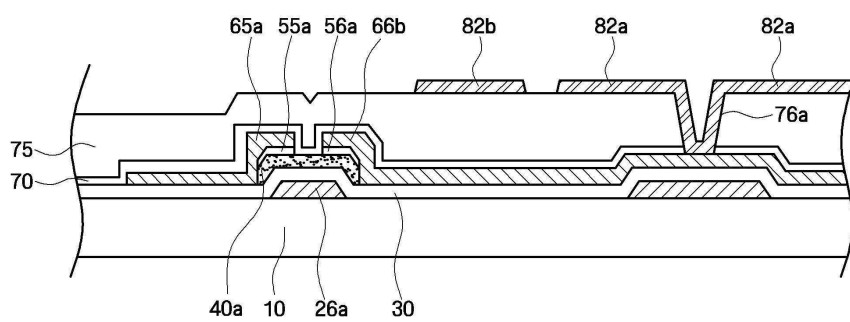
도면1



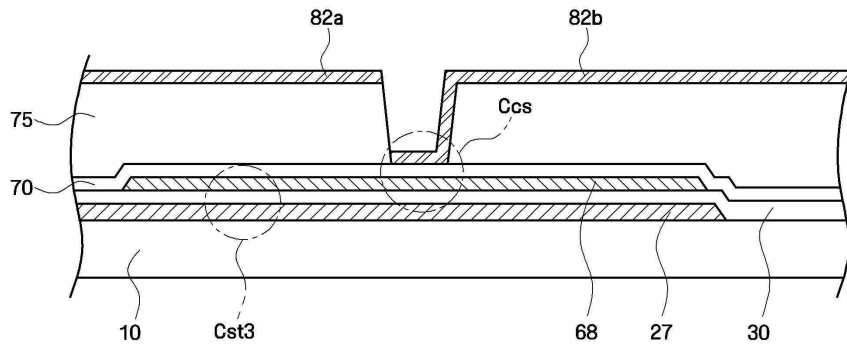
도면2



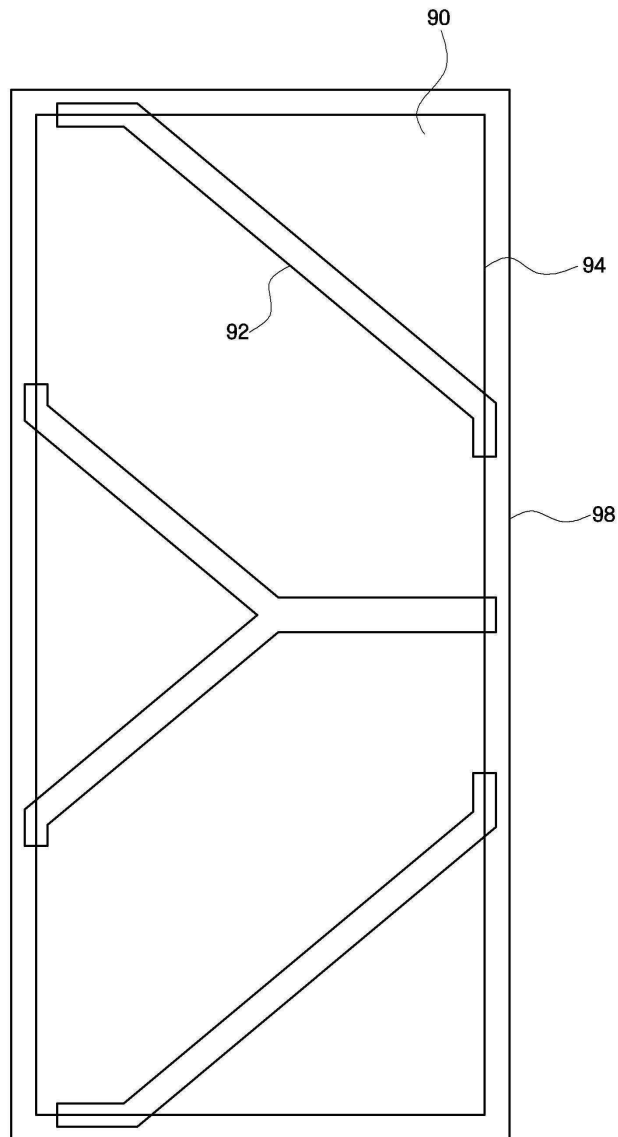
도면3



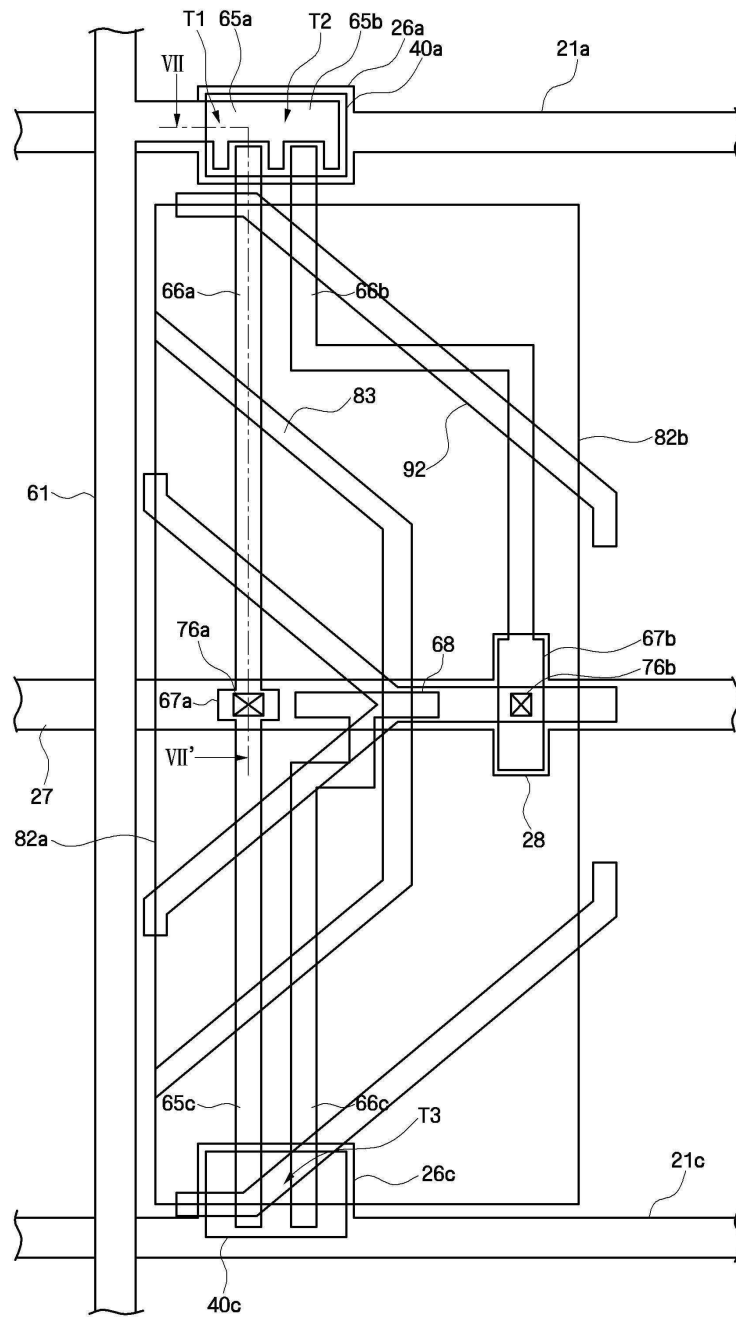
도면4



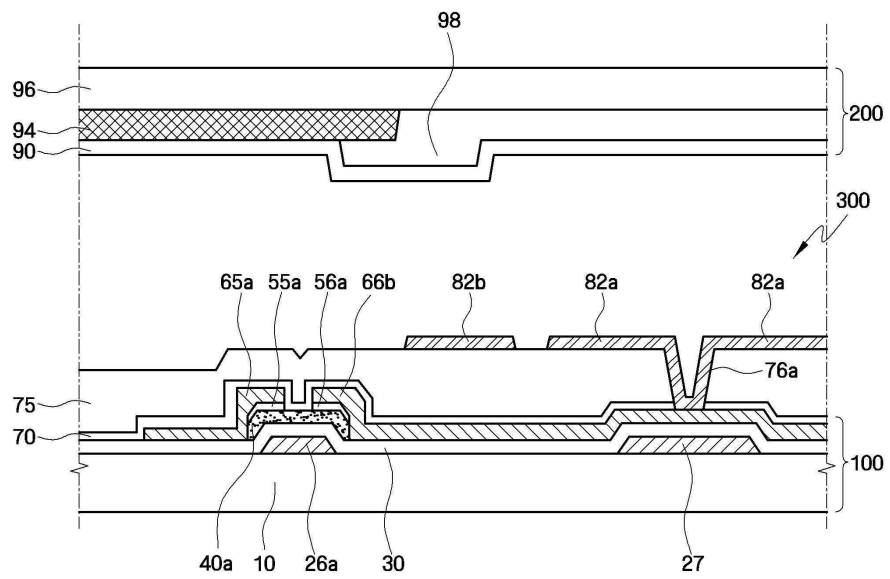
도면5



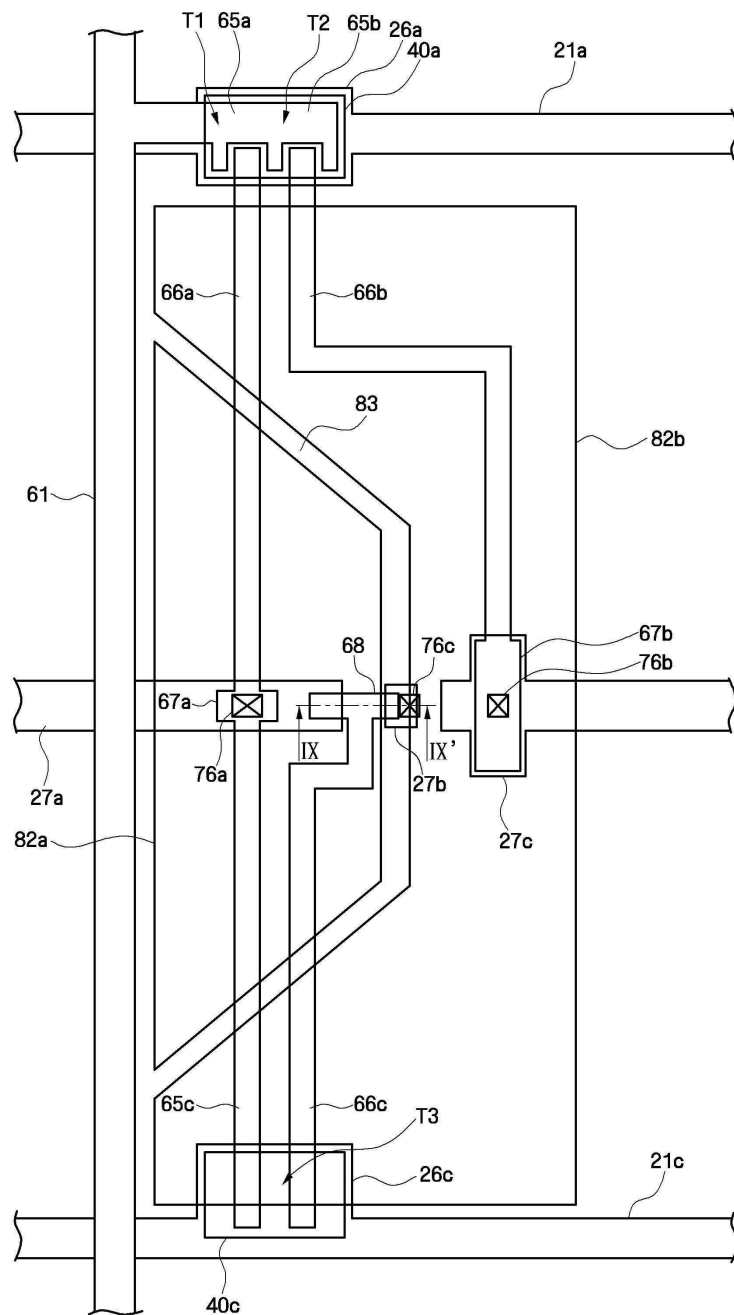
도면6



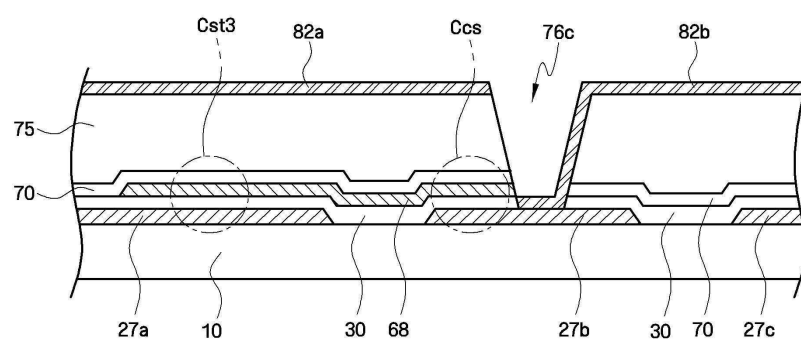
도면7



도면8



도면9



专利名称(译)	液晶显示器		
公开(公告)号	KR1020080101582A	公开(公告)日	2008-11-21
申请号	KR1020070048863	申请日	2007-05-18
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	UM YOON SUNG 엄윤성 LYU JAE JIN 유재진 PARK SEUNG BEOM 박승범 SEONG DONG GI 성동기 KIM KANG WOO 김강우		
发明人	엄윤성 유재진 박승범 성동기 김강우		
IPC分类号	G02F1/1343 G02F1/133		
CPC分类号	G02F1/134336 G02F1/133707 G02F1/136213 G02F1/136286 G02F1/1368		
外部链接	Espacenet		

摘要(译)

提供一种提高可视性的液晶显示器。液晶显示器包括形成在具有第一方向的绝缘基板上的第一和第二栅极线，以及第一和第二栅极线，绝缘的数据线，第一和第二栅极线，以及连接到电荷的第三薄膜晶体管共用电容器，其连接到第二薄膜晶体管和第二栅极线，连接到薄膜晶体管，第一栅极线，数据线，连接到像素电极的第二子像素电极，第一栅极线，数据线，包括第一和第二子像素电极的第一子像素电极，所述第一和第二子像素电极在数据线交叉并且限定第一子像素电极的每个像素区域中电分离，并且第二子像素电极共享在其处施加的数据电压。第一子像素电极。可见度，电荷共享和液晶显示。

