



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0055314
(43) 공개일자 2008년06월19일

(51) Int. Cl.

G02F 1/136 (2006.01) G02F 1/1343 (2006.01)

(21) 출원번호 10-2006-0128468

(22) 출원일자 2006년12월15일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

이정일

서울 금천구 독산4동 186-2번지 중앙맨션 205호

노승광

서울 서초구 서초동 1454-32번지 서초동한신아파트 102동 603호

(74) 대리인

김용인, 박영복

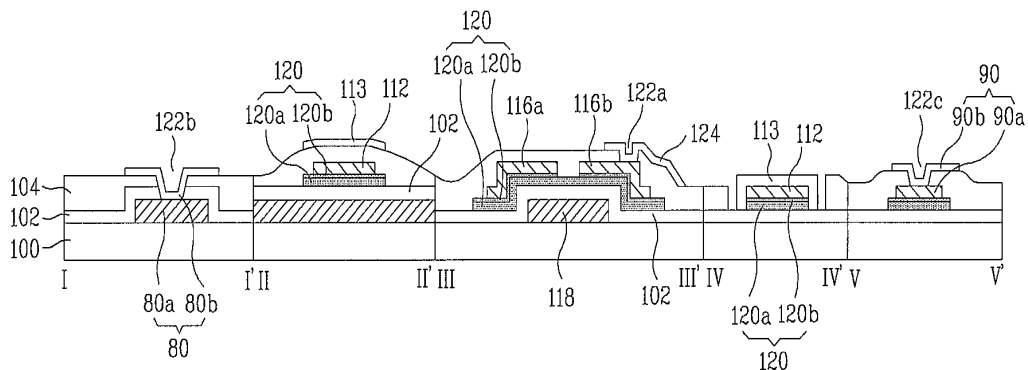
전체 청구항 수 : 총 8 항

(54) 액정표시장치 및 그 제조방법

(57) 요약

본 발명은 액정표시장치 및 그 제조방법에 관한 것으로, 기판 상에 화소영역을 정의하는 복수개의 게이트 라인과 데이터 라인과, 상기 게이트 라인과 데이터 라인의 교차영역에 형성된 박막 트랜지스터와, 상기 박막트랜지스터에 포함되고, 상기 데이터 라인과 동일한 선폭을 갖고 상기 데이터 라인을 따라 연장된 반도체층과, 상기 화소영역에 형성되어 상기 박막트랜지스터와 접속된 화소전극과, 상기 데이터 라인 및 반도체층을 감싸는 데이터 보호패턴을 포함하여 구성됨을 특징으로 한다.

대표도 - 도2



특허청구의 범위

청구항 1

기관 상에 화소영역을 정의하는 복수개의 게이트 라인과 데이터 라인;
 상기 게이트 라인과 데이터 라인의 교차영역에 형성된 박막 트랜지스터;
 상기 화소영역에 형성되어 상기 박막트랜지스터와 접속된 화소전극;
 상기 박막트랜지스터에 포함되고, 상기 데이터 라인과 동일한 선폭을 갖고 상기 데이터 라인을 따라 연장된 반도체층; 및
 상기 데이터 라인 및 반도체층을 감싸는 데이터 보호 패턴을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,
 상기 데이터 보호 패턴은 상기 화소전극과 동일 물질로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,
 상기 데이터 보호 패턴은 상기 게이트 라인과 데이터 라인의 교차부에서는 보호막을 사이에 두고 상기 데이터 라인과 중첩되어 형성되는 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,
 상기 데이터 보호 패턴은 상기 게이트 라인과 데이터 라인의 교차부에서는 반도체층의 선폭이 상기 데이터 라인의 선폭보다 크게 형성되는 것을 특징으로 하는 액정표시장치.

청구항 5

기관 상에 게이트 라인 및 게이트 전극을 포함한 게이트 패턴을 형성하는 단계;
 상기 게이트 패턴이 형성된 기관 상에 게이트 절연막 및 반도체층을 형성하고, 반도체층 위에 데이터 라인 및 소스/드레인 전극을 포함한 소스/드레인 패턴을 형성하는 단계;
 상기 소스/드레인 패턴이 형성된 기관 상에 보호막을 형성하는 단계;
 상기 보호막의 일부 영역을 식각하여 콘택홀을 형성함과 동시에 상기 데이터 라인 양측으로 돌출된 반도체층을 제거하는 단계; 및
 상기 보호막 상에 상기 드레인 전극과 접속된 화소전극과, 상기 데이터 라인 및 반도체층을 감싸는 데이터 보호 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 6

제 5 항에 있어서,
 상기 데이터 보호 패턴은 상기 화소전극과 동일 물질로 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 7

제 5 항에 있어서,
 상기 반도체층은 상기 데이터 라인과 동일한 선폭을 갖고 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 8

제 5 항에 있어서,

상기 데이터 보호 패턴은 상기 게이트 라인과 데이터 라인의 교차부에서는 보호막을 사이에 두고 상기 데이터 라인과 중첩되어 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <9> 본 발명은 액정표시장치 및 그 제조방법에 관한 것으로, 특히 데이터 라인의 하부에 배치되는 반도체층의 선폭을 줄임으로써, 개구율을 향상시킬 수 있는 액정표시장치 및 그 제조방법에 관한 것이다.
- <10> 최근에 액정표시장치는 소비전력이 낮고, 휴대성이 양호한 기술 집약적이며, 부가가치가 높은 차세대 첨단 디스플레이(Display)소자로 각광받고 있다.
- <11> 일반적으로, 액정표시장치는 크게 박막 트랜지스터 어레이 기판과, 컬러필터 어레이 기판과, 두 기판 사이에 형성된 액정층으로 구성된다.
- <12> 박막 트랜지스터 어레이 기판은 기판 위에 층형으로 배열되어 복수개의 화소영역을 정의하는 복수개의 게이트 라인과 데이터 라인, 게이트 라인과 데이터 라인의 교차영역에 형성된 스위칭 소자인 박막 트랜지스터 및 화소 영역 위에 형성된 화소전극으로 구성된다.
- <13> 컬러필터 어레이 기판은 색상을 구현하는 컬러필터들과, 컬러필터들 간의 구분 및 외부광 반사 방지를 위한 블랙 매트릭스로 구성된다.
- <14> 이러한 액정표시장치의 박막 트랜지스터 어레이 기판은 반도체 공정을 포함함과 아울러 다수의 마스크 공정을 필요로 함에 따라 제조 공정이 복잡해지고, 액정표시장치의 제조단가 상승의 주요원인이 된다.
- <15> 이에 따라, 최근에는 마스크 공정을 감소시키기 위해 반도체층과, 데이터 라인 및 소스/드레인 전극을 포함하는 소스/드레인 패턴을 하나의 마스크 공정으로 형성하는 제조 방법이 제안되었으며, 소스/드레인 패턴은 반도체층과 동일 패턴을 위한 제 1식각공정과, 소스/드레인 전극 분리를 위한 제 2식각공정을 통해 형성된다.
- <16> 여기서, 반도체층은 1회의 식각 공정을 통해 형성되지만 그 위의 데이터 라인은 2회의 식각공정을 통해 형성되므로 데이터 라인의 선폭이 그 하부에 배치되는 반도체층의 선폭보다 작게 형성된다.
- <17> 이에 따라, 반도체층은 데이터라인의 양측부에서 화소영역 쪽으로 돌출된 구조를 갖는다. 그런데, 화소영역에 형성된 화소전극은 기생커패시턴스 영향을 줄이기 위해 데이터 라인 및 반도체층과 이격되게 형성되어야 한다.
- <18> 이로 인하여, 반도체층이 데이터 라인보다 돌출된 만큼 화소전극의 면적이 감소되는 문제점이 발생한다.

발명이 이루고자 하는 기술적 과제

- <19> 따라서, 본 발명은 상기와 같은 종래의 문제점을 해결하기 위한 것으로 개구율을 향상시킬 수 있는 액정표시장치 및 그 제조방법을 제공하는 것에 그 목적이 있다.

발명의 구성 및 작용

- <20> 상기와 같은 목적을 달성하기 위한 본 발명의 액정표시장치는 기판 상에 화소영역을 정의하는 복수개의 게이트 라인과 데이터 라인과, 상기 게이트 라인과 데이터 라인의 교차영역에 형성된 박막 트랜지스터와, 상기 박막트랜지스터에 포함되고, 상기 데이터 라인과 동일한 선폭을 갖고 상기 데이터 라인을 따라 연장된 반도체층과, 상기 화소영역에 형성되어 상기 박막트랜지스터와 접속된 화소전극과, 상기 데이터 라인 및 반도체층을 감싸는 데이터 보호 패턴을 포함하여 구성된다.
- <21> 상기와 같은 목적에 의한 본 발명에 의한 액정표시장치의 제조방법은 기판 상에 게이트 라인 및 게이트 전극을 포함한 게이트 패턴을 형성하는 단계, 상기 게이트 패턴이 형성된 기판 상에 게이트 절연막 및 반도체층을 형성하고, 반도체층 위에 데이터 라인 및 소스/드레인 전극을 포함한 소스/드레인 패턴을 형성하는 단계, 상기 소스

/드레인 패턴이 형성된 기판 상에 보호막을 형성하는 단계, 상기 보호막의 일부 영역을 식각하여 콘택홀을 형성함과 동시에 상기 데이터 라인 양측으로 돌출된 반도체층을 제거하는 단계, 상기 보호막 상에 상기 드레인 전극과 접속된 화소전극과, 상기 데이터 라인 및 반도체층을 감싸는 데이터 보호 패턴을 형성하는 단계를 포함하여 이루어진다.

- <22> 이하, 첨부된 도면을 참고하여 본 발명에 따른 액정표시장치 및 그 제조방법을 상세히 설명하면 다음과 같다.
- <23> 도 1은 본 발명의 실시예에 따른 액정표시장치를 나타낸 평면도이고, 도 2는 도 1의 I-I' 내지 V-V' 선에 따른 액정표시장치를 나타낸 단면도이다.
- <24> 도 1 및 도 2에 도시한 바와 같이, 기판(100)상에 화소영역을 정의하는 복수개의 게이트 라인(114)과 데이터 라인(112)과, 상기 게이트 라인(114)과 데이터 라인(112)의 교차영역에 형성된 박막 트랜지스터(TFT)와, 상기 화소영역에 형성되어 상기 박막트랜지스터(TFT)와 제 1 콘택홀(122a)을 통해 접속된 화소전극(124)과, 상기 게이트 라인(114)에 접속되는 게이트 패드부(80)와, 상기 데이터 라인(112)에 접속되는 데이터 패드부(90)를 포함하여 구성된다.
- <25> 상기 박막트랜지스터(TFT)는 상기 게이트 라인(114)에서 분기되는 게이트 전극(118)과, 상기 게이트 전극(118)을 포함한 전면에 형성된 게이트 절연막 (102), 상기 게이트 전극(118) 상부의 게이트 절연막(102) 상에 형성된 반도체층 (120)과, 상기 데이터 라인(112)에서 분기되어 상기 반도체층(120) 양 끝에 각각 형성되는 소스/드레인 전극(116a/116b)으로 구성된다.
- <26> 상기 데이터 라인(112)의 선폴은 그 하부에 배치되는 반도체층(120)의 선폴보다 작게 형성된다.
- <27> 상기 반도체층(120)은 활성층(120a) 및 오믹콘택층(120b)으로 형성된다.
- <28> 상기 게이트 패드(80)는 게이트 라인(114)으로부터 연장되는 게이트 하부 패드(80a)와, 상기 게이트 하부 패드(80a)와 제 2 콘택홀(122b)을 통해 게이트 상부 패드(80b)와 전기적으로 접속된다.
- <29> 상기 데이터 패드(90)는 데이터 라인(112)으로부터 연장되는 데이터 하부 패드(90a)와, 상기 데이터 하부 패드(90a)와 제 3 콘택홀(122c)을 통해 데이터 상부 패드(90b)와 전기적으로 접속된다.
- <30> 상기 소스/드레인 전극(116a/116b), 데이터 라인(112) 및 데이터 하부 패드(90a)를 포함한 소스/드레인 패턴 상에 드레인 전극(116b), 데이터 하부 패드(90a) 및 데이터 라인(112)을 노출하는 보호막(104)이 구성된다.
- <31> 또한, 상기 게이트 상부 패드(80b) 및 데이터 상부 패드(90b)은 화소전극(124)과 동일층에 형성되며, 이와 동시에 상기 데이터 라인(112)을 감싸도록 형성되는 데이터 보호 패턴(113)으로 구성된다.
- <32> 도 3a 및 도 3g는 본 발명의 실시예에 따른 도 1의 I-I' 내지 V-V' 선상의 액정표시장치의 제조방법을 나타낸 공정단면도이다.
- <33> 먼저, 3a에 도시한 바와 같이, 구체적으로 기판상(100)에 스퍼터링 방법과 같은 증착 공정을 통해 게이트 라인(도 2의 114), 게이트 전극(118) 및 게이트 하부 패드(80a)를 포함하는 게이트 패턴이 형성된다.
- <34> 이어서, 도 3b에 도시한 바와 같이, 상기 게이트 패턴이 형성된 기판(100) 상에 게이트 절연막(102), 활성층(120a) 및 오믹콘택층(120b)으로 구성된 반도체층(120), 소스/드레인 금속층(116)이 순차적으로 형성된다.
- <35> 상기 게이트 절연막(102)의 재료로는 산화 실리콘(SiO_x) 또는 질화 실리콘(SiN_x) 등의 무기 절연물질이 이용된다.
- <36> 상기 소스/드레인 금속층(116)의 재료로는 몰리브덴(Mo), 티타늄, 탄탈륨, 몰리브덴 합금(Mo alloy), 구리(Cu) 등이 이용된다.
- <37> 상기 소스/드레인 금속층(116) 상에 포토레지스트가 형성되고 그 위에 제2 마스크(도시하지 않음)로써 회절마스크(diffraction mask)나 하프톤마스크(half-tone mask)가 정렬된다. 제2 마스크(도시하지 않음)에는 광을 차단하는 광차단부, 입사광의 일부를 투과시키는 반투과부 또는 회절부, 입사광 대부분을 투과시키는 투과부를 포함한다.
- <38> 따라서, 상기 제 2마스크를 이용하여 상기 포토레지스트를 노광 및 현상하여, 데이터 하부 패드(90a), 소스/드레인 전극(116a/116b), 데이터 라인(112)을 포함하는 소스/드레인 패턴이 형성될 부분 상층에 두께가 다른 제 1 포토레지스트 패턴(200)을 형성한다.

- <39> 다시 말해, 상기 제 1 포토레지스트 패턴(200)은 소스/드레인 전극이 분리될 영역에서 상대적으로 낮은 두께를 갖는다.
- <40> 도 3c에 도시한 바와 같이, 상기 제 1 포토레지스트 패턴(200)을 마스크로 이용한 습식 식각공정 후 건식 식각 공정으로 소스/드레인 패턴이 형성될 부분을 제외한 영역의 소스/드레인 금속층(116) 및 반도체층(120)을 제거한다.
- <41> 이어, 애싱(Ashing) 공정을 통해 상기 제 1 포토 레지스트 패턴(200)의 두께를 감소시킴으로써, 소스/드레인 전극(116a/116b)이 분리될 영역 상의 포토 레지스트 패턴(200)은 제거된다.
- <42> 다시 말해, 상기 제 1 포토 레지스트 패턴(200)은 소스/드레인 전극이 분리될 영역에서 상대적으로 낮은 두께를 갖는다.
- <43> 도 3d에 도시한 바와 같이, 상기 제 1 포토레지스트 패턴(200)을 마스크로 소스/드레인 패턴을 습식식각 하여, 소스/드레인 전극(116a/116b)을 분리하고, 이어서, 건식식각을 통해 노출된 오믹콘택층(120b)을 제거한다.
- <44> 여기서, 상기 소스/드레인 전극 패턴은 2회의 습식식각을 통해 형성됨으로, 상기 데이터 라인(112) 및 소스/드레인 전극(116a/116b)의 폭이 그 하부에 배치되는 반도체층의 폭보다 작게 형성됨을 알 수 있다.
- <45> 예를 들어 상기 데이터 라인(112)을 몰리브덴(Mo) 등과 같은 건식식각이 가능한 금속으로 형성될 경우, 데이터 라인 하부의 반도체층의 돌출부는 1~3 μ m이지만, 데이터 라인(112)을 구리(Cu) 등과 같은 습식식각이 필요한 금속으로 형성될 경우에는 반도체층의 돌출부는 3~5 μ m로 데이터 라인의 선포폭과 반도체층의 선포폭의 차이가 더 커지게 된다.
- <46> 이어서, 도 3e에 도시한 바와 같이, 상기 게이트 하부 패드(80a) 및 소스/드레인 패턴을 포함한 기판 전면에 보호막(104)을 형성한다.
- <47> 상기 보호막(104)의 재료로는 게이트 절연막(102)과 같은 무기 절연물질이나 유전상수가 작은 아크릴(acryl)계 유기화합물, BCB 또는 PFCB 등과 같은 유기 절연물질이 이용된다.
- <48> 이어서, 상기 보호막(104) 상에 포토레지스트를 형성하고, 그 위에 제 3 마스크(도시하지 않음)를 이용하여 상기 포토레지스트를 노광 및 현상하여, 상기 게이트 하부 패드(80a)와, 드레인 전극(116b)과, 데이터 라인(112) 및 데이터 하부 패드(90a) 상의 보호막의 일부영역을 노출하는 제 2 포토레지스트 패턴(300)을 형성한다.
- <49> 도 3f에 도시한 바와 같이, 상기 제 2 포토레지스트 패턴(300)을 마스크로 보호막(104)을 식각하여 상기 드레인 전극(116b)을 노출하는 제 1 콘택홀(122a)과, 상기 게이트 하부 패드(80a)를 노출하는 제 2 콘택홀(122b)과, 상기 데이터 하부 패드(90a)를 노출하는 제 3 콘택홀(122c)을 형성한다.
- <50> 이때, 상기 제 2 포토레지스트 패턴(300)을 통해 노출된 데이터 라인(112) 양측부로 돌출된 반도체층(120)이 제거되어, 데이터 라인(112)과 동일한 선포폭을 갖게된다. 또한, 상기 데이터 라인(112)과 게이트 라인(114)의 교차부에서는 보호막이 잔존하여 데이터 라인(112) 하부의 반도체층(120)과 게이트 절연막(102)이 식각되는 것을 방지한다.
- <51> 이어서, 도 3g에 도시한 바와 같이, 상기 제 1 내지 제 3 콘택홀(122a/122b/122c)을 구비하고, 상기 데이터 라인(112)을 노출하는 보호막(104) 상에 투명 도전 물질을 증착한다.
- <52> 상기 투명 도전 물질로는 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO), 인듐아연산화물(Indium Zinc Oxide : IZO) 또는 인듐주석아연산화물(Indium Tin Zinc Oxide:ITZO) 등이 있다.
- <53> 이어서, 제 4마스크(도시하지 않음)공정을 이용한 포토리소그래피 공정과 식각공정으로 화소전극(124), 데이터 보호 패턴(113), 데이터 상부 패드(90b), 게이트 상부 패드(80b)를 포함한 투명 도전 패턴이 형성된다.
- <54> 상기 데이터 보호 패턴(113)은 상기 데이터 라인(112)을 감싸도록 형성되며, 게이트 라인(114)과 데이터 라인(112)의 교차부에서 보호막(104)을 사이에 두고 형성된다.
- <55> 이때, 데이터 보호 패턴(113)은 상기 데이터 라인(112)의 상부가 외부로 노출되어 있으므로, 화소 영역에 화소 전극(124b)을 형성시키기 위하여 식각하는 과정에서, 이때 사용하는 에천트에 의해 데이터 라인이 부식될 우려를 방지하기 위함이다.
- <56> 한편, 이상에서 설명한 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적

사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

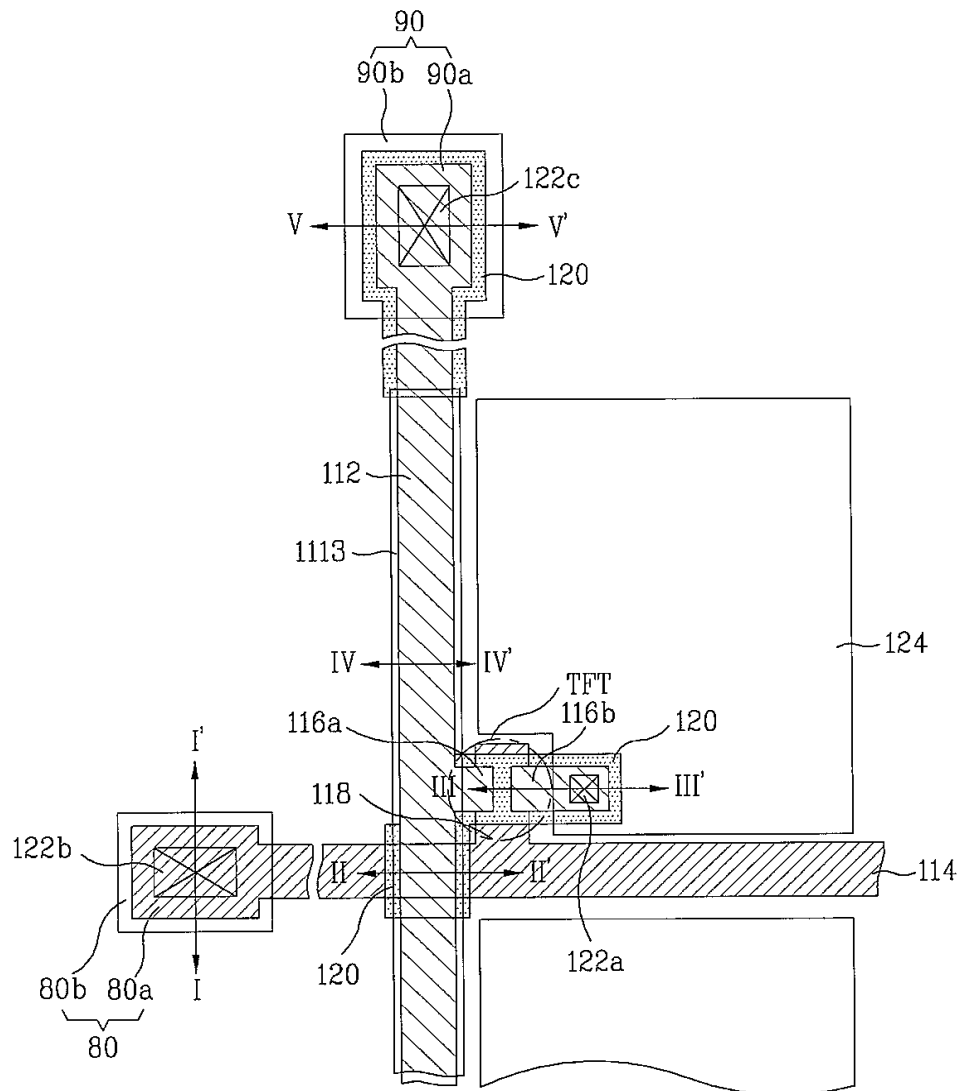
- <57> 상기와 같은 본 발명에 의한 액정표시장치 및 그 제조방법은 데이터 라인의 하부에 증착된 반도체층의 선폭을 감소시키고, 반도체층의 선폭이 감소 되는 만큼 화소전극의 면적을 증가시킴으로써 액정표시장치의 개구율을 향상시킬 수 있는 효과가 있다.

도면의 간단한 설명

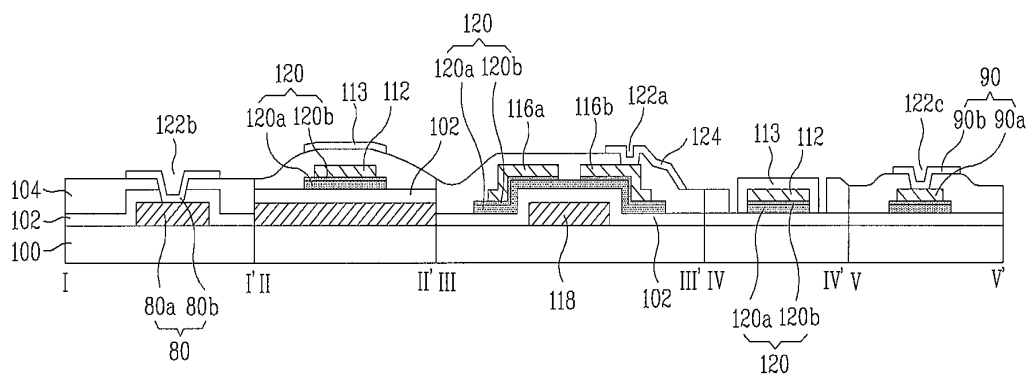
- <1> 도 1은 본 발명의 실시예에 따른 액정표시장치를 나타낸 평면도
- <2> 도 2는 도 1의 I-I ' 내지 V-V ' 선에 따른 액정표시장치의 단면도
- <3> 도 3a 내지 도 3g는 본 발명의 실시예에 따른 액정표시장치의 제조방법을 설명하기 위한 단면도들.
- <4> *도면의 주요부분에 대한 부호의 설명*
- | | |
|----------------------------|------------------|
| <5> 100 : 기판 | 102 : 게이트 절연막 |
| <6> 112a : 데이터라인 | 112b : 데이터 보호 패턴 |
| <7> 116a, 116b : 소스/드레인 전극 | 118 : 게이트 전극 |
| <8> 120 : 반도체층 | 124 : 화소전극 |

도면

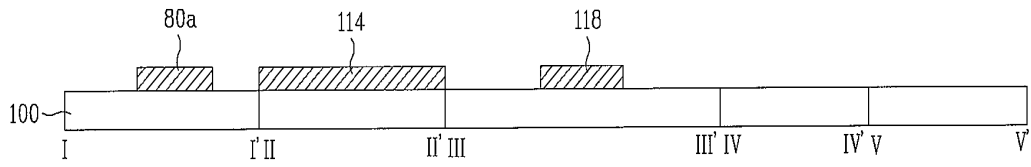
도면1



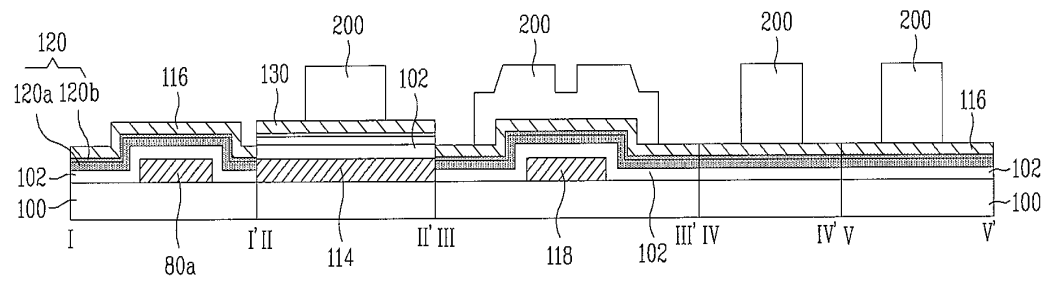
도면2



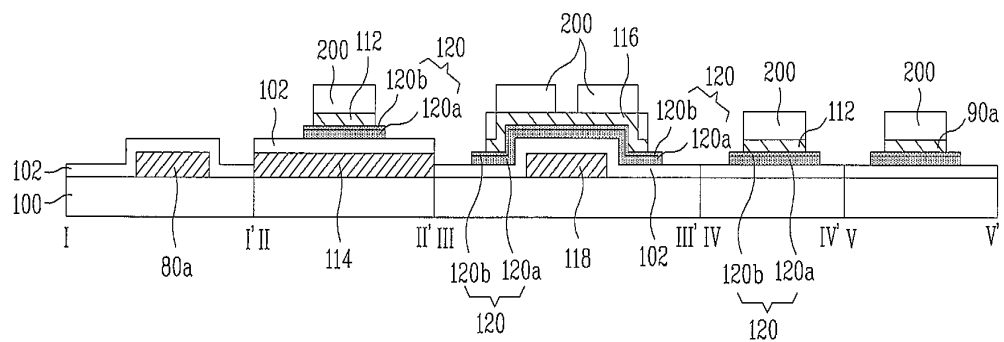
도면3a



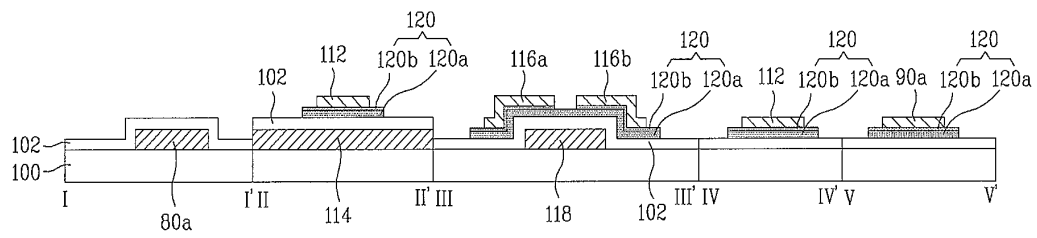
도면3b



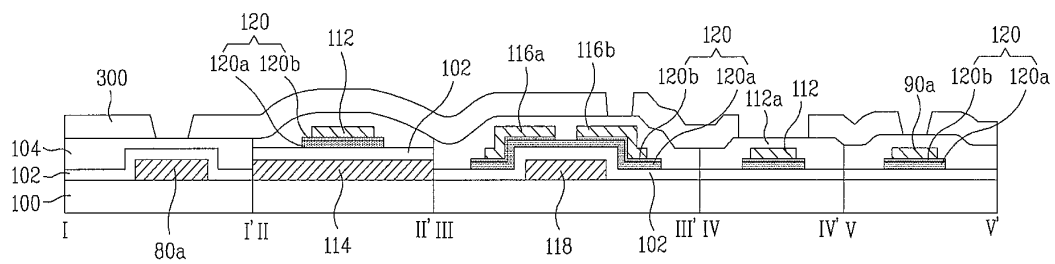
도면3c



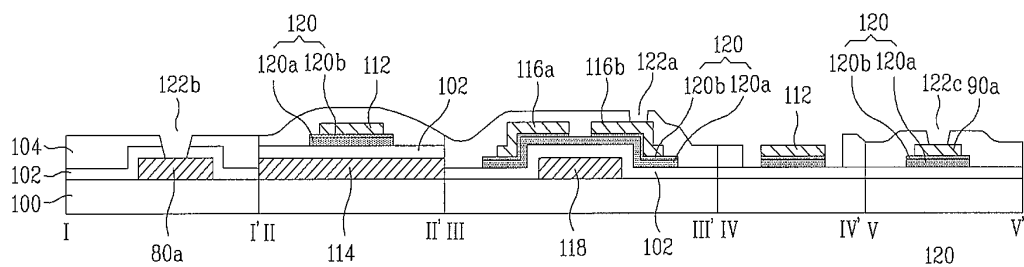
도면3d



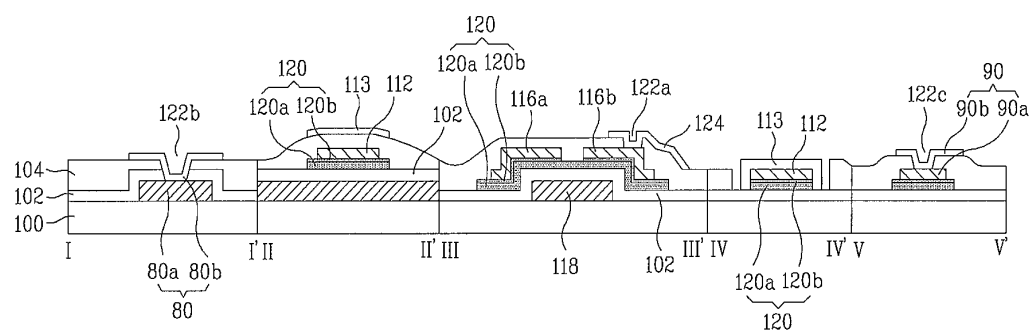
도면3e



도면3f



도면3g



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020080055314A	公开(公告)日	2008-06-19
申请号	KR1020060128468	申请日	2006-12-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JUNG IL 이정일 ROH SEUNG KWANG 노승광		
发明人	이정일 노승광		
IPC分类号	G02F1/136 G02F1/1343		
CPC分类号	G02F1/1368 H01L27/124 H01L27/1288		
代理人(译)	Gimyongin Bakyoungbok		
其他公开文献	KR101319301B1		
外部链接	Espacenet		

摘要(译)

用途：提供LCD（液晶显示器）及其制造方法，以减小与数据线下部重叠的半导体层的线宽。组成：多条栅极线和数据线（112）定义像素区域基板。TFT（薄膜晶体管）形成在栅极线和数据线的交叉区域处。像素电极形成在像素区域并与TFT连接。半导体层（120）包括在TFT中，具有与数据线相同的线宽并沿数据线延伸。数据保护图案包括数据线和半导体层。数据保护图案由与像素电极相同的材料形成。通过在数据线和栅极线的交叉部分插入钝化层，数据保护图案与数据线重叠。©KIPO 2008

