



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0046010
(43) 공개일자 2008년05월26일

(51) Int. Cl.

G02F 1/136 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2006-0115414

(22) 출원일자 2006년11월21일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

송계찬

경기 의왕시 왕곡동 신안포은아파트 105동 201호

양준영

경기도 부천시 원미구 상1동 행복한마을 서해아파트 2407동1303호

(74) 대리인

박장원

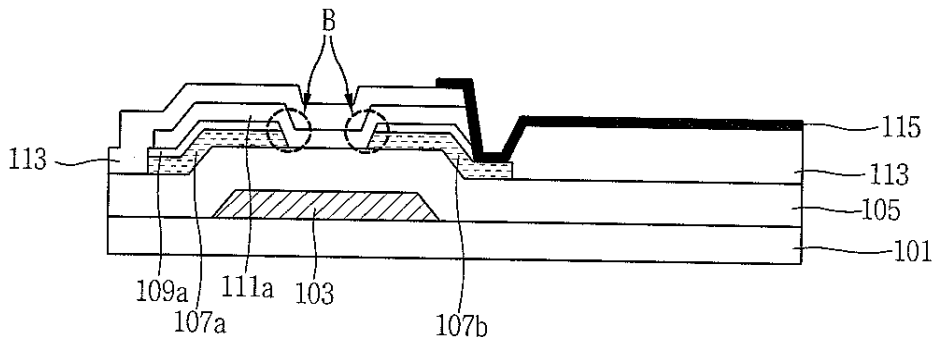
전체 청구항 수 : 총 21 항

(54) 액정표시소자 및 그 제조방법

(57) 요약

본 발명은 액정표시소자 및 그 제조방법에 관한 것으로, 본 발명에 따른 액정표시소자는, 제1기판과 제2기판; 상기 제1기판상에 형성된 게이트라인과 게이트전극; 상기 제1기판 전체에 형성된 게이트절연막; 상기 게이트절연막상에 형성되고 서로 이격된 소스/드레인전극과 상기 게이트라인과 교차되는 데이터라인; 상기 소스/드레인전극상에 형성된 오믹콘택층; 상기 오믹콘택층과 소스/드레인전극 및 게이트절연막상에 형성된 액티브층; 상기 액티브층을 포함한 제1기판상에 형성되고 상기 드레인전극 일부를 노출시키는 콘택홀이 구비된 보호막; 상기 보호막상에 형성되고, 상기 드레인전극과 접속되는 화소전극; 상기 제2기판상에 형성된 블랙매트릭스층과 컬러필터층; 및 상기 제1기판과 제2기판사이에 형성된 액정층을 포함하여 구성된다.

대표도 - 도3



특허청구의 범위

청구항 1

기관상에 형성된 게이트전극;

상기 게이트전극을 포함한 기관상에 형성된 게이트절연막;

상기 게이트절연막상에 형성되고 서로 이격된 소스/드레인전극;

상기 소스/드레인전극상에 형성된 오믹콘택층; 및

상기 오믹콘택층과 소스/드레인전극 및 게이트절연막상에 형성된 액티브층;을 포함하여 구성되는 것을 특징으로 하는 액정표시소자의 박막트랜지스터.

청구항 2

제1항에 있어서, 상기 액티브층과 접촉하는 소스/드레인전극 부분은 오프셋 영역을 형성하는 것을 특징으로 하는 액정표시소자의 박막트랜지스터.

청구항 3

제2항에 있어서, 상기 오프셋영역은 소스/드레인전극 두께와 비례하는 것을 특징으로 하는 액정표시소자의 박막트랜지스터.

청구항 4

제1항에 있어서, 상기 액티브층은 결정화 실리콘층 또는 비정질실리콘층인 것을 특징으로 하는 액정표시소자의 박막트랜지스터.

청구항 5

제1항에 있어서, 상기 액티브층을 포함한 기관상에 형성되고 상기 드레인전극을 노출시키는 콘택홀이 구비된 보호막과,

상기 보호막상에 형성되고 상기 콘택홀을 통해 상기 드레인전극과 접속되는 화소전극을 포함하는 것을 특징으로 하는 액정표시소자의 박막트랜지스터.

청구항 6

기관상에 게이트전극을 형성하는 단계;

상기 게이트전극을 포함한 기관상에 게이트절연막을 형성하는 단계;

상기 게이트절연막상에 도전물질층과 불순물 실리콘층을 적층하는 단계;

상기 도전물질층과 불순물 실리콘층을 패터닝하여 서로 이격된 소스/드레인전극과 오믹콘택층을 형성하는 단계; 및

상기 오믹콘택층과 소스/드레인전극 및 이들사이의 게이트절연막상에 액티브층을 형성하는 단계;를 포함하여 구성되는 것을 특징으로 하는 액정표시소자의 박막트랜지스터 제조방법.

청구항 7

제6항에 있어서, 상기 소스/드레인전극의 측면과 접촉하는 액티브층부분은 오프셋 영역을 형성하는 것을 특징으로 하는 액정표시소자의 박막트랜지스터 제조방법.

청구항 8

제7항에 있어서, 상기 오프셋영역 길이는 소스/드레인전극 두께와 비례하는 것을 특징으로 하는 액정표시소자의 박막트랜지스터 제조방법.

청구항 9

제6항에 있어서, 상기 액티브층은 결정화 실리콘층 또는 비정질실리콘층인 것을 특징으로 하는 액정표시소자의 박막트랜지스터 제조방법.

청구항 10

제9항에 있어서, 상기 결정화 실리콘층을 형성하는 단계는,
 상기 오믹콘택층과 소스/드레인전극 및 이들사이의 게이트절연막상에 비정질실리콘층을 형성하는 단계와,
 상기 비정질실리콘층을 결정화시키는 단계를 포함하여 이루어지는 것을 특징으로 하는 액정표시소자의 박막트랜지스터 제조방법.

청구항 11

제10항에 있어서, 상기 비정질실리콘층을 결정화하는 방법으로는, 금속유도결정화(metal induced crystallization; MIC)를 촉진시키는 FEMIC(field enhanced metal induced crystallization)방법, AMFC 결정화 방법, 고온 가열방법, 메탈 금속을 결정화의 촉매로 사용하는 금속유도결정화방법(metal induced crystallization; MIC)중에서 어느 하나를 이용하는 것을 특징으로 하는 액정표시소자의 박막트랜지스터 제조방법.

청구항 12

제1기판과 제2기판;
 상기 제1기판상에 형성된 게이트라인과 게이트전극;
 상기 제1기판 전체에 형성된 게이트절연막;
 상기 게이트절연막상에 형성되고 서로 이격된 소스/드레인전극과 상기 게이트라인과 교차되는 데이터라인;
 상기 소스/드레인전극상에 형성된 오믹콘택층;
 상기 오믹콘택층과 소스/드레인전극 및 게이트절연막상에 형성된 액티브층;
 상기 액티브층을 포함한 제1기판상에 형성되고 상기 드레인전극 일부를 노출시키는 콘택홀이 구비된 보호막;
 상기 보호막상에 형성되고, 상기 드레인전극과 접속되는 화소전극;
 상기 제2기판상에 형성된 블랙매트릭스층과 컬러필터층; 및
 상기 제1기판과 제2기판사이에 형성된 액정층을 포함하여 구성되는 것을 특징으로 하는 액정표시소자.

청구항 13

제12항에 있어서, 상기 소스/드레인전극측면과 접촉하는 액티브층 부분은 오프셋 영역을 형성하는 것을 특징으로 하는 액정표시소자.

청구항 14

제12항에 있어서, 상기 오프셋영역 길이는 소스/드레인전극 두께와 비례하는 것을 특징으로 하는 액정표시소자.

청구항 15

제12항에 있어서, 상기 액티브층은 결정화 실리콘층 또는 비정질실리콘층인 것을 특징으로 하는 액정표시소자.

청구항 16

제1기판과 제2기판을 제공하는 단계;
 상기 제1기판상에 게이트라인과 게이트전극을 형성하는 단계;

상기 게이트전극을 포함한 제1기판상에 게이트절연막을 형성하는 단계;
 상기 게이트절연막상에 도전물질층과 불순물 실리콘층을 적층하는 단계;
 상기 도전물질층과 불순물 실리콘층을 패터닝하여 서로 이격된 소스/드레인전극, 오믹콘택층 및 상기 게이트라인과 교차되는 데이터라인을 형성하는 단계;
 상기 오믹콘택층과 소스/드레인전극 및 이들사이의 게이트절연막상에 액티브층을 형성하는 단계;
 상기 액티브층을 포함한 제1기판상에 보호막을 형성하는 단계;
 상기 보호막을 패터닝하여 상기 드레인전극을 노출시키는 콘택홀을 형성하는 단계;
 상기 보호막상에 상기 콘택홀을 통해 드레인전극과 접속되는 화소전극을 형성하는 단계;
 상기 제2 기판상에 블랙매트릭스층과 칼라필터층을 적층하는 단계; 및
 상기 제1기판과 제2기판사이에 액정층을 형성하는 단계를 포함하여 구성되는 것을 특징으로 하는 액정표시소자 제조방법.

청구항 17

제16항에 있어서, 상기 소스/드레인전극과 접촉하는 액티브층부분은 오프셋 영역을 형성하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 18

제17항에 있어서, 상기 오프셋영역 길이는 소스/드레인전극 두께와 비례하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 19

제16항에 있어서, 상기 액티브층은 결정화 실리콘층 또는 비정질실리콘층인 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 20

제19항에 있어서, 상기 결정화 실리콘층을 형성하는 단계는,
 상기 오믹콘택층과 소스/드레인전극 및 이들사이의 게이트절연막상에 비정질실리콘층을 형성하는 단계와,
 상기 비정질실리콘층을 결정화시키는 단계를 포함하여 이루어지는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 21

제20항에 있어서, 상기 비정질실리콘층을 결정화하는 방법으로는, 금속유도결정화(metal induced crystallization; MIC)를 촉진시키는 FEMIC(field enhanced metal induced crystallization)방법, AMFC 결정화 방법, 고온 가열방법, 메탈 금속을 결정화의 촉매로 사용하는 금속유도결정화방법(metal induced crystallization; MIC)중에서 어느 하나를 이용하는 것을 특징으로 하는 액정표시소자의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<15> 본 발명은 액정표시소자 및 그 제조방법에 관한 것으로서, 보다 상세하게는 결정화 결함 및 그레인 바운더리를 통해 누설전류가 발생하는 것을 억제할 수 있는 액정표시소자 및 그 제조방법에 관한 것이다.

- <16> 정보화 사회가 발전함에 따라 표시장치에 대한 요구도 다양한 형태로 증가하고 있으며, 이에 부응하여 근래에는 LCD (Liquid Crystal Display), PDP(Plasma Display Panel), ELD (Electro Luminescent Display), VFD (Vacuum Fluorescent Display) 등 여러가지 평판표시장치가 연구되어 왔다.
- <17> 그중에서, 현재 화질이 우수하고 경량, 박형, 저소비 전력을 장점으로 인하여 이동형 화상 표시장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 LCD가 가장 많이 사용되고 있다.
- <18> 노트북컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송신호를 수신하여 디스플레이하는 텔레비전 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.
- <19> 이와 같은 액정표시장치는 화상을 표시하는 액정패널과 상기 액정패널에 구동신호를 인가하기 위한 구동부로 크게 구분될 수 있다.
- <20> 상기 액정패널은 일정 공간을 갖고 합착된 제1, 제2 유리기판과, 상기 제1, 제2 유리기판사이에 주입된 액정층으로 구성된다.
- <21> 여기서, 상기 제1 유리기판(TFT 어레이기판)에는, 일정간격을 갖고 일방향으로 배열되는 복수개의 게이트라인과, 상기 각 게이트라인과 수직한 방향으로 일정한 간격으로 배열되는 복수개의 데이터라인과, 상기 각 게이트라인과 데이터라인이 교차되어 정의된 각 화소영역에 매트릭스 형태로 형성되는 복수개의 화소전극과, 상기 게이트라인의 신호에 의해 스위칭되어 상기 데이터라인의 신호를 상기 각 화소전극에 전달하는 복수개의 박막트랜지스터가 형성되어 있다.
- <22> 또한, 제2유리기판(칼라필터기판)에는, 상기 화소영역을 제외한 부분의 빛을 차단하기 위한 블랙매트릭스층과, 칼라 색상을 표현하기 위한 R, G, B 칼라필터층과 화상을 구현하기 위한 공통전극이 형성되어 있다. 이때, 상기 공통전극은 액정표시소자의 구현 방식에 따라 제1유리기판에 형성할 수도 있다.
- <23> 이와 같은 상기 제1, 제2 유리기판은 스페이서에 의해 일정공간을 갖고 액정주입구를 갖는 실(seal)체에 의해 합착되어 상기 두 기판사이에 액정이 주입된다.
- <24> 상기와 같이 구성되는 일반적인 액정표시소자에 있어서, 상기 박막트랜지스터의 채널이 형성되는 반도체층은 그 성분이 비정질 실리콘인가 폴리실리콘인가에 따라 박막트랜지스터의 구조 및 그 제조방법이 달라진다.
- <25> 최근에는 AMLCD(active matrix liquid crystal display device) 및 AMOLED(active matrix organic light emitting diode) 등의 디스플레이장치의 구동소자로서 저온 폴리실리콘 박막트랜지스터의 수요가 커지고 있다.
- <26> 디스플레이장치를 구동하는 스위칭소자로는 박막트랜지스터(Thin Film Transistor, TFT)가 주로 사용되는데, 상기 박막트랜지스터의 액티브층으로 비정질실리콘을 주로 사용한다.
- <27> 특히, 전계에 따라 일정한 방향으로 배열되는 액정을 디스플레이장치의 구성요소로 사용하는 액정표시장치는 스위칭 소자로 박막트랜지스터가 채용되는데, 오늘날에는 고속의 응답속도 및 저소비전력을 구현하기 위해 박막트랜지스터의 액티브층으로 폴리실리콘을 사용하는 연구가 활발히 진행되고 있다.
- <28> 폴리실리콘을 채널로 사용하는 액정표시소자를 제조하는 공정은 통상 비정질의 실리콘을 유리 등의 기판상에 플라즈마 화학기상증착방법(PECVD)방법에 의해 형성하고 증착된 상기 비정질 실리콘을 결정화하는 공정으로 진행된다.
- <29> 상기 비정질실리콘을 결정화하는 방법으로는 고온의 퍼니스(furnace)에서 장시간 비정질 실리콘을 가열 및 냉각하는 과정을 통해 결정화하는 고온가열방법과 고강도의 레이저 에너지를 순간적으로 조사하여 가열하고 냉각시켜 결정화하는 레이저 어닐링방법 등이 사용된다.
- <30> 상기 결정화방법중 고온 가열방법은 유리 전이 온도 이상의 고온에서 비정질 실리콘층이 가열되므로 유리 등을 기판으로 사용하는 액정표시소자에 적용하기에 적합하지 않기 때문에 저온에서 비정질실리콘을 결정화할 수 있는 다양한 방법들이 연구되었다.
- <31> 이러한 결정화방법으로는, 엑시머 레이저를 이용하는 엑시머 레이저 결정화방법, 수평으로 순차적으로 결정화가 이루어지는 순차적 수평결정화방법 (sequential lateral solidification, SLS), 메탈 금속을 결정화의 촉매로 사용하는 유도결정화 방법(metal induced crystallization, MIC) 등이 있다.
- <32> 또한, 이러한 결정화방법 이외에도 MIC 결정화방법을 기본으로 하면서 결정화되는 온도를 더욱 낮추는 연구가 진행되어, 전기장을 인가하여 MIC 결정화를 촉진시키는 FEMIC(field enhanced metal induced crystallization)

n)방법과 AMFC (alternating magnetic field crystallization)방법 등이 있다.

- <33> 여기서, 상기 FEMIC 결정화방법은 비정질 실리콘에 니켈 등의 금속입자를 도포한 다음, 상기 비정질 실리콘에 전극을 형성하고, 퍼니스에서 가열하면서 상기 전극을 통해 비정질 실리콘층내에 전계를 형성하므로써 결정화를 촉진하는 방법이다.
- <34> 또한, 상기 AMFC 결정화방법은 비정질 실리콘에 교번 자기장을 인가하여 실리콘층내에 유도기전력을 형성하여 결정화를 촉진시키는 방법이다.
- <35> 이러한 결정화방법에 의해 비정질실리콘층은 약 500℃ 이하 온도에서 결정화가 진행될 수 있다.
- <36> 상기와 같은 결정화방법을 이용한 종래기술에 따른 액정표시소자를 구성하는 박막트랜지스터 구조에 대해 도 1을 참조하여 설명하면 다음과 같다.
- <37> 도 1은 종래기술에 따른 액정표시소자를 구성하는 박막트랜지스터의 단면도이다.
- <38> 도 1을 참조하면, 종래기술에 따른 액정표시소자를 구성하는 박막트랜지스터 구조는, 기판(11)상에 형성된 게이트전극(13)과, 상기 게이트전극(13)을 포함한 기판(11)상에 형성된 게이트절연막(15)과, 상기 게이트절연막(15)상에 형성되고 상기 게이트전극(13)과 오버랩되는 액티브층(17)과, 상기 액티브층(17)상에 형성되고 상기 액티브층(17)의 채널지역을 노출시키는 오믹콘택층(19)과, 상기 오믹콘택층(19)을 포함한 게이트절연막(15)상에 형성된 소스/드레인전극(23a)(23b)과, 상기 소스/드레인전극(23a)(23b)과 상기 채널지역의 액티브층(17)을 포함한 기판전체에 형성되고 상기 드레인전극(23b)의 일부를 노출시키는 보호막(25)으로 구성된다.
- <39> 또한, 상기 보호막(25)상에는 상기 드레인전극(23b)의 일부와 접속되는 화소전극(27)이 형성되어 있다.
- <40> 상기와 같이 구성되는 종래기술에 따른 액정표시소자의 박막트랜지스터 제조방법에 대해 도 2a 내지 도 2g를 참조하여 설명하면 다음과 같다.
- <41> 도 2a 내지 도 2g는 종래기술에 따른 액정표시소자를 구성하는 박막트랜지스터의 제조공정 단면도이다.
- <42> 도 2a에 도시된 바와같이, 먼저 기판(11)상에 금속물질을 증착하고, 이를 선택적으로 제거하여 게이트전극(13)을 형성한다.
- <43> 그다음, 상기 게이트전극(13)을 포함한 기판(11) 전면에 게이트절연막(15)을 일정두께만큼 증착한다.
- <44> 이어서, 상기 게이트절연막(15)상에 비정질실리콘층(17)을 증착한후 상기 비정질실리콘층(17)을 결정화시킨다.
- <45> 그다음, 도 2b에 도시된 바와같이, 상기 결정화된 실리콘층(17)상에 불순물 실리콘층(즉, n+층)(19)을 얇게 증착한다.
- <46> 이어서, 상기 결정화실리콘층(17)과 상기 n+ 불순물 실리콘층(19)을 선택적으로 결정화 실리콘층패턴(17a)과 불순물 실리콘층패턴(19a)을 형성한다.
- <47> 이때, 상기 결정화 실리콘층패턴(17a)은 소자의 액티브층으로 사용하고, 상기 불순물 실리콘층패턴(19a)은 오믹콘택층으로 사용한다.
- <48> 그다음, 도 2c에 도시된 바와같이, 상기 결정화 실리콘층패턴(17a)과 불순물 실리콘층패턴(19a)을 포함한 게이트절연막(15)상에 금속물질층(21)을 증착한다.
- <49> 이어서, 도 2d에 도시된 바와같이, 상기 금속물질층(21)을 습식각 공정을 통해 선택적으로 제거하여 서로 소정거리만큼 이격된 소스전극(21a)과 드레인전극(21b)을 형성한다. 이때, 상기 금속물질층(21)의 제거공정시에 상기 채널지역에 위치하는 불순물 실리콘층패턴(19a) 부분이 외부로 노출된다.
- <50> 이어서, 도 2e에 도시된 바와같이, 상기 소스전극(21a)과 드레인전극(21b)을 마스크로 건식각 공정을 실시하여 상기 소스전극(21a) 및 드레인전극(21b)사이에서 노출된 불순물 실리콘층패턴(19a) 부분을 제거한다.
- <51> 이때, 상기 불순물 실리콘층패턴(19a)의 건식각공정에서는, 도 2e의 "A"와 같이, 상기 불순물 실리콘층패턴(19a)의 하부에 있는 결정화 실리콘층패턴(17a)의 일부 두께 즉, 300~500Å 정도 두께까지 과식각(overetch)이 이루어진다.
- <52> 이는 상기 불순물 실리콘층패턴(19a)의 건식각공정에서는 건식각용 에천트(etchant)를 이용하는데, 이때

상기 불순물실리콘층패턴(19a)과 결정화 실리콘층(17a)의 선택비가 낮기 때문에 불순물 실리콘층패턴(19a)만의 선택적인 식각이 어려워져 상기 결정화 실리콘층패턴(17a)의 표면 일부도 과도식각(a)이 불가피하게 된다.

- <53> 그다음, 도 2f에 도시된 바와같이, 상기 외부로 노출된 결정화 실리콘층패턴 (17a)을 포함한 기판(11) 전체에 보호막(23)을 전면 증착한다.
- <54> 이어서, 상기 보호막(23)을 선택적으로 제거하여 상기 드레인전극(21b)의 상부 소정부위를 노출시키는 콘택홀(23a)을 형성한다.
- <55> 이어서, 도 2g에 도시된 바와같이, 상기 콘택홀(23a)을 포함한 보호막(23)상에 투명 도전막(미도시)을 증착하고, 이를 선택적으로 제거하여 상기 드레인전극 (21b)과 전기적으로 접속되는 화소전극(25)을 형성한다.
- <56> 상기한 바와 같이, 종래기술에 따른 액정표시소자 및 그 제조방법에 있어서는 다음과 같은 문제점이 있다.
- <57> 본 발명에 따른 액정표시소자 및 그 제조방법에 의하면, 불순물 실리콘층의 건식식각 공정에서는 건식식각용 에천트 (etchant)를 이용한다. 이때, 불순물실리콘층과 비정질실리콘층의 선택비가 낮기 때문에 불순물 실리콘층만의 선택적인 식각이 어려워져 상기 비정질실리콘층의 표면 일부도 식각이 불가피하게 된다.
- <58> 따라서, 상기 비정질실리콘층에 형성되는 채널부의 건식각 공정 등에 의해 플라즈마 데미지(plasma damage)와 불순물 가스의 확산 등으로 인한 소자 특성이 저하된다.
- <59> 그러므로, 비정질 실리콘층의 전체 두께는 채널이 형성되는 두께에 불순물 실리콘층의 과식각이 일어나는 두께 및 소정 마진을 두어 일정 두께가 일정 이상이 되어야 한다.
- <60> 그러나, 비정질 실리콘층의 두께가 두꺼울수록 박막트랜지스터의 이동도는 감소하는 경향을 보이게 되므로, 상기 비정질실리콘층의 두께 제어가 필요한 실정이다.
- <61> 또한, 불순물 실리콘층의 건식각 공정시에 백채널부(back channel: 채널의 반대편, 채널은 비정질 실리콘층하부에 형성되므로 백채널부란 상기 비정질실리콘층의 상부표면)에 대한 손상, 특히 과식각에 의한 두께 감소와 함께 식각공정에서 에천트로 이용되는 불순물 가스의 백채널부 확산은 오프전류(Ioff)를 증가시키는 요인으로 작용한다.
- <62> 그리고, 이러한 비정질 실리콘층의 손상은 불순물 실리콘층의 건식각공정후 보호막 증착까지의 불연속으로 이루어지는 공정사이에 삽입되는 세정공정 등에 의해 채널부에 불순물 오염을 일으킬 가능성이 크다.
- <63> 따라서, 불순물 실리콘층(n+층)의 식각에 의한 비정질 실리콘층의 과식각은 얼룩 및 오염 등의 저하 요소를 유발시킬 수 있다.
- <64> 특히, 버텀 게이트형 저온 폴리실리콘 박막트랜지스터 제조시에 결정화 결함(defect) 및 그레인 바운더리(grain boundary)를 통해 누설전류(leakage current)가 발생하여 오프 전류(off current)가 증가하게 된다.

발명이 이루고자 하는 기술적 과제

- <65> 이에 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 본 발명의 목적은 액티브층의 데미지없이 소자 특성 및 신뢰성을 향상시킬 수 있는 액정표시소자의 박막트랜지스터 및 제조방법을 제공함에 있다.
- <66> 또한, 본 발명의 다른 목적은 소자의 오프셋(off set)영역을 형성하여 누설전류를 줄일 수 있는 액정표시소자의 박막트랜지스터 및 그 제조방법을 제공함에 있다.
- <67> 상기 목적을 달성하기 위한 본 발명에 따른 박막트랜지스터는, 기판상에 형성된 게이트전극; 상기 게이트전극을 포함한 기판상에 형성된 게이트절연막; 상기 게이트절연막상에 형성되고 서로 이격된 소스/드레인전극; 상기 소스/드레인전극상에 형성된 오믹콘택층; 및 상기 오믹콘택층과 소스/드레인전극 및 게이트절연막상에 형성된 액티브층;을 포함하여 구성되는 것을 특징으로 한다.
- <68> 상기 목적을 달성하기 위한 본 발명에 따른 박막트랜지스터 제조방법은, 기판상에 게이트전극을 형성하는 단계; 상기 게이트전극을 포함한 기판상에 게이트절연막을 형성하는 단계; 상기 게이트절연막상에 도전물질층과 불순물 실리콘층을 적층하는 단계; 상기 도전물질층과 불순물 실리콘층을 패터닝하여 서로 이격된 소스/드레인전극과 오믹콘택층을 형성하는 단계; 및 상기 오믹콘택층과 소스/드레인전극 및 이들사이의 게이트절연막상에 액티

브층을 형성하는 단계;를 포함하여 구성되는 것을 특징으로 한다.

<69> 상기 목적을 달성하기 위한 본 발명에 따른 액정표시소자는, 제1기판과 제2기판; 상기 제1기판상에 형성된 게이트라인과 게이트전극; 상기 제1기판 전체에 형성된 게이트절연막; 상기 게이트절연막상에 형성되고 서로 이격된 소스/드레인전극과 상기 게이트라인과 교차되는 데이터라인; 상기 소스/드레인전극상에 형성된 오믹콘택층; 상기 오믹콘택층과 소스/드레인전극 및 게이트절연막상에 형성된 액티브층; 상기 액티브층을 포함한 제1기판상에 형성되고 상기 드레인전극 일부를 노출시키는 콘택홀이 구비된 보호막; 상기 보호막상에 형성되고, 상기 드레인전극과 접속되는 화소전극; 상기 제2기판상에 형성된 블랙매트릭스층과 컬러필터층; 및 상기 제1기판과 제2기판사이에 형성된 액정층을 포함하여 구성되는 것을 특징으로 한다.

<70> 상기 목적을 달성하기 위한 본 발명에 따른 액정표시소자 제조방법은, 제1기판과 제2기판을 제공하는 단계; 상기 제1기판상에 게이트라인과 게이트전극을 형성하는 단계; 상기 게이트전극을 포함한 제1기판상에 게이트절연막을 형성하는 단계; 상기 게이트절연막상에 도전물질층과 불순물 실리콘층을 적층하는 단계; 상기 도전물질층과 불순물 실리콘층을 패터닝하여 서로 이격된 소스/드레인전극, 오믹콘택층 및 상기 게이트라인과 교차되는 데이터라인을 형성하는 단계; 상기 오믹콘택층과 소스/드레인전극 및 이들사이의 게이트절연막상에 액티브층을 형성하는 단계; 상기 액티브층을 포함한 제1기판상에 보호막을 형성하는 단계; 상기 보호막을 패터닝하여 상기 드레인전극을 노출시키는 콘택홀을 형성하는 단계; 상기 보호막상에 상기 콘택홀을 통해 드레인전극과 접속되는 화소전극을 형성하는 단계; 상기 제2기판상에 블랙매트릭스층과 컬러필터층을 적층하는 단계; 및 상기 제1기판과 제2기판사이에 액정층을 형성하는 단계를 포함하여 구성되는 것을 특징으로 한다.

발명의 구성 및 작용

<71> 이하, 본 발명에 따른 액정표시소자 및 그 제조방법에 대해 첨부된 도면을 참조하여 상세히 설명한다.

<72> 도 3은 본 발명에 따른 액정표시소자를 구성하는 박막트랜지스터 구조의 단면도이다.

<73> 도 3을 참조하면, 본 발명에 따른 액정표시소자를 구성하는 박막트랜지스터 구조는, 하부기판(즉, TFT 어레이기판)(101)상에 형성된 게이트전극(103)과, 상기 게이트전극(103)을 포함한 하부기판(101)상에 형성된 게이트절연막(105)과, 상기 게이트절연막(105)상에 형성되고 상기 게이트전극(103)과 일부가 오버랩되면서 서로 이격된 소스/드레인전극(107a)(107b)과, 상기 소스/드레인전극(107a)(107b)상에 형성된 불순물 실리콘층패턴(109a)과, 상기 불순물 실리콘층패턴(109a)과 소스/드레인전극(107a)(107b) 및 이들사이에 위치하는 상기 게이트절연막(105)상에 형성된 결정화 실리콘층패턴(111a)을 포함하여 구성된다.

<74> 여기서, 상기 결정화 실리콘층패턴(111a)과 접촉하는 소스/드레인전극(107a)(107b)측면 부분은 오프셋영역(B)(off set region)을 형성한다.

<75> 또한, 상기 결정화 실리콘층패턴(111a)은 소자의 액티브층으로 사용되며, 상기 불순물 실리콘층패턴(109a)은 오믹콘택층으로 사용된다.

<76> 또한, 상기 실리콘층패턴(111a)을 포함한 기판(101)전체에 보호막(113)이 형성되어 있으며, 상기 보호막(113)에는 상기 드레인전극(107b) 일부를 노출시키는 콘택홀(미도시)이 형성되어 있다.

<77> 그리고, 상기 콘택홀(미도시)을 포함한 상기 보호막(113)상에는 상기 콘택홀을 통해 상기 드레인전극(107b)과 접속되는 화소전극(113)이 형성되어 있다.

<78> 한편, 상기와 같이 구성되는 박막트랜지스터를 구비한 액정표시소자 및 그 제조방법에 대해 도 4a 내지 도 4g를 참조하여 설명하면 다음과 같다.

<79> 도 4a 내지 도 4g는 본 발명에 따른 박막트랜지스터를 구비한 액정표시소자의 제조공정 단면도이다.

<80> 도 4a에 도시된 바와같이, 먼저 하부기판(101)상에 금속물질을 증착하고, 이를 선택적으로 제거하여 일방향으로 게이트라인(미도시) 및 상기 게이트라인에서 돌출되는 게이트전극(103)을 형성한다. 이때, 상기 게이트라인(미도시)과 게이트전극(103)의 형성공정은 금속물질을 포토리소그래피 공정을 통해 패터닝한후 이를 습식각하여 형성한다.

<81> 그다음, 상기 게이트라인(미도시) 및 게이트전극(103)을 포함한 하부기판(101)전면에 게이트절연막(105), 금속물질층(109) 및 불순물 실리콘층(n+층; 109)을 차례로 증착한다.

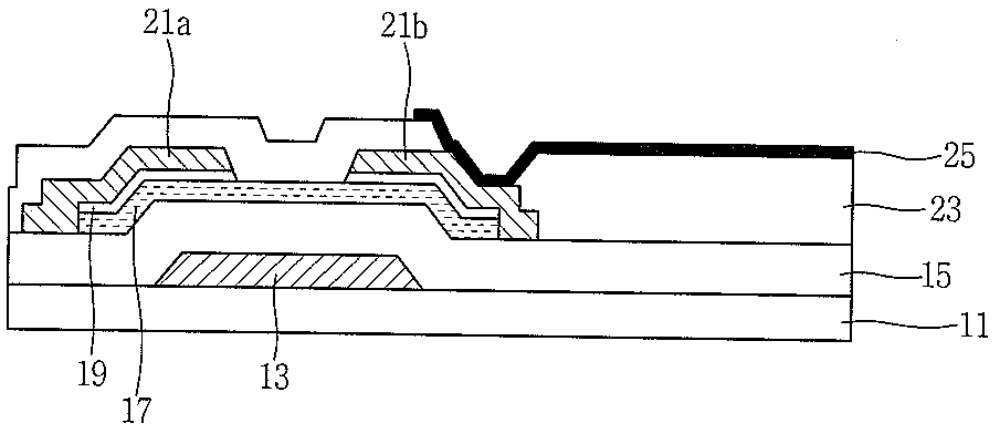
<82> 이때, 상기 게이트절연막(105)이 증착되는 두께는 2000~4000Å이 바람직하며, 상기 불순물 실리콘층(109)의

두께는 300~500 Å 정도가 바람직하다.

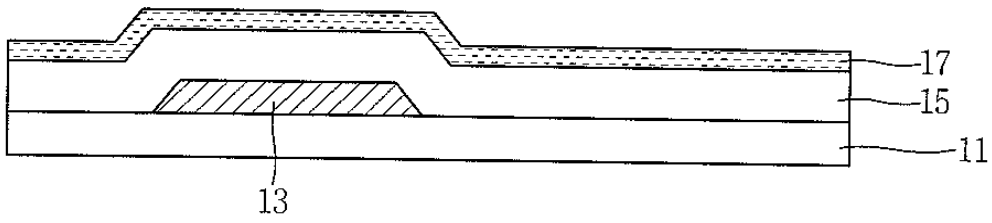
- <83> 이어서, 도 4b에 도시된 바와같이, 상기 불순물 실리콘층(109)과 금속물질층 (107)을 선택적으로 제거하여 불순물 실리콘층패턴(109a)과, 상기 게이트라인(미도시)과 교차하는 방향으로 데이터라인(미도시)을 형성하고, 상기 데이터라인(미도시) 에서 돌출되는 형상으로 소스전극(107a)과 상기 소스전극 (107a)과 소스간격만큼 이격된 드레인전극(107b)을 형성한다.
- <84> 이때, 상기 소스/드레인전극(107a)(107b)은 상기 게이트전극(103)에 대하여 그 양측에 대응되어 형성된다. 또한, 상기 소스/드레인전극(107a)(107b)간 이격된 간격은 소자의 채널지역을 정의하며, 상기 불순물 실리콘층패턴(109a)은 오믹콘택층으로 사용한다.
- <85> 이러한 데이터라인과 소스/드레인전극(107a)(107b) 및 불순물 실리콘층패턴 (109a)의 형성공정은 불순물 실리콘층(109)과 금속물질층 (107)을 포토리소그라피 공정기술을 이용하여 패터닝한후 이를 습식각하여 형성한다.
- <86> 그다음, 도 4c에 도시된 바와같이, 상기 불순물 실리콘층패턴(109a)과 소스/드레인전극(107a)(107b)을 포함한 하부기판(101)전체에 비정질실리콘층(111)을 증착한다.
- <87> 이때, 상기 비정질실리콘층(111)은 상기 소스/드레인전극(107a)(107b)측면과 접촉하게 된다.
- <88> 이렇게 비정질실리콘층(111)과 직접 접촉하는 소스/드레인전극(107a)(107b)측면에는 소자의 오프셋(off set) 영역(도 4d의 B)을 형성한다. 이때, 상기 오프셋영역(B)은 상기 소스/드레인전극(107a)(107b)의 두께에 의해 결정된다.
- <89> 이어서, 전기장을 인가하여 금속유도결정화(metal induced crystallization; MIC)를 촉진시키는 FEMIC(field enhanced metal induced crystallization)방법 또는 자기장 결정화방법(AMFC; alternating magnetic field crystallization)을 이용하여 상기 비정질실리콘층(111)을 결정화시킨다.
- <90> 이때, 상기 비정질실리콘층(111)을 결정화시키는 방법으로는 상기 FEMIC (field enhanced metal induced crystallization)방법 또는 자기장 결정화방법이외에도 고온 가열방법, 순차적 수평 결정화방법(sequential lateral solidification; SLS), 메탈 금속을 결정화의 촉매로 사용하는 금속유도결정화방법 (metal induced crystallization; MIC)중에서 어느 하나를 선택하여 사용할 수도 있다.
- <91> 여기서, 상기 AMFC 결정화방법은 비정질실리콘에 교번자기장을 인가하여 실리콘층내에 유도기전력을 형성하여 결정화를 촉진시키는 방법이다.
- <92> 특히, 상기 FEMIC 방법 또는 AMFC 결정화방법에 의해 비정질실리콘층은 500℃ 이하, 약 430℃ 에서 결정화가 진행될 수 있다.
- <93> 또한, 상기 고온가열방법은 고온의 퍼니스(furnace)에서 장시간 비정질 실리콘을 가열 및 냉각하는 과정을 통해 결정화하는 방법이다.
- <94> 상기 순차적 수평 결정화방법은 레이저를 이용하여 수평으로 순차적으로 결정화가 이루어지도록 하는 방법이다.
- <95> 그리고, 금속유도 결정화방법(MIC)은 니켈, 금, 알루미늄 등의 금속을 비정질 실리콘과 접촉시키거나 이들 금속을 실리콘에 주입시키고 상기 금속 입자를 결정화의 촉매로 사용하는 결정화방법인데, 이 방법은 약 500℃ 정도의 저온에서도 금속 원소에 의해 비정질 실리콘이 결정질 실리콘으로 상변화가 유도되는 현상을 나타낸다.
- <96> 그런데, 이들 결정화방법중에서 레이저를 이용하는 결정화방법은 고온에서 이루어지기 때문에 결정화공정중에 비정질실리콘층하부에 있는 게이트전극에 악 영향을 줄 수 있다.
- <97> 따라서, 레이저를 이용한 비정질실리콘층 결정화방법대신에 레이저를 이용하지 않은 자기장 결정화방법과 같은 방법을 사용하는 것이 바람직하다.
- <98> 그다음, 도 4d에 도시된 바와같이, 상기 결정화 실리콘층(111)을 선택적으로 패터닝하여 결정화 실리콘층패턴(111a)을 형성한다. 이때, 상기 결정화 실리콘층패턴(111a)은 소자의 액티브층으로 사용한다.
- <99> 이어서, 도 4e에 도시된 바와같이, 상기 결정화 실리콘층패턴(111a)을 포함한 하부기판(101) 전체에 보호막(113)을 전면 증착한다. 이때, 상기 보호막(113)은 2000 ~ 10000 Å 정도 두께로 형성한다. 또한, 상기 보호막(113)의 증착으로 인해 채널부의 오염을 방지할 수 있다.

도면

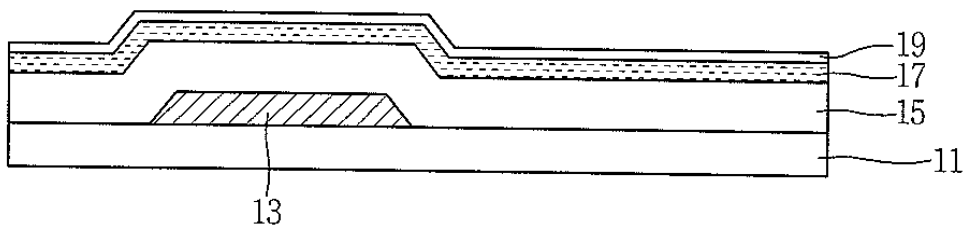
도면1



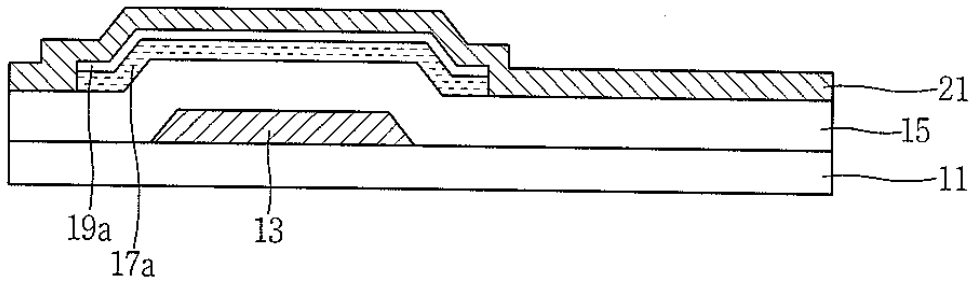
도면2a



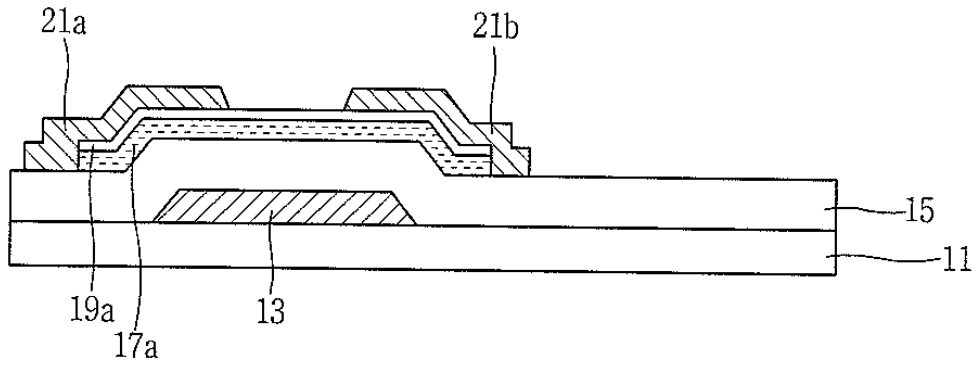
도면2b



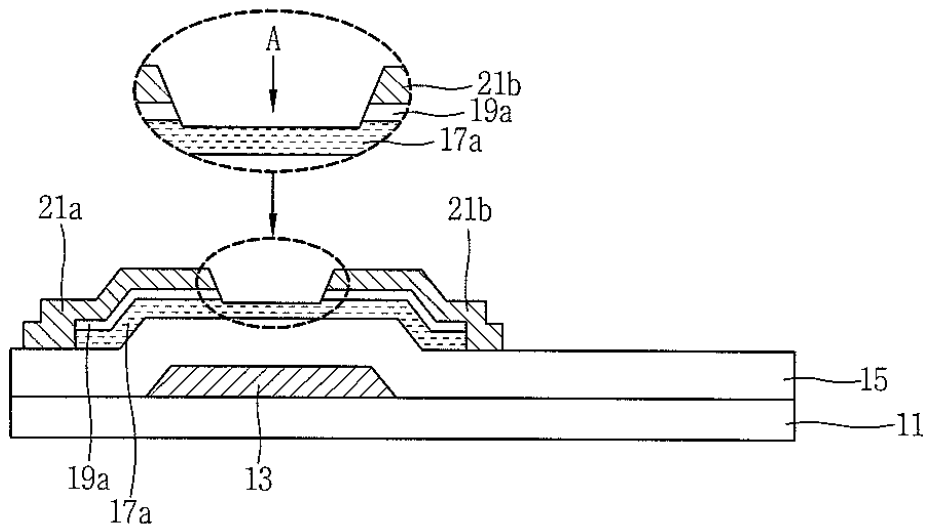
도면2c



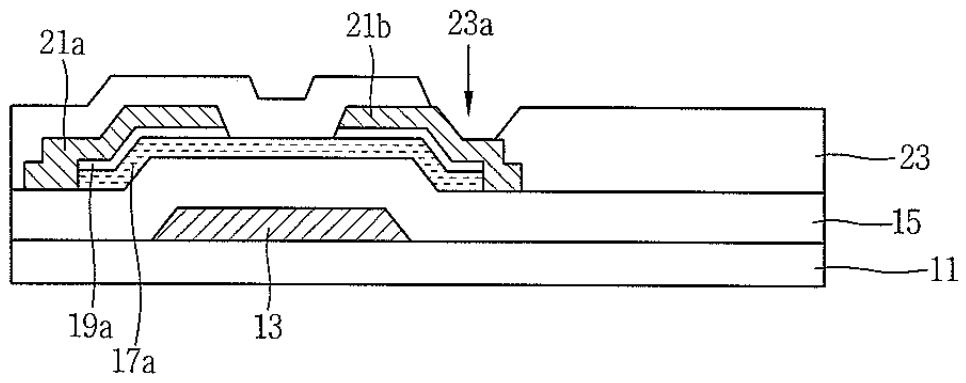
도면2d



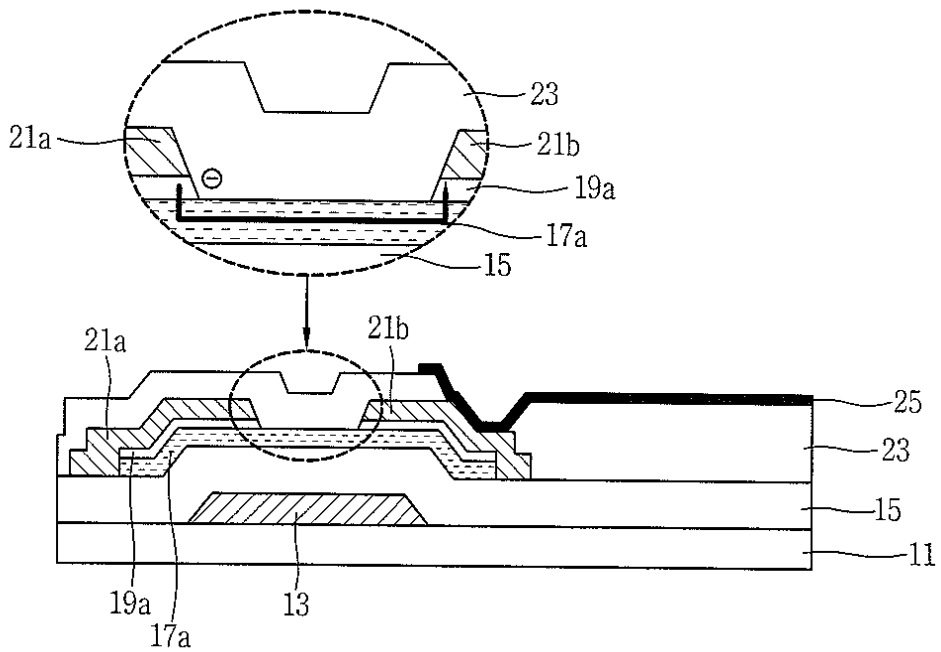
도면2e



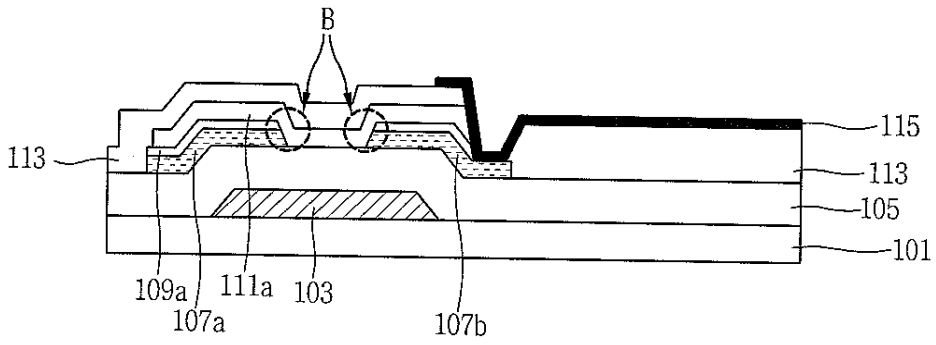
도면2f



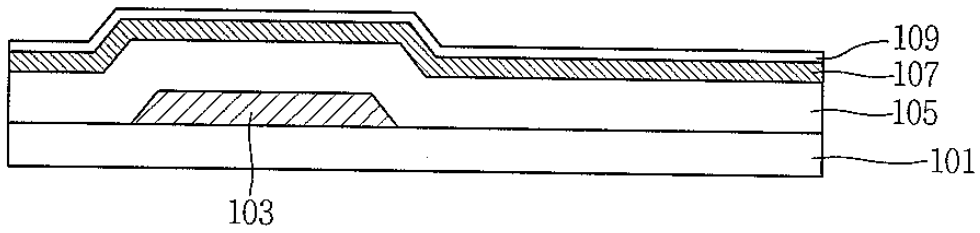
도면2g



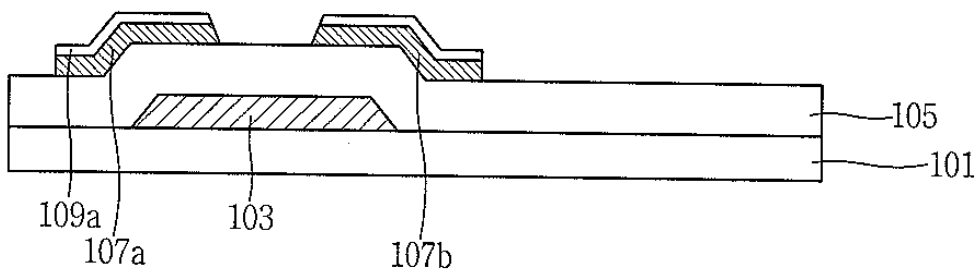
도면3



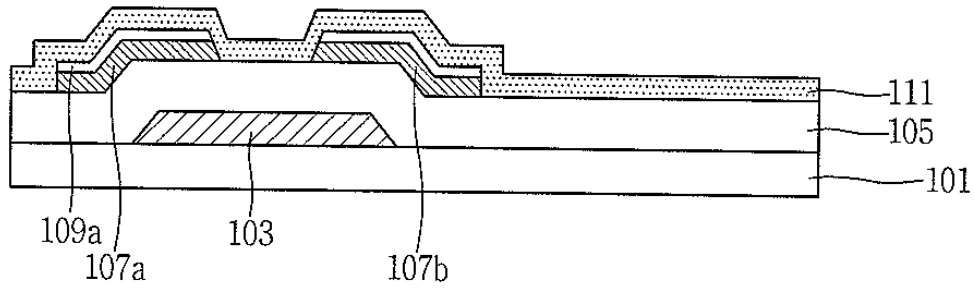
도면4a



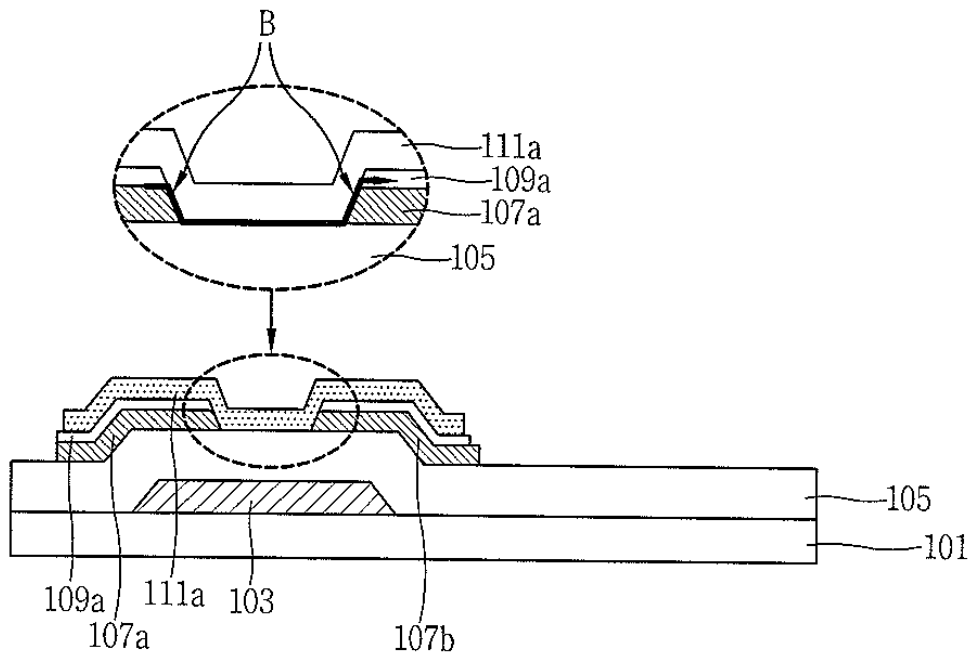
도면4b



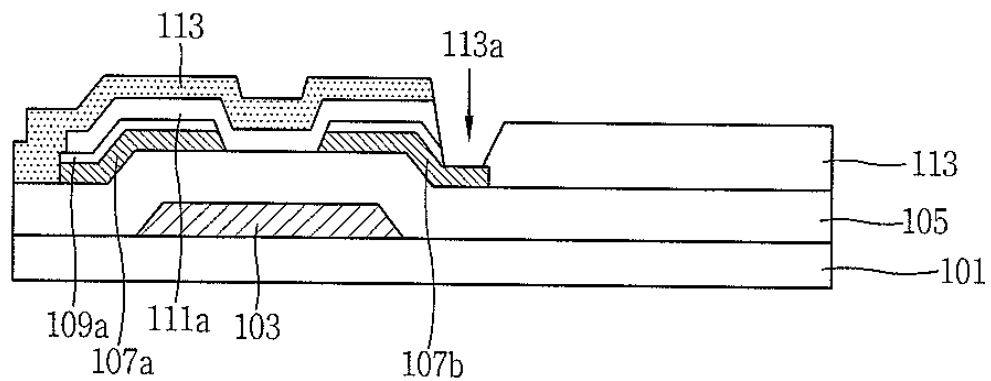
도면4c



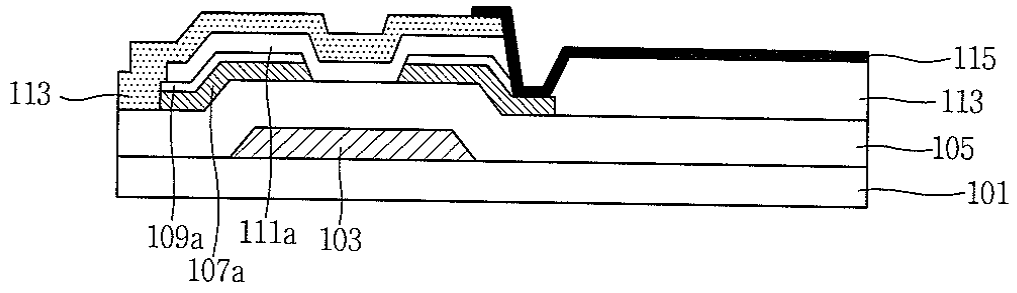
도면4d



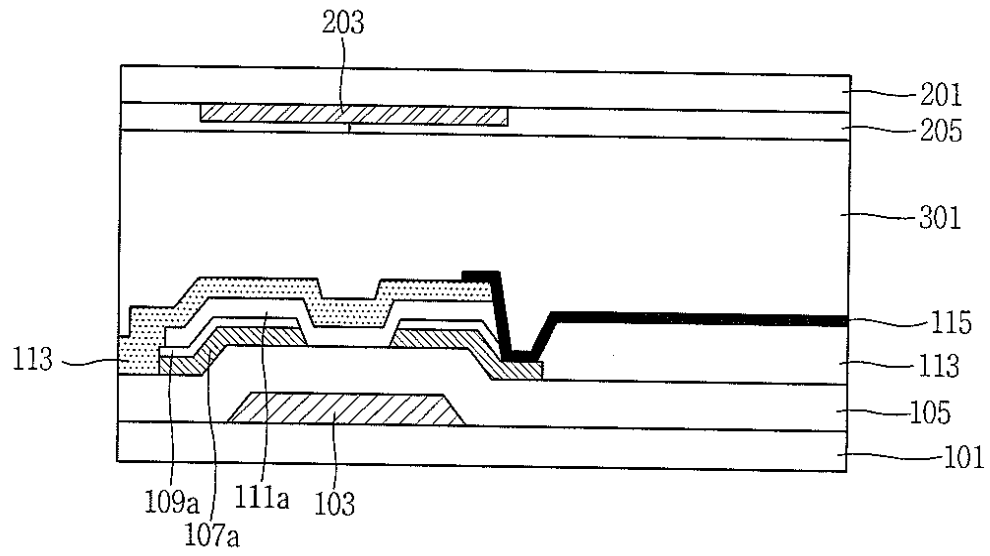
도면4e



도면4f



도면4g



专利名称(译)	液晶显示元件及其制造方法		
公开(公告)号	KR1020080046010A	公开(公告)日	2008-05-26
申请号	KR1020060115414	申请日	2006-11-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SONG KYE CHAN 송계찬 YANG JOON YOUNG 양준영		
发明人	송계찬 양준영		
IPC分类号	G02F1/136 H01L29/786		
CPC分类号	H01L29/78678 G02F1/1368 H01L29/41733 H01L29/66765 H01L29/78621		
代理人(译)	PARK , JANG WON		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示装置及其制造方法。并且，根据本发明的液晶显示装置包括在滤色器层与第一基板和第二基板之间形成的液晶层。结晶硅层，非晶硅层，偏移区域，截止电流。

