



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0022920
(43) 공개일자 2008년03월12일

(51) Int. Cl.

G02F 1/1343 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2006-0086747

(22) 출원일자 2006년09월08일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이민철

서울 동작구 노량진동 325번지 신동아리버파크아파트 703-1713

(74) 대리인

허성원, 서동현, 장기석

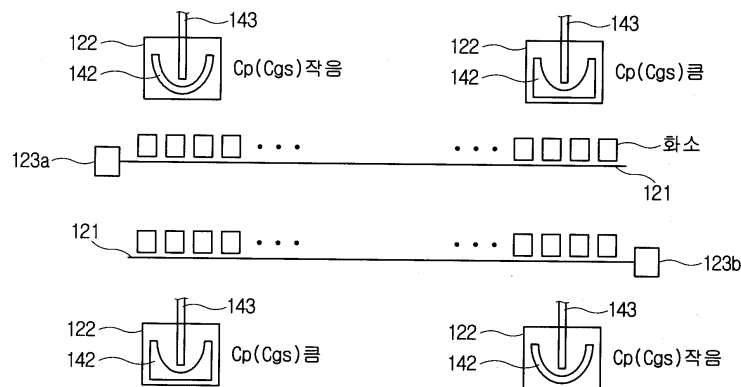
전체 청구항 수 : 총 16 항

(54) 액정표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것이다. 본 발명에 따른 액정표시장치는 박막트랜지스터와 상기 박막트랜지스터에 전기적으로 연결되어 있는 화소전극을 포함하는 복수의 화소가 형성되어 있는 제1기판을 포함하며, 상기 제1기판은, 서로 절연교차하는 게이트선 및 데이터선과; 상기 게이트선에 게이트 구동신호를 인가하는 게이트 구동부를 포함하며, 상기 박막트랜지스터는, 상기 게이트선에 연결되어 있는 게이트 전극; 상기 데이터선에 연결되어 있는 소스 전극; 상기 화소전극에 연결되어 있는 드레인 전극을 포함하며, 상기 화소의 $C_p/(C_p+C_{lc}+C_{st})$ 값(여기서, C_p 는 상기 게이트 전극과 상기 소스 전극간의 기생용량 + 상기 게이트전극과 상기 드레인 전극간의 기생용량, C_{lc} 는 액정용량, C_{st} 는 저장용량)은 해당하는 상기 게이트 구동부에 인접할수록 감소하는 것을 특징으로 한다. 이에 의해 게이트 신호 지연 차이로 인한 휘도불균일이 감소된 액정표시장치가 제공된다.

대표도 - 도9



특허청구의 범위

청구항 1

박막트랜지스터와 상기 박막트랜지스터에 전기적으로 연결되어 있는 화소전극을 포함하는 복수의 화소가 형성되어 있는 제1기판을 포함하는 액정표시장치에 있어서,

상기 제1기판은,

서로 절연교차하는 게이트선 및 데이터선과;

상기 게이트선에 게이트 구동신호를 인가하는 게이트 구동부를 포함하며,

상기 박막트랜지스터는,

상기 게이트선에 연결되어 있는 게이트 전극;

상기 데이터선에 연결되어 있는 소스 전극;

상기 화소전극에 연결되어 있는 드레인 전극을 포함하며,

상기 화소의 $Cp/(Cp+C1c+Cst)$ 값(여기서, Cp 는 상기 게이트 전극과 상기 소스 전극간의 기생용량 + 상기 게이트 전극과 상기 드레인 전극간의 기생용량, $C1c$ 는 액정용량, Cst 는 저장용량)은 해당하는 상기 게이트 구동부에 인접할수록 감소하는 것을 특징으로 하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 박막트랜지스터는 상기 드레인 전극을 사이에 두고 서로 분리되어 있는 한 쌍의 채널영역을 가지며,

상기 게이트 전극과 상기 드레인 전극이 마주하는 면적은 해당하는 상기 게이트 구동부에 인접할수록 작아지는 것을 특징으로 하는 액정표시장치.

청구항 3

제1항에 있어서,

상기 박막트랜지스터는 U자 형태의 채널영역을 가지며,

상기 게이트 전극과 소스 전극이 마주하는 면적은 해당하는 상기 게이트 구동부에 인접할수록 작아지는 것을 특징으로 하는 액정표시장치.

청구항 4

제2항 또는 제3항에 있어서,

상기 화소의 저장용량은 일정한 것을 특징으로 하는 액정표시장치.

청구항 5

제1항에 있어서,

상기 화소의 유지용량은 해당하는 상기 게이트 구동부에 인접할수록 커지는 것을 특징으로 하는 액정표시장치.

청구항 6

제5항에 있어서,

상기 게이트 전극과 상기 소스 전극이 마주하는 면적과 상기 게이트 전극과 상기 드레인 전극이 마주하는 면적은 일정한 것을 특징으로 하는 액정표시장치.

청구항 7

제2항, 제3항 및 제5항 중 어느 한 항에 있어서,

상기 화소는 $Cp/(Cp+C1c+Cst)$ 값이 동일한 복수의 블록으로 나누어져 있는 것을 특징으로 하는 액정표시장치.

청구항 8

제2항, 제3항 및 제5항 중 어느 한 항에 있어서,

상기 제1기판과 대면하며 공통전극이 형성되어 있는 제2기판과;

상기 제1기판 및 상기 제2기판 사이에 위치하며 VA(vertical alignment) 모드인 액정층을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 9

제8항에 있어서,

상기 화소전극에는 화소전극 절개패턴이 형성되어 있으며,

상기 공통전극에는 공통전극 절개패턴이 형성되어 있는 것을 특징으로 하는 액정표시장치.

청구항 10

제8항에 있어서,

상기 게이트 구동부는 시프트 레지스터를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 11

제10항에 있어서,

상기 화소는 표시영역에 형성되어 있으며,

상기 시프트 레지스터는 상기 표시영역을 사이에 두고 위치하는 제1시프트 레지스터와 제2시프트 레지스터를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 12

제11항에 있어서,

상기 게이트선은 상기 제1시프트 레지스터 및 상기 제2시프트 레지스터에 교대로 연결되어 있는 것을 특징으로 하는 액정표시장치.

청구항 13

제12항에 있어서,

상기 화소전극은 상기 게이트선의 연장방향으로 길게 연장되어 있는 것을 특징으로 하는 액정표시장치.

청구항 14

제12항에 있어서,

상기 데이터선의 연장방향으로 서로 인접한 3개의 화소전극은 각각 서로 다른 상기 게이트선에 연결되어 있는 것을 특징으로 하는 액정표시장치.

청구항 15

제14항에 있어서,

상기 데이터선의 연장방향으로 서로 인접한 3개의 화소전극 중 2개는 동일한 상기 데이터선에 연결되어 있는 것을 특징으로 하는 액정표시장치.

청구항 16

제14항에 있어서,

상기 데이터선의 연장방향으로 서로 인접한 3개의 화소전극은 순차적으로 구동되는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <23> 본 발명은 액정표시장치에 관한 것이다.
- <24> 액정표시장치는 박막트랜지스터가 형성되어 있는 제1기판과, 제1기판에 대향 배치되어 있는 제2기판, 그리고 이들 사이에 위치하는 액정층을 포함한다.
- <25> 박막트랜지스터 기판에 마련된 게이트선과 데이터선은 서로 교차하면서 화소를 형성하며, 각 화소는 박막트랜지스터에 연결되어 있다. 게이트선에 게이트 신호(게이트 온전압(Von))가 인가되어 박막트랜지스터가 턴온되면 데이터선을 통해 인가된 데이터 전압(Vd)이 화소에 충전된다. 화소에 충전된 화소 전압(Vp)과 제2기판의 공통전극에 형성된 공통전압(Vcom) 사이에 형성된 전계에 따라 액정층의 배열상태가 결정된다. 데이터 전압(Vd)은 프레임 별로 극성을 달리하여 인가된다.
- <26> 화소에 인가된 데이터 전압(Vd)은 게이트 전극과 소스 전극(드레인 전극) 간의 기생 용량 (Cp)에 의해 강하되어 화소 전압(Vp)을 형성한다. 데이터 전압(Vd)과 화소 전압(Vp) 간의 전압 차이를 킥백 전압(Vkb)이라 한다.
- <27> 게이트선은 단부에 연결되어 있는 게이트 구동부를 통해 게이트 신호를 인가 받는다. 게이트 구동부에 인접한 화소에는 지연이 적은 게이트 신호가 인가되고, 게이트 구동부에서 먼 화소에는 게이트선의 저항에 의해 지연이 많이 된 게이트 신호가 인가된다.
- <28> 그런데 게이트 신호의 지연 정도에 따라 킥백 전압의 크기가 달라져 화면의 휘도가 불균일해지는 문제가 발생한다.

발명이 이루고자 하는 기술적 과제

- <29> 따라서 본 발명의 목적은 따라서 본 발명의 목적은 게이트 신호 지연 차이로 인한 휘도 불균일이 감소된 액정표시장치를 제공하는 것이다.

발명의 구성 및 작용

- <30> 상기의 목적은 박막트랜지스터와 상기 박막트랜지스터에 전기적으로 연결되어 있는 화소전극을 포함하는 복수의 화소가 형성되어 있는 제1기판을 포함하는 액정표시장치에 있어서, 상기 제1기판은, 서로 절연교차하는 게이트선 및 데이터선과; 상기 게이트선에 게이트 구동신호를 인가하는 게이트 구동부를 포함하며, 상기 박막트랜지스터는, 상기 게이트선에 연결되어 있는 게이트 전극; 상기 데이터선에 연결되어 있는 소스 전극; 상기 화소전극에 연결되어 있는 드레인 전극을 포함하며, 상기 화소의 $Cp/(Cp+C1c+Cst)$ 값(여기서, Cp는 상기 게이트 전극과 상기 소스 전극간의 기생용량 + 상기 게이트전극과 상기 드레인 전극간의 기생용량, C1c는 액정용량, Cst는 저장용량)은 해당하는 상기 게이트 구동부에 인접할수록 감소하는 것에 의해 달성된다.
- <31> 상기 박막트랜지스터는 상기 드레인 전극을 사이에 두고 서로 분리되어 있는 한 쌍의 채널영역을 가지며, 상기 게이트 전극과 상기 드레인 전극이 마주하는 면적은 해당하는 상기 게이트 구동부에 인접할수록 작아지는 것이 바람직하다.
- <32> 상기 박막트랜지스터는 U자 형태의 채널영역을 가지며, 상기 게이트 전극과 소스 전극이 마주하는 면적은 해당하는 상기 게이트 구동부에 인접할수록 작아지는 것이 바람직하다.
- <33> 상기 화소의 저장용량은 일정한 것이 바람직하다.
- <34> 상기 화소의 유지용량은 해당하는 상기 게이트 구동부에 인접할수록 커지는 것이 바람직하다.
- <35> 상기 게이트 전극과 상기 소스 전극이 마주하는 면적과 상기 게이트 전극과 상기 드레인 전극이 마주하는 면적

은 일정한 것이 바람직하다.

- <36> 상기 화소는 $Cp/(Cp+C1c+Cst)$ 값이 동일한 복수의 블록으로 나누어져 있는 것이 바람직하다.
- <37> 상기 제1기판과 대면하며 공통전극이 형성되어 있는 제2기판과; 상기 제1기판 및 상기 제2기판 사이에 위치하며 VA(vertical alignment) 모드인 액정층을 더 포함하는 것이 바람직하다.
- <38> 상기 화소전극에는 화소전극 절개패턴이 형성되어 있으며, 상기 공통전극에는 공통전극 절개패턴이 형성되어 있는 것이 바람직하다.
- <39> 상기 게이트 구동부는 시프트 레지스터를 포함하는 것이 바람직하다.
- <40> 상기 화소는 표시영역에 형성되어 있으며, 상기 시프트 레지스터는 상기 표시영역을 사이에 두고 위치하는 제1 시프트 레지스터와 제2시프트 레지스터를 포함하는 것이 바람직하다.
- <41> 상기 게이트선은 상기 제1시프트 레지스터 및 상기 제2시프트 레지스터에 교대로 연결되어 있는 것이 바람직하다.
- <42> 상기 화소전극은 상기 게이트선의 연장방향으로 길게 연장되어 있는 것이 바람직하다.
- <43> 상기 데이터선의 연장방향으로 서로 인접한 3개의 화소전극은 각각 서로 다른 상기 게이트선에 연결되어 있는 것이 바람직하다.
- <44> 상기 데이터선의 연장방향으로 서로 인접한 3개의 화소전극 중 2개는 동일한 상기 데이터선에 연결되어 있는 것이 바람직하다.
- <45> 상기 데이터선의 연장방향으로 서로 인접한 3개의 화소전극은 순차적으로 구동되는 것이 바람직하다.
- <46> 이하 첨부된 도면을 참조로 하여 본발명을 더욱 상세히 설명하겠다. 이하에서 어떤 막(층)이 다른 막(층)의 ‘상부에’ 형성되어(위치하고) 있다는 것은, 두 막(층)이 접해 있는 경우 뿐 아니라 두 막(층) 사이에 다른 막(층)이 존재하는 경우도 포함한다.
- <47> 이하의 설명에서 ‘화소 단위(pixel unit)’라 함은 복수의 화소로부터 공급된 서로 다른 색상의 빛을 혼합하여 원하는 색상 및 휘도의 빛을 공급하는 화면 표시의 단위를 나타낸다. 예를 들어 적색을 나타내는 화소, 청색을 나타내는 화소, 녹색을 나타내는 화소 등 3개의 화소가 화소 단위를 이룰 수 있다.
- <48> 도 1 내지 도 5를 참조하여 본 발명에 따른 액정표시장치를 설명한다.
- <49> 도 4를 보면 액정표시장치(1)는 박막트랜지스터(T)가 형성되어 있는 제1기판(100), 제1기판(100)과 대면하며 컬러필터(231)가 형성되어 있는 제2기판(200), 양 기판(100, 200) 사이에 위치하는 액정층(300)을 포함한다.
- <50> 제1 기판(100)에 대하여 설명한다.
- <51> 제1절연기판(111) 상에 게이트 배선(121, 122)이 형성되어 있다. 게이트 배선(121, 122)은 금속 단일층 또는 다중층일 수 있다. 게이트 배선(121, 122)은 표시영역 내에 위치하며 가로 방향으로 뻗어 있는 게이트선(121), 게이트선(121)에서 연결되어 있는 게이트 전극(122)을 포함한다.
- <52> 표시영역 좌측 및 우측의 비표시영역에는 게이트선(121)과 연결되어 있는 시프트 레지스터(123)가 형성되어 있다. 시프트 레지스터(123)는, 게이트 구동부로서, 게이트선(121)에 게이트 온 전압과 게이트 오프 전압을 인가하는 등 게이트선(121)을 구동한다.
- <53> 시프트 레지스터(123)는 표시영역의 좌측에 위치한 제1시프트 레지스터(123a)와 표시영역의 우측에 위치한 제2 시프트 레지스터(123b)를 포함한다. 도 2를 보면 제1시프트 레지스터(123a)에는 홀수번째 게이트선(121)이 연결되어 있으며 제2시프트 레지스터(123b)에는 짝수번째 게이트선(121)이 연결되어 있다. 도시하지는 않았지만 각 제1시프트 레지스터(122a)는 서로 전기적으로 연결되어 있으며, 제2시프트 레지스터(122b) 역시 서로 전기적으로 연결되어 있다.
- <54> 시프트 레지스터(123)는 제1기판(100)의 형성과정에서 동시에 형성되며, 복수의 박막트랜지스터를 포함할 수 있다.
- <55> 제1절연기판(111)위에는 실리콘 질화물(SiNx) 등으로 이루어진 게이트 절연막(131)이 게이트 배선(121, 122)을 덮고 있다.

- <56> 게이트 전극(122)의 게이트 절연막(131) 상부에는 비정질 실리콘 등의 반도체로 이루어진 반도체층(132)이 형성되어 있으며, 반도체층(132)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도핑되어 있는 nt 수소화 비정질 실리콘 등의 물질로 만들어진 저항 접촉층(133)이 형성되어 있다. 소스 전극(142)과 드레인 전극(143) 사이의 채널부에서는 저항 접촉층(133)이 제거되어 있다.
- <57> 저항 접촉층(133) 및 게이트 절연막(131) 위에는 데이터 배선(141, 142, 143, 144, 145)이 형성되어 있다. 데이터 배선(141, 142, 143, 144, 145) 역시 금속층으로 이루어진 단일층 또는 다중층일 수 있다. 데이터 배선(141, 142, 143, 144, 145)은 세로방향으로 형성되어 게이트선(121)과 교차하여 화소를 형성하는 데이터선(141), 데이터선(141)의 분지이며 저항 접촉층(133)의 상부까지 연장되어 있는 소스 전극(142), 소스전극(142)과 분리되어 있으며 소스전극(142)의 반대쪽 저항 접촉층(133) 상부에 형성되어 있는 드레인 전극(143), 데이터선(141)에서 연장되어 비표시영역에 위치하는 데이터 패드(144) 및 데이터선(141)과 평행하게 형성되어 있는 저장전극선(145)를 포함한다. 저장전극선(145)은 후술할 화소전극(161)과 함께 저장용량(Cst, storage capacity)을 형성한다. 저장전극선(145)에는 공통전압이 인가될 수 있다.
- <58> 데이터 패드(144)는 데이터 구동부(도시하지 않음)에 연결되어, 데이터 신호를 인가받는다. 데이터 패드(144)는 데이터선(141)에 비해 폭이 크게 마련되어 있다.
- <59> 데이터 배선(141, 142, 143, 144, 145) 및 이들이 가리지 않는 반도체층(132)의 상부에는 보호막(151)이 형성되어 있다. 보호막(151)에는 드레인 전극(143)을 드러내는 접촉구(152)가 형성되어 있다.
- <60> 보호막(151)의 상부에는 화소전극(161)이 형성되어 있다. 화소전극(161)은 통상 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)등의 투명한 도전물질로 이루어진다. 화소전극(161)은 접촉구(152)를 통해 드레인 전극(143)과 연결되어 있다. 화소전극(161)에는 화소전극 절개패턴(162)이 형성되어 있다.
- <61> 화소전극(161)의 화소전극 절개패턴(162)은 후술하는 공통전극 절개패턴(252)과 함께 액정층(300)을 다수의 영역으로 분할한다.
- <62> 화소전극(161)은 게이트선(121)의 연장방향을 따라 길게 연장되어 있는 직사각형 형태이다.
- <63> 데이터선(141) 연장방향으로 인접 배치된 3개의 화소전극(161), 즉 화소는, 화면의 표현단위인 화소 유닛을 형성하는데, 서로 다른 게이트선(121)에 연결되어 있다. 데이터선(141)의 연장방향을 따라 화소전극(161)은 좌측의 데이터선(141)과 우측의 데이터선(141)에 교대로 연결되어 있다.
- <64> 종래에는 하나의 화소 유닛을 이루는 3개의 화소전극(161)이 게이트선(121) 연장방향으로 배치되어 있으며, 각 화소전극(161)은 서로 다른 게이트선(121)에 연결되었다. 본 발명에 따르면 동일한 화소 수를 구현하기 위해, 게이트선(121)은 종래의 3배로 증가하며, 데이터선(141)은 1/3로 감소한다.
- <65> 일반적으로 데이터선(141)을 구동하기 위한 회로는 게이트선(121)을 구동하기 위한 회로보다 복잡하고 고가이다. 본 실시예에 따르면 데이터선(141)이 1/3로 감소하여 데이터선(141) 구동을 위한 회로를 감소시켜 제조비용을 감소시킬 수 있다.
- <66> 데이터선(141)과 달리 게이트선(121)은 3배로 늘어나, 게이트선(121)을 구동하기 위한 회로 비용은 증가할 수 있다. 그러나 본 발명에 따르면 게이트선(121)은 제1기판(100)상에 형성되는 시프트 레지스터(123)를 이용하여 구동되기 때문에 회로 비용이 증가하지 않는다.
- <67> 한편, 화소전극(161)이 게이트선(121) 연장방향으로 길게 연장되어 있어, 게이트선(121) 간의 간격은 감소되어 있다. 이에 의해 시프트 레지스터(123)를 형성할 공간이 제한되는데, 본 발명에 따르면 시프트 레지스터(122)는 표시영역의 양편에 나누어 마련되므로 공간확보가 용이하다.
- <68> 이어 제2 기판(200)에 대하여 설명하겠다.
- <69> 제2절연기판(211) 위에 블랙매트릭스(221)가 형성되어 있다. 블랙매트릭스(221)는 일반적으로 적색, 녹색 및 청색 필터 사이를 구분하며, 제1기판(100)에 위치하는 박막트랜지스터(T)로의 직접적인 광조사를 차단하는 역할을 한다. 블랙매트릭스(221)는 통상 검은색 안료가 첨가된 감광성 유기물질로 이루어져 있다. 상기 검은색 안료로는 카본블랙이나 티타늄 옥사이드 등을 사용한다.
- <70> 컬러필터(231)는 블랙매트릭스(221)를 경계로 하여 적색, 녹색 및 청색 필터가 반복되어 형성된다. 컬러필터(231)는 백라이트 유닛(도시하지 않음)으로부터 조사되어 액정층(300)을 통과한 빛에 색상을 부여하는 역할을

한다. 컬러필터(231)는 통상 감광성 유기물질로 이루어져 있다.

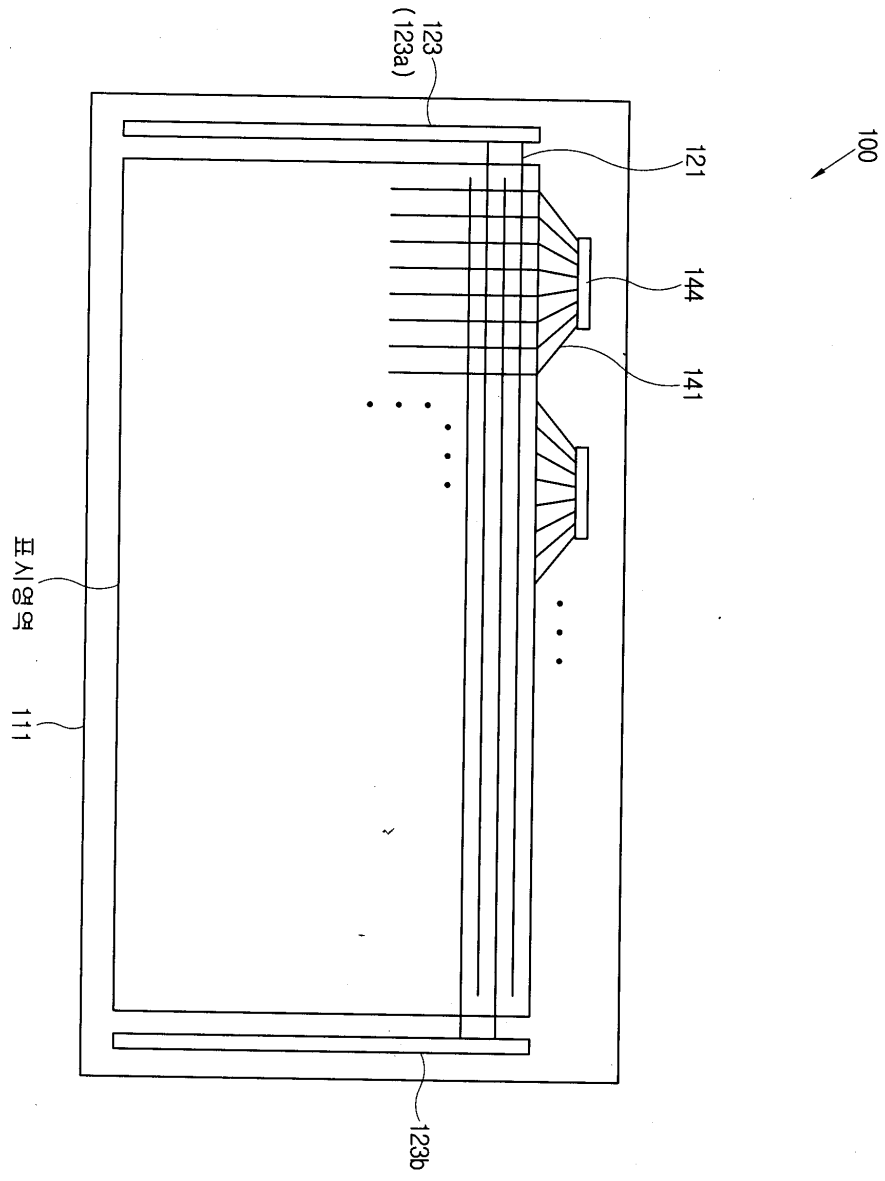
- <71> 컬러필터(231)와 컬러필터(231)가 덮고 있지 않은 블랙매트릭스(221)의 상부에는 오버코트층(241)이 형성되어 있다. 오버코트층(241)은 컬러필터(231)를 평탄화하면서, 컬러필터(231)를 보호하는 역할을 한다. 오버코트층(241)은 감광성 아크릴계 수지일 수 있다.
- <72> 오버코트층(241)의 상부에는 공통전극(251)이 형성되어 있다. 공통전극(251)은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)등의 투명한 도전물질로 이루어진다. 공통전극(251)은 박막트랜지스터 기판(100)의 화소전극(161)과 함께 액정층(300)에 직접 전압을 인가한다.
- <73> 공통전극(251)에는 공통전극 절개패턴(252)이 형성되어 있다. 공통전극 절개패턴(252)은 화소전극(161)의 화소전극 절개패턴(162)과 함께 액정층(300)을 다수의 영역으로 나누는 역할을 한다.
- <74> 화소전극 절개패턴(162)과 공통전극 절개패턴(252)은 실시예에 한정되지 않고 다양한 형상으로 형성될 수 있다. 다른 실시예에서는 절개패턴(162, 252) 대신 돌기부가 마련되어 액정층(300)을 다수의 영역을 나눌 수 있다.
- <75> 제1기판(100)과 제2기판(200)의 사이에는 액정층(300)이 위치한다. 액정층(300)은 VA(vertically aligned)모드로서, 액정분자는 전압이 가해지지 않은 상태에서는 길이방향이 기판(100, 200)의 판면에 대하여 수직을 이루고 있다. 전압이 가해지면 액정분자는 유전을 이방성이 음이기 때문에 전기장에 대하여 수직방향으로 눕는다.
- <76> 그런데 각 패턴(162, 252)이 형성되어 있지 않으면, 액정분자는 눕는 방위각이 결정되지 않아서 여러 방향으로 무질서하게 배열하게 되고, 배향 방향이 다른 경계면에서 전경선(disclination line)이 생긴다. 각 패턴(162, 252)은 액정층(300)에 전압이 걸릴 때 프린지 필드를 만들어 액정 배향의 방위각을 결정해 준다. 또한 액정층(300)은 각 패턴(162, 252)의 배치에 따라 다중영역으로 나누어진다.
- <77> 도 5를 참조하여 액정표시장치(1)의 구동을 살펴본다.
- <78> (n-1)번 째 게이트선(121)에 게이트 온 전압이 공급되면, 여기에 연결되어 있는 박막트랜지스터(150)가 온 된다. 이에 따라 (n-1)번 째 게이트선(121)에 연결되어 있는 (a)행의 화소전극(161)이 온 된다.
- <79> 이후 (n)번째 게이트선(121)에 게이트 온 전압이 공급되며, 이에 따라 (n)번째 게이트선(121)에 연결된 (b)행의 화소전극(161)이 온 된다.
- <80> 이후 같은 방법으로 (n+1)번째 게이트선(121)에 게이트 온 전압이 공급되면 (c)행의 화소전극(161)이 온된다. 이로써 하나의 화소 유닛(pixel unit) 표시가 완성된다. 하나의 화소 유닛 표시를 위해 3개의 게이트선(121)이 순차적으로 구동되며, 데이터선(141)은 각 화소전극(161)에 해당하는 데이터 전압을 게이트선(121)의 구동에 맞추어 공급한다.
- <81> 이 때 화소전극(161)에 인가되는 전압의 극성은 도트 인버전(dot inversion)이 되도록 조절된다.
- <82> 이상 설명한 바와 같이, 하나의 화소를 이루는 3개의 화소전극(161)은 동시에 구동되지 않으며 순차적으로 구동된다. 또한 3번의 게이트 온 신호로서 하나의 화소가 표현된다.
- <83> 제1실시예에 따른 액정표시장치(1)은 노말리 블랙(normally black) 모드로서, 화소전압에 따른 투과율은 도 5와 같다. 도 5의 A부분에 도시한 저 계조에서의 투과율 변화는 TN(twisted nematic) 액정과 비교하여 약 3배 정도 급격하다.
- <84> 이상 설명한 액정표시장치(1)에서 게이트선(121)은 단부에 연결되어 있는 시프트 레지스터(123)를 통해 게이트 신호를 인가 받는다. 게이트선(121)의 저항에 의해 시프트 레지스터(123)에 인접한 박막트랜지스터에는 지연이 적은 게이트 신호가 인가되고, 시프트 레지스터(123)에서 먼 화소전극에는 지연이 많이 된 게이트 신호가 인가 된다.
- <85> 게이트 신호의 지연에 따른 화면 휘도의 변화를 도 7 내지 도 8c를 참조하여 설명한다.
- <86> 킥백 전압(V_{kb})은 다음과 같이 식 1로 표현된다.
- <87> [식 1]
- <88>
$$V_{kb} = (V_{on} - V_{off}) * C_p / (C_{lc} + C_{st} + C_p)$$
- <89> 여기서 도 7에서와 같이 C_p는 게이트 전극과 소스 전극간의 기생용량(C_{gs}) + 게이트 전극과 드레인 전극간의 기생용량(C_{gd}), C_{lc}는 액정용량, C_{st}는 저장용량, V_{on}은 게이트 온 전압, V_{off}는 게이트 오프 전압을 나타낸다.

- <90> 게이트 신호의 지연이 크면 게이트 온 전압 인가가 불량해져 킥백전압은 작아지며, 포지티브 화소전압이 인가될 때보다 네가티브 화소전압이 인가될 때 킥백전압은 더 커진다.
- <91> 도 8a 및 도 8b는 각각 게이트 신호의 지연이 작은 표시영역 좌측측의 제1화소와 게이트 신호의 지연이 큰 표시영역 좌우측의 제2화소를 대상으로 킥백전압을 나타낸 것이다.
- <92> 도 8a에 나타낸 제1화소의 경우, 포지티브 화소전압 인가 시 킥백전압은 1V이고 네가티브 화소전압 인가 시 킥백전압은 1.2V이다. 도 8b에 나타낸 제2화소의 경우, 포지티브 화소전압 인가 시와 네가티브 화소전압 인가 시 모두 킥백전압은 0.8V이다.
- <93> 따라서 제1화소의 경우가 최종적으로 화소에 남게 되는 평균(root mean square) 전압이 더 커진다. 도 7에서와 같이 저계조에서 화소전압의 차이에 따라 휘도차이가 크기 때문에 화면은 제1화소에 해당하는 부분이 더 밝게 인식된다.
- <94> 도 8c를 보면 좌측에 위치한 제1시프트 레지스터(123a)에 연결된 화소는 좌측으로 갈수록, 게이트 신호지연이 작아진다. 이에 따라 좌측으로 갈수록 킥백전압(V_{kb})이 커지고 상대적으로 밝아진다. 반대로 우측에 위치한 제2시프트 레지스터(123b)에 연결된 화소는 우측으로 갈수록, 게이트 신호지연이 작아진다. 이에 따라 우측으로 갈수록 킥백전압(V_{kb})이 커지고 상대적으로 밝아진다.
- <95> 이와 같이 연결된 시프트 레지스터(123)의 위치에 따라 화면 좌우의 휘도가 달라지고, 이에 따라 가로줄이 인식되는 문제가 발생한다. 이와 같은 문제는 게이트선(121)이 길어 게이트 신호지연이 크게 발생하는 대형 액정표시장치에서 더욱 심각해진다.
- <96> 본 발명에서는 이와 같은 문제를 기생용량(C_p) 그리고/또는 저장용량(C_{st})을 조절하여 해결한다. 본 발명의 제1 실시예에서는 기생용량(C_p) 중 게이트 전극(122)과 소스 전극(143) 사이의 기생용량(C_{gs})을 조절하며, 이를 도 9를 참조하여 설명한다.
- <97> 제1시프트 레지스터(123a)에 연결된 화소 중 좌측에 위치한 화소는 게이트 전극(122)과 소스 전극(143)이 겹치는 면적이 비교적 작다. 반대로 제1시프트 레지스터(123a)에 연결된 화소에서, 우측에 위치한 화소는 게이트 전극(122)과 소스 전극(143)이 겹치는 면적이 비교적 크다. 즉, 제1시프트 레지스터(123a)에 가까워질수록 화소는 게이트 전극(122)과 소스 전극(143)이 겹치는 면적이 감소하여, C_{gs}가 감소하는 것이다.
- <98> (Von-Voff)는 제1시프트 레지스터(123a)에 가까워질수록 증가하나, 기생용량(C_{gs})은 제1시프트 레지스터(123a)에 가까워질수록 감소한다. 식 1에서와 같이 킥백전압(V_{kb})은 기생용량(C_p)에 비례하기 때문에, 제1시프트 레지스터(123a)에 연결된 화소간의 킥백전압 차이는 감소한다. 즉 (Von-Voff)의 변화를 기생용량(C_p)의 변화가 보상하여 각 화소 간의 킥백전압 차이를 감소시키는 것이다.
- <99> 화소간의 킥백전압 차이는 포지티브 화소전압 인가 시와 네가티브 인가 시 각각 ±10%이내인 것이 바람직하다.
- <100> 한편, 제2시프트 레지스터(123b)에 연결된 화소는 반대로 우측으로 갈수록 기생용량(C_{gs})이 감소한다. 따라서, 제1시프트 레지스터(123a)에 연결된 화소간의 킥백전압 차이는 감소한다.
- <101> 이상과 같이 제1실시예에 따르면 화소 간의 킥백전압(V_{kb}) 차이가 감소하여 표시품질이 향상된다.
- <102> 도 10 및 도 11을 참조하여 본 발명의 제2실시예를 설명한다.
- <103> 게이트 구동부인 시프트 레지스터(123)는 표시영역의 좌측에만 형성되어 있다. 또한 화소전극(161)은 데이터선(141) 연장방향을 따라 길게 연장되어 있다.
- <104> 제2실시예에 따르면 제1실시예에 비해 게이트선(121)은 1/3로 감소하는 반면, 데이터선(141)은 3배로 증가한다.
- <105> 시프트 레지스터(123)가 표시영역의 좌측에만 형성되어 있어, 화면은 시프트 레지스터(123)에 인접한 표시영역 좌측이 밝게 표시된다.
- <106> 도 11과 같이 이와 같은 문제점을 해결하기 위해 제1실시예와 같이 기생용량(C_{gs})을 조절하며 반복된 설명은 생략한다.
- <107> 기생용량(C_{gs})조절로 인해 표시영역과 좌측과 우측의 킥백전압(V_{kb}) 차이가 감소하여 화면의 휘도가 균일해진다.
- <108> 도 12 및 도 13을 참조하여 본 발명의 제3실시예를 설명한다.

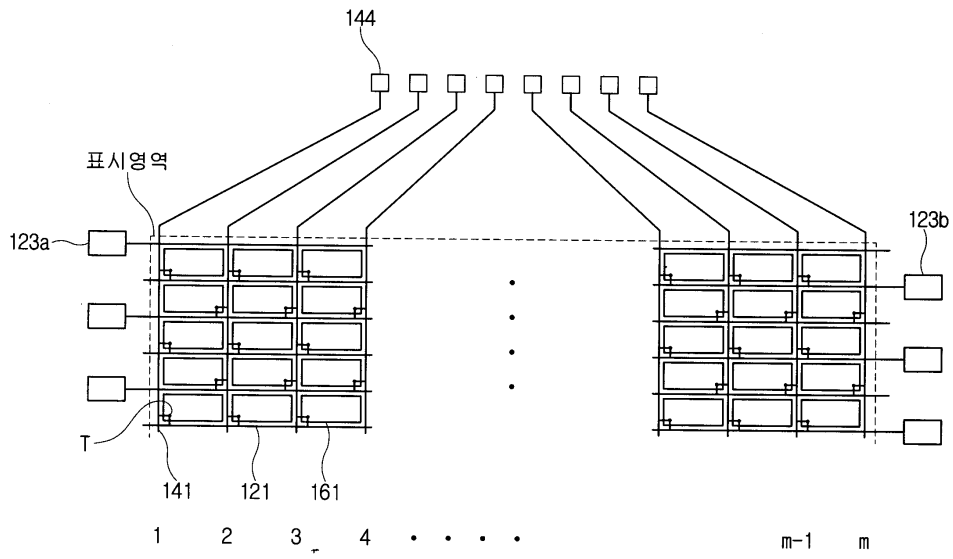
- <109> 제1기관(100)은 게이트 구동칩(126)과 연성필름(125)를 더 포함하며, 게이트선(121)은 비표시영역에 위치하는 게이트 패드(124)에 연결되어 있다.
- <110> 연성필름(125)에는 금속 패턴(도시하지 않음)이 형성되어 있으며, 금속 패턴이 게이트 패드(124)와 접촉하게 된다. 게이트 구동칩(126)은 금속패턴 및 게이트 패드(124)를 통해 게이트선(121)을 구동한다. 다른 실시예에서 게이트 구동칩(126)은 연성필름(125) 없이 제1절연기관(111)에 직접 장착될 수 있다.
- <111> 제2실시예와 같이 게이트 패드(124)는 표시영역의 좌측에만 형성되어 있어, 화면은 게이트 패드(124)에 인접한 표시영역 좌측이 밝게 표시된다.
- <112> 도 13과 같이 이와 같은 문제점을 해결하기 위해 제1실시예와 같이 기생용량(Cgs)을 조절하며 반복된 설명은 생략한다.
- <113> 기생용량(Cgs)조절로 인해 표시영역과 좌측과 우측의 키패전압(Vkb) 차이가 감소하여 화면의 휘도가 균일해진다.
- <114> 도 14를 참조하여 본 발명의 제4실시예를 설명한다.
- <115> 제4실시예에서는 게이트 전극(122)과 드레인 전극(143) 간의 기생용량(Cgd)을 조절한다.
- <116> 박막트랜지스터(T)의 채널영역은 드레인 전극(143)을 사이에 두고 한 쌍으로 마련되어 있다. 이 구조에서는 드레인 전극(143)과 게이트 전극(122) 간의 정렬이 다소 변경되어도 일정한 채널영역을 확보할 수 있다.
- <117> 제1시프트 레지스터(123a)에 연결된 화소 중 좌측에 위치한 화소는 게이트 전극(122)과 드레인 전극(143)이 겹치는 면적이 비교적 작다. 반대로 제1시프트 레지스터(123a)에 연결된 화소 중 우측에 위치한 화소는 게이트 전극(122)과 드레인 전극(143)이 겹치는 면적이 비교적 크다. 즉, 제1시프트 레지스터(123a)에 가까워질수록 화소는 게이트 전극(122)과 드레인 전극(143)이 겹치는 면적이 감소하여, 기생용량(Cgd)이 감소한다.
- <118> (Von-Voff)는 제1시프트 레지스터(123a)에 가까워질수록 증가하나, 기생용량(Cgs)은 제1시프트 레지스터(123a)에 가까워질수록 감소한다. 식 1에서와 같이 키패전압(Vkb)은 기생용량(Cp)에 비례하기 때문에, 제1시프트 레지스터(123a)에 연결된 화소간의 키패전압(Vkb) 차이는 감소한다. 즉 (Von-Voff)의 변화를 기생용량(Cp)의 변화가 보상하여 키패전압을 일정하게 유지하는 것이다.
- <119> 제2시프트 레지스터(123b)에 연결된 화소는 반대로 우측으로 갈수록 Cgs가 감소한다. 즉 (Von-Voff)의 변화를 기생용량(Cp)의 변화가 보상하여 각 화소 간의 키패전압(Vkb) 차이를 감소시키는 것이다.
- <120> 이상과 같이 제4실시예에 따르면 화소 간의 키패전압(Vkb) 차이가 감소하여 표시품질이 향상된다.
- <121> 도 15를 참조하여 본 발명의 제5실시예를 설명한다. 제5실시예에서는 저장용량(Cst)을 조절한다.
- <122> 제1시프트 레지스터(123a)에 연결된 화소 중 좌측에 위치한 화소는 저장전극선(145)와 화소전극(161)이 겹치는 면적이 비교적 크다. 반대로 제1시프트 레지스터(123a)에 연결된 화소 중 우측에 위치한 화소는 저장전극선(145)과 화소전극(161)이 겹치는 면적이 비교적 작다. 즉, 제1시프트 레지스터(123a)에 가까워질수록 화소는 저장전극선(145)과 화소전극(161)이 겹치는 면적이 증가하여, 저장용량(Cst)이 증가한다.
- <123> (Von-Voff)는 제1시프트 레지스터(123a)에 가까워질수록 증가하며, 저장용량(Cst)도 제1시프트 레지스터(123a)에 가까워질수록 증가한다. 식 1에서와 같이 키패전압(Vkb)은 저장용량(Cst)에 반비례하기 때문에, 제1시프트 레지스터(123a)에 연결된 화소간의 키패전압(Vkb) 차이는 감소한다. 즉 (Von-Voff)의 변화를 저장용량(Cst)의 변화가 보상하여 각 화소 간의 키패전압(Vkb) 차이를 감소시키는 것이다.
- <124> 제2시프트 레지스터(123b)에 연결된 화소는 반대로 우측으로 갈수록 저장용량(Cst)이 증가한다. 따라서, 제2시프트 레지스터(123b)에 연결된 화소간의 키패전압(Vkb) 차이는 감소한다.
- <125> 이상과 같이 제5실시예에 따르면 화소 간의 키패전압(Vkb) 차이가 감소하여 표시품질이 향상된다.
- <126> 도 16을 참조하여 본 발명의 제6실시예를 설명한다.
- <127> 홀수번째 게이트선(121), 즉 해당하는 시프트 레지스터(123)가 좌측에 위치한 화소의 저장용량(Cst)은 우측으로 갈수록 감소한다. 반면 짝수번째 게이트선(121), 즉 해당하는 시프트 레지스터(123)가 우측에 위치한 화소의 저장용량(Cst)은 우측으로 갈수록 증가한다.
- <128> 제6실시예에서 저장용량(Cst)은 계단식으로 변화하며, 화소는 동일한 저장용량(Cst)을 가지는 복수의 블록으로

도면

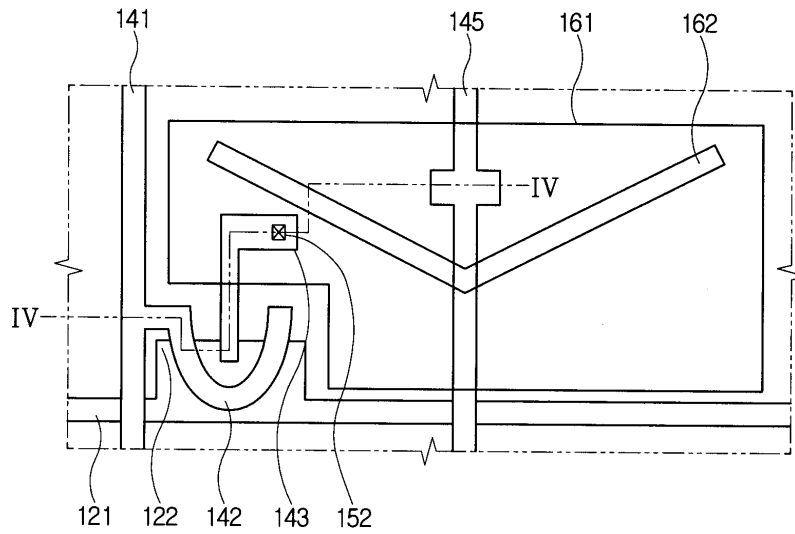
도면1



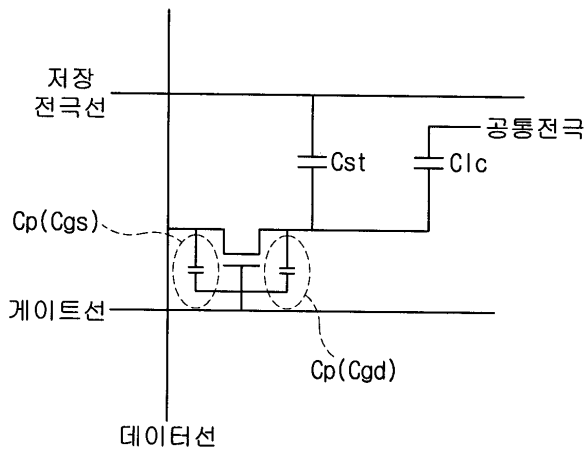
도면2



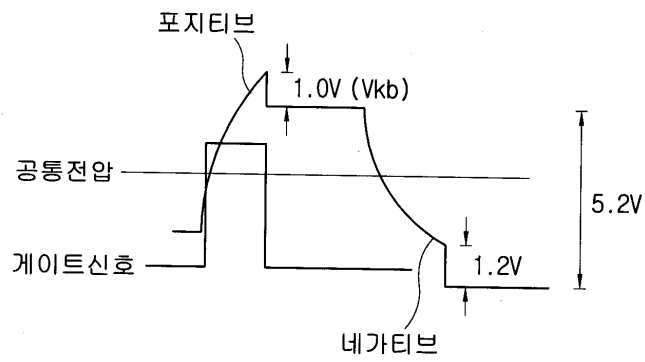
도면3



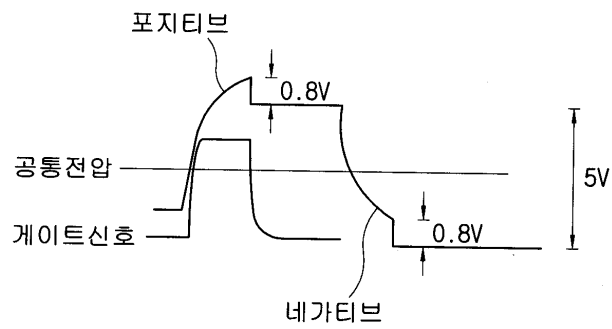
도면7



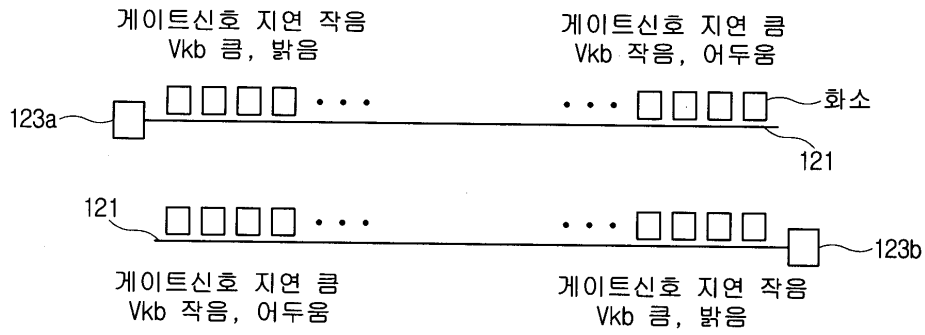
도면8a



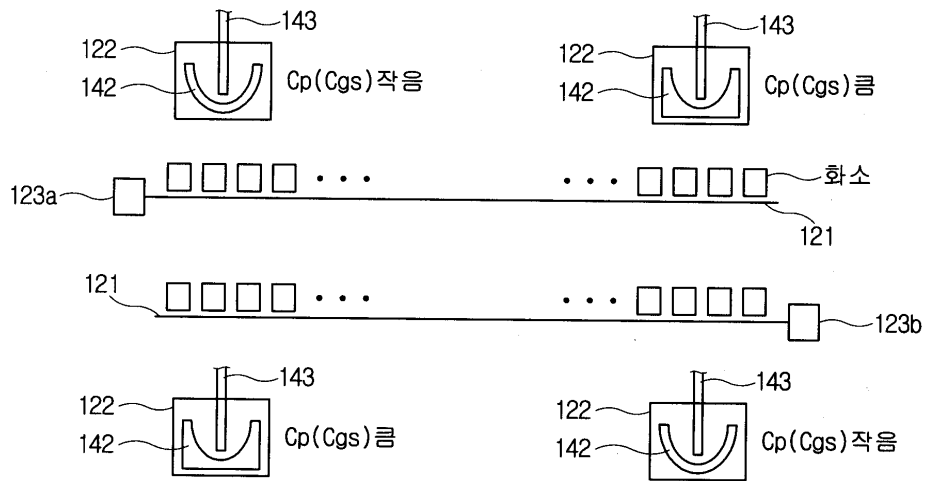
도면8b



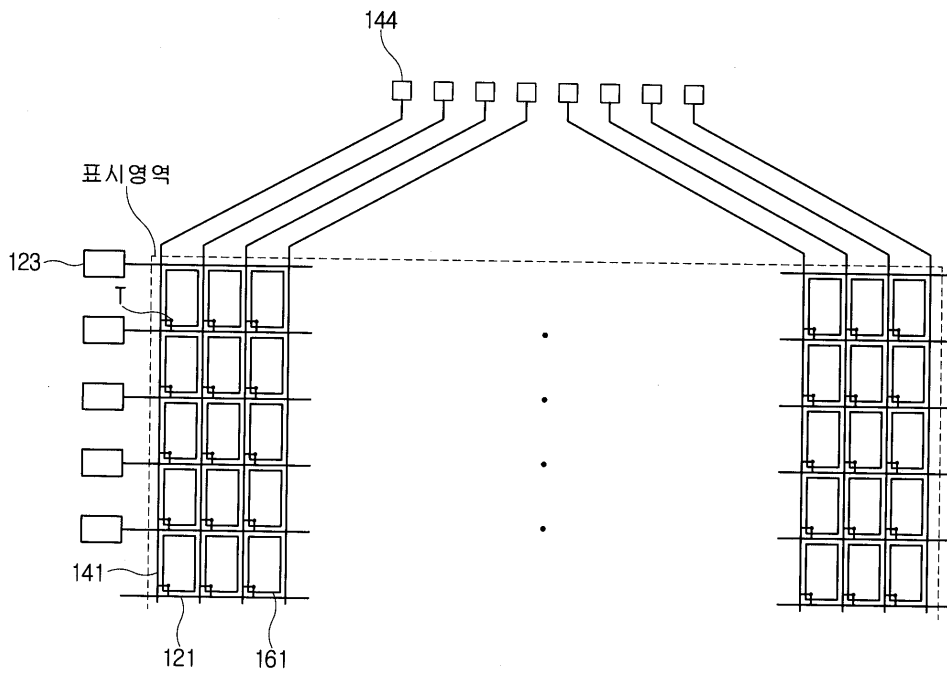
도면8c



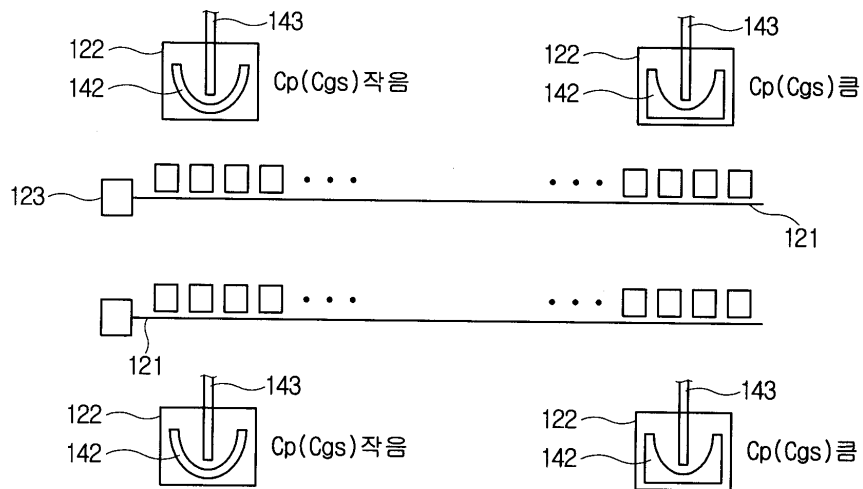
도면9



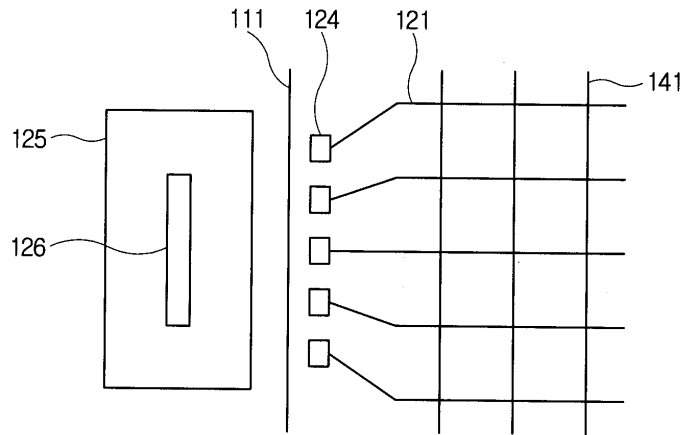
도면10



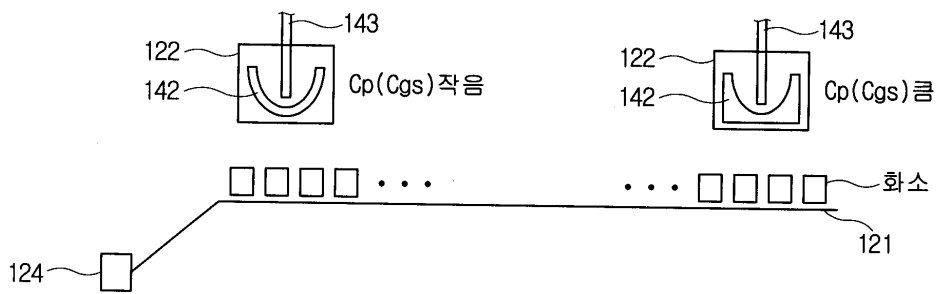
도면11



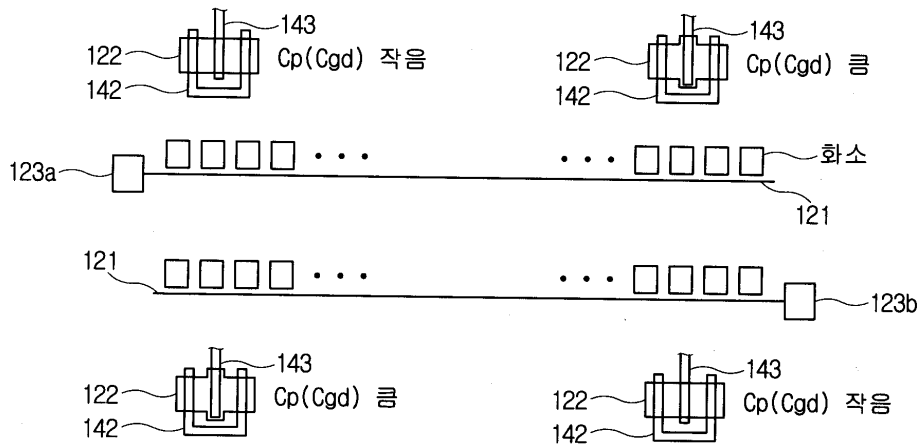
도면12



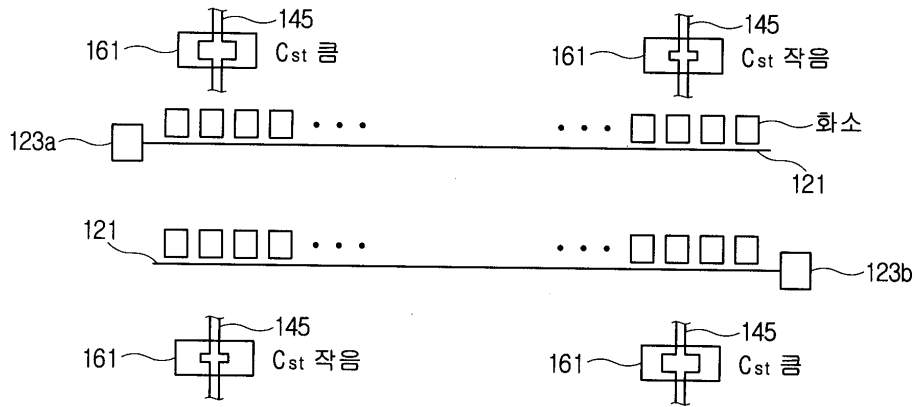
도면13



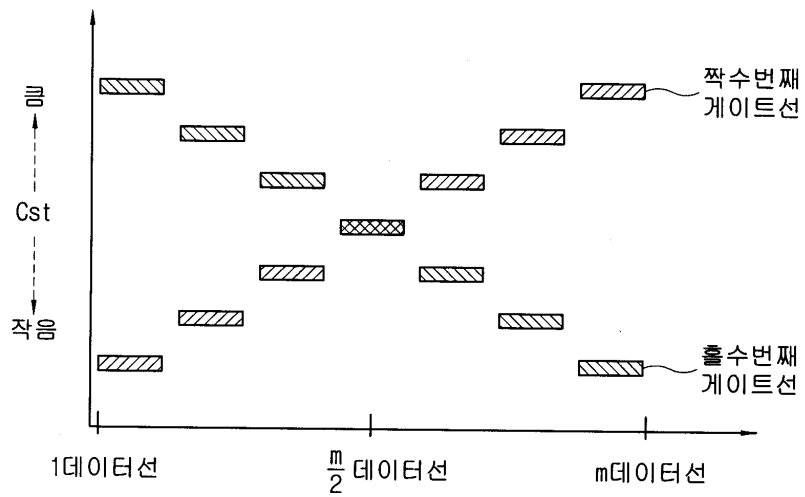
도면14



도면15



도면16



专利名称(译)	液晶显示器		
公开(公告)号	KR1020080022920A	公开(公告)日	2008-03-12
申请号	KR1020060086747	申请日	2006-09-08
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE MIN CHEOL		
发明人	LEE, MIN CHEOL		
IPC分类号	G02F1/1343 G02F1/133		
CPC分类号	G02F1/136213 G09G2320/0219 G02F1/1393 G09G2320/0223 G09G3/3648		
其他公开文献	KR101359915B1		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器。根据本发明的液晶显示器包括第一基板，其中形成包括薄膜晶体管和在薄膜晶体管中电连接的像素电极的多个像素。并且第一基板彼此包括，绝缘交叉是栅极线和数据线，栅极驱动单元授权栅极线中的栅极驱动信号。并且薄膜晶体管包括栅电极：源电极：连接到像素电极的漏电极，连接到连接到栅极线的数据线。并且由于它与栅极驱动单元相邻，其中 $C_p / (C_p + C_{lc} + C_{st})$ 值（这里， C_p 是栅电极和源电极之间的寄生电容+栅电极的寄生电容和漏电极间隔）， C_{lc} 是液晶电容，而 C_{st} 是存储容量的像素来减少。本发明提供一种液晶显示器，其中，由栅极信号延迟差引起的亮度不均匀性降低。

