



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0010987  
(43) 공개일자 2008년01월31일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2006-0071762

(22) 출원일자 2006년07월28일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

안순일

충남 천안시 봉명동 청솔3차아파트 304동 1309호

(74) 대리인

정상빈, 특허법인가산

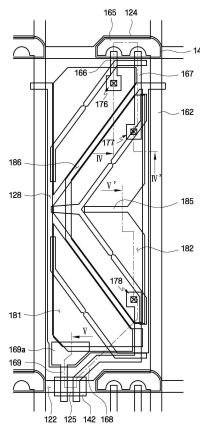
전체 청구항 수 : 총 7 항

(54) 액정 표시 장치

(57) 요약

측면 시인성을 개선하면서도 투과율 저하가 감소된 액정 표시 장치가 제공된다. 액정 표시 장치는 n번째 게이트 라인과 적어도 일부분이 오버랩되어 있으며, 데이터 라인과 연결되어 있는 제1 소오스 전극, n번째 게이트 라인과 적어도 일부분이 오버랩되어 있으며, 제1 소오스 전극과 이격되어 있는 제1 및 제2 드레인 전극, 제1 드레인 전극과 전기적으로 연결된 제1 서브 화소 전극, 제2 드레인 전극과 전기적으로 연결된 제2 서브 화소 전극, n+1 번째 게이트 라인과 적어도 일부분이 오버랩되어 있으며, 제2 서브 화소 전극과 전기적으로 연결되어 있는 제2 소오스 전극, n+1번째 게이트 라인과 적어도 일부분이 오버랩되어 있으며, 제2 소오스 전극과 이격되어 있는 제3 드레인 전극을 포함하되, 제3 드레인 전극은 제1 서브 화소 전극과 적어도 일부분이 오버랩되어 있고, 동시에 유 지 전극 라인과 적어도 일부분이 오버랩되어 있는 제1 표시판, 제1 표시판과 대향하며, 공통 전극을 구비하는 제 2 표시판, 및 제1 표시판과 제2 표시판 사이에 개재되어 있는 액정층을 포함한다.

대표도 - 도3



## 특허청구의 범위

### 청구항 1

n번째 게이트 라인과 적어도 일부분이 오버랩되어 있으며, 데이터 라인과 연결되어 있는 제1 소오스 전극,  
 상기 n번째 게이트 라인과 적어도 일부분이 오버랩되어 있으며, 상기 제1 소오스 전극과 이격되어 있는 제1 및 제2 드레인 전극,  
 상기 제1 드레인 전극과 전기적으로 연결된 제1 서브 화소 전극,  
 상기 제2 드레인 전극과 전기적으로 연결된 제2 서브 화소 전극,  
 n+1번째 게이트 라인과 적어도 일부분이 오버랩되어 있으며, 상기 제2 서브 화소 전극과 전기적으로 연결되어 있는 제2 소오스 전극,  
 상기 n+1번째 게이트 라인과 적어도 일부분이 오버랩되어 있으며, 상기 제2 소오스 전극과 이격되어 있는 제3 드레인 전극을 포함하되,  
 상기 제3 드레인 전극은 제1 서브 화소 전극과 적어도 일부분이 오버랩되어 있고, 동시에 유지 전극 라인과 적어도 일부분이 오버랩되어 있는 제1 표시판;  
 상기 제1 표시판과 대향하며, 공통 전극을 구비하는 제2 표시판; 및  
 상기 제1 표시판과 상기 제2 표시판 사이에 개재되어 있는 액정층을 포함하는 액정 표시 장치.

### 청구항 2

제1 항에 있어서,  
 상기 제3 드레인 전극과 상기 제1 서브 화소 전극의 오버랩 영역은 상기 제1 서브 화소 전극의 충전 전압을 상승시키는 전압 업 커패시터를 형성하고, 상기 제3 드레인 전극과 상기 유지 전극 라인의 오버랩 영역은 상기 제2 서브 화소 전극의 충전 전압을 하강시키는 전압 다운 커패시터를 형성하는 액정 표시 장치.

### 청구항 3

제2 항에 있어서,  
 상기 유지 전극 라인은 사선부를 더 포함하며, 상기 제1 서브 화소 전극과 상기 제2 서브 화소 전극은 상기 사선부를 중심으로 이격되어 있는 액정 표시 장치.

### 청구항 4

제3 항에 있어서,  
 상기 공통 전극은 상기 사선부와 평행한 절개부를 포함하는 액정 표시 장치.

### 청구항 5

제4 항에 있어서,  
 상기 제1 서브 화소 전극 및 상기 제2 서브 화소 전극의 이격 영역 및 상기 공통 전극의 절개부는 상기 액정층을 다수개의 도메인으로 분할하는 액정 표시 장치.

### 청구항 6

n번째 게이트 라인에 의해 제어되는 제1 및 제2 박막 트랜지스터,  
 n+1번째 게이트 라인에 의해 제어되는 제3 박막 트랜지스터,  
 상기 제1 박막 트랜지스터의 출력단과 연결된 제1 서브 화소 전극,  
 상기 제2 박막 트랜지스터의 출력단과 연결되고, 상기 제3 박막 트랜지스터의 입력단과 연결되어 있는 제2 서브 화소 전극,

상기 제1 서브 화소 전극과 상기 제3 박막 트랜지스터의 출력단 사이에 형성된 제1 커패시터, 및  
 상기 유지 전극 라인과 상기 제3 박막 트랜지스터의 출력단 사이에 형성된 제2 커패시터를 포함하는 제1 표시판;  
 상기 제1 표시판에 대향하며 공통 전극을 구비하는 제2 표시판; 및  
 상기 제1 표시판과 상기 제2 표시판 사이에 개재되어 있는 액정층을 포함하는 액정 표시 장치.

**청구항 7**

제6 항에 있어서,  
 상기 제1 및 제2 박막 트랜지스터의 턴온시 상기 제1 서브 화소 전극 및 상기 제2 서브 화소 전극은 동일한 데이터 전압을 제공받고,  
 상기 제3 박막 트랜지스터의 턴온시 상기 제1 서브 화소 전극은 상기 제1 커패시터에 의한 커플링에 의해 충전된 전압의 절대값이 상승하며, 상기 제2 서브 화소 전극은 상기 제2 커패시터에 의한 커플링에 의해 충전된 전압의 절대값이 하강하는 액정 표시 장치.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <13> 본 발명은 액정 표시 장치에 관한 것으로서, 더욱 상세하게는 측면 시인성을 개선하면서도 투과율 저하가 감소된 액정 표시 장치에 관한 것이다.
- <14> 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전계 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전계 생성 전극에 전압을 인가하여 액정층에 전계를 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.
- <15> 그 중에서도 전계가 인가되지 않은 상태에서 액정 분자의 장축을 상하 표시판에 대하여 수직을 이루도록 배열한 수직 배향 모드 액정 표시 장치는 대비비가 크고 넓은 기준 시야각 구현이 용이하여 각광받고 있다. 수직 배향 모드 액정 표시 장치에서 광시야각을 구현하기 위한 수단으로는 전계 생성 전극에 절개부를 형성하는 방법과 전계 생성 전극 위에 돌기를 형성하는 방법 등이 있다. 이와 같이 절개부 또는 돌기를 이용하여 하나의 화소를 다수의 도메인으로 분할한 후 절개부 또는 돌기로 액정 분자가 기우는 방향을 결정할 수 있으므로, 이들을 사용하여 액정 분자의 경사 방향을 여러 방향으로 분산시킴으로써 기준 시야각을 넓힐 수 있다.
- <16> 그런데, 절개부가 구비된 PVA(Patterned Vertically aligned) 방식의 경우 측면으로 갈수록 영상이 밝아져 측면 시인성이 떨어진다. 측면 시인성을 개선하기 위해 하나의 화소를 2개의 서브 전극으로 분할하고, 이들을 용량성으로 결합하여, 2개의 서브 화소 전극에 서로 다른 전압을 인가하는 방법이 제시되고 있다. 그러나, 상기 방법에 의할 경우, 용량성 결합에 따른 개구율이 저하될 뿐만 아니라, 평균적인 서브 화소 전극의 전압이 감소됨으로써, 투과율이 저하된다.

**발명이 이루고자 하는 기술적 과제**

- <17> 본 발명이 이루고자 하는 기술적 과제는 측면 시인성을 개선하면서도, 투과율 저하가 감소된 액정 표시 장치를 제공하고자 하는 것이다.
- <18> 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**발명의 구성 및 작용**

- <19> 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는 n번째 게이트 라인과 적어도

일부분이 오버랩되어 있으며, 데이터 라인과 연결되어 있는 제1 소오스 전극, 상기 n번째 게이트 라인과 적어도 일부분이 오버랩되어 있으며, 상기 제1 소오스 전극과 이격되어 있는 제1 및 제2 드레인 전극, 상기 제1 드레인 전극과 전기적으로 연결된 제1 서브 화소 전극, 상기 제2 드레인 전극과 전기적으로 연결된 제2 서브 화소 전극, n+1번째 게이트 라인과 적어도 일부분이 오버랩되어 있으며, 상기 제2 서브 화소 전극과 전기적으로 연결되어 있는 제2 소오스 전극, 상기 n+1번째 게이트 라인과 적어도 일부분이 오버랩되어 있으며, 상기 제2 소오스 전극과 이격되어 있는 제3 드레인 전극을 포함하되, 상기 제3 드레인 전극은 제1 서브 화소 전극과 적어도 일부분이 오버랩되어 있고, 동시에 유지 전극 라인과 적어도 일부분이 오버랩되어 있는 제1 표시판, 상기 제1 표시판과 대향하며, 공통 전극을 구비하는 제2 표시판, 및 상기 제1 표시판과 상기 제2 표시판 사이에 개재되어 있는 액정층을 포함한다.

<20> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 액정 표시 장치는 n번째 게이트 라인에 의해 제어되는 제1 및 제2 박막 트랜지스터, n+1번째 게이트 라인에 의해 제어되는 제3 박막 트랜지스터, 상기 제1 박막 트랜지스터의 출력단과 연결된 제1 서브 화소 전극, 상기 제2 박막 트랜지스터의 출력단과 연결되고, 상기 제3 박막 트랜지스터의 입력단과 연결되어 있는 제2 서브 화소 전극, 상기 제1 서브 화소 전극과 상기 제3 박막 트랜지스터의 출력단 사이에 형성된 제1 커패시터, 및 상기 유지 전극 라인과 상기 제3 박막 트랜지스터의 출력단 사이에 형성된 제2 커패시터를 포함하는 제1 표시판, 상기 제1 표시판에 대향하며 공통 전극을 구비하는 제2 표시판, 및 상기 제1 표시판과 상기 제2 표시판 사이에 개재되어 있는 액정층을 포함한다.

<21> 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

<22> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

<23> 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

<24> 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

<25> 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 개략도인 평면도 및 단면도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.

<26> 본 발명의 일 실시예에 따른 액정 표시 장치는 다수의 박막 트랜지스터가 어레이되어 있는 제1 표시판, 제1 표시판과 대향 배치되어 있는 제2 표시판, 및 제1 표시판과 제2 표시판 사이에 개재되어 있는 액정층을 포함한다. 각 표시판은 다수의 화소로 구획되어 있으며, 제1 표시판의 각 화소마다 구비된 화소 전극과 제2 표시판에 구비된 공통 전극 사이에 생성되는 전계에 의해 화소별 액정층의 투과율이 제어된다. 이하, 첨부된 도면을 참고로 하여 상기한 본 발명의 일 실시예에 따른 액정 표시 장치의 화소 구조에 대해 상세히 설명한다.

<27> 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 제1 표시판의 레이아웃도이다. 도 2는 본 발명의 일 실시예에 따른 액정 표시 장치의 제2 표시판의 레이아웃도이다. 도 3은 본 발명의 일 실시예에 따른 액정 표시 장치의 레이아웃도이다. 도 4는 도 1의 IV-IV'선을 따라 자른 단면도이다. 도 5는 도 1의 V-V'선을 따라 자른 단면도이다.

<28> 먼저, 도 1, 및 도 3 내지 도 5를 참조하여 제1 표시판(100)에 대해 설명하면, 제1 표시판(100)의 각 화소는 제

1 절연 기판(110) 상에 형성된 이웃하는 2개의 게이트 라인(122) 및 이웃하는 2개의 데이터 라인(162)에 의해 정의된다.

- <29> 제1 절연 기판(110)은 투명한 유리, 플라스틱 등으로 이루어져 있다. 제1 절연 기판(110) 위에는 제1 방향으로 연장되어 있는 게이트 라인(122)이 형성되어 있다. 게이트 라인(122)은 일정 영역에서 부분적으로 확장되어 제1 게이트 전극(124)을 이루고, 다른 일정 영역에 형성된 제2 게이트 전극(125)을 이룬다. 제1 및 제2 게이트 전극(124, 125)의 형상은 다양하게 변형가능하며, 예컨대, 제1 게이트 전극(124)이 확장되어 있지 않거나, 제2 게이트 전극(125)이 확장된 형상을 가질 수도 있다.
- <30> 한편, 동일 화소에 대하여 같은 게이트 라인(122)에 연결된 제1 게이트 전극(124)과 제2 게이트 전극(125)은 제어하는 화소행은 다르다. 즉, n번째 게이트 라인(122)에 연결된 제1 게이트 전극(124)이 n번째 화소 행을 제어하는 경우, n번째 게이트 라인(122)에 연결된 제2 게이트 전극(125)은 n-1번째 화소 행을 제어하게 된다. n번째 화소 행을 제어하는 제2 게이트 전극(125)은 n+1번째 게이트 라인(122)에 연결되어 있다.
- <31> 제1 절연 기판(110) 위의 게이트 라인(122)과 동일한 층에는 유지 전극 라인(128)이 형성되어 있다. 유지 전극 라인(128)의 배치 형상은 다양할 수 있지만, 예컨대 도 1에 도시된 바와 같이 데이터 라인(162)에 인접하도록 평행하게 뻗어 있는 2개의 세로부, 일측 세로부의 아래에 확장되어 있는 확장부, 양측 세로부를 중앙에서 연결하는 사선부를 포함할 수 있다.
- <32> 게이트 라인(122) 및 유지 전극 라인(128) 위에는 질화 규소, 산화 규소 등으로 이루어진 게이트 절연막(130)이 적층되어 있다. 게이트 절연막(130) 위에는 수소화 비정질 규소 등으로 이루어진 제1 및 제2 반도체층(141, 142)이 형성되어 있다. 제1 반도체층(141)은 제1 게이트 전극(124)에 오버랩되어 있고, 제2 반도체층(142)은 제2 게이트 전극(125)에 오버랩되어 있다.
- <33> 반도체층(141, 142) 위에는 데이터 배선(162, 165-169)이 형성되어 있다. 데이터 배선은 제2 방향, 예를 들어 제1 방향에 수직한 방향으로 연장되어 있는 데이터 라인(162), 데이터 라인(162)으로부터 분지된 제1 소오스 전극(165), 제1 소오스 전극(165)과 각각 이격되어 마주하는 제1 및 제2 드레인 전극(166, 167), 제2 반도체층(142)의 위에서부터 화소 영역으로 확장되어 있는 제2 소오스 전극(168), 제2 소오스 전극(168)으로부터 이격되어 마주하는 제3 드레인 전극(169)을 포함한다. 제1 소오스 전극(165), 제1 및 제2 드레인 전극(166, 167)은 적어도 일부가 제1 게이트 전극(124)와 오버랩되어 있고, 제2 소오스 전극(168) 및 제3 드레인 전극(169)은 적어도 일부가 제2 게이트 전극(125)과 오버랩되어 있다. 제1 반도체층(141) 및 제2 반도체층(142)과 그 위의 데이터 배선(162, 165-169) 사이에는 고농도로 도핑된 n+ 수소화 비정질 규소 등으로 이루어진 저항성 접촉층(152, 155-159)이 개재되어 있다.
- <34> 여기서, 제3 드레인 전극(169)은 유지 전극 라인(128)과 오버랩되어 있으며, 폭이 확장되어 있는 확장부(169a)를 포함할 수 있다. 제3 드레인 전극(169)의 확장부(169a)는 하부의 유지 전극 라인(128)뿐만 아니라, 후술하는 제1 서브 화소 전극(181)과도 일부 오버랩되어 있다. 제3 드레인 전극(169)의 확장부(169a)와 그에 오버랩된 유지 전극 라인(128)은 전압 다운 커패시터(voltage down capacitor)를 형성하여 후술하는 제2 서브 화소 전극(182)에 충전된 화소 전압의 절대값을 하강시키고, 제3 드레인 전극(169)의 확장부(169a)와 그에 오버랩된 제1 서브 화소 전극(181)은 전압 업 커패시터(voltage up capacitor)를 형성하여 제1 서브 화소 전극(181)에 충전된 화소 전압의 절대값을 상승시킨다. 따라서 제1 서브 화소 전극(181) 및 제2 서브 화소 전극(182)에 동일 계조의 데이터 전압이 인가되더라도 충전되는 전압의 값을 서로 다르게 조절할 수 있다. 이에 대한 더욱 구체적인 설명은 후술하기로 한다.
- <35> 상기한 제1 게이트 전극(124), 제1 소오스 전극(165), 및 제1 드레인 전극(166)은 제1 반도체층(141)을 채널부로 하는 제1 박막 트랜지스터를 이루고, 제1 게이트 전극(141), 제1 소오스 전극(165), 및 제2 드레인 전극(167)은 제1 반도체층(141)을 채널부로 하는 제2 박막 트랜지스터를 이룬다. 또한, 제2 게이트 전극(125), 제2 소오스 전극(168), 및 제3 드레인 전극(169)은 제2 반도체층(142)을 채널부로 하는 제3 박막 트랜지스터를 이룬다. 여기서, 동일 화소 영역을 구동하기 위한 제3 박막 트랜지스터에 연결된 제2 게이트 전극(125)은 상술한 바와 같이 제1 게이트 전극(124)이 연결된 게이트 라인(122)과 인접한 다음번째 게이트 라인(122)에 연결되어 있다.
- <36> 데이터 배선(162, 165-169) 위에는 패시베이션(passivation)막(170)이 형성되어 있다. 패시베이션막(170)은 질화 규소 등의 무기 물질 또는 유기 절연 물질로 이루어질 수 있으며, 이들을 모두 포함한 2이상의 적층막으로 이루어질 수도 있다. 패시베이션막(170)에는 제1 및 제2 드레인 전극(166, 167) 및 제2 소오스 전극(168)의 적

어도 일부를 노출하는 콘택홀(176, 177, 178)이 형성되어 있다.

- <37> 패시베이션막(170) 위에는 ITO, IZO 등과 같은 투명한 도전 물질로 이루어진 화소 전극(181, 182)이 형성되어 있다. 화소 전극은 제1 서브 화소 전극(181) 및 제2 서브 화소 전극(182)을 포함한다.
- <38> 제1 서브 화소 전극(181)은 콘택홀(176)을 통하여 제1 드레인 전극(166)에 연결되어 있으며, 유지 전극 라인(128)의 일측 세로부 및 확장부와 오버랩되어 있다.
- <39> 제2 서브 화소 전극(182)은 콘택홀(177, 178)을 통하여 제2 드레인 전극(167) 및 제2 소오스 전극(168)과 연결되어 있으며, 유지 전극 라인(128)의 타측 세로부와 오버랩되어 있다. 제2 서브 화소 전극(182)의 중앙부에는 절개부(185)가 만입되어 있다. 또한, 제1 서브 화소 전극(181)과 제2 서브 화소 전극(182)은 유지 전극 라인(128)의 사선부를 중심으로 이격되어 있다(도 3의 '186' 참조).
- <40> 이와 같은 절개부(185) 및 이격부(186)는 프린지 필드(fringe field)를 유발하여 액정(301)의 통일적 거동 방향을 나타내는 도메인을 정의하게 된다.
- <41> 도면에 도시하지 않았지만, 화소 전극(181, 182) 위에는 배향막이 더 구비될 수 있다. 배향막은 예컨대 수직 배향막일 수 있다.
- <42> 한편, 제1 서브 화소 전극(181)과 제2 서브 화소 전극(182)에는 동일한 데이터 전압이 제공되지만, 제1 서브 화소 전극(181)은 전압 업 커패시터의 커플링으로 제공된 데이터 전압보다 절대값의 크기가 상승된 화소 전압이 충전되고, 제2 서브 화소 전극(182)은 전압 다운 커패시터의 커플링으로 제공된 데이터 전압보다 절대값의 크기가 하강된 화소 전압이 충전된다. 이와 같이 동일 화소 내의 서브 화소 전극간 서로 다른 전압이 충전됨으로써, 감마 곡선의 왜곡을 방지하여 측면 시인성을 개선할 수 있다. 본 실시예에서는 제2 서브 화소 전극(182)에 충전되는 전압이 하강할 뿐만 아니라, 제1 서브 화소 전극(181)에 충전되는 전압이 상승하기 때문에, 상대적인 전압 차이가 더욱 커진다. 따라서, 전압 다운 커패시터 단독으로 존재할 경우보다 커패시터의 커패시턴스가 작더라도 충분한 전압차를 나타낼 수 있다. 이는 전압 업 또는 다운 커패시터를 이루는 제3 드레인 전극(169)의 면적이 감소할 수 있음을 의미하므로, 개구율의 확보에 유리할 것임을 용이하게 이해할 수 있을 것이다. 또한, 전압 업 커패시터에 의해 전압이 상승되므로, 투과율이 증가할 수 있다.
- <43> 계속해서, 도 2, 및 도 3 내지 도 5를 참조하여 제2 표시판(200)에 대해 설명한다. 제2 표시판(200)의 베이스 기판인 제2 절연 기판(210)은 제1 절연 기판(110)과 마찬가지로 투명한 유리 또는 플라스틱 등으로 이루어져 있다. 제2 절연 기판(210) 상에는 블랙 매트릭스(220)가 형성되어 있다. 블랙 매트릭스(220)는 제1 표시판(100)의 게이트 라인(122) 및 데이터 라인(162)과 오버랩되도록 형성된다. 블랙 매트릭스(220)에 의해 둘러싸인 영역에는 컬러 필터(230)가 형성되어 있다. 컬러 필터(230)는 제1 표시판(100)의 화소 전극(181, 182)과 오버랩되도록 정렬된다.
- <44> 블랙 매트릭스(220) 및 컬러 필터(230) 상에는 이들의 단차를 평탄화하기 위한 오버코트층(240)이 형성되어 있다.
- <45> 오버코트층(240) 위에는 ITO, IZO 등과 같은 투명한 도전 물질로 이루어진 공통 전극(250)이 형성되어 있다. 공통 전극(250)은 화소와 관계없이 제2 표시판(200)의 전면에 형성되어 있으며, 각 화소마다 절개부(253-255)를 구비한다. 절개부(253-255)는 예컨대 도 2에 도시된 바와 같이 각 화소마다 3개씩 구비될 수 있다. 이 중 2개의 절개부(253, 254)는 제1 표시판(100)의 제1 서브 화소 전극(181)과 오버랩되어 유지 전극 라인(128)의 사선부와 평행하게 이격되어 연장되다가, 제1 서브 화소 전극(181)의 가장자리 영역에서 게이트 라인(122) 또는 데이터 라인(162)과 평행하게 꺾여 있으며, 이들은 화소의 중앙부에서 서로 분리되어 있다. 나머지 하나의 절개부(255)는 제1 표시판(100)의 제2 서브 화소 전극(182)과 오버랩되어 유지 전극 라인(128)의 사선부와 평행하게 이격되어 연장되다가 중앙부에서 합쳐져 게이트 라인(122)에 평행한 방향으로 꺾여 있다. 이와 같은 절개부(253, 255)는 제1 표시판(100)의 서브 화소 전극(181, 182)간 이격부(185) 및 제2 서브 화소 전극(182)의 절개부(186)와 함께 프린지 필드(fringe field)를 유발하여 액정의 통일적 거동 방향을 나타내는 도메인을 정의하게 된다.
- <46> 도면에 도시되지는 않았지만, 공통 전극(250) 상에는 배향막이 더 구비될 수 있다. 배향막은 수직 배향막일 수 있다.
- <47> 한편, 도 4 및 도 5에 도시된 바와 같이 제1 표시판(100)과 제2 표시판(200) 사이에는 다수의 액정(301)을 포함하는 액정층(300)이 개재되어 있다. 액정 표시 장치에 전계가 생성되지 않은 초기 배향의 경우, 액정(301)은 구

비된 배향막의 특성 등에 따라 예컨대 수직으로 배향되어 있지만, 제1 표시판(100)의 화소 전극(181, 182)과 제2 표시판(200)의 공통 전극(250)에 전압이 인가되면, 액정층(300)에 전계가 형성되어 액정(301)이 회전하게 된다. 이때, 액정층(300)에 포함된 액정(301)이 음의 유전율 이방성을 가질 경우 액정(301)은 전계에 수직인 방향으로 회전하며, 액정(301)이 양의 유전율 이방성을 가질 경우 전계와 평행인 방향으로 회전하게 된다. 이러한 액정(301)의 회전 정도에 따라 액정층(300)에서의 빛의 투과율이 결정되며, 제1 표시판(100) 및/또는 제2 표시판(200)의 외측에 편광판(미도시)을 부착함으로써, 전체 액정 표시 장치의 투과율을 제어할 수 있다. 한편, 상기한 바와 같이 본 실시예에 따른 액정 표시 장치에서는 제1 표시판(100)의 이격부(185) 및 절개부(186)와 제2 표시판(200)의 절개부(253-255)에 의해 프린지 필드가 형성되므로, 전계 생성에 따른 액정(301)의 회전은 이들에 의해 분할된 다수개의 도메인별로 일정한 방향성을 갖게 된다. 따라서, 시야각이 개선되고, 액정(301)의 층들에 따른 텍스처가 방지되며, 액정(301)의 회전 속도, 즉 전계에 대한 반응 속도가 증가할 수 있다.

<48> 계속해서, 상기한 바와 같은 액정 표시 장치의 동작에 대해 더욱 상세히 설명한다. 도 3, 도 4 및 도 5에 도시되어 있는 액정 표시 장치의 일 화소 영역을 회로적으로 표시하면 도 6과 같다. 도 6에서는 n번째 게이트 라인과 n+1번째 게이트 라인 사이에 위치하는 화소 영역의 회로도를 예시적으로 도시하였다. 도면에서 A<sub>1</sub>은 제1 서브 화소 전극 영역을 의미하고, A<sub>2</sub>는 제2 서브 화소 전극 영역을 의미한다. 도 7은 도 6의 액정 표시 장치에 인가되는 전압 파형도들이다. 도 7에서 데이터 전압은 프레임별로 공통 전압을 기준으로 반전되어 인가되는 것을 확인할 수 있다.

<49> 설명의 편의상 유지 전극 라인 및 공통 전극에 제공되는 공통 전압(V<sub>com</sub>)이 5V이고, 제1 프레임에서는 7V의 데이터 전압이 인가되며, 제2 프레임에서는 3V의 데이터 전압이 인가되는 것으로 가정한다. 데이터 라인(D<sub>n</sub>)에 7V의 데이터 전압이 인가되고 있는 상태에서 n번째 게이트 라인(G<sub>n</sub>)에 게이트 온 신호가 인가되면, 제1 박막 트랜지스터(Q<sub>1</sub>)와 제2 박막 트랜지스터(Q<sub>2</sub>)가 턴온되어 데이터 전압이 제1 서브 화소 전극(A<sub>1</sub>) 및 제2 서브 화소 전극(A<sub>2</sub>)에 인가된다. 이때 제1 박막 트랜지스터(Q<sub>1</sub>)와 제2 박막 트랜지스터(Q<sub>2</sub>)는 모두 동일한 데이터 라인(D<sub>n</sub>)에 연결되어 있기 때문에 제1 서브 화소 전극(A<sub>1</sub>)에 위치하는 P<sub>1</sub> 단자와 제2 서브 화소 전극(A<sub>2</sub>)에 위치하는 P<sub>2</sub> 단자에 인가되는 전압의 크기는 동일하다. 즉, 게이트 온 신호가 인가되는 동안 P<sub>1</sub> 단자와 P<sub>2</sub> 단자에 각각 7V의 서브 화소 전압(V<sub>px1</sub>, V<sub>px2</sub>)이 제공된다. 이때, 제1 액정 커패시터(C<sub>lc1</sub>), 제1 유지 커패시터(C<sub>s11</sub>) 및 제2 액정 커패시터(C<sub>lc2</sub>), 제2 유지 커패시터(C<sub>s12</sub>)에는 서브 화소 전압(V<sub>px1</sub>, V<sub>px2</sub>)과 공통 전압(V<sub>com</sub>)의 차인 2V의 전압이 충전된다. 한편, P<sub>1</sub> 단자와 연결된 a단자에도 7V가 제공되는데, 본 실시예에서 프레임별 반전 구동이 이루어지므로 b단자에 이전 프레임에서 예컨대 약 3V의 전압이 인가되었던 것으로 가정하면, a단자와 b단자 사이의 전압 업 커패시터(C<sub>up</sub>)에는 약 +4V의 전압이, 전압 다운 커패시터(C<sub>down</sub>)에는 약 +2V의 전압이 충전된다.

<50> 이어서, n번째 게이트 라인(G<sub>n</sub>)에 게이트 오프 전압이 인가되면, 제1 및 제2 박막 트랜지스터(Q<sub>1</sub>, Q<sub>2</sub>)가 턴오프되며, 제1 서브 화소 전극(A<sub>1</sub>)과 제2 서브 화소 전극(A<sub>2</sub>)에 충전된 전압이 제1 킥백 전압(V<sub>kb1</sub>)만큼 낮아진다.

<51> n번째 게이트 라인(G<sub>n</sub>)에 게이트 온 전압이 인가된 후 1 수평 주기(1H)가 지나면, n+1번째 게이트 라인(G<sub>n+1</sub>)에 게이트 온 전압이 인가되어 그에 연결된 제3 박막 트랜지스터(Q<sub>3</sub>)가 턴온된다. 제3 박막 트랜지스터(Q<sub>3</sub>)의 턴온에 따라 P<sub>2</sub> 단자와 b단자가 전기적으로 연결되어 b단자에 7V의 전압이 제공되는데, 이때, 전압 업 커패시터(C<sub>up</sub>)에는 약 +4V의 전압이 충전되어 있기 때문에, P<sub>1</sub> 단자의 전압은 순간적으로 상승하게 된다. 한편, 전압 다운 커패시터(C<sub>down</sub>)에는 약 +2V의 전압이 충전되어 있으며, 일단이 유지 전극 라인에 연결되어 있기 때문에, b단자는 순간적으로 전압이 하강하게 된다. 따라서, 제1 서브 화소 전극(A<sub>1</sub>)에 충전된 전압은 전압 업 커패시터(C<sub>up</sub>)에 의한 커플링에 의해 전압이 순간적으로 상승하고(도 7의 V<sub>cup1</sub> 참조), 제2 서브 화소 전극(A<sub>2</sub>)에 충전된 전압은 전압 다운 커패시터(C<sub>down</sub>)에 의한 커플링에 의해 전압이 순간적으로 하강하게 된다(도 7의 V<sub>down1</sub> 참조).

<52> 이어서, n+1번째 게이트 라인(G<sub>n+1</sub>)에 게이트 오프 전압이 인가되면, 제1 서브 화소 전극(A<sub>1</sub>)에 충전된 전압은 제2 킥백 전압(V<sub>kb11</sub>)만큼 다소 하강하며, 제2 서브 화소 전극(A<sub>2</sub>)에 충전된 전압도 제2 킥백 전압(V<sub>kb12</sub>)만큼 더욱 하강하게 된다. 제1 서브 화소 전극(A<sub>1</sub>) 및 제2 서브 화소 전극(A<sub>2</sub>)은 제1 프레임 동안 각각의 충전 전압

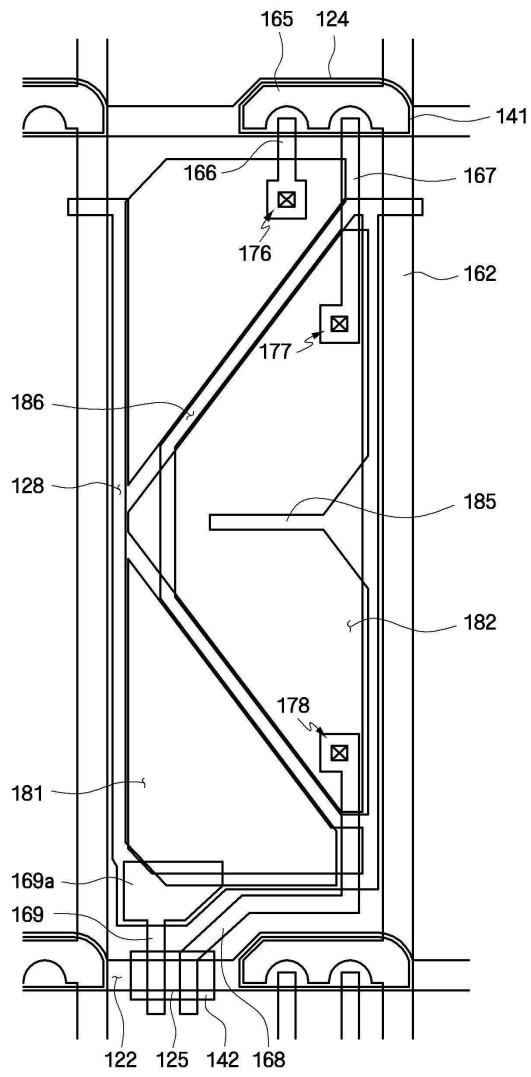
( $V_{px1}$ ,  $V_{px2}$ )을 유지한다.

- <53> 상기한 바와 같이 제1 프레임 동안 제1 서브 화소 전극( $A_1$ ) 및 제2 서브 화소 전극( $A_2$ )에 동일한 전압이 인가되더라도, 제1 서브 화소 전극( $A_1$ )은 전압( $V_{px1}$ )이 상승하고, 제2 서브 화소 전극( $A_2$ )은 전압( $V_{px2}$ )이 하강하기 때문에, 제1 서브 화소 전극( $A_1$ )에 제2 서브 화소 전극( $A_2$ )보다 높은 전압을 충전할 수 있다. 즉, 제1 서브 화소 전극 영역( $A_1$ )의 제1 액정 커패시터( $C_{c1}$ ), 제1 유지 커패시터( $C_{st1}$ )에 충전된 전압의 절대값이 제2 서브 화소 전극 영역( $A_2$ )의 제2 액정 커패시터( $C_{c2}$ ), 제2 유지 커패시터( $C_{st2}$ )에 충전된 전압의 절대값보다 크게 된다.
- <54> 계속해서, 제2 프레임에서 각각의 서브 화소 전극에 충전되는 전압에 대해 설명한다. 데이터 라인( $D_n$ )에 3V의 데이터 전압이 인가되고 있는 상태에서 제2 프레임째에 다시 n번째 게이트 라인( $G_n$ )에 게이트 온 신호가 인가되면, 제1 박막 트랜지스터( $Q_1$ )와 제2 박막 트랜지스터( $Q_2$ )가 턴온되어 데이터 전압이 제1 서브 화소 전극( $A_1$ ) 및 제2 서브 화소 전극( $A_2$ )에 인가된다. 게이트 온 신호가 인가되는 동안  $P_1$  단자와  $P_2$  단자에 각각 3V의 서브 화소 전압( $V_{px1}$ ,  $V_{px2}$ )이 제공된다. 이때, 제1 액정 커패시터( $C_{c1}$ ), 제1 유지 커패시터( $C_{st1}$ ) 및 제2 액정 커패시터( $C_{c2}$ ), 제2 유지 커패시터( $C_{st2}$ )에는 서브 화소 전압( $V_{px1}$ ,  $V_{px2}$ )과 공통 전압( $V_{com}$ )의 차인 -2V가 충전된다. 한편,  $P_1$  단자와 연결된 a단자에도 3V가 제공되는데, b단자에는 제1 프레임 동안 약 7V의 전압이 인가되어 있으므로, a단자와 b단자 사이의 전압 업 커패시터( $C_{up}$ )에는 약 -4V의 전압이, 전압 다운 커패시터( $C_{down}$ )에는 약 -2V의 전압이 충전된다.
- <55> 이어서, n번째 게이트 라인에 게이트 오프 전압이 인가되면, 제1 및 제2 박막 트랜지스터( $Q_1$ ,  $Q_2$ )가 턴오프되며, 제1 서브 화소 전극( $A_1$ )과 제2 서브 화소 전극( $A_2$ )에 충전된 전압이 제1 킥백 전압( $V_{kb1}$ )만큼 낮아진다.
- <56> 1 수평 주기(1H)가 지나고, n+1번째 게이트 라인( $G_{n+1}$ )에 게이트 온 전압이 인가되면, 그에 연결된 제3 박막 트랜지스터( $Q_3$ )가 턴온된다. 제3 박막 트랜지스터( $Q_3$ )의 턴온에 따라  $P_2$  단자와 b단자가 전기적으로 연결되어 b단자에 3V의 전압이 제공된다. 이때, 전압 업 커패시터( $C_{up}$ )에는 약 -4V의 전압이 충전되어 있기 때문에,  $P_1$  단자의 전압은 순간적으로 하강하게 된다. 한편, 전압 다운 커패시터( $C_{down}$ )에는 -2V의 전압이 충전되어 있으며, 일단이 유지 전극 라인에 연결되어 있기 때문에, b단자는 순간적으로 전압이 상승하게 된다. 따라서, 제1 서브 화소 전극( $A_1$ )에 충전된 전압은 전압 업 커패시터( $C_{up}$ )에 의한 커플링에 의해 전압이 순간적으로 하강하고(도 7의  $V_{cup2}$  참조), 제2 서브 화소 전극( $A_2$ )에 충전된 전압은 전압 다운 커패시터( $C_{down}$ )에 의한 커플링에 의해 전압이 순간적으로 상승하게 된다(도 7의  $V_{down2}$  참조).
- <57> 이어서, n+1번째 게이트 라인( $G_{n+1}$ )에 게이트 오프 전압이 인가되면, 제1 서브 화소 전극( $A_1$ )에 충전된 전압은 제2 킥백 전압( $V_{kb21}$ )만큼 하강하며, 제2 서브 화소 전극( $A_2$ )에 충전된 전압도 제2 킥백 전압( $V_{kb22}$ )만큼 하강하게 된다. 제1 서브 화소 전극( $A_1$ ) 및 제2 서브 화소 전극( $A_2$ )은 제2 프레임 동안 각각의 충전 전압( $V_{px1}$ ,  $V_{px2}$ )을 유지한다.
- <58> 상기한 바와 같이 제2 프레임 동안 제1 서브 화소 전극( $A_1$ ) 및 제2 서브 화소 전극( $A_2$ )에 동일한 전압이 인가되더라도, 제1 서브 화소 전극( $A_1$ )은 전압이 하강하고, 제2 서브 화소 전극( $A_2$ )은 전압이 상승하기 때문에, 제1 서브 화소 전극( $A_1$ )에 제2 서브 화소 전극( $A_2$ )보다 낮은 전압을 충전할 수 있다. 즉, 제2 프레임의 경우에도 제1 서브 화소 전극( $A_1$ ) 영역의 제1 액정 커패시터( $C_{c1}$ ), 제1 유지 커패시터( $C_{st1}$ )에 충전된 전압의 절대값이 제2 화소 전극 영역의 제2 액정 커패시터( $C_{c2}$ ), 제2 유지 커패시터( $C_{st2}$ )에 충전된 전압의 절대값보다 크게 된다.
- <59> 이상에서 살펴본 바와 같이 본 실시예에 따른 액정 표시 장치는 각 프레임에 무관하게 제1 서브 화소 전극 영역( $A_1$ )의 제1 액정 커패시터( $C_{c1}$ ), 제1 유지 커패시터( $C_{st1}$ )에 충전되는 전압의 절대값이 제2 서브 화소 전극 영역( $A_2$ )의 제2 액정 커패시터( $C_{c2}$ ), 제2 유지 커패시터( $C_{st2}$ )에 충전되는 전압의 절대값보다 크다. 따라서, 동일한 데이터 전압을 인가하더라도 제1 서브 화소 전극( $A_1$ ) 및 제2 서브 화소 전극( $A_2$ )에 서로 다른 전압이 충전됨으로

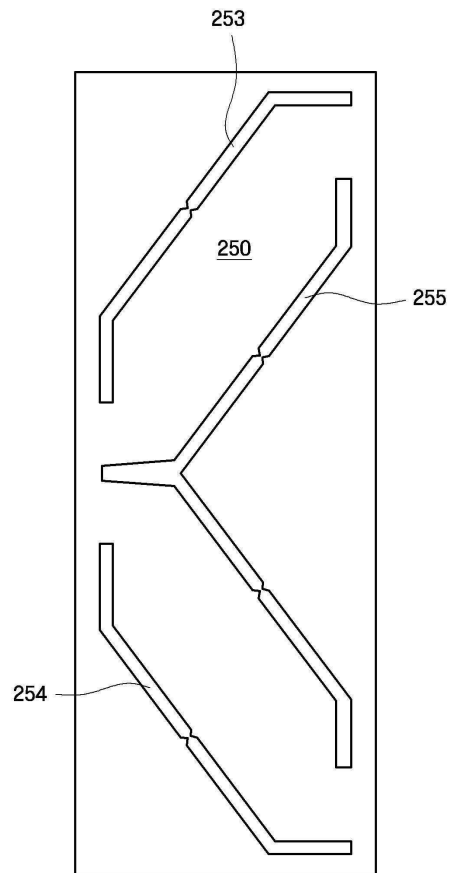


도면

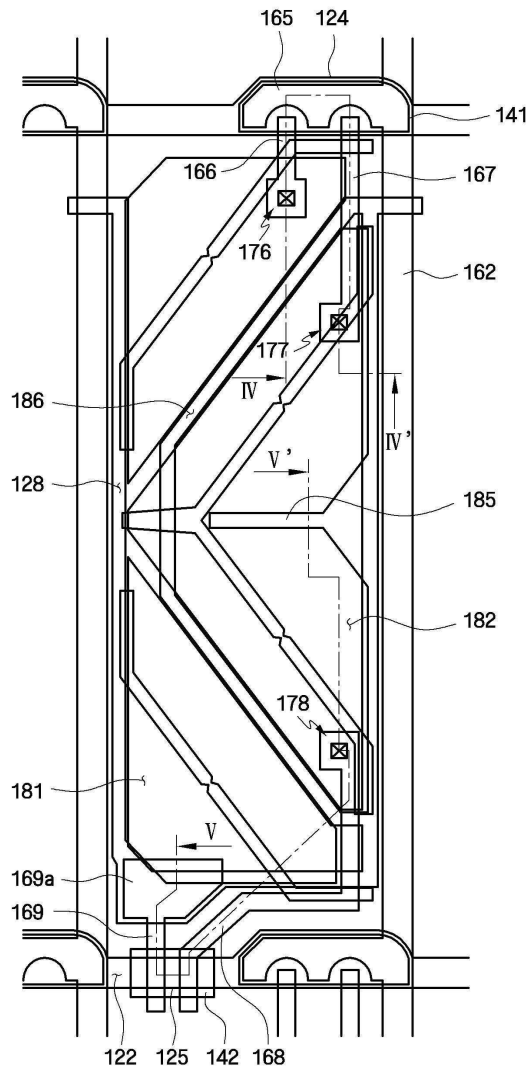
도면1



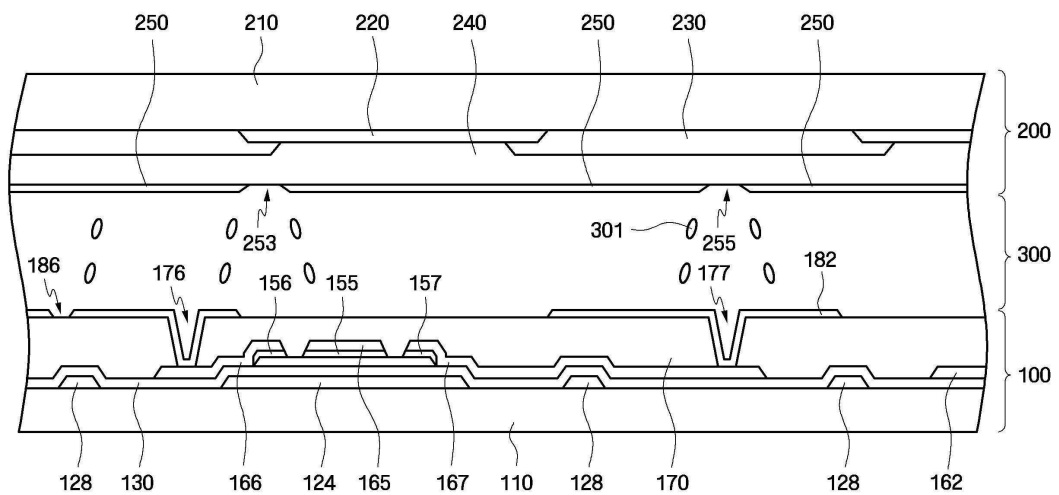
도면2



도면3

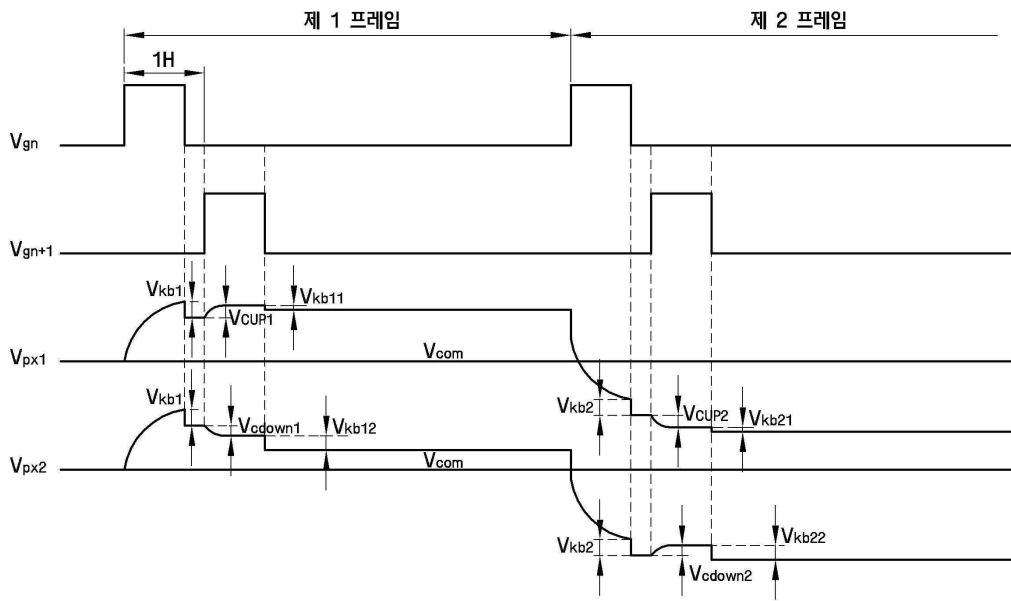


도면4





도면7



专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">KR1020080010987A</a>	公开(公告)日	2008-01-31
申请号	KR1020060071762	申请日	2006-07-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	AHN SOON IL		
发明人	AHN, SOON IL		
IPC分类号	G02F1/1343		
CPC分类号	G02F2001/134345 G02F1/136213 H01L27/1214 G02F1/136286 G02F1/1393 H01L27/12 G02F1/133707 G02F2201/40 H01L27/1255		
其他公开文献	KR101295298B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明提供一种液晶显示器，其即使在改善侧的情况下也降低了透射率降低。液晶显示器包括第n栅极线，数据线至少一部分重叠，并且包括连接的第一源电极，第n栅极线和至少一部分的液晶层是与之电连接的第一子像素电极。第一和第二漏电极，第二子像素电极与第二漏电极电连接，n + 1栅极线和至少一部分是与第二子像素电极电连接的第二源电极，它与第二子像素电极重叠，并且第三漏电极，其中第三漏电极的至少一部分与第三漏电极重叠第一子像素电极，并且同时，在包括重叠的第一显示面板的第二显示面板与第一显示面板和面对的公共电极之间的维持电极线允许至少一部分，第一显示面板和第二显示面板。第n栅极线和至少一部分是与第一和第二漏电极电连接的第一子像素电极重叠并且与第一源电极和第一漏电极一起定位。第三漏电极的至少一部分与栅极线的n + 1重叠，并且与第二源电极一起定位。子像素电极，升压电容器，维持电极线，能见度。

