



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0122317
(43) 공개일자 2007년12월31일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

(21) 출원번호 10-2006-0057701

(22) 출원일자 2006년06월26일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

요코야마, 로이치

일본, 도쿄, 미나토구, 록본기 3-1-1 록본기
T-cube 일본삼성 주식회사 내

센다, 미치루

일본, 도쿄, 미나토구, 록본기 3-1-1 록본기
T-cube 일본삼성 주식회사 내

우에모토, 쯔토무

일본, 도쿄, 미나토구, 록본기 3-1-1 록본기
T-cube 일본삼성 주식회사 내

(74) 대리인

권혁수, 송윤호, 오세준

전체 청구항 수 : 총 16 항

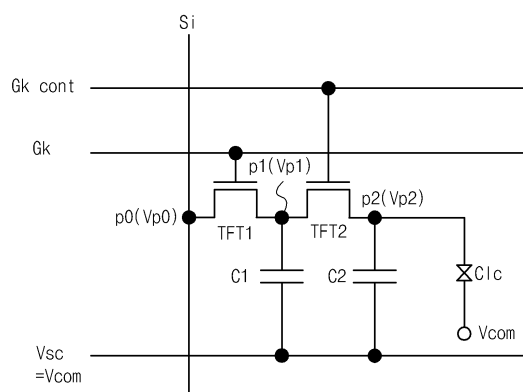
(54) 액정 모듈, 액정 모듈의 구동 방법 및 액정표시장치

(57) 요약

액정 모듈에는, 전류 통로가 직렬 연결되고 소스선에 연결되는 제1 및 제2의 박막 트랜지스터, 공통선, 제 1의 박막 트랜지스터와 상기 제 2의 박막 트랜지스터의 접속부와 공통선과 이들 사이에 있는 제1의 절연체로 이루어지는 제1의 용량(C1), 화소 전극에 접속된 제2의 박막 트랜지스터의 접속부, 공통선과 이들 사이에 있는 제2의 절연체로 이루어지는 제2의 용량(C2), 화소 전극과 대향 전극과 이들 사이에 있는 액정으로 이루어지는 제3의 용량(C1c)을 가지는 화소가 매트릭스 모양으로 배치된다. 소스선에는 아래식을 만족하는 오버 드라이브 전압(Vover)이 표시 신호(Vsig)에 더해 인가된다. 따라서, 1 화면 동안 화질의 저하없이 원하는 화상을 유지할 수 있다.

$$V_{over} = \frac{C1}{C2+C1c} \cdot V_{sig}$$

대표도 - 도4



특허청구의 범위

청구항 1

소스 또는 드레인의 일방이 소스선에 접속되고, 타방이 제2의 박막 트랜지스터의 소스 또는 드레인에 접속되며, 게이트가 제1의 게이트 신호선에 접속된 제1의 박막 트랜지스터와,

소스 또는 드레인의 타방이 화소전극에 접속되며, 게이트가 제2의 게이트 신호선에 접속된 상기 제 2의 박막 트랜지스터와,

공통선과,

상기 제 1의 박막 트랜지스터와 상기 제 2의 박막 트랜지스터와의 접속부와 상기 공통선과 이들 사이에 있는 제 1의 절연체로 이루어지는 제1의 용량(C1)과,

상기 제 2의 박막 트랜지스터의 소스 또는 드레인 중, 상기 화소 전극에 접속되어 있는 접속부와 상기 공통선과 이들 사이에 있는 제2의 절연체로 이루어지는 제2의 용량(C2)과,

상기 화소 전극과 대향 전극과 이들 사이에 있는 액정으로 이루어지는 제3의 용량(C1c)을 가지는 화소가 매트릭스 모양으로 배치된 액정 모듈에서,

상기 소스선에는, 아래식을 만족하는 오버 드라이브 전압(Vover)이 표시 신호(Vsig)에 더해 인가되는 것을 특징으로 하는 액정 모듈.

$$V_{over} = \frac{C1}{C2+C1c} \cdot V_{sig}$$

청구항 2

제1항에 있어서, 하나의 상기 화소에 대해, 순차로,

상기 제 2의 게이트 신호선에 High를 입력하고,

상기 제 1의 게이트 신호선에 High를 입력하고,

상기 소스선에 (Vsig+Vover)를 인가하고,

상기 제 1의 게이트 신호선에 Low를 입력하고,

상기 제 2의 게이트 신호선에 Low를 입력하고,

상기 제 1의 게이트 신호선에 High를 입력하고,

상기 제 1의 게이트 신호선에 Low를 입력하는 것을 특징으로 하는 액정 모듈.

청구항 3

제1항에 있어서, 하나의 상기 화소에 대해, 순차로,

상기 제 2의 박막 트랜지스터를 ON 하고,

상기 제 1의 박막 트랜지스터를 ON 하고,

상기 소스선에 (Vsig+Vover)를 인가하고,

상기 제 1의 박막 트랜지스터를 OFF 하고,

상기 제 2의 박막 트랜지스터를 OFF 하고,

상기 제 1의 박막 트랜지스터를 ON 하고,

상기 제 1의 박막 트랜지스터를 OFF 하는 것을 특징으로 하는 액정 모듈.

청구항 4

제1항에 있어서, 상기 제 1의 박막 트랜지스터 및 상기 제 2의 박막 트랜지스터는, 폴리 실리콘으로 이루어지는 것을 특징으로 하는 액정 모듈.

청구항 5

제1항에 있어서, 상기 제 1의 박막 트랜지스터 및 상기 제 2의 박막 트랜지스터는, 아몰퍼스 실리콘으로 이루어지는 것을 특징으로 하는 액정 모듈.

청구항 6

제1항에 있어서, 상기 화소의 상기 공통선은, 상기 화소에 행방향에 인접하는 화소의 공통선으로서 이용하는 것을 특징으로 하는 액정 모듈.

청구항 7

제1항에 있어서, 상기 액정 모듈은, 상기 화소 전극이 금속으로 이루어지는 반사형의 액정 모듈인 것을 특징으로 하는 액정 모듈.

청구항 8

상기 액정 모듈과,

백 라이트를 가지는 청구항1에 기재의 액정표시장치.

청구항 9

상기 액정 모듈과,

백 라이트를 가지는 청구항7에 기재의 액정표시장치.

청구항 10

청구항8에 기재의 상기 액정표시장치를 가지는 액정 모니터.

청구항 11

청구항 9에 기재의 상기 액정표시장치를 가지는 액정 모니터.

청구항 12

청구항8에 기재의 상기 액정표시장치를 가지는 액정 텔레비전 세트.

청구항 13

청구항9에 기재의 상기 액정표시장치를 가지는 액정 텔레비전 세트.

청구항 14

소스 또는 드레인 일방이 소스선에 접속되며, 타방이 제2의 박막 트랜지스터의 소스 또는 드레인에 접속되며, 게이트가 제1의 게이트 신호선에 접속된 제1의 박막 트랜지스터와,

소스 또는 드레인 타방이 화소 전극에 접속되며, 게이트가 제2의 게이트 신호선에 접속된 상기 제 2의 박막 트랜지스터와,

공통선과,

상기 제 1의 박막 트랜지스터와 상기 제 2의 박막 트랜지스터와의 접속부와 상기 공통선과 이들 사이에 있는 제 1의 절연체로 이루어지는 제1의 용량(C1)과,

상기 제 2의 박막 트랜지스터의 소스 또는 드레인 중, 상기 화소 전극에 접속되어 있는 접속부와 상기 공통선과 이들 사이에 있는 제2의 절연체로 이루어지는 제2의 용량(C2)과,

상기 화소 전극과 대향 전극과 이들 사이에 있는 액정으로 이루어지는 제3의 용량(C1c)을 가지는 화소가 매트릭스 모양으로 배치된 액정 모듈의 구동 방법에서,

상기 소스선에는, 아래식을 만족하는 오버 드라이브 전압(Vover)이 표시 신호(Vsig)에 더해 인가되는 것을 특징으로 하는 액정 모듈의 구동 방법.

$$V_{over} = \frac{C1}{C2+C1c} \cdot V_{sig}$$

청구항 15

제14항에 있어서, 하나의 상기 화소에 대해, 순차로,

상기 제 2의 게이트 신호선에 High를 입력하고,

상기 제 1의 게이트 신호선에 High를 입력하고,

상기 소스선에(Vsig+Vover)를 인가하고,

상기 제 1의 게이트 신호선에 Low를 입력하고,

상기 제 2의 게이트 신호선에 Low를 입력하고,

상기 제 1의 게이트 신호선에 High를 입력하고,

상기 제 1의 게이트 신호선에 Low를 입력하는 것을 특징으로 하는 액정 모듈의 구동 방법.

청구항 16

제14항에 있어서, 하나의 상기 화소에 대해, 순차로,

상기 제 2의 박막 트랜지스터를 ON하고,

상기 제 1의 박막 트랜지스터를 ON하고,

상기 소스선에 (Vsig+Vover)를 인가하고,

상기 제 1의 박막 트랜지스터를 OFF하고,

상기 제 2의 박막 트랜지스터를 OFF하고,

상기 제 1의 박막 트랜지스터를 ON하고,

상기 제 1의 박막 트랜지스터를 OFF 하는 것을 특징으로 하는 액정 모듈의 구동 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <21> 본 발명은, 액정 모듈, 액정 모듈의 구동 방법 및 액정표시장치에 관한다.
- <22> 일반적으로, 액정표시장치는, 저전압 구동, 저소비 전력, 경량, 박형 등 뛰어난 특성을 가지고 있어 개인용 컴퓨터의 모니터 장치, 텔레비전 수상기 등의 디스플레이 장치로서 많이 사용되고 있다.
- <23> 투과형의 액정표시장치는, 백 라이트와, 이 백 라이트의 전면에 배치되는 액정 모듈로 구성되어 있다. 백 라이트는 디스플레이 패널에 빛을 공급한다. 액정 모듈은 백 라이트로부터 공급된 빛을 변조하여, 화상으로서 표시한다. 백 라이트는, 반사판, 광원 및 광학 시트를 가지며, 광원에 전류를 인가함으로써 디스플레이 패널에 빛을

공급한다.

- <24> 또한, 반사형의 액정표시장치에서의, 액정 모듈의 화소 전극은 금속으로 구성되어 있다. 액정 모듈로 입사하는 외부로부터의 빛은, 액정층에 의해 변조되고, 화소 전극에 의해 반사되어, 외부로 출사된다. 반사형의 액정표시장치는, 보조적인 빛의 공급을 위해서, 액정 모듈의 측면에서 빛을 공급하는 사이드 라이트를 구비하고 있는 것도 있다.
- <25> 근래, 액정표시장치의 표시 품질을 향상시키기 위해, 1화소에 복수의 TFT를 구비한 액정표시장치의 개발이 이루어지고 있다(하기 특허 문헌1내지4참조).
- <26> [특허 문헌1] 특개 2005-140937호 공보
- <27> [특허 문헌2] 특개 2005-326624호 공보
- <28> [특허 문헌3] 특개 2002-296617호 공보
- <29> [특허 문헌4] 특개 2003-222902호 공보
- <30> 액정 모듈에 있어, 화상의 표시는 해당 영역에 있는 화소 TFT를 통해 이루어진다. 이를 위해, 화소 TFT의 소스 전극과 공통 전극과 그 사이의 절연체로 구성되는 축적 용량과 화소 전극과 대향 전극과 그 사이의 액정으로 구성되는 액정 용량으로 전하를 충전하고, 액정의 배향 상태를 변화시킨다. 또한, 정상적인 화상을 유지하기 위해서, 액정 모듈은 1화면 동안(1필드 기간) 화소 전극의 전위를 유지하고, 액정의 배향 상태를 유지할 필요가 있다. 그렇지만, 화소TFT의 전류 링크 등에 의해, 1화면 동안 화소 전극의 전위를 일정하게 유지하는 것은 곤란하다. 화소 전극의 전위가 1화면 동안 유지될 수 없으면, 액정의 배향 상태가 변화해 버려, 1 화면 동안 원하는 화상의 표시를 유지할 수 없다.

발명이 이루고자 하는 기술적 과제

- <31> 이에, 본 발명은 1 화면 동안, 즉 다음 필드가 될 때까지 화소 전극의 전위를 유지하여 원하는 화상을 정상적으로 표시할 수 있는 액정 모듈을 제공하는 데 그 목적이 있다.
- <32> 또한, 본 발명은 상기한 액정 모듈의 구동 방법을 제공하는 데 그 다른 목적이 있다.
- <33> 또한, 본 발명은 상기한 액정 모듈을 갖는 액정표시장치를 제공하는 데 그 또 다른 목적이 있다.
- <34> 상술한 목적을 달성하기 위한 본 발명에 따른 액정 모듈은 매트릭스 형태로 배열된 다수의 화소를 갖는다. 각 화소는 소스 또는 드레인의 일방이 소스선에 접속되며, 타방이 제2의 박막 트랜지스터의 소스 또는 드레인에 접속되고, 게이트가 제1의 게이트 신호선에 접속된 제1의 박막 트랜지스터, 소스 또는 드레인의 일방이 화소 전극에 접속되며, 게이트가 제2의 게이트 신호선에 접속된 상기 제 2의 박막 트랜지스터, 공통선, 제 1의 박막 트랜지스터와 제 2의 박막 트랜지스터의 접속부와 공통선과, 이들 사이에 있는 제1의 절연체로 이루어지는 제1의 용량(C1), 제 2의 박막 트랜지스터의 소스 또는 드레인 중, 화소 전극에 접속되어 있는 접속부와 공통선과 이들 사이에 있는 제2의 절연체로 이루어지는 제2의 용량(C2), 화소 전극과 대향 전극과 이들 사이에 있는 액정으로 이루어지는 제3의 용량(C1c)을 구비한다.
- <35> 상기 소스선에는 아래식을 만족하는 오버 드라이브 전압(Vover)이 표시 신호(Vsig)에 더해 인가된다

$$V_{over} = \frac{C1}{C2+C1c} \cdot V_{sig}$$

- <36>
- <37> 상술한 목적을 달성하기 위한 본 발명에 따른 액정 모듈의 구동 방법은 다음과 같다. 액정 모듈은 매트릭스 형태로 배열된 다수의 화소를 갖는다. 각 화소는 소스 또는 드레인의 일방이 소스선에 접속되고, 타방이 제2의 박막 트랜지스터의 소스 또는 드레인에 접속되고, 게이트가 제1의 게이트 신호선에 접속된 제1의 박막 트랜지스터, 소스 또는 드레인의 일방이 화소 전극에 접속되고, 게이트가 제2의 게이트 신호선에 접속된 제 2의 박막 트랜지스터, 공통선, 제 1의 박막 트랜지스터와 제 2의 박막 트랜지스터의 접속부와 공통선과 이들 사이에 있는 제1의 절연체로 이루어지는 제1의 용량(C1), 제 2의 박막 트랜지스터의 소스 또는 드레인 중, 화소 전극에 접속되어 있는 접속부와 공통선과 이들 사이에 있는 제2의 절연체로 이루어지는 제2의 용량(C2), 및 화소 전극

과 대향 전극과 이들 사이에 있는 액정으로 이루어지는 제3의 용량(C1c)를 갖는다.

<38> 상기 소스선에는, 아래식을 만족하는 오버 드라이브 전압(Vover)가 표시 신호(Vsig)에 더해 인가된다.

$$V_{over} = \frac{C1}{C2+C1c} \cdot V_{sig}$$

<39>

<40> 본 발명의 액정 모듈, 액정 모듈의 구동 방법 및 액정표시장치에 의하면, 1화면 동안, 즉 다음 필드가 될 때까지 화소 전극의 전위를 유지할 수 있어, 원하는 화상의 표시를 유지할 수 있다. 따라서, 고품질의 화상을 제공할 수 있다.

<41> 본 발명의 액정 모듈, 액정 모듈의 구동 방법 및 액정표시장치의 실시 형태에 대해, 이하, 도면을 참조해 설명한다. 단, 본 발명은 많은 다른 모양으로 실시하는 것이 가능하고, 이하에 나타내는 실시 형태의 기재 내용으로 한정해 해석되는 것은 아니다. 더욱이 이하의 실시 형태에서 참조하는 도면에 있어, 동일 부분 또는 동일한 기능을 가지는 부분에는 동일한 부호를 부가하여, 그 반복의 설명은 생략한다.

발명의 구성 및 작용

<42> (실시형태1)

<43> 도 1은 본 발명의 일 실시예에 따른 액정표시장치를 나타낸 분해 사시도이다.

<44> 도 1을 참조하면, 본 발명의 일 실시예에 따른 액정표시장치(100)은 액정 모듈(110), 백 라이트 유니트(120), 상기 액정 모듈(110)과 백라이트 유니트(120)를 수납하는 수납 용기(130) 및 틱샤시(140)을 가지고 있다.

<45> 액정 모듈(110)은, 박막 트랜지스터(이하 「TFT」라고 한다.) 기판(111)과 TFT 기판(111)에 대향하여 배치되는 대향 기판(112)와, 이들 기판 사이에 배치되는 액정(미도시)을 가지고 있다.

<46> TFT 기판(111)은, TFT 및 전극을 형성할 수 있는한 특별 한정되는 것은 아니지만, 예를 들면 투명한 유리 기판을 이용할 수 있다. 본 실시 형태의 TFT 기판(111)은, 화소를 스위칭하기 위한 스위칭 TFT나 구동 회로를 구성하는 TFT를 가지고 있다. 본 실시 형태에 있어, 이러한 TFT들은 폴리실리콘을 이용하여 형성되어 있다. 또한 TFT 기판(111)으로서는, 석영 유리를 이용해도 된다. 또한, 본 발명의 액정 모듈(110)이 반사형 액정 모듈인 경우, 상술한 바와 같은 TFT 기판 이외에도, 단결정 실리콘 기판을 이용하여 단결정 실리콘 기판상에 형성된 트랜지스터를 화소의 스위칭 트랜지스터 및 구동 회로의 트랜지스터로서 이용하도록 해도 된다.

<47> 대향 기판(112)에서도, TFT 기판(112)와 마찬가지로, 특별 한정되는 것은 아니지만, 예를 들면 투명한 유리 기판을 이용할 수 있다. 대향 기판(112)상에 칼라 필터(이하 「CF」라고 한다.)가 형성되는 경우, 적(R), 녹색(G), 청(B) 중에서 특정한 색을 투과시키는 색소를 포함한 유기층을 TFT 기판(111)의 각 화소 전극에 대응하여 배치시키는 것으로 실현될 수 있다. 더욱이, TFT 기판(111)상에 CF가 형성될 수도 있다. 또한, 본 실시 형태와 관련되는 액정표시장치를 투과형의 액정표시장치로서 이용하는 경우, 액정표시장치(100)은, 백 라이트 유니트(120)을 액정 모듈(110)의 배면에 설치하고, 액정 모듈(110)에 의한 광학 변화를 이용하여 백 라이트 유니트(120)로부터의 빛을 조절해 화상으로서 표시한다. 따라서, TFT 기판(111), 대향 기판(112)의 쌍방이 투명한 기판인 것이 바람직하다. 또한, 본 발명의 액정 모듈(110)이 반사형인 경우는, 적절히, 사이드 라이트를 설치할 수 있다.

<48> 수납 용기(130)은, 저면(131)과, 이 저면(131)의 단면에 설치되는 측벽(132)을 구비하여서 액정 모듈(110) 및 백 라이트 유니트(120)등을 수납한다. 더욱이, 수납 용기(130)은 액정 모듈(110)의 상면에 결합되는 틱샤시(140)와 결합되어서, 액정 모듈(110)을 그 내부에 수납 고정하고 또한, 외부 충격에 의한 파손을 방지한다.

<49> 도 2는 도 1에 도시된 본 발명의 일 실시예에 따른 액정 모듈을 나타낸 블록도이다.

<50> 도 2를 참조하면, 액정 모듈(110)은, 매트릭스 모양으로 배치된 복수의 화소를 가지는 화소부(110a)와, 화소부(110a)의 데이터선(소스선)을 구동하는 데이터선구동 회로(110b), 화소부(110a)의 게이트선을 구동하는 게이트선 구동 회로(110c), 데이터선에 공급하는 각종 전압을 공급하는 공통전압 발생부(Vcom 발생부라 함)(110d), 감마전압 발생부(이하 γ 발생부라 함)(110e), 및 게이트선 구동 회로(110c), Vcom 발생부(110d) 및 γ 발생부

(110e)에 직류 전원을 공급하는 DC/DC컨버터(110f)를 가지고 있다. 상기 화소부(110a), 데이터선 구동 회로(110b), 게이트선 구동 회로(110c), Vcom 발생부(110d), γ 발생부(110e) 및 DC/DC컨버터(110f)의 전부를 TFT에 의해 구성할 수 있다. 또한, 화소부(110a), 데이터선 구동 회로(110b) 및 게이트선 구동 회로(110c)를 TFT에 의해 구성하고, Vcom 발생부(110d), γ 발생부(110e) 및 DC/DC컨버터(110f)를 IC칩에 의한 집적회로에 의해 구성할 수도 있다.

- <51> 도 3은 도 2에 도시된 화소부의 구성을 나타낸 회로도이다. 도 4는 도 3에 도시된 화소부에서의 하나의 화소를 상세히 나타낸 회로도이다. 설명의 편의상, 도 4에는 (k, i) 번째의 화소를 예로 들어 설명한다.
- <52> 도 3을 참조하면, 액정 모듈(110)의 화소부(110a)는, 매트릭스 모양으로 배치된 복수의 화소(200)을 가지고 있다. 화소부(110a)에는 $m \times n$ 개의 화소(200)이 배치되어 있다(m, n는 자연수). 더욱이, k행 i열째의 화소를(k, i)과 표기하는 경우가 있다. (k, i) 번째의 화소 (200)에는, 소스선(Si), 제1 게이트선(Gk), 및 제2 게이트선(Gk cont)가 접속되어 있다.
- <53> 여기서, 도 4에 나타내는 대로, 본 실시 형태에서, 화소(200)은, 2개의 TFT(TFT1 및 TFT2)를 가지고 있다. 본 실시 형태에 있어서의 화소(200)에서는, TFT1의 소스 또는 드레인의 어느 한쪽과 TFT2의 소스 또는 드레인의 어느 한쪽이 접속되어 있다. 즉, TFT1과 TFT2는 직렬로 접속되어 있다. TFT1의 일단은, 소스선(Si)에 접속되어 있다. TFT1의 소스 또는 드레인 중 소스선(Si)에 접속되어 있는 일단을 p0, TFT2의 일단에 접속되어 있는 일단을 p1로 한다. 또, TFT2의 소스 또는 드레인 중 TFT1의 p1에 접속된 일단을 마찬가지로 p1이라 하고, 타단을 p2로 한다. TFT1의 일단 p1은, TFT2의 일단 p1과 접속되어 있다. TFT2의 타단 p2는, 화소 전극(도시하지 않음)에 접속되어 있다. TFT1 및 TFT2의 일단 p1은, 유지 용량 공통선(SC)과의 사이에 용량 C1를 형성하고 있다. 또한, TFT2의 일단p2는, 유지 용량 공통선(SC)와의 사이에 용량C2를 형성하고 있다. 또한, 화소 전극과 공통 전극(com) 사이에는, 액정에 의해 용량 C1c가 형성되어 있다. 또한, 본 실시 형태에서, 유지 용량 공통선(SC)의 전위는, 공통 전극의 전위 Vcom과 같지만, 이에 한정되는 것은 아니다.
- <54> 도 4에 나타내는 대로, 본 실시 형태의 화소부(200)은, 2개의 박막 트랜지스터 TFT1 및 TFT2를 가지고 있다. 본 실시 형태의 액정 모듈에서는, 이들 2개의 TFT1 및 TFT2에 접속되어 있는 게이트선 Gk 및 Gkcont 및 소스선 Si에 입력하는 신호를 제어함으로써, 화소 전극의 전위를 유지할 수 있다.
- <55> 도 5는 본 실시 형태와 관련되는 액정 모듈(110)의 게이트선 구동 회로(110c)의 회로 구성의 개략에 대해 설명한 도이다. 도5에서는, 설명의 편의상, 게이트선 Gk-1 및 Gk-1cont, Gk 및 Gkcont, 게이트선 Gt 및 Gtcont, 및 게이트선 Gt+1 및 Gt+1cont에 접속되어 있는 게이트선 구동 회로(110c)의 부분에 대해 도시하고 있다. 더욱이, 도5에 나타내는 게이트선 구동 회로(110c)의 회로 구성은, 본 발명의 액정 모듈을 실현하는 일례에 지나지 않으며, 당업자에 의해 적절히 설계 변경 가능하다.
- <56> 게이트선 구동 회로(110c)는, 시프트 레지스터SR(0)~SR(n), 및 시프트 레지스터 회로SR(0)~SR(n)로부터의 타이밍 신호를 받아 게이트선G1~Gn 및 G1cont~Gncont으로 송신하는 타이밍 신호를 생성하는 게이트 신호 생성 회로 210(0)~210(n)을 가지고 있다. 도 5에서는, 게이트선Gk-1및 Gk-1cont, Gk 및 Gkcont, 게이트선 Gt 및 Gtcont, 및 게이트선 Gt+1및 Gt+1cont에 접속되어 있는 게이트 신호 생성 회로 210(k-1), 210(k), 210(t) 및 210(t+1)이 도시되어 있다.
- <57> 본 실시 형태에서, 게이트 신호 생성 회로210(0)~210(n)은, 각각, 3개의 NAND회로(NAND1, NAND2, NAND3), 2개의 NOR회로(NOR1, NOR2), 및 2개의 인버터 회로(INV1, INV2)를 가지고 있다. 더욱이, 도5에 나타내는 본 실시 형태에 있어서의 게이트 신호 생성 회로 210(0)~210(n)은, 본 발명의 액정 모듈을 실현하는 일례에 지나지 않으며, 이에 한정되는 것은 아니다.
- <58> 게이트 신호 생성 회로210(0)~210(n) 중, 게이트 신호 생성 회로 210(k-1), 210(k), 210(t) 및 210(t+1)의 회로 구성을 도5에 나타낸다. 또한, 게이트 신호 생성 회로 210(0)~210(n)은, 모두 동일 회로 구성이다.
- <59> 여기에서는, 게이트 신호 생성 회로210(k)을 예로 들어 설명한다. 게이트 신호 생성 회로210(k)의 NAND1에는, 시프트 레지스터 회로 SR(k)로부터의 타이밍 신호와 시프트 레지스터 회로SRk의 20단 옆의 시프트 레지스터 회로 SR(k+20)(도시하지 않음)로부터의 타이밍 신호가 입력된다. 또한, 본 실시 형태에 있어서는, 게이트 신호 생성 회로210(k)의 NAND1에는, 시프트 레지스터 회로SR(k)로부터의 타이밍 신호와 시프트 레지스터 회로 SR(k)의 20단 옆의 시프트 레지스터 회로 SR(k+20)(도시하지 않음)로부터의 타이밍 신호가 입력되도록 하고 있지만, 어느 시프트 레지스터 회로로부터의 타이밍 신호를 NAND1에 입력할지는, 후술하는 오버 드라이브 전압(Vover)를 인가하는 오버 드라이브 기간 (Tover), 표시 주파수, 화소 수 등에 의해 적절히 조절할 수 있다.

<60> NAND1의 출력은, INV1에 입력된다. INV1의 출력 및 공통 신호 1(enable 신호 ENB)은, NAND2에 입력된다. 게이트 신호 생성 회로 210(k)의 20단 옆의 게이트 신호 생성 회로 210(k+20)(도시하지 않음)의 NAND1(도시하지 않음)의 출력 및 상기 공통 신호1이 NOR1에 입력되고, NOR1의 출력은 INV2에 입력되며, INV2의 출력이 제2의 게이트 신호선Gkcont으로 출력된다. 또한, 본 실시 형태에 있어서는, 게이트 신호 생성 회로210(k)의 20단 옆의 게이트 신호 생성 회로 210(k+20)(도시하지 않음)의 NAND1(도시하지 않음)의 출력이 게이트 신호 생성 회로 210(k)의 NOR1에 입력되도록 하고 있지만, 어느 게이트 신호 생성 회로 210의 NAND1의 출력을 게이트 신호 생성 회로 210(k)의 NOR1에 입력할지는, 후술하는 오버 드라이브 전압(Vover)를 인가하는 오버 드라이브 기간(Tover), 표시 주파수, 화소수 등에 의해 적절히 조정할 수 있다.

<61> 게이트 신호 생성 회로 210(k)의 20단 옆의 게이트 신호 생성 회로 210(k+20)의 INV1의 출력과 공통 신호2가 NAND3에 입력된다. 또한 본 실시 형태에서, 게이트 신호 생성 회로210(k)의 20단 옆의 게이트 신호 생성 회로 210(k+20)의 INV1의 출력과 공통 신호2가 NAND3에 입력되도록 하고 있지만, 어느 게이트 신호 생성 회로210의 INV1의 출력을 NAND3으로 입력할지는, 후술하는 오버 드라이브 전압(Vover)를 인가하는 오버 드라이브 기간(Tover), 표시 주파수, 화소 수 등에 의해 적절히 조정할 수 있다.

<62> NAND2의 출력과 NAND3의 출력이 NOR2에 입력되고, NOR2의 출력이 제1의 게이트 신호선Gk으로 출력된다.

<63> 여기서, 본 실시 형태와 관련되는 본 발명의 액정 모듈의 구동에 대해 도 6 및 도 7을 참조하면서 설명한다. 도 6은 본 실시 형태와 관련되는 본 발명의 액정 모듈의 화소(200)에 있어서의 화소부 전위의 천이를 설명한 도이다. 또한, 도 7은 본 실시 형태와 관련되는 본 발명의 액정 모듈의 화소(200)에 있어서의 화소부 전위 및 게이트 신호선의 전위 천이를 설명한 도이다. 여기에서는, 설명의 편의상, 도 4에 나타내는 화소(k, i)와 그것에 인접하는 화소(k+1, i)를 예를 들어 설명한다. 또한, 다른 화소에 있어서도 화소(k, i) 및(k+1, i)과 마찬가지로 다.

<64> 기간(1) : 게이트 신호선 구동 회로(110c)로부터 게이트선Gk cont으로 High가 입력되어 TFT2가 ON한다. 그리고, 게이트선Gk에 타이밍 신호 High가 송신되어 TFT1가 ON한다. 그 때, 소스선Si에 표시 신호(Vsig+Vover)를 인가한다. 본 실시 형태에 있어서, 표시 신호(Vsig+Vover)는, 본래의 표시 신호Vsig에 오버 드라이브 전압 Vover를 더한 신호이다. TFT1 및 TFT2가 ON하는 것에 의해, 소스선Si에서 표시 신호(Vsig+Vover)를 TFT1의 일단 p1 및 TFT2의 일단 p2로 충전한다. TFT의 일단 p1의 전위를 Vp1, TFT2의 일단 p2의 전위를 Vp2로 하면, TFT1 및 TFT2가 ON하는 것에 의해, p1의 전위 Vp1 및 p2의 전위 Vp2가(Vsig+Vover)로 충전된다(상태b).

<65> 기간(2) : 다음으로, 게이트 신호Gk를 Low로 하고, TFT1를 OFF로 하는 것에 의해 p1의 전위Vp1 및 p2의 전위Vp2는, (Vsig+Vover)로 유지된다(상태c). 이 때, 아래의 수식(1)이 성립된다.

$$Vp1=Vp2=Vsig+\frac{(C1+C2+C1c)Vover}{C1+C2+C1c} \dots (1)$$

<66>

<67> 기간(3) : 다음으로, (1)로부터 수 msec 후에 게이트 신호선Gk cont에 Low를 입력함으로써 TFT2를 OFF로 하고, 동시에 게이트 신호선Gk에 High를 입력함으로써 TFT1를 ON한다. 이 때, 타이밍은 수평 기간의 귀선 시간에 있고, 소스선Si는 반대극 신호Vcom 레벨로 해 됨으로써, TFT1를 개재하여 p1의 전위 Vp1는 Vcom로 충전된다(상태d).

<68> 기간(4) : 다음으로, 게이트 신호선Gk에 Low를 입력하는 것에 의해 TFT1를 OFF하고, 게이트 신호선Gk cont에 High를 입력하는 것에 의해 TFT2를 ON한다. 이 때, p1의 전위Vp1 및 p2의 전위Vp2는, 아래의 수식(2)을 만족한다(상태e).

$$Vp1=Vp2=Vsig+\frac{(C1+C2+C1c)Vover-C1 \cdot Vsig}{C1+C2+C1c} \dots (2)$$

<69>

<70> 여기서, 수식(2)의 우변의 2항목이 제로가 되도록 Vover의 전위를 설정함으로써, Vp1=Vp2=Vsig가 성립된다. 즉, 이하의 수식(3)이 성립되도록 Vover를 설정함으로써, Vp1=Vp2=Vsig가 성립한다.

<71>

$$V_{over} = \frac{C1}{C2+C1c} \cdot V_{sig} \quad \dots (3)$$

<72>

<73>

<74> 이 수식(3)을 만족하는 것에 의해, $V_{p1}=V_{p2}=V_{sig}$ 가 성립되고, 다음의 필드까지 화소 전극에는 V_{sig} 가 유지되게 되어, 원하는 표시를 얻을 수 있다(상태f).

<75> 또한, 도 6에서, 상태 f 이후의 전위의 천이 상태는, 다음의 필드 기간에 있어, 표시가 백으로부터 흑으로 변화했을 경우의 구동 전압 변화를 나타내고 있다.

<76> 예를 들면, 노멀리 블랙 모드(Normaly black mode)에서, $C1:C2:C1c=0.5:1:2$ 로 하고, 백표시의 표시신호 V_{sig} (백)를 5V, 흑표시의 표시신호 V_{sig} (흑)를 1.5V로 하면, 백표시의 표시 신호에 주어지는 오버 드라이브 전압 V_{over} (백)는 0.8V, 흑표시의 표시 신호에 주어지는 오버 드라이브 전압 V_{over} (흑)는 0.25 V가 된다.

<77> 더욱이, 예를 들면 60Hz로 화상을 표시하는 경우, 1 수평 기간은 16.7msec이다. 오버 드라이브 기간 T_{over} (=기간(1)+기간(2)+기간(3))은, 전기기간 $T_{over}+T_{sig}$ 의 50%정도(60 Hz로 화상을 표시하는 경우는, 8. 87msec) 정도 이하가 바람직하다. 또한, 오버 드라이브 기간 T_{over} 는 5 msec 이하가 보다 바람직하고, 정규의 화상 신호의 인가 기간 T_{sig} (=기간(4))은 8 msec 이상이 바람직하다. 또한, 오버 드라이브 기간 T_{over} 및 정규의 화상 신호의 인가 기간 T_{sig} 는, 이에 한정되는 것은 아니며, 적절히 설정할 수 있다.

<78> 다음으로, 도8에 시프트 레지스터 $SR(k-1)$, $SR(k)$, $SR(t)$, $SR(t+1)$ 가 출력하는 타이밍 신호, 공통 신호 1(enable 신호 ENB), PSW신호, 제1게이트선 G_k 및 G_{k+1} 의 게이트 신호, 제2게이트선 $G_{k cont}$ 및 $G_{k+1 cont}$ 의 게이트 신호, 및 래치 신호($SRAt$)의 타이밍 차트를 나타낸다. 또한, 도8에는 (i, k) 번째의 화소에 있어서의 $p1$ 의 전위 V_{p1} 및 $p2$ 의 전위 V_{p2} 및 소스선 S_i 의 전위의 타이밍 차트를 나타낸다.

<79> 본 실시 형태와 관련되는 본 발명의 액정 모듈, 액정 모듈의 구동 방법 및 액정표시장치에 의하면, 1화면 동안, 즉 다음 필드가 될 때까지 화소 전극의 전위를 유지할 수 있어, 원하는 화상의 표시를 유지할 수 있다. 따라서, 본 실시 형태와 관련되는 본 발명의 액정 모듈, 액정 모듈의 구동 방법 및 액정표시장치에 의하면, 액정의 응답 속도를 빠르게 할 수 있는 등의 고화질의 화상을 제공할 수 있다.

<80> (실시 형태2)

<81> 본 실시 형태에 있어서는, 상술의 실시 형태1에 있어서의 본 발명의 액정 모듈에서, 인접하는 화소로 유지 용량 공통선SC를 공통으로 하는 구성을 채용한다.

<82> 도 9는 본 실시 형태와 관련되는 액정 모듈의 화소부(110a)의 구성을 나타낸 회로도이다.

<83> 도 9를 참조하면, 본 실시 형태의 액정 모듈의 화소부(110a)는, 매트릭스 모양으로 배치된 복수의 화소(200)을 가지고 있다. 본 실시 형태에 있어서, 화소부(110a)에는, $m \times n$ 개의 화소(200)이 배치되어 있다(m , n 는 자연수). (k , i) 번째의 하나의 화소(200)에는, 소스선(S_i), 제1 게이트선(G_k), 및 제2 게이트선(G_{kcont})가 접속되어 있다. 본 실시 형태에 있어서는, 인접하는 화소끼리 유지 용량 공통선(SC)를 공통으로 하는 구성을 채용하고 있다. 이렇게 함으로써, 실시 형태1의 구성이 거두는 효과에 더해, 유지 용량 공통선(SC)의 수를 반감시킬 수 있으며, 그 결과, 유지 용량 공통선(SC)의 기생 용량이 감소해, 소스선의 충전 시간을 단축할 수 있다. 또한, 소스선 파형의 변형이 감소하여, 크로스토크를 감소시킬 수 있다.

<84> (실시 형태3)

<85> 본 실시 형태에서는, 본 발명의 액정 모듈 화소부를 구성하는 TFT1 및 TFT2에 아몰퍼스 실리콘 TFT를 이용하고 있다.

<86> 본 실시 형태와 관련되는 액정 모듈(110)의 기능 블록도는 실시 예 형태1에서 설명한 도2에 나타내는 대로이다. 또한, 본 실시 형태에 서는, 화소부(110a)를 구성하는 TFT1 및 TFT2를 아몰퍼스 실리콘을 이용하여 구성하고, 데이터선 구동 회로(110b), 게이트선 구동 회로 (110c), 공통전압(V_{com}) 발생부(110d), 감마(γ 전압 발생부 (110e) 및 DC/DC컨버터(110f)를 IC칩에 의한 집적회로에 의해 구성하도록 하고 있다.

- <87> (실시 형태4)
- <88> 실시 형태1 내지4에 있어서, 본 발명의 액정 모듈 화소부를 구성하는 TFT1 및 TFT2는, Bottom 게이트형의 TFT로 형성될 수도 있고, 탑 게이트형의 TFT로 형성될 수도 있다.
- <89> (실시 형태5)
- <90> 본 실시 형태에 있어서, 본 발명과 관련되는 액정표시장치를 반사형의 액정표시장치로 한 예에 대해 설명한다. 본 실시 형태와 관련되는 액정표시장치에 있어서는, 화소 전극을 금속으로 하고, 외부광을 반사하도록 하고 있다. 다른 구성에 대해서는, 실시 형태1 내지 4와 동일하다.
- <91> 본 실시 형태의 반사형의 액정표시장치에 있어서의 액정 모듈(310)의 상세에 대하여, 도 10을 이용하여 설명한다.
- <92> 도 10은 본 실시 형태에 있어서의 액정 모듈(310)의 화소부의 구조를 나타낸 단면도이다.
- <93> 도 10을 참조하면, 액정 모듈(310)의 화소부는 기관(311), 층간 절연막(312), 화소 전극(313), 대향 전극(314), 칼라 필터(315), 대향 기관(316) 및 액정(317)로 이루어진다. 본 실시 형태에 있어서, 액정 모듈(310)의 화소부의 화소 전극(313)은 금속으로 구성되어 있다. 액정 모듈(310)로 입사되는 외부로부터의 빛은, 액정층에 의해 변조되고, 화소 전극(313)에 의해 반사되어 다시 외부로 출사된다. 반사형의 액정표시장치는, 보조적인 빛의 공급을 위해서, 액정 모듈(310)의 측면에서 빛을 공급하는 사이드 라이트(미도시)를 구비하도록 해도 된다.
- <94> 또한, 기관(311)의 화소 전극(313)의 상부에 칼라 필터를 형성하도록 해도 된다.

발명의 효과

- <95> 본 실시 형태와 관련되는 본 발명의 액정 모듈 화소부를 구성하는 TFT1 및 TFT2는, Bottom 게이트형의 TFT로 형성될 수도 있고, 탑 게이트형의 TFT로 형성될 수도 있다.
- <96> 본 발명과 관련되는 액정 모듈, 액정 모듈의 구동 방법, 액정표시장치는, 휴대전화의 모니터 장치로부터 개인용 컴퓨터의 모니터 장치, 텔레비전 수상기 등의 디스플레이 장치까지의 모든 분야에서 유용하다.
- <97> 상술한 실시 형태는, 본 발명과 관련되는 액정 모듈, 액정 모듈의 구동 방법, 액정표시장치의 예에 지나지 않으며, 본 발명의 기술적 범위는, 이에 한정되는 것은 아니다.

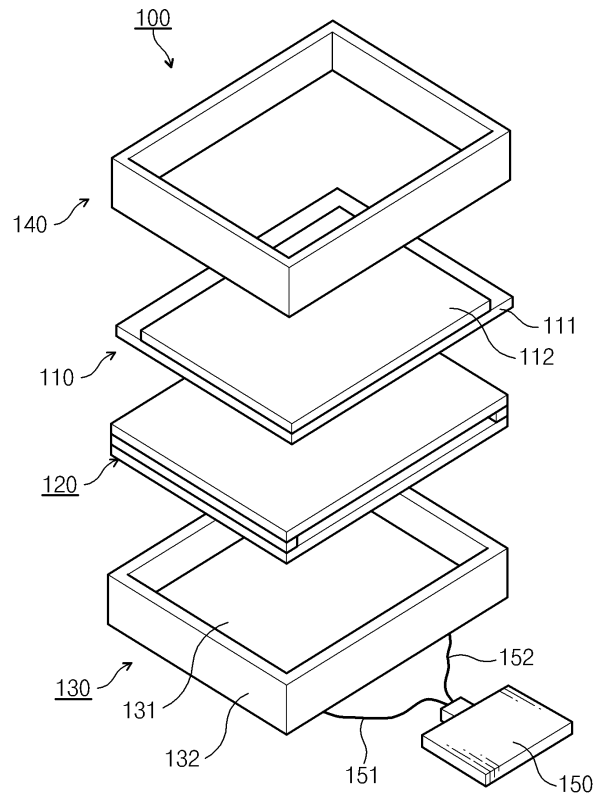
도면의 간단한 설명

- <1> 도 1은 본 발명의 일 실시 형태와 관련되는 액정표시장치의 개략 구성도이다.
- <2> 도 2는 본 발명의 일 실시 형태와 관련되는 액정 모듈의 기능 블록도이다.
- <3> 도 3은 본 발명의 일 실시 형태의 화소부의 구성을 나타낸다.
- <4> 도 4는 본 발명의 일 실시 형태의 화소부에 있어서의 하나의 화소의 구성을 나타낸다.
- <5> 도 5는 본 발명의 일 실시 형태와 관련되는 액정 모듈의 게이트선 구동 회로의 회로 구성의 개략도이다.
- <6> 도 6은 본 발명의 일 실시 형태와 관련되는 본 발명의 액정 모듈의 화소에 있어서의 화소부 전위의 전이를 나타내는 도이다.
- <7> 도 7은 본 발명의 일 실시 형태와 관련되는 본 발명의 액정 모듈의 구동을 설명하는 타이밍 차트이다.
- <8> 도 8은 (a)에 시프트 레지스터 SR(k-1), SR(k), SR(t), SR(t+1)가 출력하는 타이밍 신호, enable 신호 ENB, PSW 신호, 제1 게이트선Gk 및 Gk+1의 게이트 신호, 제2 게이트선Gk cont 및 Gk+1 cont의 게이트 신호, 및 래치 신호 SRA_t의 타이밍 차트를 나타낸다. (b)에(k, i) 번째의 화소에 있어서의 p1의 전위V_{p1} 및 p2의 전위V_{p2} 및 소스선Si의 전위의 타이밍 차트를 나타낸다.
- <9> 도 9는 본 발명의 일 실시 형태의 화소부의 구성을 나타낸다.
- <10> 도 10은 본 발명의 일 실시 형태의 반사형의 액정표시장치에 있어서의 액정 모듈의 단면도이다.
- <11> *도면의 주요 부분에 대한 부호의 설명*
- <12> 100 액정표시장치

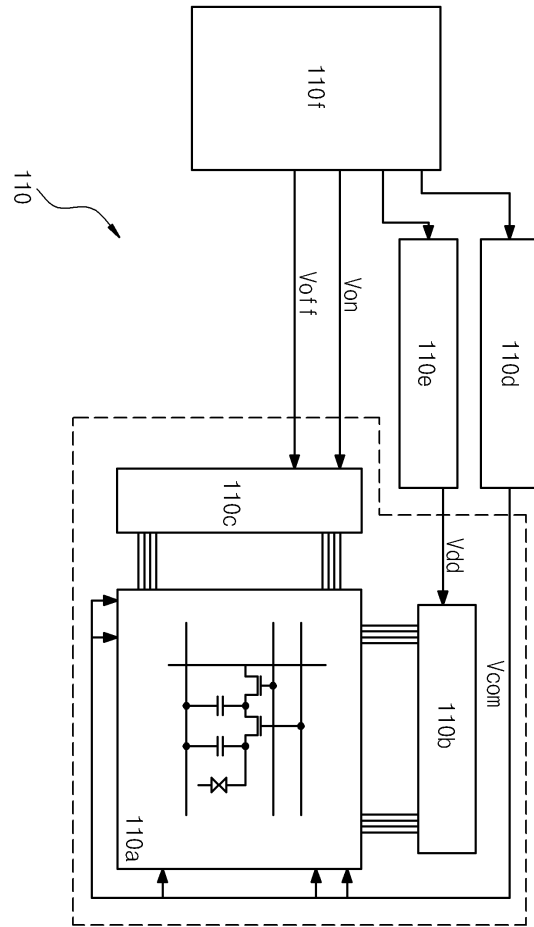
- <13> 110 액정 모듈
- <14> 121 반사판
- <15> 122 냉음극관
- <16> 123 광학 시트
- <17> 130 수납 용기
- <18> 131 저면
- <19> 132 측벽
- <20> 140 톱샤시

도면

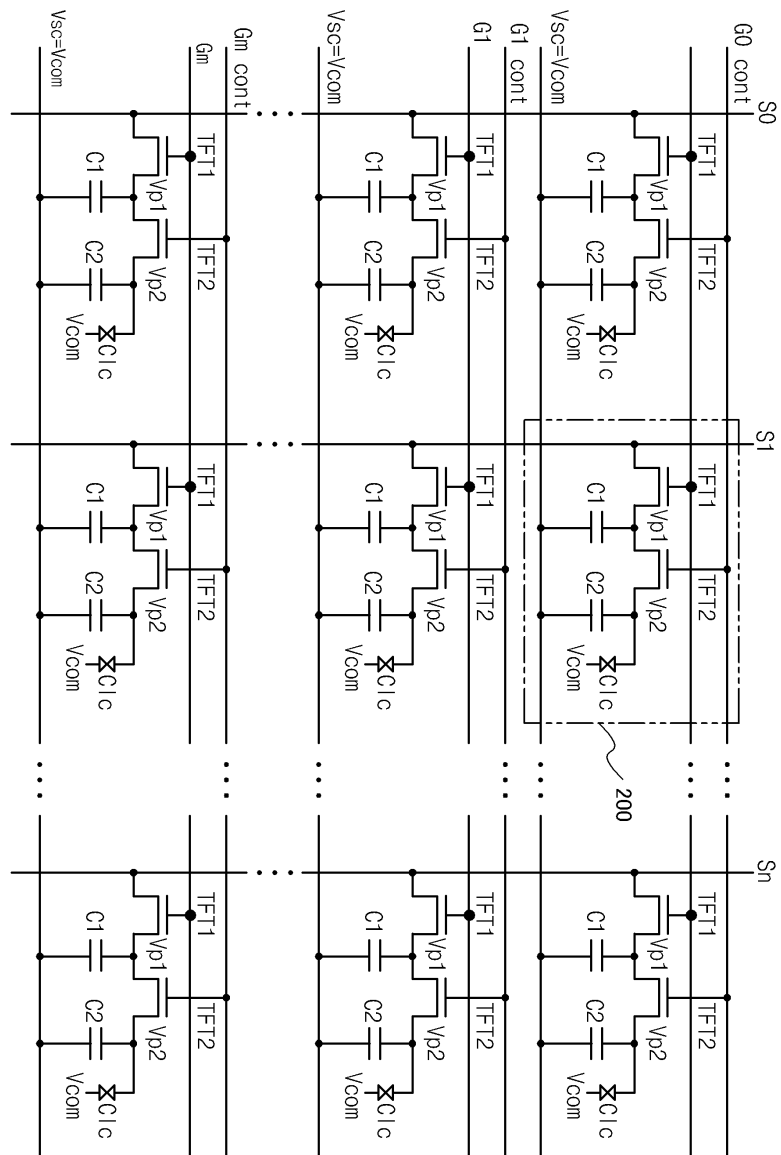
도면1



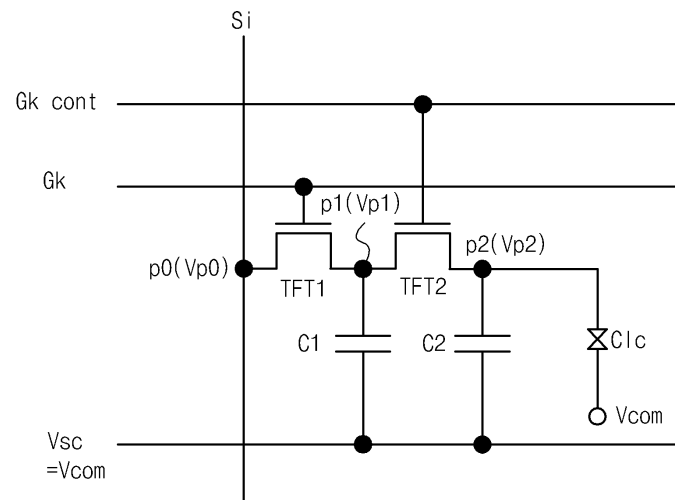
도면2



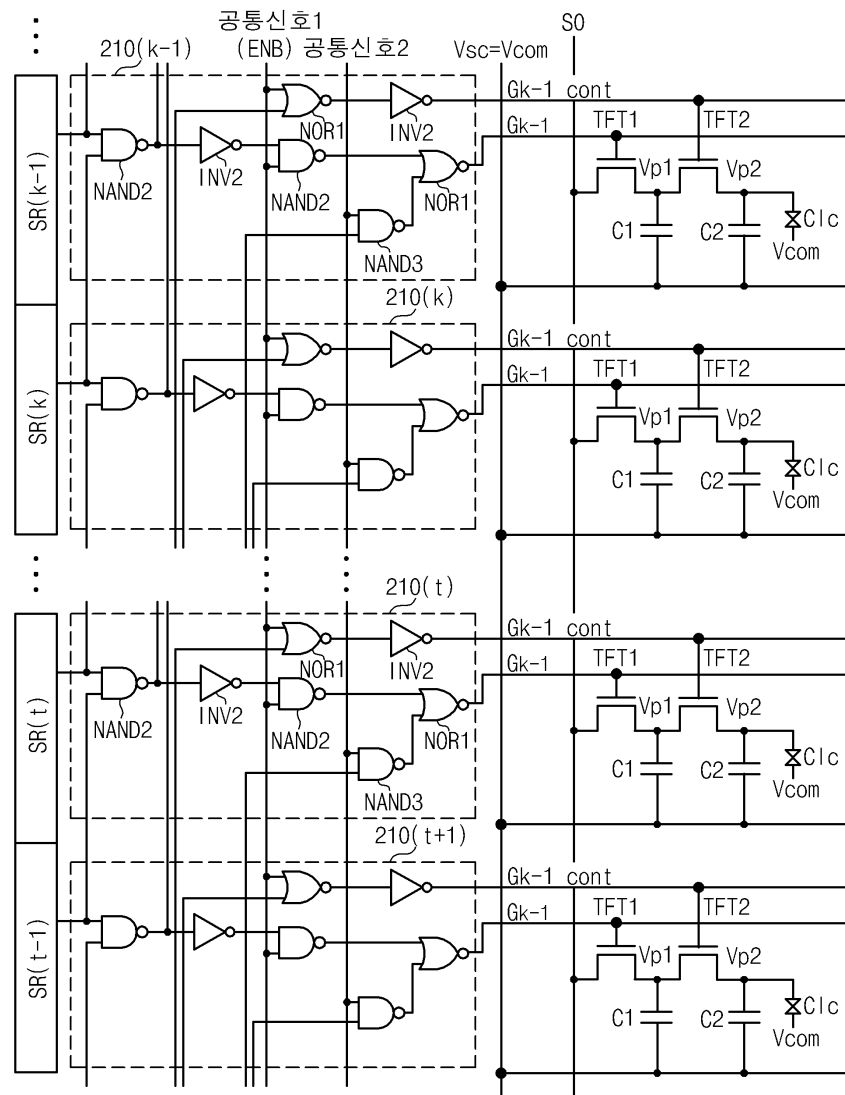
도면3



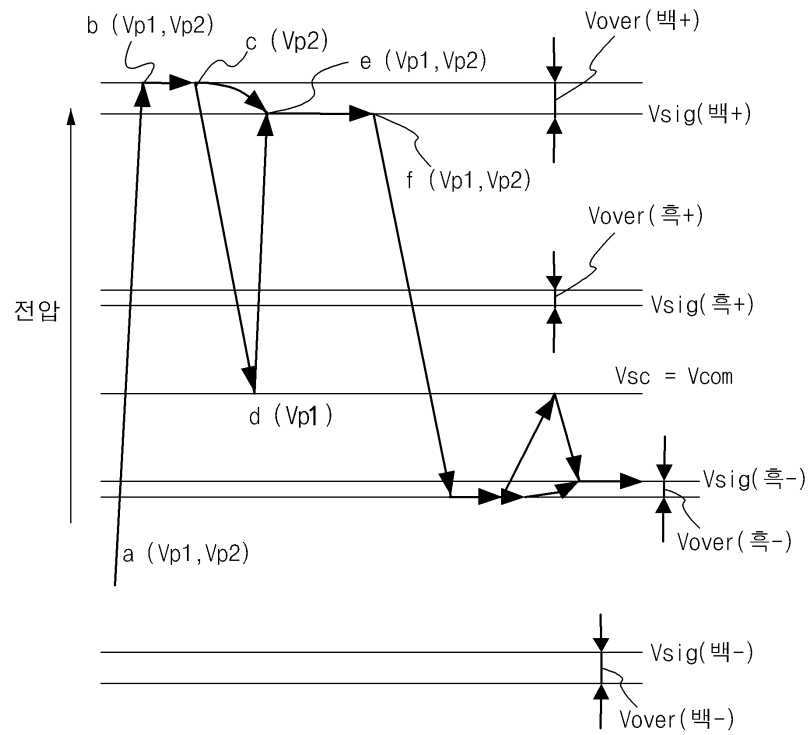
도면4



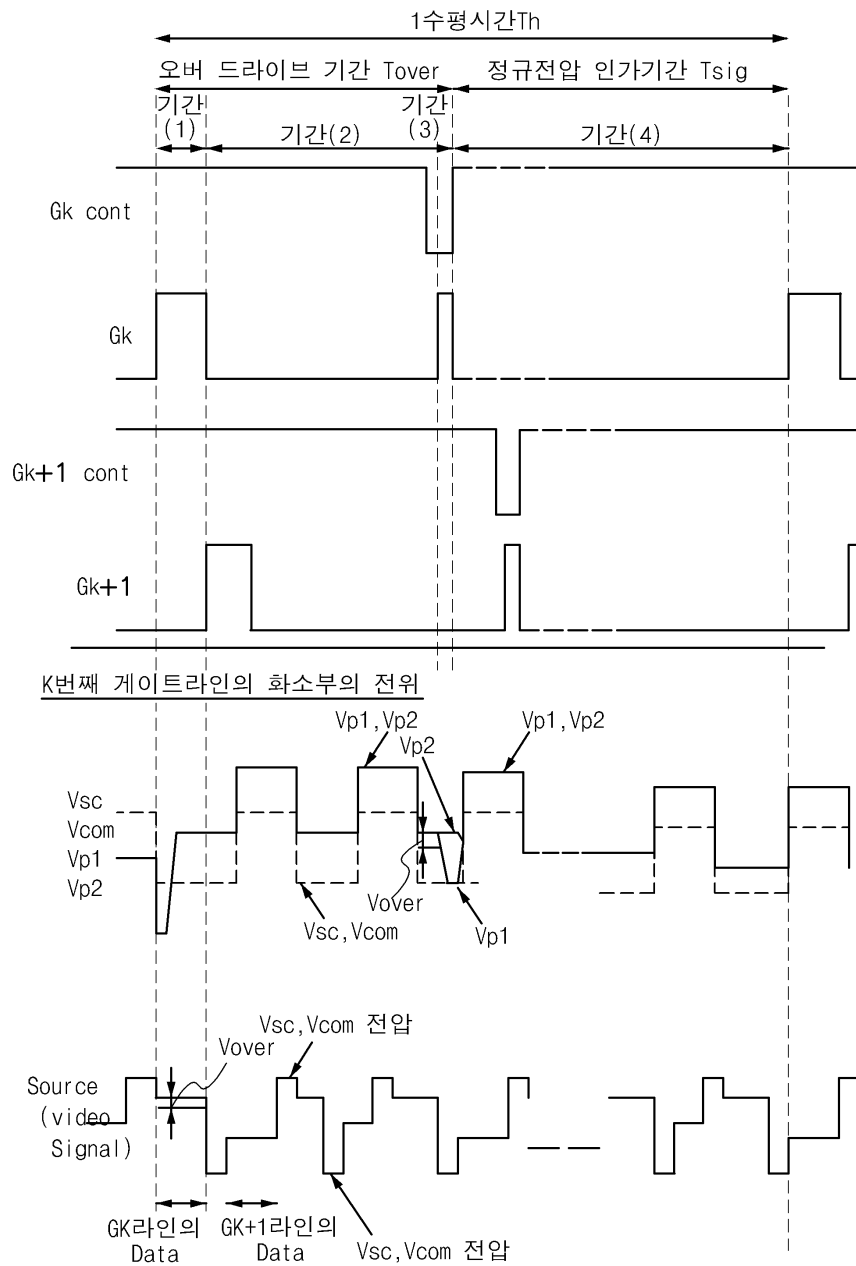
도면5



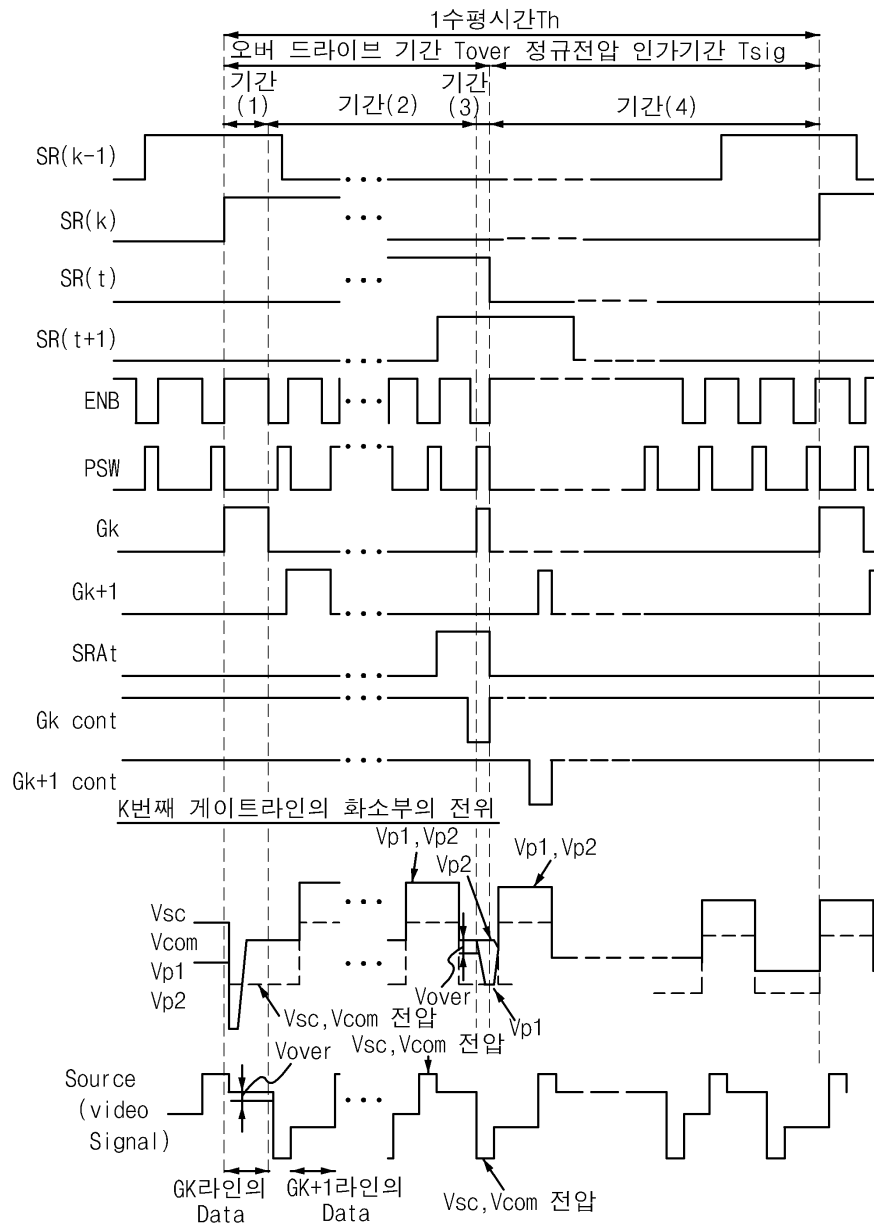
도면6



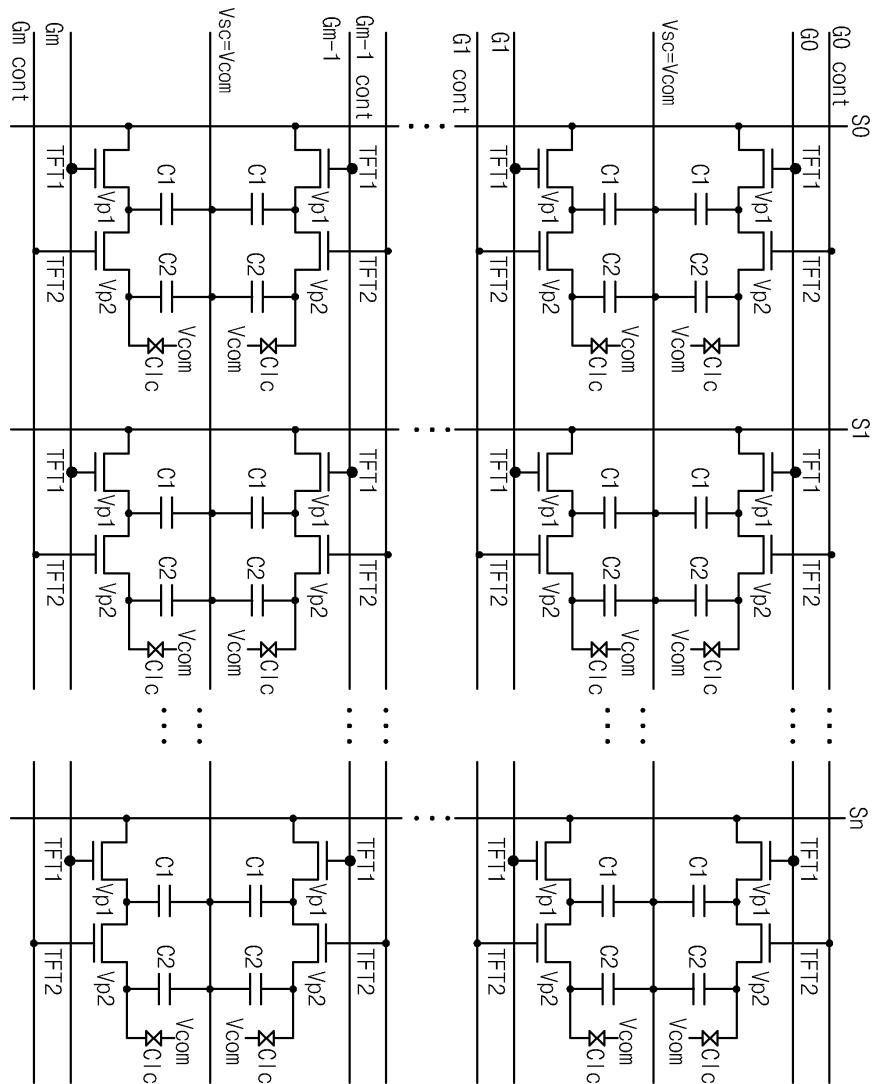
도면7



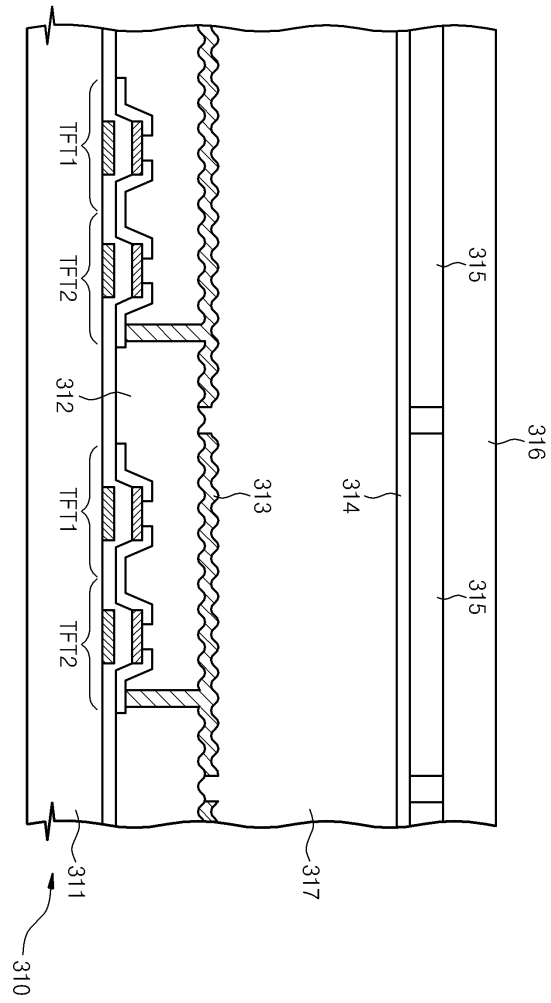
도면8



도면9



도면10



专利名称(译)	液晶模块，驱动液晶模块的方法和液晶显示装置		
公开(公告)号	KR1020070122317A	公开(公告)日	2007-12-31
申请号	KR1020060057701	申请日	2006-06-26
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	YOKOYAMA RYOICHI 요코야마로이치 SENDA MICHIRU 센다미치루 UEMOTO TSUTOMU 우에모토쯔토무		
发明人	요코야마,로이치 센다,미치루 우에모토,쯔토무		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G2300/0842 G09G3/3677 G09G2320/0214 G09G2310/0251 G09G2320/0252 G09G3/3659 G09G2310/06		
代理人(译)	KWON, HYUK SOO SE JUN OH 宋, 云何		
外部链接	Espacenet		

摘要(译)

在液晶模块中，具有第三电容（ C_{lc} ）的像素由第二电容（ C_2 ）和像素电极，相对电极和液晶组成，具有第一电容（ C_1 ），连接单元连接到像素电极的第二薄膜晶体管，以及其中电流通路串联连接的公共线和第二绝缘体，并且包括连接到源极线，公共线和连接单元的第一和第二薄膜晶体管第一薄膜晶体管和第二薄膜晶体管以及公共线和第一绝缘体的第一绝缘体被布置为矩阵形状。除了指示信号（ V_{sig} ）之外，还施加满足源极线中的下部类型的过驱动电压（ V_{over} ）。因此，可以在1个屏幕上保持所需图像而不降低图像质量。屏幕维护，过驱动电压和液体驱动。

