



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0121629  
(43) 공개일자 2007년12월27일

(51) Int. Cl.

G02F 1/1343 (2006.01) G02F 1/1337 (2006.01)

(21) 출원번호 10-2007-0129219(분할)

(22) 출원일자 2007년12월12일

심사청구일자 2007년12월12일

(62) 원출원 특허 10-2001-0072885

원출원일자 2001년11월22일

심사청구일자 2006년11월21일

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

송장근

서울 강남구 대치2동 미도아파트 110동 304호

(74) 대리인

팬코리아특허법인

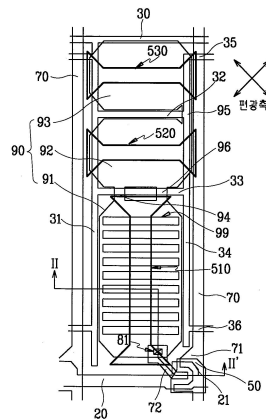
전체 청구항 수 : 총 5 항

(54) 액정 표시 장치

(57) 요약

본 발명은 제1 절연 기판, 제1 절연 기판 위에 제1 방향으로 형성되어 있는 제1 신호선, 제1 절연 기판 위에 제2 방향으로 형성되어 있으며 제1 신호선과 절연되어 교차하고 있는 제2 신호선, 제1 신호선 및 제2 신호선에 연결되어 있는 제1 박막 트랜지스터, 제1 박막 트랜지스터가 연결되어 있는 제1 신호선 및 제2 신호선에 연결되어 있는 제2 박막 트랜지스터, 제1 박막 트랜지스터에 연결되어 있는 제1 화소 전극, 제2 박막 트랜지스터에 연결되어 있는 제2 화소 전극, 제1 절연 기판과 대향하는 제2 절연 기판, 제2 절연 기판 위에 형성되어 있는 공통 전극, 제1 기판과 제2 기판 사이에 주입되어 있는 액정 물질층, 제1 절연 기판과 제2 절연 기판 중의 적어도 어느 한 기판 위에 형성되어 있으며 제1 화소 전극과 제2 화소 전극을 다수의 소 도메인으로 분할하는 도메인 분할수단을 포함하고, 도메인 분할 수단은 제1 화소 전극과 제2 화소 전극을 각각 제1 방향 도메인과 제2 방향 도메인으로 분할하고, 제1 화소 전극과 제2 화소 전극은 서로 용량성 결합을 이룬다.

대표도 - 도1



## 특허청구의 범위

### 청구항 1

제1 절연 기관,

상기 제1 절연 기관 위에 제1 방향으로 형성되어 있는 제1 신호선,

상기 제1 절연 기관 위에 제2 방향으로 형성되어 있으며 상기 제1 신호선과 절연되어 교차하고 있는 제2 신호선,

상기 제1 신호선 및 상기 제2 신호선에 연결되어 있는 제1 박막 트랜지스터,

상기 제1 박막 트랜지스터가 연결되어 있는 상기 제1 신호선 및 상기 제2 신호선에 연결되어 있는 제2 박막 트랜지스터,

상기 제1 박막 트랜지스터에 연결되어 있는 제1 화소 전극,

상기 제2 박막 트랜지스터에 연결되어 있는 제2 화소 전극,

상기 제1 절연 기관과 대향하는 제2 절연 기관,

상기 제2 절연 기관 위에 형성되어 있는 공통 전극,

상기 제1 기관과 상기 제2 기관 사이에 주입되어 있는 액정 물질층,

상기 제1 절연 기관과 상기 제2 절연 기관 중의 적어도 어느 한 기관 위에 형성되어 있으며 상기 제1 화소 전극과 상기 제2 화소 전극을 다수의 소 도메인으로 분할하는 도메인 분할 수단,

을 포함하고, 상기 도메인 분할 수단은 상기 제1 화소 전극과 상기 제2 화소 전극을 각각 제1 방향 도메인과 제2 방향 도메인으로 분할하고, 상기 제1 화소 전극과 상기 제2 화소 전극은 서로 용량성 결합을 이루는 액정 표시 장치.

### 청구항 2

제1항에서,

$n$ 과  $m$ 은 정수라 할 때,  $m$ 열의  $n$ 행 화소의 제1 및 제2 박막 트랜지스터는  $m$ 번째 데이터선에 연결되어 있고,  $m$ 열의  $n+1$ 행 화소의 제1 및 제2 박막 트랜지스터는  $m+1$ 번째 데이터선에 연결되어 있는 액정 표시 장치.

### 청구항 3

제1항에서,

상기 제2 화소 전극이 전체 화소 영역에서 30% 내지 70%를 차지하는 액정 표시 장치.

### 청구항 4

제1항에서,

상기 액정 물질층에 포함되어 있는 액정 분자는 구동 전계가 인가되지 않은 상태에서 상기 제1 및 제2 절연 기관에 대하여 수직으로 배향되어 있는 액정 표시 장치.

### 청구항 5

제1항에서,

상기 박막 트랜지스터 기관에 형성되어 있으며 상기 제1 화소 전극 및 상기 제2 화소 전극과의 사이에서 각각 유지 용량을 형성하는 유지 용량선을 더 포함하고,

상기 제2 화소 전극과 상기 공통 전극 사이에 형성되는 액정 용량을  $C_{lcb}$ , 상기 제2 화소 전극과 상기 유지 용량선 사이에서 형성되는 유지 용량을  $C_{stb}$ , 제1 화소 전극과 제2 화소 전극 사이에서 형성되는 결합 용량을  $C_{pp}$ 라 할 때,

$$T = \frac{C_{lcb} + C_{stb} - C_{pp}}{C_{lcb} + C_{stb} + C_{pp}}$$

로 정의되는 T가 0.65에서 0.95 사이의 값을 가지는 액정 표시 장치.

## 명세서

### 발명의 상세한 설명

#### 기술분야

<1> 본 발명은 액정 표시 장치에 관한 것이다.

#### 배경기술

- <2> 액정 표시 장치는 일반적으로 공통 전극과 컬러 필터(color filter) 등이 형성되어 있는 상부 기판과 박막 트랜지스터와 화소 전극 등이 형성되어 있는 하부 기판 사이에 액정 물질을 주입해 놓고 화소 전극과 공통 전극에 서로 다른 전위를 인가함으로써 전계를 형성하여 액정 분자들의 배열을 변경시키고, 이를 통해 빛의 투과율을 조절함으로써 화상을 표현하는 장치이다.
- <3> 그런데 액정 표시 장치는 시야각이 좁은 것이 중요한 단점이다. 이러한 단점을 극복하고자 시야각을 넓히기 위한 다양한 방안이 개발되고 있는데, 그 중에서도 액정 분자를 상하 기판에 대하여 수직으로 배향하고 화소 전극과 그 대향 전극인 공통 전극에 일정한 개구 패턴을 형성하거나 돌기를 형성하는 방법이 유력시되고 있다.
- <4> 개구 패턴을 형성하는 방법으로는 화소 전극과 공통 전극에 각각 개구 패턴을 형성하여 이들 개구 패턴으로 인하여 형성되는 프린지 필드(fringe field)를 이용하여 액정 분자들이 눕는 방향을 조절함으로써 시야각을 넓히는 방법이 있다.
- <5> 돌기를 형성하는 방법은 상하 기판 위에 형성되어 있는 화소 전극과 공통 전극 위에 각각 돌기를 형성해 둠으로써 돌기에 의하여 왜곡되는 전기장을 이용하여 액정 분자의 눕는 방향을 조절하는 방식이다.
- <6> 또 다른 방법으로는, 하부 기판 위에 형성되어 있는 화소 전극에는 개구 패턴을 형성하고 상부 기판에 형성되어 있는 공통 전극 위에는 돌기를 형성하여 개구 패턴과 돌기에 의하여 형성되는 프린지 필드를 이용하여 액정의 눕는 방향을 조절함으로써 도메인을 형성하는 방식이 있다.
- <7> 이러한 다중 도메인 액정 표시 장치는 1:10의 대비비를 기준으로 하는 대비비 기준 시야각이나 계조간의 휘도 반전의 한계 각도로 정의되는 계조 반전 기준 시야각은 전 방향 80° 이상으로 매우 우수하다. 그러나 정면의 감마(gamma)곡선과 측면의 감마 곡선이 일치하지 않는 측면 감마 곡선 왜곡 현상이 발생하여 TN(twisted nematic) 모드 액정 표시 장치에 비하여도 좌우측면에서 열등한 시인성을 나타낸다. 예를 들어, 도메인 분할 수단으로 개구부를 형성하는 PVA(patterned vertically aligned) 모드의 경우에는 측면으로 갈수록 전체적으로 화면이 밝게 보이고 색은 흰색 쪽으로 이동하는 경향이 있으며, 심한 경우에는 밝은 계조 사이의 간격 차이가 없어져서 그림이 뭉그러져 보이는 경우도 발생한다. 그런데 시인성은 모니터가 최근 멀티 미디어용으로 사용되면서 그림을 보거나 동영상 보는 일이 증가하면서 점점 더 중요시되고 있다.

#### 발명의 내용

##### 해결하고자 하는 과제

<8> 본 발명이 이루고자 하는 기술적 과제는 측면 시인성이 우수한 다중 도메인 액정 표시 장치를 구현하는 것이다.

##### 과제 해결수단

- <9> 이러한 과제를 해결하기 위하여 본 발명에서는 좌우 도메인 내의 전계를 상하 도메인 내의 전계에 비하여 약하게 유지한다.
- <10> 구체적으로는, 하나의 화소 영역이 다수의 소 도메인으로 분할되어 있고, 각 소 도메인은 그 내부에 포함되어 있는 액정 분자들이 구동 전계 인가시 기울어지는 평균 방향에 따라 제1 방향 도메인과 제2 방향 도메인으로 분

류되는 액정 표시 장치에 있어서, 상기 제1 방향 도메인 내부의 구동 전계는 상기 제2 방향 도메인 내부의 구동 전계에 비하여 소정의 값만큼 약한 액정 표시 장치를 마련한다.

<11> 이 때, 상기 제1 방향은 액정 표시 장치를 정면에서 바라볼 때 좌우 방향이고, 상기 제2 방향은 상하 방향이며, 상기 제1 방향 도메인 내부의 구동 전계가 상기 제2 방향 도메인 내부의 구동 전계에 비하여 약한 소정의 값의 액정 표시 장치의 셀갭을  $d$ 라 할 때,  $0.02/d(V/\mu m)$ 에서  $0.5/d(V/\mu m)$  사이인 것이 바람직하다.

<12> 보다 구체적으로는, 제1 절연 기판, 상기 제1 절연 기판 위에 제1 방향으로 형성되어 있는 제1 신호선, 상기 제1 절연 기판 위에 제2 방향으로 형성되어 있으며 상기 제1 신호선과 절연되어 교차하고 있는 제2 신호선, 상기 제1 신호선 및 상기 제2 신호선에 연결되어 있는 제1 박막 트랜지스터, 상기 제1 박막 트랜지스터에 연결되어 있는 상기 제1 신호선 및 상기 제2 신호선에 연결되어 있는 제2 박막 트랜지스터, 상기 제1 박막 트랜지스터에 연결되어 있는 제1 화소 전극, 상기 제2 박막 트랜지스터에 연결되어 있는 제2 화소 전극, 상기 제1 절연 기판과 대향하는 제2 절연 기판, 상기 제2 절연 기판 위에 형성되어 있는 공통 전극, 상기 제1 기판과 상기 제2 기판 사이에 주입되어 있는 액정 물질층, 상기 제1 절연 기판과 상기 제2 절연 기판 중의 적어도 어느 한 기판 위에 형성되어 있으며 상기 제1 화소 전극과 상기 제2 화소 전극을 다수의 소 도메인으로 분할하는 도메인 분할 수단, 을 포함하고, 상기 도메인 분할 수단은 상기 제1 화소 전극과 상기 제2 화소 전극을 각각 제1 방향 도메인과 제2 방향 도메인으로 분할하고, 상기 제1 화소 전극과 상기 제2 화소 전극은 서로 용량성 결합을 이루는 액정 표시 장치를 마련한다.

<13> 이 때,  $n$ 과  $m$ 은 정수라 할 때,  $m$ 열의  $n$ 행 화소의 제1 및 제2 박막 트랜지스터는  $m$ 번째 데이터선에 연결되어 있고,  $m$ 열의  $n+1$ 행 화소의 제1 및 제2 박막 트랜지스터는  $m+1$ 번째 데이터선에 연결될 수 있다. 또, 상기 제2 화소 전극이 전체 화소 영역에서 30% 내지 70%를 차지한다. 상기 액정 물질층에 포함되어 있는 액정 분자는 구동 전계가 인가되지 않은 상태에서 상기 제1 및 제2 절연 기판에 대하여 수직으로 배향되어 있다.

<14> 한편, 상기 박막 트랜지스터 기판에 형성되어 있으며 상기 제1 화소 전극 및 상기 제2 화소 전극과의 사이에서 각각 유지 용량을 형성하는 유지 용량선을 더 포함하고, 상기 제2 화소 전극과 상기 공통 전극 사이에 형성되는 액정 용량을  $C_{lcb}$ , 상기 제2 화소 전극과 상기 유지 용량선 사이에서 형성되는 유지 용량을  $C_{stb}$ , 제1 화소 전극과 제2 화소 전극 사이에서 형성되는 결합 용량을  $C_{pp}$ 라 할 때,

$$T = \frac{C_{lcb} + C_{stb} - C_{pp}}{C_{lcb} + C_{stb} + C_{pp}}$$

<15> 로 정의되는  $T$ 가 0.65에서 0.95 사이의 값을 가지는 것이 바람직하다.

<16> 다른 구성으로는 제1 절연 기판, 상기 제1 절연 기판 위에 제1 방향으로 형성되어 있는 제1 신호선, 상기 제1 절연 기판 위에 제2 방향으로 형성되어 있으며 상기 제1 신호선과 절연되어 교차하고 있는 제2 신호선, 상기 제1 신호선 및 상기 제2 신호선에 연결되어 있는 박막 트랜지스터, 상기 박막 트랜지스터에 연결되어 있으며 다수의 슬릿을 가지는 화소 전극, 상기 제1 절연 기판과 대향하는 제2 절연 기판, 상기 제2 절연 기판 위에 형성되어 있는 공통 전극, 상기 제1 기판과 상기 제2 기판 사이에 주입되어 있는 액정 물질층, 상기 제1 절연 기판과 상기 제2 절연 기판 중의 적어도 어느 한 기판 위에 형성되어 있으며 상기 화소 전극을 다수의 소 도메인으로 분할하는 도메인 분할 수단을 포함하고, 상기 도메인 분할 수단은 상기 화소 전극을 각각 제1 방향 도메인과 제2 방향 도메인으로 분할하고 있고, 상기 제1 방향 도메인은 상기 슬릿이 위치하는 부분에 배치되어 있는 액정 표시 장치가 있다.

<17> 이 때, 상기 화소 전극이 가지는 상기 슬릿의 폭은  $2 \sim 5 \mu m$  사이이고, 이웃하는 두 개의 상기 슬릿 사이의 거리는  $2 \sim 10 \mu m$  사이인 것이 바람직하다.

<18> 또 다른 구성으로는 제1 절연 기판, 상기 제1 절연 기판 위에 제1 방향으로 형성되어 있는 제1 신호선, 상기 제1 절연 기판 위에 제2 방향으로 형성되어 있으며 상기 제1 신호선과 절연되어 교차하고 있는 제2 신호선, 상기 제1 신호선 및 상기 제2 신호선에 연결되어 있는 박막 트랜지스터, 상기 박막 트랜지스터에 연결되어 있는 화소 전극, 상기 제1 절연 기판과 대향하는 제2 절연 기판, 상기 제2 절연 기판 위에 형성되어 있는 공통 전극, 상기 화소 전극과 상기 공통 전극 중의 적어도 어느 하나의 위에 형성되어 있는 유전체층, 상기 제1 기판과 상기 제2 기판 사이에 주입되어 있는 액정 물질층, 상기 제1 절연 기판과 상기 제2 절연 기판 중의 적어도 어느 한 기판 위에 형성되어 있으며 상기 화소 전극을 다수의 소 도메인으로 분할하는 도메인 분할 수단을 포함하고, 상기 도메인 분할 수단은 상기 화소 전극을 각각 제1 방향 도메인과 제2 방향 도메인으로 분할하고 있고, 상기 유전체층은 상기 제1 방향 도메인이 위치하는 부분에 형성되어 있는 액정 표시 장치가 있다.

<20> 이 때, 상기 유전체층의 두께는 500Å에서 1.5 $\mu$ m 사이가 바람직하고, 상기 도메인 분할 수단은 상기 화소 전극과 상기 공통 전극이 각각 가지는 개구부일 수 있다.

### 효 과

<21> 본 발명에서는 상하 도메인에 비하여 좌우 도메인 내의 전계를 항상 약하게 유지함으로써 좌우 측면에서의 시인성을 향상시킬 수 있다.

### 발명의 실시를 위한 구체적인 내용

<22> 그러면 도면을 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치에 대하여 설명한다.

<23> 도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치의 배치도이고, 도 2는 도 1의 II-II'선에 대한 단면도이다.

<24> 유리 등의 투명한 절연 기판(10) 위에 가로 방향으로 뻗어 있는 게이트선(20)이 형성되어 있고, 게이트선과 나란하게 유지 용량선(30)이 형성되어 있다. 게이트선(20)에는 게이트 전극이(21) 돌기의 형태로 형성되어 있고, 유지 용량선(30)에는 제1 내지 제4 유지 전극(31, 32, 33, 34)과 유지 전극 연결부(35, 36)가 가지는 형태로 연결되어 있다. 제1 유지 전극(31)은 유지 용량선(30)에 직접 연결되어 세로 방향으로 형성되어 있고, 제2 유지 전극(32)과 제3 유지 전극(33)은 각각 제1 유지 전극(31)에 연결되어 가로 방향으로 뻗어 있다. 제4 유지 전극(34)은 제2 및 제3 유지 전극(32, 33)에 연결되어 세로 방향으로 뻗어 있다. 유지 전극 연결부(35, 36)는 제4 유지 전극(34)과 이웃하는 화소의 제1 유지 전극(31)을 연결하고 있다. 게이트 배선(20, 21)과 유지 용량 배선(30, 31, 32, 33, 34, 35, 36) 위에는 게이트 절연막(40)이 형성되어 있고, 게이트 전극(21) 상부의 게이트 절연막(40) 위에는 비정질 규소로 이루어진 반도체층(50)이 형성되어 있다. 반도체층(50)의 위에는 인(P) 등의 N형 불순물이 고농도로 도핑되어 있는 비정질 규소로 이루어진 접촉층(61, 62)이 형성되어 있다. 양쪽 접촉층(61, 62)의 위에는 각각 소스 전극(71)과 드레인 전극(72)이 형성되어 있고, 소스 전극(71)은 게이트 절연막(40) 위에 세로 방향으로 뻗어 있는 데이터선(70)에 연결되어 있다. 데이터 배선(70, 71, 72)의 위에는 드레인 전극(72)을 노출시키는 접촉구(81)를 가지는 보호막(80)이 형성되어 있고, 보호막(80)의 위에는 접촉구(81)를 통하여 드레인 전극(72)과 연결되어 있는 화소 전극(90)이 형성되어 있다. 화소 전극(90)은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 등의 투명한 도전 물질로 이루어진다.

<25> 이 때, 화소 전극(90)은 제1 내지 제3 소부분(91, 92, 93)으로 분리되어 있으며 이들 소부분은 연결부(94, 95, 96)를 통하여 서로 연결되어 되어 있다. 제1 소부분(91)은 두 게이트선(20)과 두 데이터선(70)의 교차에 의하여 정의되는 화소 영역의 하반면에 네 모서리가 잘려나간(이하 "모따기"라 한다.) 직사각형 모양으로 형성되어 있고, 접촉구(81)를 통하여 드레인 전극(72)과 직접 연결되어 있다. 제2 및 제3 소부분(92, 93)은 화소 영역의 상반면에 역시 네 모서리가 잘려나간 직사각형 모양으로 형성되어 있다. 제2 소부분(92)은 제1 소부분(91)과 제1 및 제2 연결부(94, 96)를 통하여 연결되어 있고, 제3 소부분(93)은 제2 소부분(92)과 제3 연결부(95)를 통하여 연결되어 있다.

<26> 이 때, 제1 소부분(91)에는 다수의 슬릿(99)이 형성되어 있다. 이들 슬릿(99)로 인하여 제1 소부분(91)과 공통 전극(400)과의 사이에 형성되는 전계는 제2 소부분(92)이나 제3 소부분(93)과 공통 전극(400) 사이에 형성되는 전계에 비하여 약하다.

<27> 한편, 제1 소부분(91)과 제2 소부분(92)의 사이에는 제2 유지 전극(32)이 위치하고 제2 소부분(92)과 제3 소부분(93)의 사이에는 제3 유지 전극(33)이 위치하며, 제1 유지 전극(31)과 제4 유지 전극(34)은 화소 전극(90)과 데이터선(70)의 사이에 위치한다. 제1 소부분(91)은 데이터선과 나란한 변이 게이트선과 나란한 변에 비하여 길고, 제2 소부분과 제3 소부분은 데이터선과 나란한 변이 게이트선과 나란한 변에 비하여 짧다. 이 때, 제2 및 제3 소부분(92, 93)은 제1 및 제4 유지 전극(31, 34)과 중첩되나 제1 소부분(91)은 제1 및 제4 유지 전극(31, 34)과 중첩되지 않는다. 또, 유지 용량선(30)은 게이트선(20)과 제3 소부분(93) 사이에 위치한다. 이 때, 유지 용량선(30), 유지 전극(31, 32, 33, 34) 및 유지 전극 연결부(35, 36)에는 후술하는 색 필터 기판의 공통 전극에 인가되는 전위가 인가되는 것이 보통이다.

<28> 이상과 같이, 데이터선과 화소 전극 사이 및 게이트선과 화소 전극 사이에 공통 전위가 인가되는 유지 용량선이나 유지 전극을 배치하면 데이터선 전위와 게이트선 전위가 화소 영역의 전계에 미치는 영향을 유지 용량선과 유지 전극이 차단하여 안정된 도메인을 형성할 수 있다.

- <29> 다음, 본 발명의 제1 실시예에 따른 액정 표시 장치의 색 필터 기판에 대하여 설명한다.
- <30> 유리 등으로 이루어진 투명한 기판(100) 위에 크롬/산화크롬 이중층으로 이루어진 블랙 매트릭스(200)가 형성되어 있어서 화소 영역을 정의하고 있다. 각 화소 영역에는 색 필터(300)가 형성되어 있고, 색 필터(300)의 위에는 투명한 도전체로 이루어진 공통 전극(400)이 기판(100) 전면에 형성되어 있다. 공통 전극(400)에는 개구 패턴(510, 520, 530)이 형성되어 있다. 이 때, 개구 패턴(510, 520, 530)은 제1 내지 제3 개구부(510, 520, 530)로 이루어져 있다. 제1 개구부(510)는 화소 영역의 하반부를 좌우로 양분하고 있고, 제2 개구부(520)와 제3 개구부(530)는 화소 영역의 상반부를 상하로 3분하고 있다. 각 개구부(510, 520, 530)의 양끝 부분은 점점 확장되어 이등변 삼각형 모양을 이루고 있으며, 이들 각 개구부(510, 520, 530)는 서로 분리되어 있다.
- <31> 위에서 블랙 매트릭스는 유기 물질로 형성할 수도 있으며, 색 필터는 박막 트랜지스터 기판에 형성할 수도 있다.
- <32> 그러면, 본 발명의 제1 실시예에 따른 액정 표시 장치에 대하여 설명한다.
- <33> 박막 트랜지스터 기판과 색 필터 기판을 정렬하여 결합하고, 두 기판 사이에 액정 물질(900)을 주입하여 그에 포함되어 있는 액정 분자의 방향자를 수직으로 배향하며, 두 개의 편광판(11, 101)을 두 기판(10, 100)의 외부에 그 편광축이 서로 직교하도록 배치하면 제1 실시예에 따른 액정 표시 장치가 마련된다.
- <34> 두 기판(10, 100)이 정렬된 상태에서는 박막 트랜지스터 기판의 화소 전극(90)의 각 소부분(91, 92, 93)과 색 필터 기판의 공통 전극(400)에 형성되어 있는 제1 내지 제3 개구부(510, 520, 530)가 중첩하여 화소 영역을 다수의 소도메인으로 분할한다. 여기서, 제1 소부분(91)과 제1 개구부(510)에 의하여 분할되는 소도메인을 상하도메인(가로 방향으로 길게 형성됨), 제2 및 제3 소부분(92, 93)과 제2 및 제3 개구부(520, 530)에 의하여 분할되는 소도메인을 좌우 도메인(세로 방향으로 길게 형성됨)이라 구분한다. 이는 전계 인가시 액정이 기울어지는 방향에 따라 구분한 것이다. 이 때, 화소전극(90)의 각 소부분(91, 92, 93)은 두 개의 장변과 두 개의 단면으로 이루어지며, 각 소부분의 장변은 테이터선(70) 또는 게이트선(20)과 나란하고, 편광판의 편광축과는 45°를 이룬다(도 3 참조). 여기서, 테이터선(70)이나 게이트선(20)과 인접하여 화소 전극(90)의 각 소부분(91, 92, 93)의 장변이 위치하고 있는 경우에는 테이터선(70)과 장변 사이 및 게이트선(20)과 장변 사이에 유지 용량선(30)이나 유지 전극(31, 32, 33, 34)이 배치된다. 한편, 화소 전극의 각 소부분(91, 92, 93)의 단변 주변에는 유지 용량 배선(30, 31, 32, 33, 34)이 배치되지 않거나, 배치되어 있는 경우에는 화소 전극(90)에 의하여 완전히 덮이거나 또는 화소 전극(90)으로부터 3 $\mu$ m 이상 멀리 떨어져 있는 것이 바람직하다. 이와 같이 유지 용량 배선(30, 31, 32, 33, 34)을 배치하는 이유는 테이터선(70) 또는 게이트선(20)이 화소 전극 소부분(91, 92, 93)의 장변과 인접하는 부분에서는 테이터선(70) 또는 게이트선(20)의 전위가 도메인 형성을 방해하는 방향으로 작용하고, 반대로 단변과 인접하는 부분에서는 테이터선(70) 또는 게이트선(20)의 전위가 도메인 형성을 돕는 방향으로 작용하기 때문이다.
- <35> 한편, 화소 전극의 제1 소부분(91)에 형성되어 있는 슬릿(99)로 인하여 좌우 도메인 내에 형성되는 전계는 상하도메인 내에 형성되는 전계에 비하여 소정의 정도 약하다. 이로 인하여 액정 표시 장치의 좌우 측면 시인성이 향상된다. 이 때, 액정 표시 장치의 셀갭(cell gap)을 d(m)라 하면, 좌우 도메인 내에 형성되는 전계가 상하도메인 내에 형성되는 전계에 비하여 약한 소정의 정도는 0.02/d(V/ $\mu$ m)에서 0.5/d(V/ $\mu$ m) 사이의 값이 되는 것이 적당하다. 즉, 공통 전극과 화소 전극 사이의 전압차는 좌우 도메인을 이루는 부분이 상하 도메인을 이루는 부분에 비하여 0.1V에서 1V 정도 약한 것이 적당하다. 이를 위하여 슬릿(99)의 폭은 2~5 $\mu$ m 사이가 되는 것이 바람직하고, 이웃하는 두 슬릿(99) 사이의 거리는 2~10 $\mu$ m 사이가 되는 것이 바람직하다.
- <36> 그러면, 좌우 도메인 내에 형성되는 전계가 상하 도메인 내에 형성되는 전계에 비하여 소정의 값만큼 약할 때 시야각이 개선되는 이유를 살펴본다.
- <37> 도 3은 테스트용 셀의 정면과 측면 60°에서의 감마(gamma: gamma) 곡선을 나타내는 그래프이다.
- <38> 도 3을 보면, 정면에서 액정 표시 장치를 바라볼 때의 감마 곡선에 비하여 측면(60°)에서 바라볼 때의 감마 곡선이 더 높게 떠있음을 알 수 있다. 특히 낮은 계조에서는 정면 감마 곡선과 측면 감마 곡선 사이의 폭이 매우 커서 동일한 계조를 정면에서 바라보느냐 아니면 측면에서 바라보느냐에 따라 2배 내지 10배 이상의 휘도 차이가 발생한다. 그런데 적, 녹, 청 화소의 계조가 서로 독립적으로 변동되므로 측면에서의 감마 곡선의 왜곡 정도도 적, 녹, 청 화소가 서로 다르다. 따라서 측면에서 볼 때는 정면에서 볼 때와는 전혀 다른 색으로 느끼게 된다. 예를 들어, 도 5에 나타낸 바와 같이, 적, 녹, 청 화소가 각각 56계조, 48계조, 24계조를 나타내고 있다고 할 때, 이를 정면에서 바라보면, 적, 녹, 청의 비율은

- <39> R:G:B = 73:50:10 = 55%:37%:8%
- <40> 입에 반하여, 측면 60° 에서 바라보면, 적, 녹, 청의 비율이
- <41> R:G:B = 75:66:41 = 41%:36%:23%
- <42> 로 되어 정면에 비하여 청색의 비율이 3배 이상 높아져서 정면에서와는 전혀 다른 색으로 보이게 된다.
- <43> 도 5와 같은 형태로 감마 곡선이 왜곡되면 정면에서 비율이 낮은 색은 측면에서 비율이 높아지고, 반대로 정면에서 비율이 높은 색은 측면에서는 비율이 낮아지게 되므로 적, 녹, 청색의 비율이 비슷해지는 경향을 띄게 된다. 결과적으로 정면에서 보면 서로 다른 색이 측면에서는 색감 차이가 줄어 비슷한 색으로 보이게 되며, 전반적으로 색이 옅어지면서 흰색에 가까워지는 경향(white-shift)을 나타낸다. 이러한 현상으로 인해 색재현성이 떨어지게 되고 그림이 뿌옇게 나타나게 된다. 화이트 쉬프트(white-shift)의 가장 큰 원인은 낮은 계조에서 감마 곡선의 왜곡이 크다는 것이다. 높은 계조에서는 감마 왜곡이 발생하더라도 비율로 보면 큰 변화가 아니지만 낮은 계조(32계조 이하)에서는 감마 왜곡에 의하여 휘도가 2배에서 10배 이상 차이가 나게 된다. 이러한 큰 변화는 화이트 쉬프트 현상이 현저하게 나타나도록 한다.
- <44> 도 4는 단일 도메인의 수직 배향 액정 셀을 8방향의 측면에서 바라볼 때의 VT 곡선들을 나타내는 그래프이다.
- <45> 도 4를 보면, 낮은 계조에서 VT 곡선이 좌측으로 이동하는 현상이 상측이나 하측에서 현저하게 나타나고, 좌측과 우측에서는 낮은 계조에서 정면과 거의 같은 곡선을 그리며 상승하고 있고, 좌하측과 우하측에서는 초기에 계조 반전이 발생하고 다시 VT가 오른쪽으로 이동하여 상승곡선을 그리는 것을 알 수 있다. 결국 낮은 계조에서 감마 곡선이 위쪽으로 왜곡되는 현상은 액정 셀을 관측하는 방향과 전계 인가에 따라 액정 분자가 눕는 방향이 같은 경우(액정 분자의 머리쪽 또는 꼬리쪽에서 바라보는 경우)에 심하게 나타나고 액정 셀을 관측하는 방향과 전계 인가에 따라 액정 분자가 눕는 방향이 수직을 이루는 경우에는 적게 나타난다. 따라서 좌우 측면에서의 시인성 기준의 시야각에 악영향을 미치는 요소로는 좌우 도메인의 감마 곡선 왜곡이 중요하고, 상하 측면에서의 시인성 기준의 시야각에 악영향을 미치는 요소로는 상하 도메인의 감마 곡선 왜곡이 중요하다. 그런데 액정 표시 장치를 사용하는 관점에서 볼 때, 좌우 측면에서의 시야각이 상하 측면에서의 시야각에 비하여 중요하다. 따라서, 본 발명에서는 좌우 측면 시인성에 악영향을 미치는 좌우 도메인의 감마 곡선 왜곡을 보상해 줄 수 있는 방안으로 좌우 도메인 내의 전계 세기를 상하 도메인 내에 비하여 약하게 만든다. 이에 대하여 좀더 상세히 살펴본다.
- <46> 도 5는 러빙을 상하 방향으로 안티 패러렐(anti parallel)하게 만든 단일 도메인(상하 도메인과 동일하게 상하 방향으로 액정 분자가 기울어진다.) VA 셀에서 정면에서의 VT 곡선, 좌우 방향 60도에서의 VT 곡선을 평균한 곡선, 상하 방향 60도에서 VT 곡선을 평균한 곡선 및 상하 방향의 곡선을 0.3V 이동시킨 곡선을 같은 그래프에 그린 그림이다.
- <47> 도 5에 나타난 바와 같이, 좌우 방향 VT 곡선은 저계조에서 정면 VT 곡선과 거의 일치하나 상하 방향 VT 곡선은 정면 VT 곡선에 비하여 낮은 전압에서 상승하기 시작한다. 즉  $V_{th}$ (임계 전압)가 정면에 비하여 상하 방향에서 낮게 나타난다. 그러나 상하 방향 VT 곡선을 약 0.3V 이동시키면 정면 VT 곡선과 저계조에서 거의 일치하게 된다. 상하 방향 VT 곡선이 정면 VT 곡선과 일치하게 된다는 것은 상하 측면에서의 시인성이 정면에서의 시인성과 동일해 진다는 것을 의미한다. 결국, 좌우 측면에서의 시인성을 정면에서의 시인성과 동일한 수준으로 향상시키기 위하여는 좌우 도메인의 좌우 측면 VT 곡선을 소정 전압만큼 이동시키면 되는 것이다. 좌우 측면 VT 곡선을 이동시키는 것과 동일한 효과를 얻을 수 있는 방법이 좌우 도메인 내의 전계를 상하 도메인 내의 전계에 비하여 낮게 만드는 것이다.
- <48> 도 6은 본 발명의 제2 및 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 배치도이고, 도 7은 도 6의 VII-VII'선에 대한 단면도로써 본 발명의 제2 실시예에 따른 단면도이다.
- <49> 제2 실시예에 따른 액정 표시 장치는 화소 전극의 제1 소부분(91)에 슬릿을 형성하는 대신 제1 소부분(91)의 위에 유전체층(600)이 형성되어 있다는 점이 다를 뿐 나머지는 제1 실시예에 따른 액정 표시 장치와 동일하다.
- <50> 제2 실시예에서 유전체층(600)을 형성하는 효과는 제1 실시예에서 제1 소부분(91)에 슬릿을 형성하는 것과 동일하다. 즉, 좌우 도메인 내의 전계를 상하 도메인 내의 전계보다 약하게 만드는 것이다. 여기서, 유전체층(600)의 두께는 500Å~1.5μm 사이로 형성하는 것이 바람직하다.
- <51> 도 8은 도 7의 VIII-VIII'선에 대한 단면도로써 본 발명의 제3 실시예에 따른 단면도이다.

- <52> 제3 실시예에 따른 액정 표시 장치는 화소 전극의 제1 소부분(91)에 슬릿이 형성되어 있는 대신 공통 전극(400) 위의 제1 소부분(91)에 대응하는 부분에 유전체층(600)이 형성되어 있다는 점이 다를 뿐 나머지는 제1 실시예에 따른 액정 표시 장치와 동일하다.
- <53> 제3 실시예에서 유전체층(600)을 형성하는 효과는 제2 실시예에서와 마찬가지로 제1 실시예에서 제1 소부분(91)에 슬릿을 형성하는 것과 동일하다. 즉, 좌우 도메인 내의 전계를 상하 도메인 내의 전계보다 약하게 만드는 것이다.
- <54> 도 9은 본 발명의 제4 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 배치도이고, 도 10과 도 11는 각각 도 9의 XI-XI'선과 XII-XII'선에 대한 단면도이고, 도 12는 도 9의 박막 트랜지스터 기관을 적용한 액정 표시 장치의 등가 회로도이다.
- <55> 먼저, 박막 트랜지스터 기관에 대하여 설명한다.
- <56> 유리 등의 투명한 절연 기관(10) 위에 게이트 배선(20, 21)과 유지 용량선(30)이 형성되어 있다.
- <57> 게이트 배선(20, 21)은 가로 방향으로 뻗어 있는 게이트선(20)을 포함하며 게이트선(20)의 일부는 상하로 돌출하여 게이트 전극(21)을 이룬다.
- <58> 유지 용량선(30)은 게이트선(20)과 나란하게 형성되어 있고, 도시하지는 않았으나 가지선을 가질 수도 있다.
- <59> 게이트 배선(20, 21)과 유지 용량선(30)은 게이트 절연막(40)으로 덮여 있고, 게이트 절연막(40) 위에는 비정질 규소로 이루어진 반도체층(50)이 형성되어 있다. 반도체층(50)은 게이트 전극(21)과 중첩하여 박막 트랜지스터의 채널부를 형성한다. 반도체층(50)의 위에는 인 등의 N형 불순물이 고농도로 도핑된 비정질 규소로 이루어진 저항성 접촉층(61, 62, 63)이 형성되어 있다.
- <60> 접촉층(61, 62, 63) 및 게이트 절연막(40) 위에는 데이터 배선(70, 71, 72, 73) 및 결합 전극(74)이 형성되어 있다. 데이터 배선(70, 71, 72, 73)은 반도체층(50)을 따라 뻗은 데이터선(70)과 이에 연결된 소스 전극(71) 및 이들과 분리된 제1 및 제2 드레인 전극(72, 73)을 포함한다. 소스 전극(71)은 게이트 전극(21) 상부에서 데이터선(70)으로부터 돌출해 있으며, 제1 및 제2 드레인 전극(72, 73)은 소스 전극(71)의 양쪽에 각각 배치되어 있고 각각의 한쪽 끝은 게이트선(20)을 중심으로 하여 양쪽에 위치하는 제1 및 제2 화소 영역의 안쪽으로 뻗어 있다. 결합 전극(74)은 유지 용량선(30)과 일부가 중첩되어 있고, 후술하는 바와 같이, 유지 용량선(30)을 중심으로 하여 양쪽을 분리되어 있는 제1 화소 전극(91)과 제2 화소 전극(92)을 전자기적으로 결합하고 있다. 여기에서, 저항성 접촉층(61, 62, 63)은 반도체층(50)과 데이터 배선(70, 71, 72, 73)이 중첩하는 부분에만 형성되어 있다.
- <61> 데이터 배선(70, 71, 72, 73)의 위에는 보호막(80)이 형성되어 있다. 이 때, 보호막(80)은 제1 및 제2 드레인 전극(72, 73)의 한쪽 끝을 각각 노출하는 제1 및 제2 접촉구(81, 82)와 결합 전극(74)의 한쪽 끝을 노출하는 제3 접촉구(83)를 가지고 있다.
- <62> 보호막(80)의 위에는 제1 접촉구(81)와 제2 접촉구(82)를 통하여 제1 드레인 전극(72) 및 제2 드레인 전극(72, 73)과 각각 연결되어 있는 제1 및 제2 화소 전극(91, 92)이 형성되어 있다. 여기서 제2 화소 전극(92)은 결합 전극(74)과 제3 접촉구(83)를 통하여 연결되어 있고, 제1 화소 전극(91)은 결합 전극(74)과 중첩되어 있어서 전자기적으로 결합(용량성 결합)되어 있다. 결국, 제1 화소 전극(91)과 제2 화소 전극(92)은 결합 전극(74)을 매개로 하여 용량성 결합을 이루고 있다. 화소 전극(91, 92)은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 등의 투명한 도전 물질로 이루어진다. 한편, 제1 화소 전극(91)은 가로 방향으로 길게 뻗어 있는 가로 개구부(95)를 가지고 있다. 가로 개구부(95)의 수는 도 9에서와는 달리 다수 개 형성될 수 있고, 제2 화소 전극(92)에는 세로 개구부가 형성될 수 있다. 제1 화소 전극(91)이 하나의 화소 영역에서 차지하는 비율은 30%~70%가 되는 것이 바람직하다.
- <63> 유지 용량 배선(30)에는 화소 전극(90)과 대향하는 공통 전극의 전위가 인가되는 것이 보통이다.
- <64> 다음, 색 필터 기관에 대하여 설명한다.
- <65> 색 필터 기관에는 제1 실시예에 따른 액정 표시 장치에서와 마찬가지로 블랙 매트릭스, 색필터, 공통 전극이 형성되어 있으며, 공통 전극에는 제1 내지 제3 개구부(510, 520, 530)가 형성되어 있다. 이 때, 세로 방향으로 길게 뻗어 있는 제1 개구부(510)는 제2 화소 전극(92)을 좌우로 양분하여 두 개의 좌우 도메인으로 분할하고 있고, 가로 방향으로 길게 뻗어 있는 제2 및 제3 개구부(520, 530)는 제1 화소 전극(91)을 상하로 3분하는 위치에

형성되어 있다. 제2 및 제3 개구부(520, 530)와 가로 개구부(95)에 의하여 제1 화소 전극(91)은 상하로 4분되어 네 개의 상하 도메인으로 분할하고 있다.

<66> 이상의 제4 실시예에서는 결합 전극(74)을 데이터 배선(70, 71, 72, 73)과 동일한 층에 형성하고 있으나, 이와 달리 결합 전극(74)을 게이트 배선(20, 21)과 동일한 층에 형성할 수도 있다. 이 경우에는 유지 용량 배선(30)을 결합 전극(74)과 중첩하지 않도록 형성하여야 한다.

<67> 이러한 박막 트랜지스터 기판을 사용하는 액정 표시 장치는 다음과 같은 구조를 가진다.

<68> 이러한 박막 트랜지스터 기판에 대향하여 공통 전극 기판이 소정의 간격을 두고 배치되어 있고, 박막 트랜지스터 기판과 공통 전극 기판 사이에는 액정 물질이 주입되어 있다. 이 때, 액정 물질은 기판에 대하여 수직 배향되어 있다. 이외에도 색 필터 기판 위에는 이축성(biaxial) 필름 등의 보상 필름이 부착되어 있고, 두 편광판이 박막 트랜지스터 기판과 공통 전극 기판 바깥쪽으로 배치되어 있다.

<69> 이상과 같이, 박막 트랜지스터와 화소 전극을 1개의 화소 영역당 2개씩 형성하고, 결합 전극을 사용하여 이웃하는 화소 영역의 두 화소 전극을 용량성으로 결합해 놓으면 액정 표시 장치를 좌우측면에서 바라볼 때 시인성이 저하되는 것을 방지할 수 있다. 이는 좌우 도메인을 이루는 제2 화소 전극(92)의 전압이 상하 도메인을 이루는 제1 화소 전극(91)의 전압에 비하여 낮게 유지되어 좌우 도메인 내의 전계가 상하 도메인 내의 전계에 비하여 약하게 되기 때문이다.

<70> 그러면, 좌우 도메인을 이루는 제2 화소 전극(92)의 전압이 상하 도메인을 이루는 제1 화소 전극(91)의 전압에 비하여 낮게 유지되는 이유를 설명한다.

<71> 먼저, 도 12를 참고로 하여, 하나의 화소 영역 내에 배치되어 있는 두 화소 전극[P(n)-a, P(n)-b] 전위{V[P(n)-a], V[P(n)-b]} 사이의 관계를 도출한다.

<72> 도 12에서 Clca는 a 화소 전극과 공통 전극 사이에서 형성되는 액정 용량, Csta는 유지 용량선과 a 화소 전극 사이에서 형성되는 유지 용량, Clcb는 b 화소 전극과 공통 전극 사이에서 형성되는 액정 용량, Cstb는 유지 용량선과 b 화소 전극 사이에서 형성되는 유지 용량, Cpp는 a 화소 전극과 b 화소 전극 사이에서 형성되는 결합 용량을 나타낸다.

<73> 도 12를 보면 동일한 게이트선과 데이터선에 제1 및 제2 박막 트랜지스터가 연결되어 있고, 제1 및 제2 박막 트랜지스터에는 각각 제1 화소 전극과 제2 화소 전극이 연결되어 있다. 유지 용량선(30)을 사이에 두고 있는 제1 화소 전극과 제2 화소 전극은 서로 용량성 결합(Cpp)을 이루고 있다.

<74> 하나의 데이터선(70)을 기준으로 볼 때, n 번째 게이트선(20)이 온(on)되면 두 개의 박막 트랜지스터(TFT) 채널이 온되고 이를 통하여 제1 및 제2 화소 전극[P(n)-a, P(n)-b]에 전압이 인가된다. 그런데 P(n)-b는 P(n+1)-a와 용량성으로 결합되어 있어서 P(n+1)-a가 온될 때 P(n)-b가 영향을 받는다. 따라서 P(n)-a,와 P(n)-b의 전압은 다음과 같이 주어진다.

### 수학식 1

<75>  $V[P(n)-a]=Vd(n)$

### 수학식 2

<76> 
$$V[P(n)-b]=Vd(n)+\frac{[Vd(n+1)-V'd(n+1)]C_{pp}}{Clcb+Cstb+C_{pp}}$$

<77> 수학식 1 및 2에서 Vd(n)은 P(n) 화소를 구동하기 위하여 데이터선에 인가되는 전압을 의미하고, Vd(n+1)은 P(n+1)를 구동하기 위하여 인가된 데이터선 전압을 의미한다. 또, V'd(n+1)은 이전 프레임(frame)의 P(n+1) 화소에 인가되었던 전압을 의미한다.

<78> 수학식 1 및 2에 나타낸 바와 같이, P(n)-b 화소에 인가되는 전압과 P(n)-a에 인가되는 전압은 서로 다르다. 특히, 점 반전 구동 또는 선 반전 구동을 하고, 다음 화소 행이 이전 화소 행과 동일한 계조를 표시하는 경우(실제로 대부분의 화소가 이러한 경우에 해당하는 시간이 많다.)에는  $Vd(n)=-Vd(n+1)$ ,  $Vd(n)=-V'd(n)$ (공통 전극 전압은 접지 전압으로 가정함)이므로 수학식 2는 다음과 같이 정리할 수 있다.

### 수학식 3

$$<79> \quad V[P(n)-b]=Vd(n)-\frac{2Vd(n)C_{pp}}{Clcb+Cstb+C_{pp}}=\frac{Clcb+Cstb-C_{pp}}{Clcb+Cstb+C_{pp}} Vd(n)=TVd(n)$$

$$<80> \quad T=\frac{Clcb+Cstb-C_{pp}}{Clcb+Cstb+C_{pp}}$$

<81> 수학식 3에 의하면, P(n)-b에는 P(n)-a보다 낮은 전압이 인가됨을 알 수 있다. 이 때, T는 0.65~0.95 정도가 적당하다.

<82> 본 발명의 제5 실시예에 따른 액정 표시 장치에 대하여 설명한다.

<83> 도 13은 본 발명의 제5 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 배치도이고, 도 14는 도 13의 박막 트랜지스터 기관을 적용한 액정 표시 장치의 등가 회로도이다.

<84> 본 발명의 제5 실시예에서는 하나의 화소 열에 포함되어 있는 박막 트랜지스터 및 화소 전극이 두 개의 데이터선에 번갈아 가면서 연결되어 있다. 즉, P(n) 화소의 박막 트랜지스터와 두 화소 전극(a, b)은 m번째 데이터선에 연결되어 있고, P(n+1) 화소의 박막 트랜지스터와 두 화소 전극(a, b)은 m+1번째 데이터선에 연결되어 있다. 박막 트랜지스터와 화소 전극 개개의 구체적인 구조는, 개구부(95, 510, 520, 530)의 위치가 달라진 점을 제외하고는, 제4 실시예에서와 동일하다. 즉, 제4 실시예에서는 가로 개구부(95)가 제2 화소 전극(92)에 형성되어 있고, 제1 개구부(510)는 제1 화소 전극(91)을 좌우로 양분하는 위치에 형성되어 있으며, 제2 및 제3 개구부(520, 530)는 제2 화소 전극(92)을 상하로 3분하는 위치에 형성되어 있다. 따라서, 제1 화소 전극(91)이 좌우 도메인을 이루고, 제2 화소 전극(92)이 상하 도메인을 이룬다.

<85> 이러한 구조에서 점 반전 구동을 수행하면, 좌우 도메인 내의 전계가 상하 도메인 내의 전계에 비하여 약하게 유지된다. 즉, 제1 화소 전극(91) 전위가 제2 화소 전극(92) 전위에 비하여 항상 낮게 유지되어 좌우 측면에서의 시인성이 향상된다. 그러면 제1 화소 전극(91) 전위가 제2 화소 전극(92) 전위에 비하여 항상 낮게 유지되는 이유를 살펴본다.

<86> 도 13과 같은 구조에서 점반전 구동을 수행하면 같은 화소 열에 속하는 화소 전극에는 동일한 극성의 전압이 인가되므로 열(column) 반전 구동과 동일한 특성을 나타내게 된다. 따라서, 다음 화소 행이 이전 화소 행과 동일한 계조를 표시하는 경우(실제로 대부분의 화소가 이러한 경우에 해당하는 시간이 많다.)를 고려하면  $Vd(n)=Vd(n+1)$ ,  $Vd(n)=-V'd(n)$ 이 되어 수학식 2는 다음과 같이 정리될 수 있다.

### 수학식 4

$$<87> \quad V[P(n)-b]=Vd(n)+\frac{2Vd(n)C_{pp}}{Clcb+Cstb+C_{pp}}=\frac{Clcb+Cstb+3C_{pp}}{Clcb+Cstb+C_{pp}} Vd(n)=TVd(n)$$

$$<88> \quad T=\frac{Clcb+Cstb+3C_{pp}}{Clcb+Cstb+C_{pp}}$$

<89> 수학식 4에 의하면, 제5 실시예에서는 b 화소의 전압이 a 화소보다 높다. 따라서, 좌우 도메인 내의 전계가 상하 도메인 내의 전계에 비하여 항상 낮게 유지될 수 있다.

<90> 위에서는 비록, 이 발명의 가장 실제적이며 바람직한 실시예를 참조하여 설명하였지만, 이 발명은 위에서 개시된 실시예에 한정되는 것은 아니다. 이 발명의 범위는 후술하는 특허 청구 범위 내에 속하는 다양한 변형 및 등가물들도 포함한다.

### 도면의 간단한 설명

<91> 도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치의 배치도이고,

<92> 도 2는 도 1의 II-II'선에 대한 단면도이고,

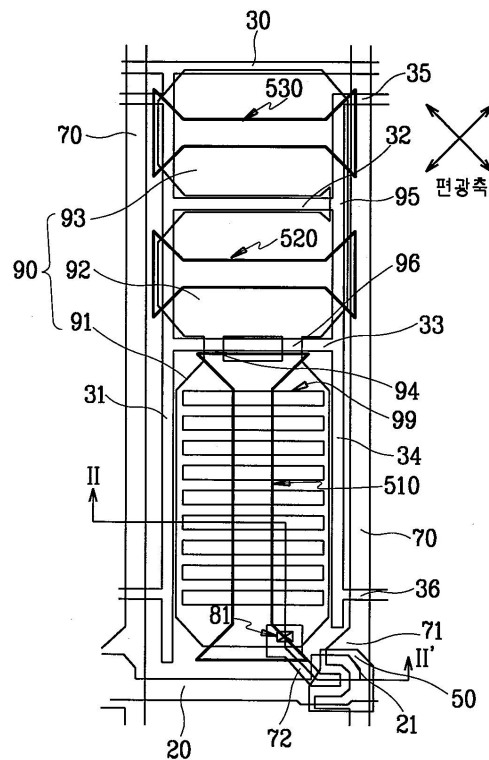
<93> 도 3은 테스트용 셀의 정면과 측면 60°에서의 감마(gamma: gamma) 곡선을 나타내는 그래프이고,

<94> 도 4는 단일 도메인의 수직 배향 액정 셀을 8방향의 측면에서 바라볼 때의 VT 곡선들을 나타내는 그래프이고,

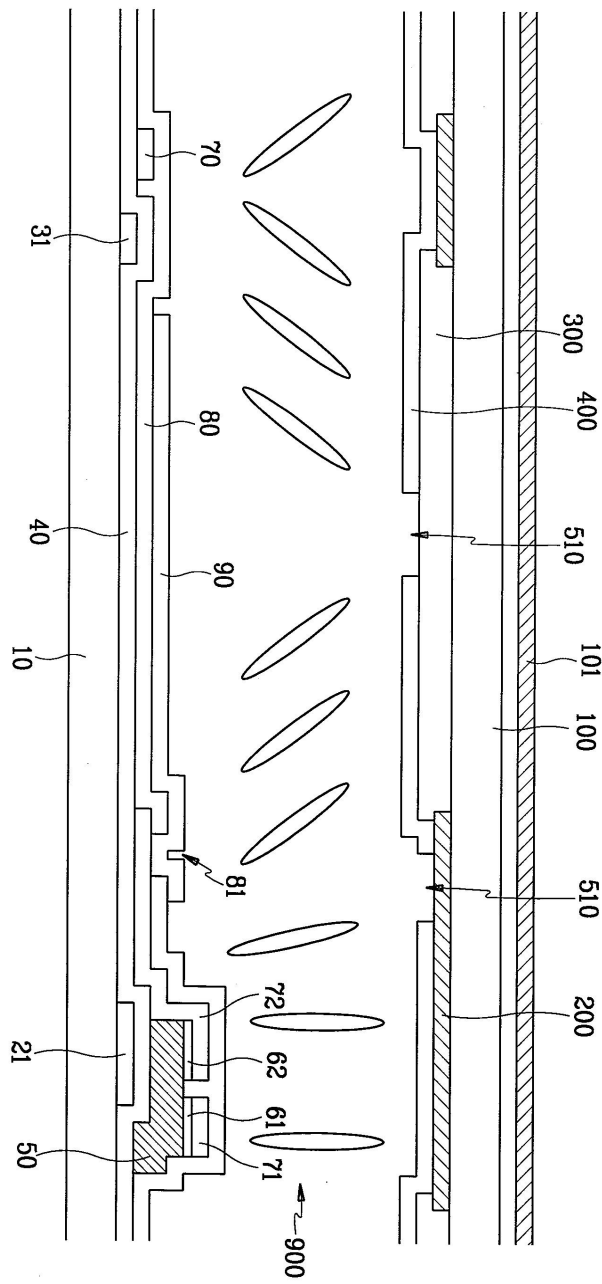
- <95> 도 5는 러빙을 상하 방향으로 안티 패러렐(anti parallel)하게 만든 단일 도메인 VA 셀에서 정면에서의 VT 곡선과 좌우 방향 60도에서의 VT 곡선을 평균한 곡선과 상하 방향 60도에서 VT 곡선을 평균한 곡선과 상하 방향의 곡선을 0.3V 이동시킨 곡선을 같은 그래프에 그린 그림이고,
- <96> 도 6은 본 발명의 제2 및 제3 실시예에 따른 액정 표시 장치의 배치도이고,
- <97> 도 7은 도 6의 VII-VII'선에 대한 단면도로써 본 발명의 제2 실시예에 따른 단면도이고,
- <98> 도 8은 도 6의 VII-VII'선에 대한 단면도로써 본 발명의 제3 실시예에 따른 단면도이고,
- <99> 도 9는 본 발명의 제4 실시예에 따른 액정 표시 장치의 배치도이고,
- <100> 도 10과 도 11은 각각 도 9의 XI-XI'선과 XII-XII'선에 대한 단면도이고,
- <101> 도 12는 도 9의 박막 트랜지스터 기판을 적용한 액정 표시 장치의 등가 회로도이고,
- <102> 도 13은 본 발명의 제5 실시예에 따른 액정 표시 장치의 배치도이고,
- <103> 도 14는 도 13의 박막 트랜지스터 기판을 적용한 액정 표시 장치의 등가 회로도이다.

## 도면

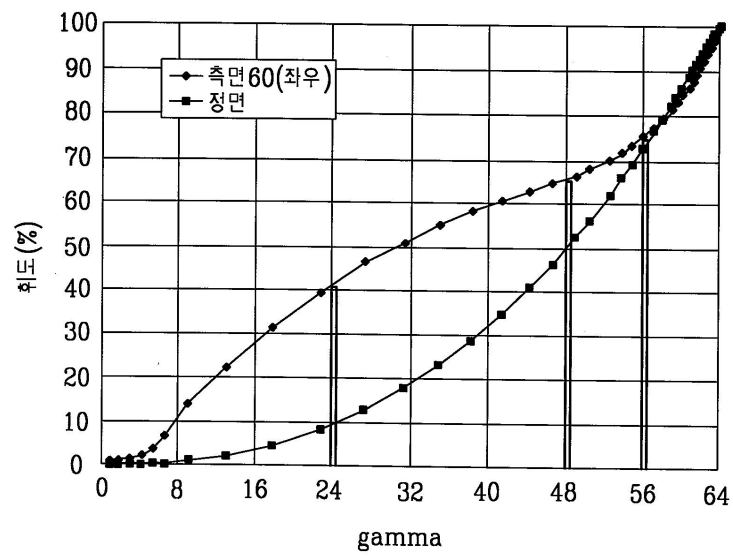
### 도면1



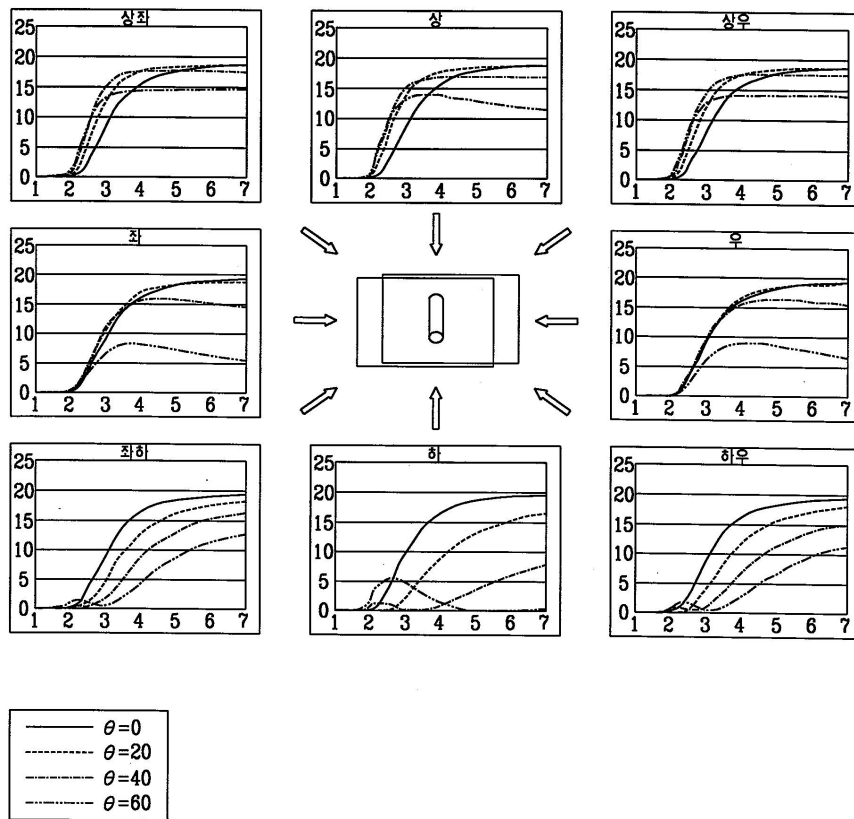
도면2



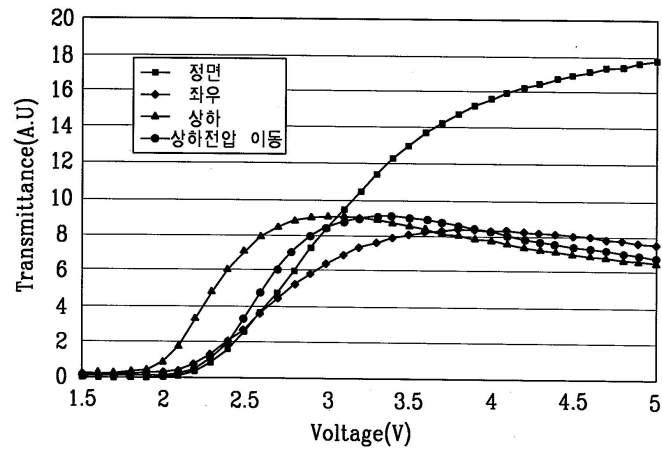
도면3



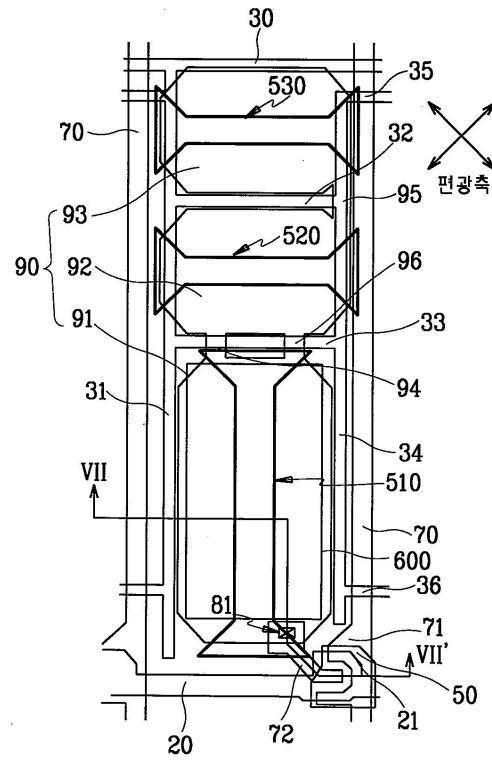
도면4



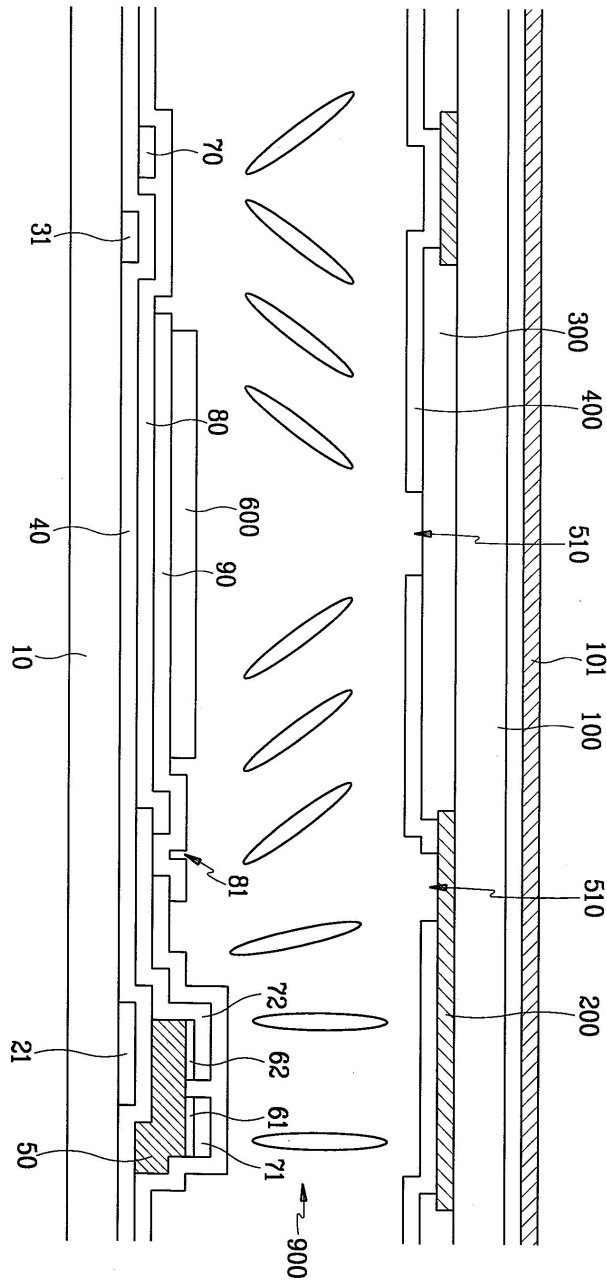
도면5



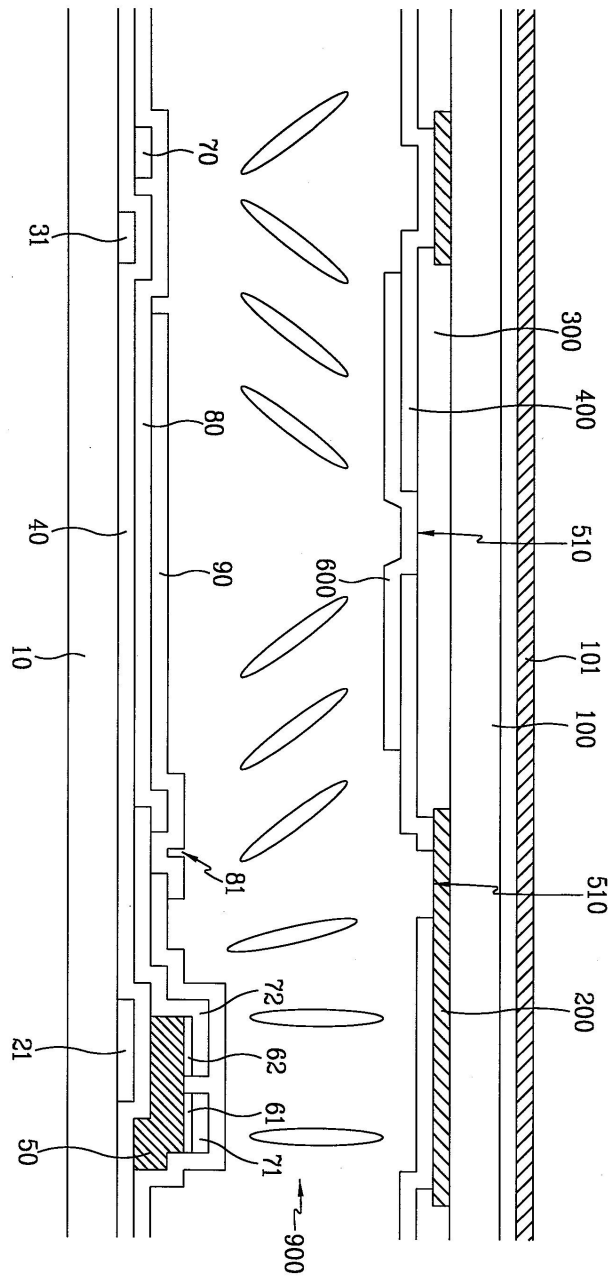
도면6



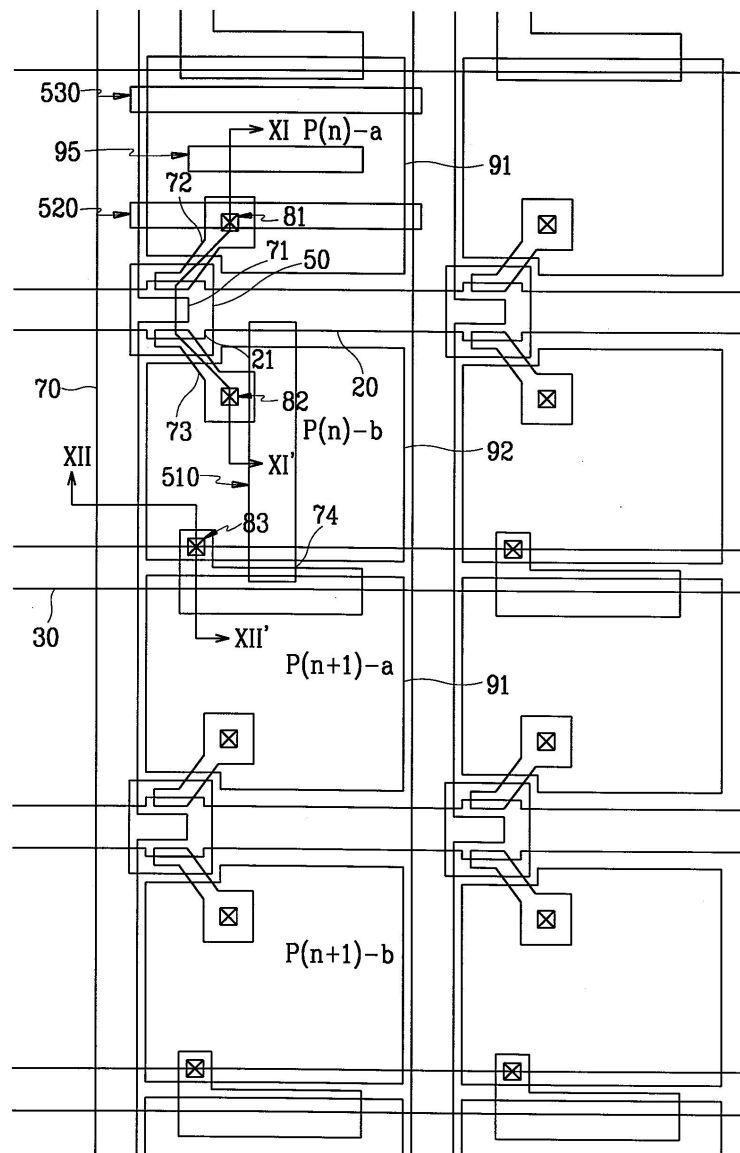
도면7



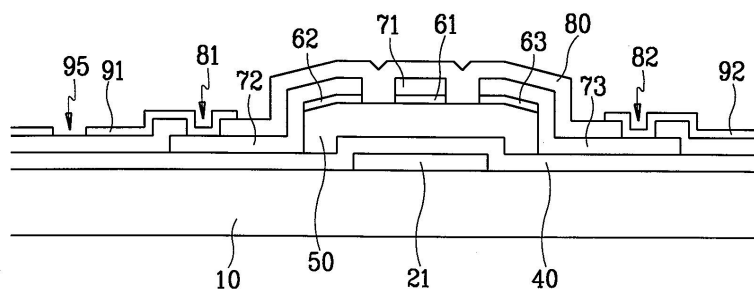
도면8



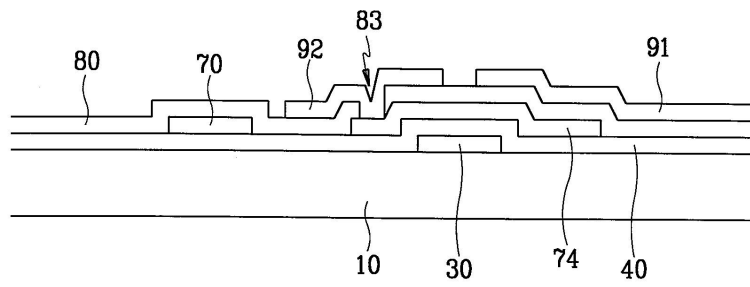
도면9



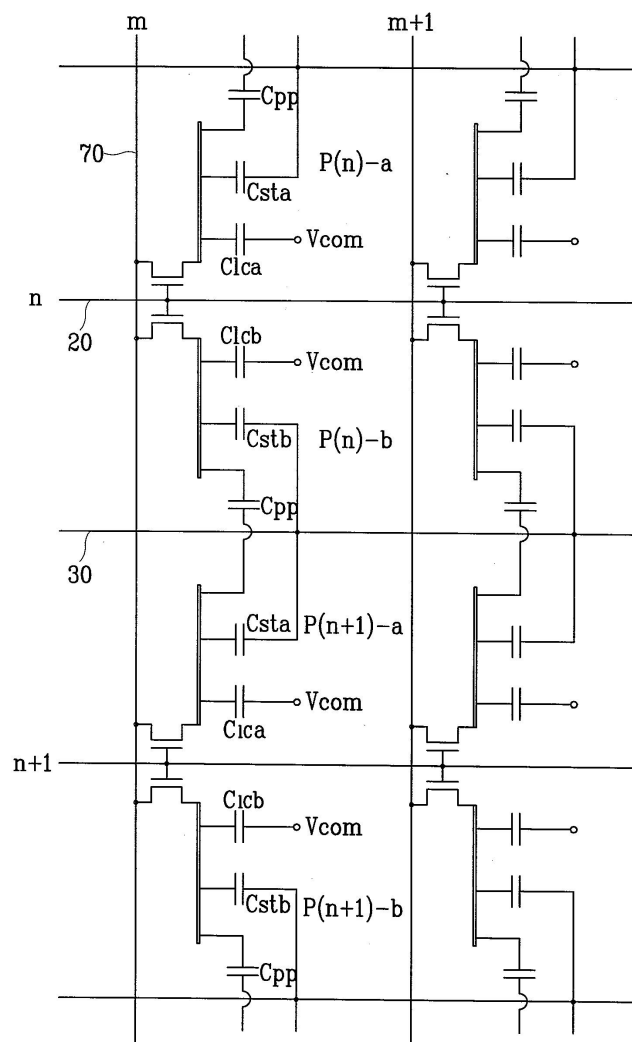
도면10



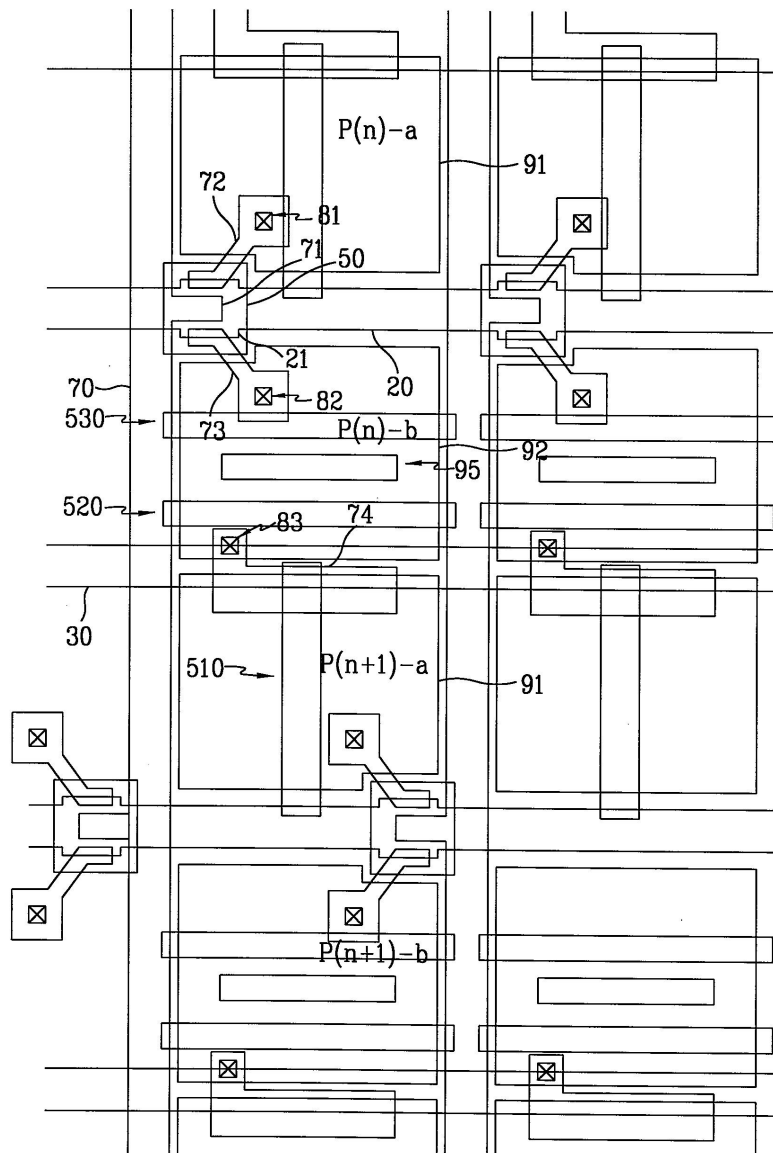
도면11



도면12



도면13





|                |                                                              |         |            |
|----------------|--------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶显示器                                                        |         |            |
| 公开(公告)号        | <a href="#">KR1020070121629A</a>                             | 公开(公告)日 | 2007-12-27 |
| 申请号            | KR1020070129219                                              | 申请日     | 2007-12-12 |
| [标]申请(专利权)人(译) | 三星电子株式会社                                                     |         |            |
| 申请(专利权)人(译)    | 三星电子有限公司                                                     |         |            |
| 当前申请(专利权)人(译)  | 三星电子有限公司                                                     |         |            |
| [标]发明人         | SONG JANG KUN                                                |         |            |
| 发明人            | SONG, JANG KUN                                               |         |            |
| IPC分类号         | G02F1/1343 G02F1/1337                                        |         |            |
| CPC分类号         | G02F1/1343 G02F1/136286 G02F2201/123 G09G2320/028 H01L29/786 |         |            |
| 其他公开文献         | KR100895317B1                                                |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                    |         |            |

#### 摘要(译)

本发明包括第一绝缘基板，在第一绝缘基板上形成有第一方向的第一信号线，以及在第一绝缘基板上以第二方向形成的第一信号线和分割第一绝缘基板的分区域的方法像素电极和第二像素电极成为多个次域同时形成在第二绝缘基板上形成的公共电极面对第二像素电极连接到第一像素电极连接到第一信号线的第二信号线，其中绝缘第一信号线和连接到第二信号线的薄膜晶体管相交，并且薄膜晶体管连接并且第二薄膜晶体管，连接到第二信号线，薄膜晶体管，第二薄膜晶体管，第一绝缘基板，第二绝缘基板，第一基板和第二基板上注入的液晶材料第一绝缘基板和第二绝缘基板中的至少一个基板。并且分区域的方法将第一像素电极和第二像素电极分成相应的第一方向域和第二方向域。第一像素电极对象2像素电极包括电容耦合。液晶显示器，可见度，左右域，上下域，电容耦合。

