



특허청구의 범위

청구항 1

서로 교차하는 다수의 게이트 라인들 및 다수의 데이터 라인들에 의해 정의된 다수의 화소영역들을 갖는 기관
상기 각 데이터 라인과 각 데이터 라인의 교차 부근에 형성된 박막트랜지스터

상기 각 화소영역에 형성된 화소전극

상기 데이터 라인과 상기 기관 사이에 형성된 반도체층

상기 기관의 하부면을 향해 광을 조사하는 광원 및,

상기 반도체층을 중첩하도록 상기 광원과 상기 반도체층 사이에 형성되며, 상기 데이터 라인과 전기적으로 연결된 적어도 하나의 광차폐막을 포함하여 구성됨을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 광차폐막은 상기 광원으로부터의 광이 상기 반도체층으로 조사되는 것을 방지하도록, 상기 반도체층의 일부 또는 상기 반도체층을 완전히 가리는 것을 특징으로 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 광차폐막은 상기 기관과 상기 반도체층 사이에 형성된 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 광차폐막과 상기 반도체층 사이에 형성된 절연막과, 상기 화소전극과 데이터 라인 사이에 형성된 보호막을 더 포함함을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 보호막의 일부분, 데이터 라인의 일부분, 상기 반도체층의 일부분, 및 상기 절연막의 일부분을 차례로 관통하여 상기 광차폐막을 노출시키는 콘택홀 및,

상기 콘택홀을 통해 상기 광차폐막과 상기 데이터 라인간을 전기적으로 연결시키는 연결층을 더 포함함을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 콘택홀은 상기 데이터 라인의 중심부를 관통하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 5 항에 있어서,

상기 콘택홀은 상기 데이터 라인의 일측 가장자리를 관통하는 것을 특징으로 하는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 콘택홀의 일측 내벽이 개구된 것을 특징으로 하는 액정표시장치.

청구항 9

제 5 항에 있어서,

상기 콘택홀이 형성된 부분에서의 데이터 라인의 제 1 폭과, 상기 콘택홀이 형성되지 않은 부분에서의 데이터 라인의 제 2 폭이 서로 다른 크기를 갖는 것을 특징으로 하는 액정표시장치.

청구항 10

제 9 항에 있어서,

상기 제 1 폭이 상기 제 2 폭보다 더 큰 것을 특징으로 하는 액정표시장치.

청구항 11

제 5 항에 있어서,

상기 콘택홀이 형성된 부분에서의 반도체층의 제 1 폭과, 상기 콘택홀이 형성되지 않은 부분에서의 반도체층의 제 2 폭이 서로 다른 크기를 갖는 것을 특징으로 하는 액정표시장치.

청구항 12

제 11 항에 있어서,

상기 제 1 폭이 상기 제 2 폭보다 더 큰 것을 특징으로 하는 액정표시장치.

청구항 13

제 1 항에 있어서,

상기 광차폐막과 상기 데이터 라인간을 연결하는 연결층을 더 포함함을 특징으로 하는 액정표시장치.

청구항 14

제 5 항 또는 제 13 항에 있어서,

상기 연결층은 상기 화소전극과 동일 물질인 것을 특징으로 하는 액정표시장치.

청구항 15

제 1 항에 있어서,

상기 광차폐막은 도전성 금속물질인 것을 특징으로 하는 액정표시장치.

청구항 16

제 1 항에 있어서,

상기 광차폐막은 상기 게이트 라인과 동일 물질인 것을 특징으로 하는 액정표시장치.

청구항 17

다수의 화소영역을 갖는 기관을 준비하는 단계

상기 기관상에 게이트 라인 및 광차폐막을 형성하는 단계

상기 광차폐막을 포함한 기관의 전면에 차례로 게이트 절연막, 반도체 물질, 불순물 반도체 물질, 금속층, 및 포토레지스트를 형성하는 단계

상기 포토레지스트를 회절노광하여 서로 다른 두께를 갖는 포토레지스트 패턴을 형성하는 단계

상기 포토레지스트 패턴을 마스크로 하여 노출되는 상기 반도체 물질, 불순물 반도체 물질, 및 금속층을 제거하여 반도체층, 오믹콘택층, 및 데이터 라인을 형성하는 단계

상기 포토레지스트 패턴을 애싱하여 상기 데이터 라인의 일부를 노출시키는 단계 및,

상기 애싱된 포토레지스트 패턴을 마스크로 하여 상기 노출된 데이터 라인을 식각하여 반도체층을 노출시키는 예비 콘택홀을 형성하는 단계

상기 데이터 라인을 포함한 상기 기판의 전면에 보호층을 형성하는 단계

상기 광차폐막의 상측에 위치한 보호층, 반도체층, 오믹콘택층, 및 게이트 절연막을 식각하여, 상기 광차폐막을 노출시키는 제 1 콘택홀을 형성하는 단계 및,

상기 제 1 콘택홀의 내부에 연결층을 형성하는 단계를 포함함을 특징으로 하는 액정표시장치의 제조방법.

청구항 18

제 17 항에 있어서,

상기 게이트 라인과 데이터 라인이 교차하는 부근에 박막트랜지스터를 형성하는 단계 및,

상기 화소영역에, 상기 박막트랜지스터와 전기적으로 접속되는 화소전극을 형성하는 단계를 더 포함함을 특징으로 하는 액정표시장치의 제조방법.

청구항 19

제 18 항에 있어서,

상기 박막트랜지스터 및 화소전극을 형성하는 단계는,

상기 게이트 라인에 연결되는 게이트 전극을 형성하는 단계

상기 게이트 전극을 포함한 기판의 전면에서 차례로 게이트 절연막, 반도체 물질, 불순물 반도체 물질, 금속층, 및 포토레지스트를 형성하는 단계

상기 포토레지스트를 회절노광하여 서로 다른 두께를 갖는 포토레지스트 패턴을 형성하는 단계

상기 포토레지스트 패턴을 마스크로 하여 노출되는 상기 반도체 물질, 불순물 반도체 물질, 및 금속층을 제거하여 반도체층, 오믹콘택층, 및 소스/드레인 금속층을 형성하는 단계

상기 포토레지스트 패턴을 애싱하여 박막트랜지스터의 채널영역의 상측에 형성된 소스/드레인 금속층 부분을 노출시키는 단계 및,

상기 애싱된 포토레지스트 패턴을 마스크로 하여 상기 노출된 소스/드레인 금속층을 식각하여 상기 박막트랜지스터의 소스 전극 및 드레인 전극을 형성하는 단계

상기 소스 전극 및 드레인 전극을 포함한 상기 기판의 전면에서 보호층을 형성하는 단계

상기 보호층의 일부를 제거하여 상기 드레인 전극의 일부를 노출시키는 제 2 콘택홀을 형성하는 단계 및,

상기 제 2 콘택홀을 통해 상기 드레인 전극에 연결되도록, 상기 화소영역에 상기 화소전극을 형성하는 단계를 포함함을 특징으로 하는 액정표시장치의 제조방법.

청구항 20

제 19 항에 있어서,

상기 화소전극과 상기 연결층은 동일한 물질은 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 21

제 19 항에 있어서,

상기 연결층은 ITO(Indium Tin Oxide)로 이루어진 것을 특징으로 하는 액정표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <14> 본 발명은 액정표시장치에 관한 것으로, 특히 광에 의해 반도체층이 여기(勵起)되는 것을 방지할 수 있는 액정표시장치 및 이의 제조방법에 관한 것이다.
- <15> 통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과, 액정패널을 구동하기 위한 구동회로 및 액정패널에 광을 조사하기 위한 백라이트 유닛을 구비한다.
- <16> 액정패널은 서로 대향하는 박막트랜지스터 어레이 기관 및 컬러필터 어레이 기관과, 두 기관 사이에 일정한 셀갭 유지를 위해 위치하는 스페이서와, 그 셀갭에 채워진 액정을 구비한다. 박막트랜지스터 어레이 기관은 게이트 라인들 및 데이터 라인들과, 그 게이트 라인들과 데이터 라인들의 교차부마다 스위치소자로 형성된 박막트랜지스터와, 액정셀 단위로 형성되어 박막트랜지스터에 접속된 화소전극 등과, 그들 위에 도포된 배향막으로 구성된다. 게이트 라인들과 데이터 라인들은 각각의 패드부를 통해 구동회로들로부터 신호를 공급받는다. 박막트랜지스터는 게이트 라인에 공급되는 스캔신호에 응답하여 데이터 라인에 공급되는 화소전압신호를 화소전극에 공급한다.
- <17> 컬러필터 어레이 기관은 액정셀 단위로 형성된 컬러필터들과, 컬러필터들간의 구분 및 외부광 반사를 위한 블랙 매트릭스와, 액정셀들에 공통적으로 기준전압을 공급하는 공통 전극 등과, 그들 위에 도포되는 배향막으로 구성된다.
- <18> 액정패널은 박막트랜지스터 어레이 기관과 컬러필터 어레이 기관을 별도로 제작하여 합착한 다음 액정을 주입하고 봉입함으로써 완성하게 된다.
- <19> 이러한 액정패널에서 상기 박막트랜지스터 어레이 기관은 반도체 공정을 포함함과 아울러 다수의 마스크 공정을 필요로함에 따라 제조 공정이 복잡하여 액정패널 제조단가 상승의 주요원인이 되고 있다. 이를 해결하기 위하여, 상기 박막트랜지스터 어레이 기관은 마스크 공정수를 줄이는 방향으로 제조되고 있다. 이는 하나의 마스크 공정이 증착공정, 세정공정, 포토리쓰그래피 공정, 식각공정, 포토레지스트 박리공정, 검사공정 등과 같은 많은 공정을 포함하고 있기 때문이다. 이에 따라, 최근에는 박막트랜지스터 어레이 기관의 표준 마스크 공정이던 5마스크 공정에서 하나의 마스크 공정을 줄인 4마스크 공정이 대두되고 있다.
- <20> 상기 4마스크 공정은 반도체층과 데이터 라인을 동시에 형성함으로써 하나의 마스크 공정을 줄일 수 있다.
- <21> 그러나, 상기 4마스크 공정에 의해 제조된 데이터 라인의 하부에는 반도체층이 형성되기 때문에 다음과 같은 문제점이 발생한다.
- <22> 도 1a는 연속모드 백라이트 유닛의 구동주파수를 나타내는 파형이고, 도 1b는 버스트 모드 백라이트 유닛의 구동주파수를 나타내는 파형도이다.
- <23> 백라이트 유닛은 일반적으로 도 1a에 도시된 바와 같이 연속모드(Continuous Mode)로 구동된다. 연속모드의 구동방법에 따른 백라이트 유닛은 지속적으로 램프가 켜짐 상태를 유지하기 때문에 소비전류가 많은 단점이 있다. 이러한, 연속모드의 구동방법에 따른 백라이트 유닛의 소비전류를 저감시키기 위하여 버스트 모드(Burst Mode)의 구동방법을 이용하게 된다.
- <24> 버스트 모드의 구동방법에 따른 백라이트 유닛은 도 1b에 도시된 바와 같이 일정주기의 온(on) 상태와 오프(off) 상태를 반복하게 된다.
- <25> 이와 같이 버스트 모드의 구동방법에 의해 구동되는 백라이트 유닛의 온/오프에 따라 발생하는 광전류(Photo Current)에 따라 액정패널의 데이터 라인 영역의 반도체층(14)이 여기(勵起)되어 도체 또는 부도체가 된다.
- <26> 즉, 4마스크 제조공정에 의해 액정패널의 데이터 라인 영역의 반도체층의 면적이 데이터 라인의 면적보다 상대적으로 넓게 형성되기 때문에 반도체층은 백라이트 유닛의 온(on) 상태를 유지하는 동안 백라이트 유닛으로부터의 광에 의해 광전류가 발생되어 도체가 되고, 백라이트 유닛이 오프(off) 상태를 유지하는 동안에는 부도체가 된다.
- <27> 따라서, 반도체층이 도체가 되는 경우에는 반도체층과 화소전극 간의 거리가 데이터 라인과 화소전극간의 거리보다 가깝기 때문에 반도체층과 화소전극간에 캐패시턴스가 발생된다. 반면에 반도체층이 부도체가 되는 경우에

는 데이터 라인과 화소전극간에 캐패시턴스가 발생된다.

- <28> 이와 같이 백라이트 유닛의 온/오프 주파수에 의해 발생하는 반도체층과 화소전극간의 캐패시턴스 및 데이터 신호의 구동주파수에 의해 발생하는 데이터 라인과 화소전극간의 캐패시턴스 차이로 인하여 표시화면에 물결모양이 표시되어 화질저하를 발생하게 된다.
- <29> 또한, 4마스크 공정의 특성상 상기 데이터 라인 영역의 반도체층은 박막트랜지스터 영역의 반도체층과 일체로 이루어진다. 이에 따라, 상기 광전류에 의해 상기 데이터 라인 영역의 반도체층이 도전체로 변하면, 상기 박막트랜지스터가 턴-온된다.
- <30> 상기 박막트랜지스터의 동작은 게이트 전극에 인가된 전압에 의해 제어되어야 하지만, 이와 같은 경우 상기 광전류에 의해서 원치 않는 타이밍에 턴-온될 수 있다.

발명이 이루고자 하는 기술적 과제

- <31> 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로, 반도체층과 백라이트 유닛 사이에 광차폐막을 형성하여 반도체층이 여기되는 것을 방지할 수 있는 액정표시장치 및 이의 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- <32> 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치는, 서로 교차하는 다수의 게이트 라인들 및 다수의 데이터 라인들에 의해 정의된 다수의 화소영역들을 갖는 기판 상기 각 데이터 라인과 각 데이터 라인의 교차 부근에 형성된 박막트랜지스터 상기 각 화소영역에 형성된 화소전극 상기 데이터 라인과 상기 기판 사이에 형성된 반도체층 상기 기판의 하부면을 향해 광을 조사하는 광원 및, 상기 반도체층을 중첩하도록 상기 광원과 상기 반도체층 사이에 형성되며, 상기 데이터 라인과 전기적으로 연결된 적어도 하나의 광차폐막을 포함하여 구성됨을 그 특징으로 한다.
- <33> 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 제조방법은, 다수의 화소영역을 갖는 기판을 준비하는 단계상기 기판상에 게이트 라인 및 광차폐막을 형성하는 단계 상기 광차폐막을 포함한 기판의 전면에 차례로 게이트 절연막, 반도체 물질, 불순물 반도체 물질, 금속층, 및 포토레지스트를 형성하는 단계 상기 포토레지스트를 회절노광하여 서로 다른 두께를 갖는 포토레지스트 패턴을 형성하는 단계 상기 포토레지스트 패턴을 마스크로 하여 노출되는 상기 반도체 물질, 불순물 반도체 물질, 및 금속층을 제거하여 반도체층, 오믹 콘택층, 및 데이터 라인을 형성하는 단계 상기 포토레지스트 패턴을 애싱하여 상기 데이터 라인의 일부를 노출시키는 단계 및, 상기 애싱된 포토레지스트 패턴을 마스크로 하여 상기 노출된 데이터 라인을 식각하여 반도체층을 노출시키는 예비 콘택홀을 형성하는 단계 상기 데이터 라인을 포함한 상기 기판의 전면에 보호층을 형성하는 단계 상기 광차폐막의 상측에 위치한 보호층, 반도체층, 오믹콘택층, 및 게이트 절연막을 식각하여, 상기 광차폐막을 노출시키는 제 1 콘택홀을 형성하는 단계 및, 상기 제 1 콘택홀의 내부에 연결층을 형성하는 단계를 포함함을 그 특징으로 한다.
- <34> 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 액정표시장치를 상세히 설명하면 다음과 같다.
- <35> 도 2는 본 발명의 실시예에 따른 액정표시장치에 구비된 박막트랜지스터 어레이 기판의 일부를 나타낸 도면이고, 도 3은 도 2의 I~I 및 II~II의 선상에 따른 단면도이다.
- <36> 본 발명의 실시예에 따른 액정표시장치는, 도 2 및 도 3에 도시된 바와 같이, 서로 교차하는 다수의 게이트 라인(GL)들 및 다수의 데이터 라인(DL)들에 의해 정의된 다수의 화소영역들을 갖는 기판(100)과, 상기 각 게이트 라인(GL)과 각 데이터 라인(DL)의 교차 부근에 형성된 박막트랜지스터(TFT)와, 상기 각 화소영역에 형성된 화소전극(116)과, 상기 데이터 라인(DL)의 하측에 위치한 제 3 반도체층(101c)을 중첩하도록 상기 기판(100)상에 형성되며, 상기 데이터 라인(DL)과 전기적으로 연결된 적어도 하나의 광차폐막(222)을 포함한다.
- <37> 도 3에 도시된 바와 같이, 상기 박막트랜지스터(TFT)는 박막트랜지스터 영역에 형성되며, 상기 박막트랜지스터(TFT)는 제 1 반도체층(101a), 제 1 오믹콘택층(102a), 게이트 전극(GE), 소스 전극(SE), 및 드레인 전극(DE)을 갖는다.
- <38> 상기 박막트랜지스터(TFT)의 소스 전극(SE)은, 데이터 라인 영역에 형성된 데이터 라인(DL)과 일체로 구성된다.
- <39> 상기 박막트랜지스터 영역에 형성된 제 1 반도체층(101a)은, 데이터 라인 영역에 형성된 제 3 반도체층(101c)과

일체로 구성된다.

- <40> 상기 박막트랜지스터 영역의 소스 전극(SE)의 하부에 형성된 제 1 오믹콘택층(102a)은, 상기 데이터 라인 영역에 형성된 제 3 오믹콘택층(102c)과 일체로 구성된다.
- <41> 각 화소영역의 화소전극(116)은, 자신이 포함된 화소영역에 인접한 다른 화소영역의 게이트 라인(GL)과 소정 부분 중첩한다. 이 화소전극(116)과 게이트 라인(GL)이 중첩되는 부분에 스토리지 커패시터가 형성된다.
- <42> 이때, 상기 게이트 라인(GL)의 일부가 상기 스토리지 커패시터의 제 1 스토리지 전극(ST1)으로서 기능하고, 상기 화소전극(116)의 하부에 위치하여 상기 화소전극(116)과 전기적으로 연결된 금속층이 상기 스토리지 커패시터의 제 2 스토리지 전극(ST2)으로 기능한다.
- <43> 상기 화소전극(116)의 일측은 상기 드레인 전극(DE)의 일부를 노출시키는 제 1 콘택홀(C1)을 통해 상기 드레인 전극(DE)과 전기적으로 연결되며, 상기 화소전극(116)의 타측은 상기 제 2 스토리지 전극(ST2)의 일부를 노출시키는 제 2 콘택홀(C2)을 통해 상기 제 2 스토리지 전극(ST2)과 전기적으로 연결된다.
- <44> 상기 제 1 스토리지 전극(ST1)과 제 2 스토리지 전극(ST2) 사이에는 제 2 반도체층(101b) 및 제 2 오믹콘택층(102b)이 형성된다. 상기 제 2 반도체층(101b)은 제 1 및 제 3 반도체층(101a, 101c)과 서로 분리되어 있다. 그리고, 상기 제 2 오믹콘택층(102b)은 상기 제 1 및 제 3 오믹콘택층(102a, 102c)과 서로 분리되어 있다.
- <45> 광차폐막(222)은 데이터 라인 영역에 위치한 제 3 반도체층(101c)의 하부에 형성되어, 백라이트 유닛으로부터의 광이 상기 제 3 반도체층(101c)으로 조사되는 것을 방지한다.
- <46> 상기 광차폐막(222)은 상기 제 3 반도체층(101c)을 완전히 가리도록 상기 제 3 반도체층(101c)과 동일한 면적을 갖거나, 또는 더 큰 면적을 가질 수 있다. 또한, 상기 광차폐막(222)은 상기 제 3 반도체층(101c)보다 작은 면적을 가질 수도 있다.
- <47> 상기 광차폐막(222)이 플로팅(floating)되는 것을 방지하기 위해, 그리고, 상기 광차폐막(222)과 상기 데이터 라인(DL)간에 커패시터가 형성되는 것을 방지하기 위해, 상기 광차폐막(222)은 상기 데이터 라인(DL)과 전기적으로 연결된다. 즉, 상기 광차폐막(222)은 데이터 라인(DL)의 일부를 노출시키는 제 3 콘택홀(C3)을 통해 상기 데이터 라인(DL)과 전기적으로 연결된다.
- <48> 이때, 상기 광차폐막(222)과 상기 데이터 라인(DL)간은 연결층에 의해 서로 전기적으로 접속된다.
- <49> 상기 연결층은 상기 화소전극과 동일물질로 이루어진다. 즉, 상기 연결층은 ITO(Indium Tin Oxide) 재질로 이루어진다.
- <50> 이와 같이 상기 광차폐막(222)과 상기 데이터 라인(DL)간을 전기적으로 연결함에 따라, 상기 광차폐막(222)은 상기 데이터 라인(DL)에 공급되는 신호와 동일한 데이터 신호를 공급받는다.
- <51> 상기 광차폐막(222)은 상기 게이트 라인(GL)과 동일 물질로 이루어진다.
- <52> 상기 광차폐막(222)은 상기 제 3 반도체층(101c)을 따라 형성되며, 상기 데이터 라인(DL)과 게이트 라인(GL)이 교차하는 부분에는 형성되지 않는다. 이는 상기 광차폐막(222)과 상기 게이트 라인(GL)간의 단락을 방지하기 위해서이다.
- <53> 이와 같이 구성된 본 발명의 실시예에 따른 액정표시장치의 제조방법을 설명하면 다음과 같다.
- <54> 도 4a 내지 도 4g는 본 발명의 실시예에 따른 액정표시장치의 제조방법을 설명하기 위한 공정단면도이다.
- <55> 먼저, 박막트랜지스터 영역, 화소영역, 스토리지 영역, 및 데이터 라인 영역을 갖는 기판(100)을 준비한다.
- <56> 이후, 도 4a에 도시된 바와 같이, 상기 기판(100)의 전면에 금속층을 증착하고, 이를 포토 및 식각공정을 통해 선택적으로 패터닝하여 상기 기판(100)에 일방향으로 배열되는 게이트 라인(GL)을 형성한다. 그리고, 상기 기판(100)의 박막트랜지스터 영역에 상기 게이트 라인(GL)과 일체로 구성된 게이트 전극(GE)을 형성한다. 그리고, 상기 기판(100)의 스토리지 영역에 제 1 스토리지 전극(ST1)을 형성한다. 그리고, 상기 기판(100)의 데이터 라인 영역에 광차폐막(222)을 형성한다. 여기서, 상기 제 1 스토리지 전극(ST1)은 상기 화소영역과 이웃하는 타 화소영역의 게이트 라인(GL)의 일부이다.
- <57> 다음으로, 도 4b에 도시된 바와 같이, 상기 게이트 라인(GL), 제 1 스토리지 전극(ST1), 및 광차폐막(222)을 포함한 상기 기판(100)의 전면에 산화 실리콘(SiOx) 혹은 질화 실리콘(SiNx)과 같은 절연물질을 포함하는 게이트

절연막(GI), 진성 아몰퍼스 실리콘과 같은 반도체 물질(101), 불순물이 첨가된 아몰퍼스 실리콘과 같은 불순물 반도체 물질(102), 크롬 또는 몰리브덴과 같은 금속층(103), 그리고 포토레지스트(177)를 연속으로 증착한다.

<58> 다음으로, 도 4c에 도시된 바와 같이, 상기 포토레지스트(177)를 회절마스크(M)를 통해 선택적으로 노광하고 현상하여 포토레지스트 패턴(PR)을 형성한다. 여기서, 상기 회절마스크(M)에는 광을 투과시키는 다수의 투과부(m1)와, 광을 차단시키는 다수의 차단부(m2)와, 광의 일부분은 투과시키고 일부분은 차단시키는 슬릿으로 이루어진 다수의 회절부(m3)로 구성되어 있다. 여기서, 상기 각 회절부(m3)는 박막트랜지스터(TFT)의 채널영역 및 데이터 라인 영역에 대응되어 위치한다.

<59> 이와 같이 구성된 회절마스크(M)를 통하여 상기 포토레지스트(177)에 자외선과 같은 광을 조사시키는 노광 및 현상공정을 진행하면, 상기 투과부(m1)에 대응하는 포토레지스트(177) 부분은 모두 제거되고, 상기 차단부(m2)에 대응하는 포토레지스트(177) 부분은 그대로 남아있게 되며, 상기 회절부(m3)에 대응하는 포토레지스트(177) 부분은 일정 두께만 제거된다. 통상적으로, 상기 회절부(m3)에 대응하는 포토레지스트 패턴(PR) 부분은 포토레지스트(177)의 약 반에 해당하는 두께를 갖는다.

<60> 이후, 이와 같이 패턴화된 포토레지스트 패턴(PR)을 마스크로 하여 노출되는 금속층(103), 불순물 반도체 물질(102) 및 반도체 물질(101)을 식각공정을 통해 제거한다. 그러면, 상기 게이트 전극(GE)의 상측의 게이트 절연막(GI)상에는, 차례로 제 1 반도체층(101a), 제 1 오믹콘택층(102a), 및 소스/드레인 금속층(104)이 형성된다. 그리고, 상기 제 1 스토리지 전극(ST1)의 상측의 게이트 절연막(GI)상에는, 차례로 제 2 반도체층(101b), 제 2 오믹콘택층(102b), 제 2 스토리지 전극(ST2)이 형성된다. 그리고, 상기 광차폐막(222)의 상측의 게이트 절연막(GI)상에는, 차례로 제 3 반도체층(101c), 제 3 오믹콘택층(102c), 및 데이터 라인(DL)이 형성된다.

<61> 이어서, 도 4d에 도시된 바와 같이, 상기 포토레지스트 패턴(PR)을 플라즈마처리 하여 애싱(ashing)한다.

<62> 상기 애싱공정에 의해 상기 포토레지스트 패턴(PR)의 전면이 동일한 수준으로 깎이며, 이때, 상기 회절부(m3)에 상응하는 포토레지스트 패턴(PR)의 두께는 다른 부분에 비하여 상대적으로 얇기 때문에, 그 부분(회절부(m3) 대응하는 부분)이 제거되어 상기 소스/드레인 금속층(104)의 일부 및 데이터 라인(DL)의 일부가 노출된다.

<63> 이어서, 애싱후 남은 포토레지스트 패턴(PR)을 마스크로 하여 상기 노출된 소스/드레인 금속층(104) 부분, 상기 소스/드레인 금속층(104)의 하측의 제 1 오믹콘택층(102a) 부분, 상기 데이터 라인(DL) 부분, 및 상기 데이터 라인(DL)의 하측의 제 3 오믹콘택층(102c) 부분을 식각한다.

<64> 그러면, 도 4e에 도시된 바와 같이, 상기 제 1 반도체층(101a)이 노출되어 박막트랜지스터(TFT)의 채널영역이 형성된다. 이때, 상기 소스/드레인 금속층(104)이 분리되면서, 상기 제 1 반도체층(101a)의 채널영역을 제외한 상기 제 1 반도체층(101a)의 양 가장자리를 중첩하는 소스 전극(SE) 및 드레인 전극(DE)이 형성된다. 또한, 데이터 라인 영역의 제 3 반도체층(101c)의 일부를 노출시키는 예비 콘택홀(PC)이 형성된다.

<65> 이후, 애싱후 남은 포토레지스트 패턴(PR)을 제거한 다음, 도 4f에 도시된 바와 같이, 상기 소스 전극(SE), 드레인 전극(DE), 상기 데이터 라인(DL), 및 상기 제 2 스토리지 전극(ST2)을 포함한 상기 기판(100)의 전면에 유기 절연물질을 증착하여 보호층(114)을 형성한다.

<66> 다음으로, 상기 드레인 전극(DE)의 상측에 위치한 상기 보호층(114) 부분을 제거하여 상기 드레인 전극(DE)의 일부를 노출시키는 제 1 콘택홀(C1)을 형성하고, 상기 제 2 스토리지 전극의 상측에 위치한 상기 보호층(114) 부분을 제거하여 상기 제 2 스토리지 전극(ST2)의 일부를 노출시키는 제 2 콘택홀(C2)을 형성한다. 그리고 상기 제 3 반도체층(101c)의 상측에 위치한 상기 보호층(114) 부분과, 상기 예비 콘택홀(PC)에 의해 노출된 제 3 반도체층(101c) 부분과, 상기 제 3 반도체층(101c)과 상기 광차폐막(222) 사이에 위치한 게이트 절연막(GI) 부분을 제거하여 제 3 콘택홀(C3)을 형성한다.

<67> 한편, 상기 보호층(114)은 상기 유기 절연물질 이외에도 산화 실리콘(SiO_x; silicon oxide), 및 질화 실리콘(silicon nitride; SiN_x) 와 같은 무기 물질을 사용하여 형성하여도 무방하다.

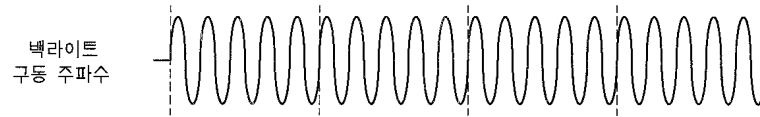
<68> 이어서, 도 4g에 도시된 바와 같이, 상기 보호층(114)의 전면에 투명 전도막을 증착하고 이를 포토 및 식각공정을 통해 패턴화하여, 화소영역에 화소전극(116)을 형성한다. 상기 화소전극(116)의 일측은 제 1 콘택홀(C1)을 통해 상기 드레인 전극(DE)에 연결되며, 상기 화소전극(116)의 타측은 제 2 콘택홀(C2)을 통해 상기 제 2 스토리지 전극(ST2)에 연결된다.

<69> 그리고, 상기 제 3 콘택홀(C3)을 통해 상기 데이터 라인(DL)과 상기 광차폐막(222)을 서로 전기적으로 연결하는 연결층(230)을 형성한다. 이때, 상기 연결층(230)은 상기 데이터 라인(DL)을 관통하는 콘택홀의 내벽(상기 데이

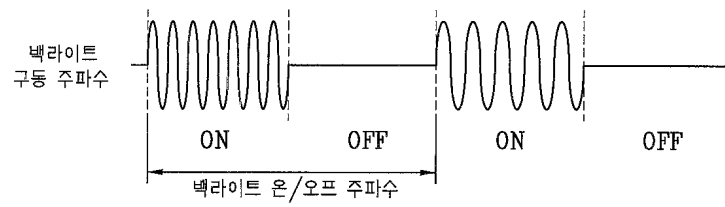
- | | | |
|------|--------------|--------------|
| <10> | GE : 게이트 전극 | DE : 드레인 전극 |
| <11> | SE : 소스 전극 | C1 : 제 1 콘택홀 |
| <12> | C2 : 제 2 콘택홀 | C3 : 제 3 콘택홀 |
| <13> | 116 : 화소전극 | |

도면

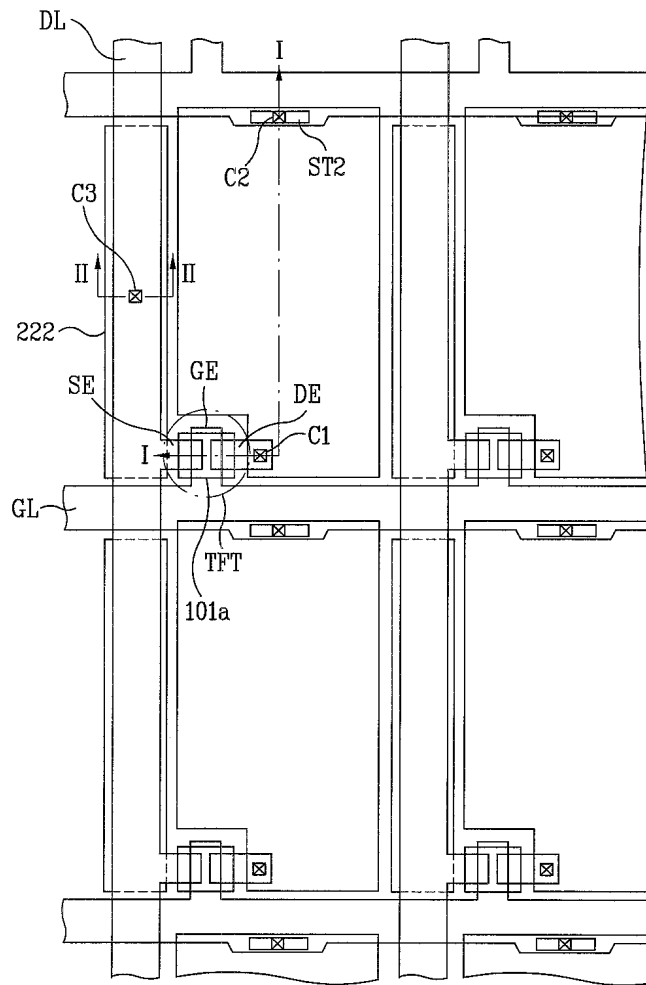
도면1a



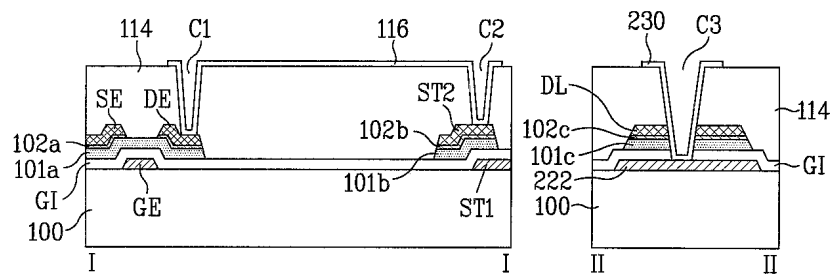
도면1b



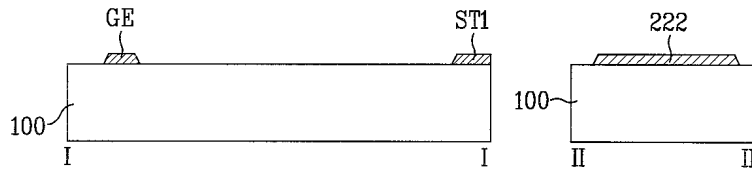
도면2



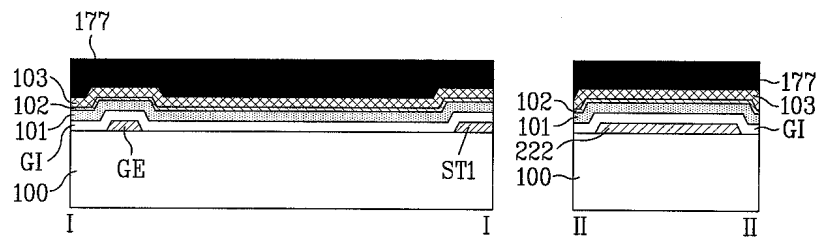
도면3



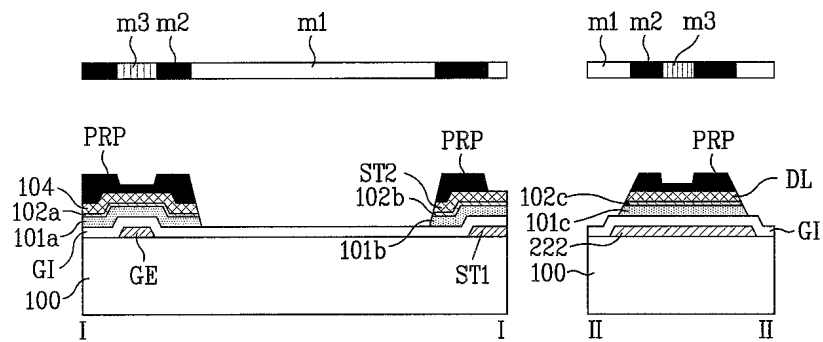
도면4a



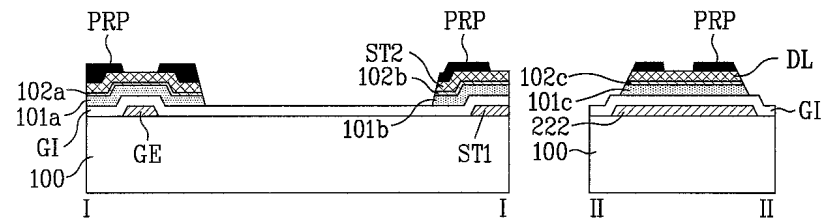
도면4b



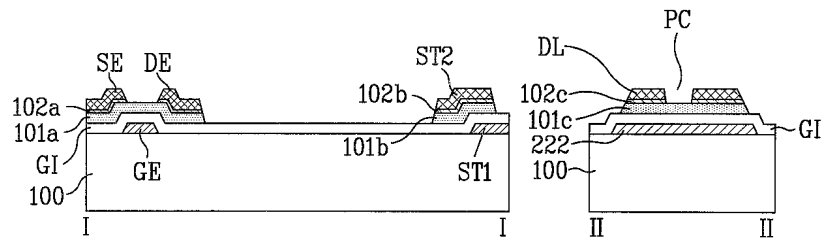
도면4c



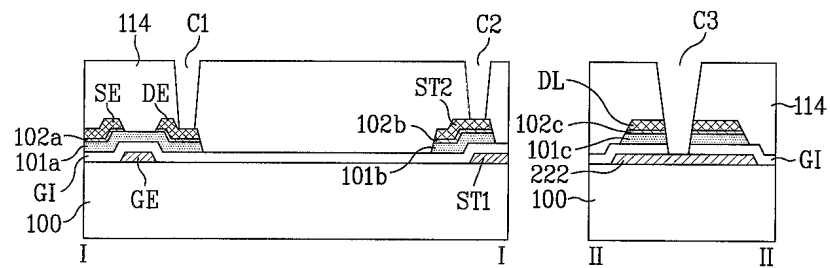
도면4d



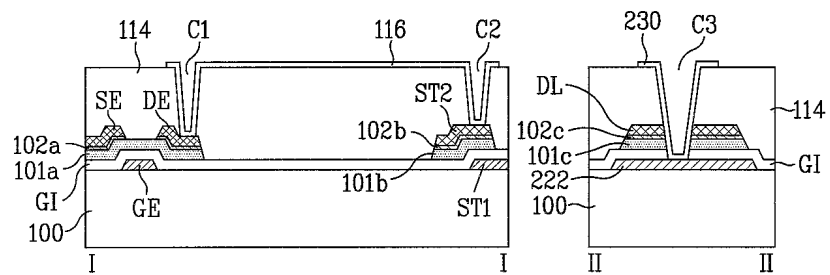
도면4e



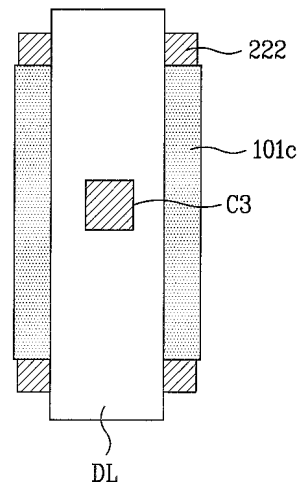
도면4f



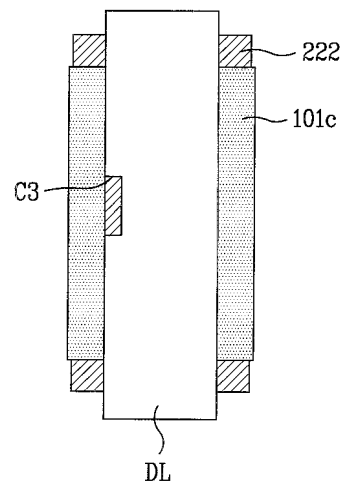
도면4g



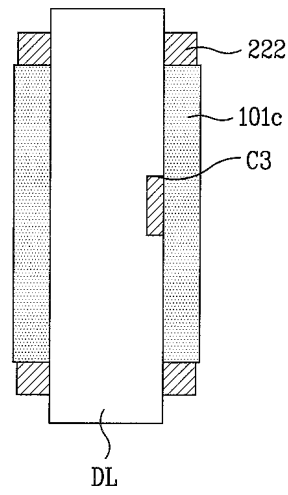
도면5a



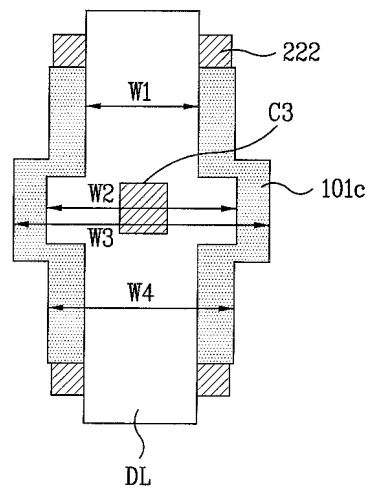
도면5b



도면5c



도면5d



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020070120270A	公开(公告)日	2007-12-24
申请号	KR1020060054807	申请日	2006-06-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM BINN 김빈 CHO HYUNG NYUCK 조혁력 CHO NAM WOOK 조남욱		
发明人	김빈 조혁력 조남욱		
IPC分类号	G02F1/1335		
CPC分类号	G02F2202/10 G02F1/136286 G02F1/136209		
代理人(译)	金勇 新昌		
其他公开文献	KR101255307B1		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示装置及其制造方法，其能够防止半导体层被来自背光单元的光激发。并且由多条栅极线和多条数据线构成，所述多条栅极线和多条数据线与形成在薄膜晶体管中的像素电极数据线之间的半导体层基板的下表面相交，每个像素区域形成在周围交叉处和基板的基板上数据线和具有所定义的多个像素域框的每条数据线包括用于照射光的光源的遮光膜，并且与数据线电连接的至少一个与上述半导体层重叠。液晶显示器，遮光膜，背光单元，突发，4掩模。

